

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3659084号

(P3659084)

(45) 発行日 平成17年6月15日(2005.6.15)

(24) 登録日 平成17年3月25日(2005.3.25)

(51) Int. Cl.<sup>7</sup>

H02M 3/28

F I

H02M 3/28

P

請求項の数 1 (全 13 頁)

(21) 出願番号	特願平11-284234	(73) 特許権者	503361248 富士電機デバイステクノロジー株式会社 東京都品川区大崎一丁目11番2号
(22) 出願日	平成11年10月5日(1999.10.5)	(74) 代理人	100088339 弁理士 篠部 正治
(65) 公開番号	特開2001-112251(P2001-112251A)	(72) 発明者	日朝 信行 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(43) 公開日	平成13年4月20日(2001.4.20)		
審査請求日	平成15年12月9日(2003.12.9)	審査官	川端 修
		(56) 参考文献	特開昭62-135270(JP,A) 特開平11-155281(JP,A) 特開平09-098571(JP,A)

最終頁に続く

(54) 【発明の名称】 スイッチング電源装置

(57) 【特許請求の範囲】

【請求項1】

所定振幅の三角波を発振出力する発振手段を備え、このスイッチング電源装置が供給する安定化直流電源の負荷レベルを示す信号と前記三角波との比較によって得られるPWM制御されたパルス幅の駆動パルスで半導体スイッチング手段を駆動して、少なくともエネルギー源となる原直流電源を開閉し、所定電圧の前記安定化直流電源を生成するスイッチング電源装置において、

前記発振手段が、

タイミングコンデンサと、

このタイミングコンデンサをタイミング抵抗に流れる電流に比例する電流で充放電し、  
該タイミングコンデンサの両端に少なくとも前記三角波に対応する電圧を生成する手段と

、  
このタイミング抵抗の電圧を指令信号に等しく制御する制御手段と、

前記負荷レベルを示す信号が前記所定負荷レベルを上回る負荷レベルを示すときは、該指令信号として所定電圧の信号を、前記負荷レベルを示す信号が前記所定負荷レベルを下回る負荷レベルを示すときは、前記指令信号として少なくとも前記負荷レベルを示す信号から作られ、負荷レベルの低下に対応して電圧が低下する信号を前記制御手段に与える手段とを備え、

前記発振手段が、前記タイミング抵抗を外付けとし、前記半導体スイッチング手段に前記駆動パルスを与える回路の少なくとも一部を持つ半導体集積回路に組み込まれてなるこ

10

20

とを特徴とするスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、制御用ICによってPWM制御された駆動パルスによって駆動される半導体スイッチング素子を介し、少なくともエネルギー源となる直流電源を開閉し、安定化直流電源を作って供給する電源装置としての、いわゆるスイッチング電源装置（スイッチング電源とも略記する）であって、特に制御用ICが半導体スイッチング素子のスイッチング損失に基づく軽負荷時のスイッチング電源装置の効率の低下を防ぐ機能を備えたスイッチング電源装置に関する。

10

なお、以下各図において同一の符号は同一もしくは相当部分を示す。

【0002】

【従来技術】

スイッチング電源装置を制御する制御用ICとしては、従来から主にパイボラ・プロセスを用いたICが使われてきた。しかし最近では、低消費電力化・低価格化の要求が厳しくなると、制御用ICの製造プロセスはBiCMOSやCMOSプロセスへの移行が進み、また回路構成についても従来よりも消費電流の低減が行われている。

【0003】

図7は制御用ICとフライバック方式のトランスを用いたスイッチング電源の回路例を示す。同図において、主スイッチング素子としてのNチャネルMOSFETのMM0は、スイッチング電源制御用IC01の出力端子OUTから出力される、後述のPWM制御（パルス幅変調の意、この場合デューティ制御ともいう）された駆動パルスDPによってON/OFF駆動される。

20

【0004】

これにより、MOSFETのMM0は、商用電源（AC100V）を全波整流器DB1とコンデンサC101を介し整流・平滑化した直流電源を、従来は所定の周波数で、且つフライバックトランスTfの2次側の直流出力DCVの電圧が一定となるようなデューティ、即ちON比率 = ON期間 / (ON期間 + OFF期間) により断続してトランスTfの1次巻線n1に印加する。

【0005】

トランスTfの2次巻線n2には、MOSFETのMM0のOFF時に、それまで1次巻線n1を流れていた電流を維持する方向に電圧が発生することから、ダイオードD2が導通し、この電圧はコンデンサC102により平滑化され、直流出力DCVとして外部の負荷に供給される。

30

【0006】

直流出力電圧は、トランスTfの2次側に設けられたシャントレギュレータREGによりホトカプラPC1の発光ダイオードPDの電流（従ってその光量）として検出され、ホトカプラPC1のホトトランジスタPTRを介してトランスTfの1次側の制御用IC01のフィードバック端子FBに負荷レベル電圧Vfbとして伝えられる。

【0007】

なお、トランスTfの3次巻線n3の誘起電圧は、2次巻線n2と同様にダイオードD3を介して取り出され、ツエナーダイオードZDとコンデンサC100によって一定の直流電圧となり、制御用IC01の電源端子VCCに供給される。

40

【0008】

なお、制御用IC01のタイミング抵抗端子RTには、後述する発振回路の周波数を定めるタイミング抵抗Rrtが接続され、同じく端子IS+には、このスイッチング電源の過電流保護のためにトランス1次巻線n1に接続された電流検出抵抗Risの電圧が入力され、同じく端子CSには、保護動作の時限を定めるコンデンサが接続される。

【0009】

また、制御用IC01の端子REFは、このIC01内で作られる5Vの基準電源Vdd1

50

を参照するための端子で、この例では平滑コンデンサが接続されている。

【0010】

図8は制御用IC01内の従来の発振回路の原理説明用の簡略回路を示す。なお、図8の実際の回路は後述する図1の発振回路において、RTアンプ1の2つの(-)入力端子が1つのみで、この1つの(-)入力端子に基準電圧 $V_{dd2}$  (2.5V)が入力されている回路に相当する。次に図8により発振の仕組みを説明する。

【0011】

1 5Vの内部の基準電圧 $V_{dd1}$ から固定の電流値の2つの電流源 $I_{ct1}$ 及び $I_{ct2}$ を作る。なお、図7で述べたタイミング抵抗 $R_{rt}$ はこの電流源 $I_{ct1}$ 及び $I_{ct2}$ の電流値を定め、この発振回路の発振周波数を定める役割を持つ。

10

【0012】

2 この電流源 $I_{ct1}$ 及び $I_{ct2}$ の出力する定電流で右端のタイミングコンデンサ $C_{ct}$ を充放電する。スイッチ $SW1$ の上側に配置した電流源 $I_{ct1}$ は充電用、スイッチ $SW2$ の下側の電流源 $I_{ct2}$ は放電用に用い、スイッチ $SW1$ 、 $SW2$ を交互にONすることで充放電を行う。なお、スイッチ $SW1$ 、 $SW2$ は実際はCMOSトランジスタで構成されている。

【0013】

3 タイミングコンデンサ $C_{ct}$ の電圧(発振波電圧という) $V_{ct}$ を2つのコンパレータ $CP1$ 、 $CP2$ に入力し、発振波形の上下限電圧と比較する。

【0014】

4 図の例では、コンパレータ $CP1$ が上限電圧3V、 $CP2$ が下限電圧1Vとの比較を行っており、この上限電圧3Vと下限電圧1Vは、5Vの基準電圧 $V_{dd1}$ を分割する分圧抵抗 $R_{11} \sim R_{13}$ により作り出される。

20

【0015】

5 コンパレータ $CP1$ 、 $CP2$ の出力はRSフリップフロップ $FF1$ とインバータ $INV1$ 、 $INV2$ を介して、スイッチ $SW1$ 、 $SW2$ を切り換える入力とする。

【0016】

6 タイミングコンデンサ $C_{ct}$ の電圧 $V_{ct}$ が1V以下の場合、コンパレータの出力は $CP1$ がH、 $CP2$ がLとなり、フリップフロップ $FF1$ の出力がHになるため、上側のスイッチ $SW1$ がONしてコンデンサ $C_{ct}$ の充電を行う。充電が開始され、コンデンサ $C_{ct}$ の電圧 $V_{ct}$ が3V以上になると、コンパレータ $CP1$ の出力がL、 $CP2$ の出力がHとなり、フリップフロップ $FF1$ はLを出力する。そのため、上側のスイッチ $SW1$ は切れて下側のスイッチ $SW2$ が入り、コンデンサ $C_{ct}$ の放電が開始される。

30

【0017】

7 この充放電は定電流で行われるため、充放電の速度が一定である。従って、コンデンサ $C_{ct}$ の電圧 $V_{ct}$ は、上下限電圧(この例では3Vと1V)の間を一定の時間をかけて昇降する。

【0018】

8 以上の仕組みによるタイミングコンデンサ $C_{ct}$ の電圧 $V_{ct}$ の波形が図の発振波電圧端子CT部分に示すような発振波形で、立ち上がり時間と立ち下がり時間の等しい三角波の発振波形となる。

40

【0019】

図9はPWM制御の概念図である。次にPWM制御の方法を説明する。

【0020】

1 図7の制御用IC01のフィードバック端子FBに入力される負荷レベル電圧 $V_{fb}$ は、負荷の重さをモニタし、タイミングコンデンサ $C_{ct}$ の電圧である発振波電圧 $V_{ct}$ の発振波形と比較できるレベルにした電圧である。この場合、負荷レベル電圧 $V_{fb}$ は負荷が重い時には上がり、軽い時には下がる性質を持ち、これによって制御用IC01はスイッチング電源の直流出力DCVの電圧を一定にするフィードバック制御を行う。

【0021】

50

2 発振器出力（発振波電圧  $V_{ct}$ ）と負荷レベル電圧  $V_{fb}$  をスイッチング電源制御用 IC 01 内の図外のコンパレータで比較する。このコンパレータには、 $V_{ct} < V_{fb}$  の時に出力が H となるように入力する。

3 このコンパレータの出力は、制御用 IC 01 内の図外のレベルシフタで昇圧され制御用 IC 01 の端子 OUT の出力としての駆動パルス DV となる。つまり、駆動パルス DV は前記コンパレータの出力が H となる期間分、H のパルス幅を持つことになり、この駆動パルス DV の H のパルス幅の期間、MOSFET の MN0 が ON される。

#### 【0022】

4 従って、主スイッチング素子である MOSFET の MN0 の ON 期間の割合〔= ON 期間 / (ON 期間 + OFF 期間)〕としてのデューティは、発振波電圧  $V_{ct}$  が一定周期の三角波の波形となっているため、発振波電圧  $V_{ct}$  の三角波の一周期に占める  $V_{ct} < V_{fb}$  の時間の割合、つまり（コンパレータ出力 H の時間 = パルス幅） / （発振周期）であり、負荷レベル電圧  $V_{fb}$  が高いほどデューティが大になり（1 に近づき）、負荷が軽くなると負荷レベル電圧  $V_{fb}$  が下がりデューティが小になる（0 に近づく）。

10

#### 【0023】

##### 【発明が解決しようとする課題】

上述のように、スイッチング電源制御用 IC 01 は負荷レベルに応じて供給電力を調整して負荷に安定にエネルギーを供給するために PWM 制御（デューティ制御）を行う。

#### 【0024】

図 10 はスイッチング電源の主スイッチング素子（図 7 の例では MOSFET MN0）のスイッチングロス（この例ではターンオン時）における、素子電圧と素子電流の時間的変化の概念を示す。図 10 の斜線を施した期間にスイッチングロス（この場合きターンオンロス）が発生する。

20

#### 【0025】

このスイッチングロスは、主スイッチング素子の ON / OFF の切替わり時間が零では無いことから生じるもので、主スイッチング素子のターンオン時とターンオフ時に発生してスイッチング電源の効率を下げる。

#### 【0026】

負荷が重い時にはデューティが大である（主スイッチング素子の ON 期間の幅が広い）ため、供給電力に対してスイッチングロスの占める割合が小さくなり影響は少ないが、軽負荷時にはデューティが小になる（主スイッチング素子の ON 期間の幅が狭くなる）ため、その影響が顕著になりスイッチング電源の効率を下げる原因となる。

30

#### 【0027】

スイッチングロスはスイッチング速度を速くする事で低減できるが、それにも限界が有り皆無にすることはできない。

#### 【0028】

最近の各種機器への低消費電力化・低価格化の要求が厳しくなる中で、最近の電子製品の機能の一つに待機モードが有るが、このモード時の低消費電力化が特に厳しくなっており、スイッチング電源については如何に主スイッチング素子のスイッチングロスを少なくし、制御用 IC の省電力化を図るかが課題である。

40

#### 【0029】

本発明の目的は、このような課題を解決できるスイッチング電源装置、特にその制御用 IC を提供することにある。

#### 【0030】

##### 【課題を解決するための手段】

前記の課題を解決するために、請求項 1 のスイッチング電源装置は、所定振幅の三角波（発振波電圧  $V_{ct}$ ）を発振出力する発振手段を備え、このスイッチング電源装置が供給する安定化直流電源（トランス T f の 2 次側から整流・平滑化して送られる直流出力 DC V など）の負荷レベルを示す信号（負荷レベル電圧  $V_{fb}$ ）と前記三角波

50

との比較によって得られるPWM制御されたパルス幅の駆動パルス(DP)で半導体スイッチング手段(NチャンネルMOSFETのMN0など)を駆動して、少なくともエネルギー源となる原直流電源(商用電源AC100Vを全波整流器DB1で整流し、コンデンサC101で平滑化した電源など)を開閉し、所定電圧の前記安定化直流電源を生成するスイッチング電源装置において、

前記発振手段が、前記負荷レベルを示す信号が(負荷レベル電圧Vfb0に対応する)所定の負荷レベルを下回る負荷レベルを示すときは、この下回る分に応じて前記三角波の発振周波数を低下させるようにする。

#### 【0031】

さらに、前記発振手段が、タイミングコンデンサ(Cct)と、このタイミングコンデンサをタイミング抵抗(Rrt)に流れる電流に比例する電流で充放電し、該タイミングコンデンサの両端に少なくとも前記三角波に対応する電圧を生成する手段(MOSFETのMP1~MP5、MN1~MN4、分圧抵抗R11~R13、コンパレータCP1、CP2、RSフリップフロップFF1など)と、このタイミング抵抗の電圧を指令信号に等しく制御する制御手段(RTアンプ1の入力部のPNPトランジスタPNP1とPNP2を除いた部分、MOSFETのMP5)と、前記負荷レベルを示す信号が前記所定負荷レベルを上回る負荷レベルを示すときは、該指令信号として所定電圧の信号(基準電圧Vdd2など)を、前記負荷レベルを示す信号が前記所定負荷レベルを下回る負荷レベルを示すときは、前記指令信号として少なくとも前記負荷レベルを示す信号から(FBアンプ2、抵抗R1、R2、基準電圧Edなどを介して)作られ、負荷レベルの低下に対応して電圧が低下する信号(FBアンプ出力Vin(-))を前記制御手段に与える手段(PNPトランジスタPNP1、PNP2)とを備えたものとする。

#### 【0032】

そして、前記発振手段が、前記タイミング抵抗を外付けとし、前記半導体スイッチング手段に前記駆動パルスを与える回路の少なくとも一部を持つ半導体集積回路(制御用IC01)に組み込まれてなるようにする。

#### 【0033】

本発明の作用は次の如くである。即ち、スイッチング電源の軽負荷時の効率低下を防ぐために、負荷が或るレベルより軽くなったら負荷レベルの減少に応じてリアに発振周波数を下げる方法を採用。このようにすれば、同じ電力を供給するにもスイッチング頻度が少なくなるため、スイッチングロスの割合が少なくなり効率が改善できるからである。

#### 【0034】

発振周波数は従来技術と同様に、タイミングコンデンサCctの充放電電流によって定まり、タイミングコンデンサCctの充放電電流はタイミング抵抗Rrtに流れる電流に等しいので、発振周波数を下げるためにはタイミング抵抗Rrtに流す電流を減少させる。

#### 【0035】

このために本発明の発振回路では、タイミング抵抗Rrtの電圧Vrtを制御するRTアンプの、従来は基準電圧Vdd2のみを入力するため1つであった(-)入力端子を2つに変え、追加した(-)入力端子に負荷レベル電圧Vfbを増幅して得た電圧Vin(-)を与え、この追加した入力電圧Vin(-)により、負荷レベルの変化をタイミング抵抗Rrtに流す電流の変化に反映させる。

#### 【0036】

##### 【発明の実施の形態】

図1は本発明の一実施例としてのスイッチング電源制御用IC01内の発振回路の構成を示し、図2は図1にシンボルで表されているRTアンプ1の回路構成を示す。なお、説明の便宜上、図2にはRTアンプ1により制御されるPチャンネルMOSFETのMP5及びその負荷となるタイミング抵抗Rrtの接続をも併せて示す。また、図1、図2において一重丸で示す端子は制御用IC01内の回路間の端子としての内部端子を表し、二重丸で示す端子は制御用IC01から外部に向かう端子としての外部端子を表すものとする。

#### 【0037】

10

20

30

40

50

まず、図1の構成と動作を述べる。端子V<sub>dd2</sub>は制御用IC01の内部で作られる基準電圧2.5Vの入力端子、端子V<sub>dd1</sub>は同じくこの制御用IC01の内部で作られる基準電圧5Vの入力端子、発振波電圧端子CTはこの発振回路の出力端子で、この端子CTからはタイミングコンデンサC<sub>ct</sub>の電圧としての三角波の発振波形を持つ発振波電圧V<sub>ct</sub>が出力される。

【0038】

制御用IC01の外部端子であるフィードバック端子FBには、負荷レベル(負荷の重さ)を電圧に変換した信号である前記の負荷レベル電圧V<sub>fb</sub>が入力され、同じく制御用IC01の外部端子であるタイミング抵抗端子RTには、外付け部品となっているタイミング抵抗R<sub>rt</sub>が接続される。

10

【0039】

RTアンプ1は2つの(-)入力端子と1つの(+)入力端子を持ち、その出力V<sub>out</sub>によってPチャンネルMOSFETのMP5のゲートを制御する。このMP5のドレインはタイミング抵抗端子RTを経てタイミング抵抗R<sub>rt</sub>に接続され、このタイミング抵抗R<sub>rt</sub>の電圧V<sub>rt</sub>はRTアンプ1の(+)入力端子に入力される。

【0040】

RTアンプ1の2つの(-)入力端子の一方には基準電圧V<sub>dd2</sub>(2.5V)が入力され、(-)入力端子の他方にはFBアンプ2の出力V<sub>in(-)</sub>が入力される。

【0041】

RTアンプ1は、この構成によって後述のように、(+)入力端子に入力される電圧、即ちタイミング抵抗R<sub>rt</sub>の電圧V<sub>rt</sub>が、2つの(-)入力端子の電圧の内の低い方の電圧に等しくなるような制御を行う。

20

【0042】

本発明では、制御用IC01のフィードバック端子FBに入力される負荷レベル電圧V<sub>fb</sub>は、図7で述べたようにPWM制御(デューティ制御)のためのフィードバック電圧として用いられるほかに、図1の発振回路のFBアンプ2の(+)入力端子にも入力される。

【0043】

図3はRTアンプ1の2つの(-)入力端子に入力される電圧と負荷レベル電圧V<sub>fb</sub>との関係を示すが、この図3中の実線の特性は、FBアンプ2の出力V<sub>in(-)</sub>と負荷レベル電圧V<sub>fb</sub>との関係を示す。

30

即ち、オペアンプとしてのFBアンプ2、抵抗R<sub>1</sub>, R<sub>2</sub>(但しこの例では抵抗値の比R<sub>1</sub>:R<sub>2</sub>=1:9である)及び基準電圧E<sub>d</sub>(この例では1.06V)からなる増幅回路は、負荷レベル電圧V<sub>fb</sub>が通常負荷モードと軽負荷モードとの切替わり点の電圧V<sub>fb0</sub>のとき、FBアンプ2の出力V<sub>in(-)</sub>が基準電圧V<sub>dd2</sub>に等しく2.5Vとなり、この点を基準として負荷レベル電圧V<sub>fb</sub>の変化量の10倍の変化をFBアンプ2の出力V<sub>in(-)</sub>として生ずる。

【0044】

図3中の破線の特性は、基準電圧V<sub>dd2</sub>(2.5V)を示し、この電圧V<sub>dd2</sub>は勿論、負荷レベル電圧V<sub>fb</sub>に無関係に一定である。

前述のようにRTアンプ1は、(+)入力端子に入力されるタイミング抵抗電圧V<sub>rt</sub>が、2つの(-)入力端子の電圧の内の低い方の電圧に等しくなるような制御を行うので、タイミング抵抗電圧V<sub>rt</sub>と負荷レベル電圧V<sub>fb</sub>との関係は図4の実線特性のようになる。

40

【0045】

即ち、非軽負荷時は負荷レベル電圧V<sub>fb</sub>がV<sub>fb0</sub>以上であるため、FBアンプ2の出力V<sub>in(-)</sub>は基準電圧V<sub>dd2</sub>(2.5V)以上である。従って、非軽負荷時にはタイミング抵抗電圧V<sub>rt</sub>は基準電圧V<sub>dd2</sub>(2.5V)に等しい。

【0046】

一方、軽負荷時には負荷レベル電圧V<sub>fb</sub>がV<sub>fb0</sub>以下になり、FBアンプ2の出力V<sub>in(-)</sub>は基準電圧V<sub>dd2</sub>(2.5V)以下になるため、タイミング抵抗電圧V<sub>rt</sub>はFBアンプ2の出力V<sub>in(-)</sub>と等しくなる。

50

## 【 0 0 4 7 】

なお、図 4 中の破線の特性は従来の特性を示し、タイミング抵抗電圧  $V_{rt}$  は負荷レベル電圧  $V_{fb}$  に無関係に基準電圧  $V_{dd2}$  ( 2 . 5 V ) のままである。

ところで、図 1 の P チャネル MOS F E T の M P 5 と M P 1 とはゲート・ソース電圧が等しく、M P 5 に流れる電流、つまりタイミング抵抗  $R_{rt}$  に流れる電流と M P 1 に流れる電流は等しい。

## 【 0 0 4 8 】

また M P 1 と N チャネル MOS F E T の M N 1 は直列に接続され、N チャネル MOS F E T の M N 1 , M N 2 , M N 4 のゲート・ソース電圧は等しく、さらに M N 2 と M N 4 にそれぞれ直列に接続された P チャネル MOS F E T の M P 2 と M P 3 がカレントミラー回路を構成している。

10

## 【 0 0 4 9 】

このため、MOS F E T の M P 2 , M P 3 , M N 1 , M N 2 , M N 4 を流れる電流は全てタイミング抵抗  $R_{rt}$  に流れる電流と等しく、結果として MOS F E T の M P 3 と M N 4 がタイミング抵抗  $R_{rt}$  に流れる電流と同じ電流でタイミングコンデンサ  $C_{ct}$  を充放電する定電流源になる。

## 【 0 0 5 0 】

なお、P チャネル MOS F E T の M P 4 と N チャネル MOS F E T の M N 3 は R S フリップフロップ F F 1 の出力によって交互に O N / O F F され、それぞれ電流源の M P 3 と M N 4 をタイミングコンデンサ  $C_{ct}$  に接続するスイッチ ( 図 8 の S W 1 , S W 2 ) の役割を持つ。

20

## 【 0 0 5 1 】

図 1 のこれら電流源 M P 3 , M N 4 、スイッチ M P 4 , M N 3 、タイミングコンデンサ  $C_{ct}$  、及びこれより右側の分圧抵抗  $R_{11} \sim R_{13}$  、コンパレータ C P 1 , C P 2 、R S フリップフロップ F F 1 からなる回路は従来技術で述べた図 8 の構成と基本的には同じである。

## 【 0 0 5 2 】

但し、図 1 ではタイミングコンデンサ  $C_{ct}$  の電圧  $V_{ct}$  が下降し、1 V 以下になろうとするとコンパレータ C P 1 の出力が L 、コンパレータ C P 2 の出力が H となって、R S フリップフロップ F F 1 の出力が L となり、スイッチ M P 4 が O N 、M N 3 が O F F となって、電流源 M P 3 によってコンデンサ  $C_{ct}$  の充電が行われる。

30

## 【 0 0 5 3 】

また、タイミングコンデンサ  $C_{ct}$  の電圧  $V_{ct}$  が上昇し、3 V 以上になろうとするとコンパレータ C P 1 の出力が H 、コンパレータ C P 2 の出力が L となって、R S フリップフロップ F F 1 の出力が H となり、スイッチ M P 4 が O F F 、M N 3 が O N となって、電流源 M N 4 によってコンデンサ  $C_{ct}$  の放電が行われる。

## 【 0 0 5 4 】

このようにして図 1 の発振回路では、図 4 に示したように制御用 I C 0 1 のフィードバック端子 F B の電圧としての負荷レベル電圧  $V_{fb}$  が  $V_{fb0}$  以上の時には、タイミング抵抗電圧  $V_{rt}$  が基準電圧  $V_{dd2}$  ( 2 . 5 V ) に保たれ、従ってタイミング抵抗  $R_{rt}$  を流れる電流、つまりタイミングコンデンサ  $C_{ct}$  の充放電電流が大きく且つ一定に保たれることから発振周波数が大きく且つ一定の値を保つ。

40

## 【 0 0 5 5 】

他方、負荷レベル電圧  $V_{fb}$  が  $V_{fb0}$  以下の時はタイミング抵抗電圧  $V_{rt}$  、従ってタイミングコンデンサ  $C_{ct}$  の充放電電流が負荷レベル電圧  $V_{fb}$  の低下と共に下がることになり、これに伴って発振周波数も低下する。

## 【 0 0 5 6 】

次に図 2 により R T アンプ 1 の具体的な構成と動作を説明する。この R T アンプ 1 は従来の R T アンプに対し、F B アンプ 2 の出力  $V_{in(-)}$  を入力する ( - ) 入力端子と、この ( - ) 入力端子がベースに接続された P N P トランジスタ P N P 1 が追加されている。

50

## 【0057】

このRTアンプ1の従来と同じ(-)入力端子には基準電圧V<sub>dd2</sub>(2.5V)が入力されている。なお、この入力端子よりグランドに向けて抵抗R<sub>21</sub>、NPNトランジスタPNP<sub>1</sub>、NチャンネルMOSFETのMN<sub>11</sub>が順次直列に接続されているが、この回路は図2の回路のバイアス源を構成する。

## 【0058】

即ち、NチャンネルMOSFETのMN<sub>11</sub>と12はカレントミラー回路を構成し、PチャンネルMOSFETのMP<sub>11</sub>~MP<sub>13</sub>、MP<sub>16</sub>、MP<sub>17</sub>もカレントミラー回路を構成しており、MP<sub>11</sub>~MP<sub>13</sub>、MP<sub>16</sub>、MP<sub>17</sub>に流れる電流はMN<sub>11</sub>に流れる電流に比例する。

10

## 【0059】

従って、MP<sub>13</sub>の供給電流は一定であり、PチャンネルMOSFETのMP<sub>14</sub>とMP<sub>15</sub>は、ソースがMP<sub>13</sub>のドレインに共通に接続されているところから、MP<sub>14</sub>とMP<sub>15</sub>を流れる電流の和は一定となる。

## 【0060】

図2のRTアンプ1の新たな(-)入力端子には前述のようにFBアンプ2の出力V<sub>in(-)</sub>が入力されるが、基準電圧V<sub>dd2</sub>(2.5V)とFBアンプ2の出力V<sub>in(-)</sub>の電圧は、それぞれエミッタがMP<sub>14</sub>のゲートに共通に接続されたPNPトランジスタであるPNP<sub>2</sub>とPNP<sub>1</sub>で受けているため、2つの入力V<sub>dd2</sub>とV<sub>in(-)</sub>のうちの低い電圧により、MP<sub>14</sub>がONとなる。

20

## 【0061】

また図2の右側では、RTアンプ1の出力端子V<sub>out</sub>がPチャンネルMOSFETのMP<sub>5</sub>のゲートに接続され、MP<sub>5</sub>のドレインはRTアンプ1の(+)入力端子となるPNPトランジスタPNP<sub>3</sub>のベースに接続されると共に、タイミング抵抗端子RTを介してタイミング抵抗R<sub>rt</sub>に接続されている。従ってタイミング抵抗R<sub>rt</sub>の電圧V<sub>rt</sub>がトランジスタPNP<sub>3</sub>のベースに入力される。

## 【0062】

図2の回路ではMOSFETのMP<sub>14</sub>とMP<sub>15</sub>のゲートの電位が等しくなることによって安定する。その理由は、仮にMP<sub>15</sub>のゲート電位がMP<sub>14</sub>のゲート電位より高くなったとすると、MP<sub>14</sub>のON抵抗がMP<sub>15</sub>のON抵抗より低くなり、MP<sub>14</sub>の電流がMP<sub>15</sub>の電流より多くなる。

30

## 【0063】

MP<sub>14</sub>の電流はNチャンネルMOSFETのMN<sub>13</sub>に流れ、MN<sub>13</sub>はMN<sub>13</sub>とカレントミラー回路を構成するNチャンネルMOSFETのMN<sub>14</sub>の電流を自身の電流と等しくしようとしてMN<sub>14</sub>のゲート電位を高め、そのON抵抗を下げるが、MN<sub>14</sub>の電流はMP<sub>15</sub>の電流に等しく、MN<sub>13</sub>の電流より少ないため、MN<sub>14</sub>のドレイン電位、従ってNチャンネルMOSFETのMN<sub>15</sub>のゲート電位は下がり、MN<sub>15</sub>のON抵抗が増加し、RTアンプ出力V<sub>out</sub>の電位を高める。

これにより、MOSFETのMP<sub>5</sub>の電流が低下し、タイミング抵抗電圧V<sub>rt</sub>、従ってMP<sub>15</sub>のゲート電位が低下する。

40

## 【0064】

MP<sub>15</sub>のゲート電位がMP<sub>14</sub>のゲート電位より低くなった場合は上記の動作の逆となり、結局MP<sub>14</sub>とMP<sub>15</sub>の電流、従ってMP<sub>14</sub>とMP<sub>15</sub>のゲート電位が等しくなって落ち着く。

## 【0065】

つまりは、RTアンプ1の2つの(-)入力端子の電圧、即ち基準電圧V<sub>dd2</sub>(2.5V)及びFBアンプ出力V<sub>in(-)</sub>のうちの何れか低い電圧と、RTアンプ1の(+)入力端子の電圧としてのタイミング抵抗R<sub>rt</sub>の電圧V<sub>rt</sub>が等しくなって落ち着くことになる。

## 【0066】

## 【発明の効果】

50

本発明によれば、所定振幅の三角波の電圧  $V_{ct}$  を発振出力する発振回路を備え、このスイッチング電源装置が供給する安定化直流電源の負荷レベルを示す信号としての負荷レベル電圧  $V_{fb}$  と前記三角波電圧  $V_{ct}$  との比較によって得られる PWM 制御されたパルス幅の駆動パルスで半導体スイッチング素子を駆動して、少なくともエネルギー源となる原直流電源を開閉し、所定電圧の前記安定化直流電源を生成するスイッチング電源装置において、前記負荷レベル電圧  $V_{fb}$  が所定電圧  $V_{fb0}$  を下回る軽負荷時には、この負荷レベル電圧  $V_{fb}$  の下回る分に応じて、前記発振手段が出力する前記三角波電圧  $V_{ct}$  の発振周波数を低下させるようにし、

このために、前記発振回路における、タイミング抵抗  $R_{rt}$  の電圧、従って三角波の発振波電圧  $V_{ct}$  を発生するタイミングコンデンサ  $C_{ct}$  の充放電電流の電流値、従って発振周波数、を定める RT アンプに与える、周波数指令用入力信号を従来の  $V_{dd2}$  ( 2 . 5 V ) より 1 つ増やして、前記負荷レベル電圧  $V_{fb}$  から FB アンプ 2 等を介して作った信号  $V_{in(-)}$  を別の周波数指令用入力信号として追加入力し、軽負荷時にはこの追加入力した周波数指令用入力信号  $V_{in(-)}$  が RT アンプに優先選択されるようにしたので、少ない回路変更のみ ( 具体的には、FB アンプ 2 部分の回路の追加と、RT アンプ 1 内の信号  $V_{in(-)}$  の入力部のトランジスタ PNP1 の追加 ) で、軽負荷時の半導体スイッチング素子のスイッチング周波数、従ってスイッチングロス を低下させ、スイッチング電源装置の効率低下を防ぐことができる。

#### 【 0 0 6 7 】

図 1 の本発明の実施回路例では、通常モードにおいては 1 0 0 k H z で行う発振を、軽負荷モードにおける最軽負荷時には 2 0 k H z で発振するようにしている。図 5 は発振波電圧  $V_{ct}$  の三角波の波形を、通常モードの場合 ( 実線波形 ) と軽負荷モードの場合 ( 点線波形 ) とで対比して示す。

#### 【 0 0 6 8 】

また、図 6 はスイッチング電源制御用 IC の負荷対効率曲線を、従来 (  $f$  一定 ) [ ここで  $f$  は発振周波数を意味する ] と、本発明 (  $f$  可変 ) とで対比して示す。理論計算による曲線ではあるが、本発明により軽負荷時の効率が改善されることが解る。

#### 【 図面の簡単な説明 】

【 図 1 】 本発明の一実施例として発振回路の要部の構成図

【 図 2 】 図 1 の RT アンプの回路図

【 図 3 】 図 1 の RT アンプの ( - ) 入力端子の入力信号と負荷レベル電圧との関係を示す特性図

【 図 4 】 図 1 のタイミング抵抗電圧と負荷レベル電圧との関係を示す特性図

【 図 5 】 本発明に基づく発振波電圧の波形図

【 図 6 】 本発明に基づくスイッチング電源装置の負荷対効率の曲線を従来と対比する図

【 図 7 】 スwitching電源装置の要部の構成例を示す回路図

【 図 8 】 従来の発振回路の原理説明用の回路図

【 図 9 】 スwitching電源装置の PWM 制御 ( デューティ制御 ) の概念図

【 図 1 0 】 半導体スイッチング素子のスイッチングロスの概念図

#### 【 符号の説明 】

0 1	制御用 IC
1	RT アンプ
2	FB アンプ
D P	駆動パルス
C ct	タイミングコンデンサ
V ct	発振波電圧
R rt	タイミング抵抗
V rt	タイミング抵抗電圧
C T	発振波電圧端子
F B	フィードバック端子

10

20

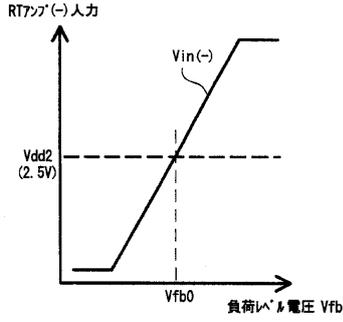
30

40

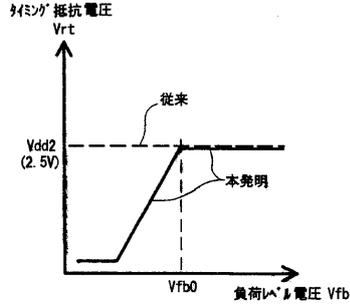
50



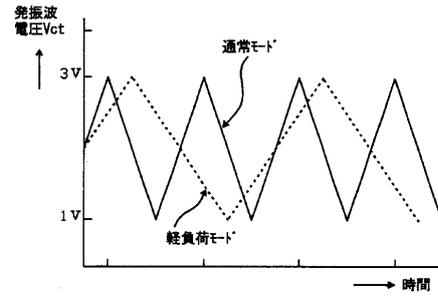
【図3】



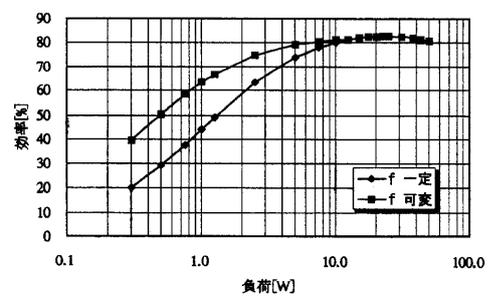
【図4】



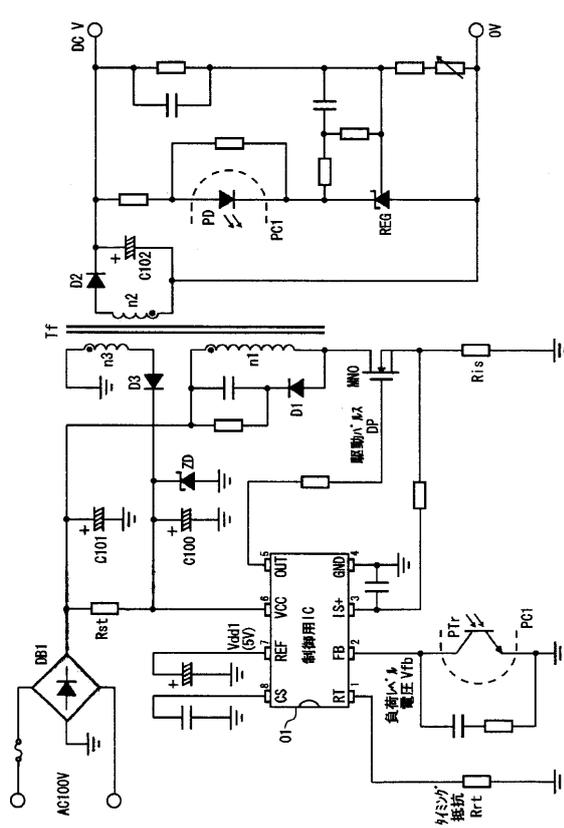
【図5】



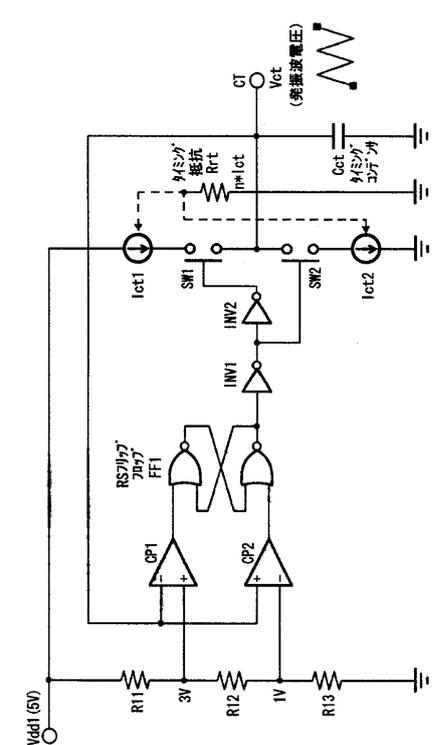
【図6】



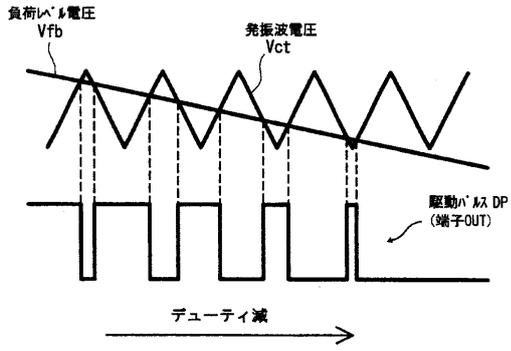
【図7】



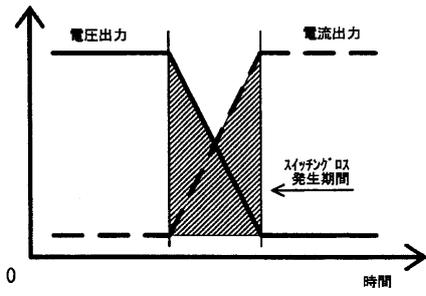
【図8】



【 図 9 】



【 図 10 】



フロントページの続き

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H02M 3/28