



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년07월21일
(11) 등록번호 10-0908560
(24) 등록일자 2009년07월13일

(51) Int. Cl.

G11C 16/34 (2006.01) G11C 16/12 (2006.01)

G11C 16/24 (2006.01)

(21) 출원번호 10-2007-0078556

(22) 출원일자 2007년08월06일

심사청구일자 2007년08월06일

(65) 공개번호 10-2009-0014527

(43) 공개일자 2009년02월11일

(56) 선행기술조사문헌

KR1020070042569 A

전체 청구항 수 : 총 13 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

노유중

서울 강북구 미아3동 301-38

박세천

서울시 강서구 화곡6동 966-3호

(74) 대리인

신영무

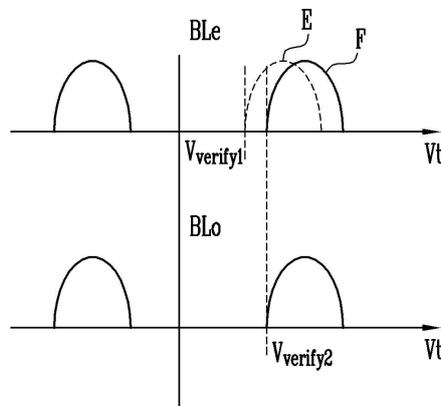
심사관 : 윤진훈

(54) 플래시 메모리 소자의 프로그램 방법

(57) 요약

본 발명은 플래시 메모리 소자의 프로그램 방법에 관한 것으로, ISPP 프로그램 방법을 이용한 플래시 메모리 소자의 프로그램 방법에 있어서, 제1 프로그램 전압을 워드라인에 인가하여 이븐 비트라인에 연결된 제1 메모리 셀을 프로그램하는 단계와, 제1 검증 전압을 이용하여 상기 제1 메모리 셀의 프로그램 상태를 검증하며, 정상적으로 프로그램되지 않을 경우 상기 제1 프로그램 전압보다 스텝전압만큼 순차적으로 증가되는 프로그램 전압을 이용하여 프로그램하는 단계와, 상기 제1 프로그램 전압을 상기 워드라인에 인가하여 오드 비트 라인에 연결된 제2 메모리 셀을 프로그램하는 단계, 및 상기 제1 검증 전압보다 큰 제2 검증 전압을 이용하여 상기 제2 메모리 셀의 프로그램 상태를 검증하며, 정상적으로 프로그램되지 않을 경우 상기 제1 프로그램 전압보다 상기 스텝전압만큼 순차적으로 증가되는 프로그램 전압을 이용하여 프로그램하는 단계를 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

제1 비트라인에 연결된 제1 메모리 셀의 문턱전압이 목표 전압과 같거나 높아질 때까지 프로그램 전압을 제1 레벨만큼씩 상승시키면서 ISPP 방식으로 제1 프로그램 동작을 실시하는 단계; 및

상기 제1 비트라인과 인접한 제2 비트라인에 연결된 제2 메모리 셀의 문턱 전압이 상기 목표 전압과 같거나 높아질 때까지 상기 프로그램 전압을 상기 제1 레벨보다 높은 제2 레벨만큼씩 상승시키면서 ISPP 방식으로 제2 프로그램 동작을 실시하는 단계를 포함하는 플래시 메모리 소자의 프로그램 방법.

청구항 2

제1 비트라인에 연결된 제1 메모리 셀의 워드라인에 제1 프로그램 전압을 인가하여 프로그램하는 단계;

상기 제1 메모리 셀이 정상적으로 프로그램되었을 경우 제1 메모리 셀의 프로그램 동작을 완료하는 단계;

상기 제1 메모리 셀이 프로그램되지 않았을 경우 상기 제1 프로그램 전압보다 제1 스텝 전압만큼 높은 프로그램 전압을 상기 워드라인에 인가하며, 상기 제1 메모리 셀이 프로그램될 때까지 상기 제1 스텝 전압만큼 증가된 새로운 프로그램 전압을 인가하여 프로그램하는 단계;

상기 제1 비트라인에 인접한 제2 비트라인에 연결된 제2 메모리 셀의 워드라인에 상기 제1 프로그램 전압을 인가하여 프로그램하는 단계;

상기 제2 메모리 셀이 정상적으로 프로그램되었을 경우 제2 메모리 셀의 프로그램 동작을 완료하는 단계; 및

상기 제1 메모리 셀이 프로그램되지 않았을 경우 상기 제1 스텝 전압보다 큰 제2 스텝 전압만큼 증가시킨 프로그램 전압을 상기 워드라인에 인가하며, 상기 제2 메모리 셀이 프로그램될 때까지 상기 제2 스텝 전압만큼 증가된 새로운 프로그램 전압을 인가하여 프로그램하는 단계를 포함하는 플래시 메모리 소자의 프로그램 방법.

청구항 3

제 2 항에 있어서,

상기 제1 프로그램 전압을 인가하여 상기 제1 메모리 셀을 프로그램한 후, 상기 제1 메모리 셀의 프로그램 상태를 검증하는 단계를 더 포함하는 플래시 메모리 소자의 프로그램 방법.

청구항 4

제 2 항에 있어서,

상기 제1 프로그램 전압을 인가하여 상기 제2 메모리 셀을 프로그램한 후, 상기 제2 메모리 셀의 프로그램 상태를 검증하는 단계를 더 포함하는 플래시 메모리 소자의 프로그램 방법.

청구항 5

제 2 항에 있어서,

상기 제1 스텝 전압은 상기 제2 스텝 전압보다 작은 플래시 메모리 소자의 프로그램 방법.

청구항 6

제 2 항에 있어서,

상기 제1 스텝 전압은 0.3V, 상기 제2 스텝 전압은 0.4V인 플래시 메모리 소자의 프로그램 방법.

청구항 7

제1 비트라인에 연결된 제1 메모리 셀의 문턱 전압이 목표 전압보다 낮은 제1 레벨까지 상승하도록 제1 프로그램 동작을 실시하는 단계; 및

제2 비트라인에 연결된 제2 메모리 셀의 문턱전압이 상기 목표 전압과 같거나 높은 제2 레벨까지 상승하면서 상기 제1 메모리 셀의 문턱전압이 상기 목표 전압과 같거나 높은 제3 레벨까지 상승하도록 제2 프로그램 동작을

실시하는 단계를 포함하는 플래시 메모리 소자의 프로그램 방법.

청구항 8

제1 비트라인에 연결된 제1 메모리 셀의 워드라인에 제1 프로그램 전압을 인가하여 프로그램하는 단계;

상기 워드라인에 목표 검증 전압보다 낮은 제1 검증 전압을 인가하여 상기 제1 메모리 셀의 프로그램 상태를 검증하는 단계;

상기 제1 비트라인에 인접한 제2 비트라인에 연결된 제2 메모리 셀의 워드라인에 상기 제1 프로그램 전압을 인가하여 프로그램하는 단계; 및

상기 워드라인에 목표 검증 전압과 같은 레벨의 제2 검증 전압을 인가하여 상기 제2 메모리 셀의 프로그램 상태를 검증하는 단계를 포함하는 플래시 메모리 소자의 프로그램 방법.

청구항 9

제 8 항에 있어서,

상기 제1 메모리 셀의 프로그램 상태를 검증하는 단계 후,

상기 제1 메모리 셀이 정상적으로 프로그램 되었을 경우 제1 메모리 셀의 프로그램 동작을 완료하는 단계; 및

상기 제1 메모리 셀이 프로그램되지 않았을 경우 상기 제1 프로그램 전압보다 스텝 전압만큼 높은 프로그램 전압을 상기 워드라인에 인가하며, 상기 제1 메모리 셀이 프로그램될 때까지 상기 스텝 전압만큼 증가된 새로운 프로그램 전압을 인가하여 프로그램하는 단계를 더 포함하는 플래시 메모리 소자의 프로그램 방법.

청구항 10

제 8 항에 있어서,

상기 제2 메모리 셀의 프로그램 상태를 검증하는 단계 후,

상기 제2 메모리 셀이 정상적으로 프로그램되었을 경우 제2 메모리 셀의 프로그램 동작을 완료하는 단계; 및

상기 제2 메모리 셀이 프로그램되지 않았을 경우 상기 제1 프로그램 전압보다 스텝 전압만큼 큰 프로그램 전압을 상기 워드라인에 인가하며, 상기 제2 메모리 셀이 프로그램될 때까지 상기 스텝 전압만큼 증가된 새로운 프로그램 전압을 인가하여 프로그램하는 단계를 더 포함하는 플래시 메모리 소자의 프로그램 방법.

청구항 11

ISPP 프로그램 방법을 이용한 플래시 메모리 소자의 프로그램 방법에 있어서,

제1 스텝 전압만큼 순차적으로 증가되는 제1 프로그램 전압을 이용하여 이븐 비트라인에 연결된 제1 메모리 셀을 프로그램하는 단계; 및

상기 제1 스텝 전압보다 큰 제2 스텝 전압만큼 순차적으로 증가되는 제2 프로그램 전압을 이용하여 오드 비트라인에 연결된 제2 메모리 셀을 프로그램하는 단계를 포함하는 플래시 메모리 소자의 프로그램 방법.

청구항 12

ISPP 프로그램 방법을 이용한 플래시 메모리 소자의 프로그램 방법에 있어서,

제1 프로그램 전압을 워드라인에 인가하여 이븐 비트라인에 연결된 제1 메모리 셀을 프로그램하는 단계;

제1 검증 전압을 이용하여 상기 제1 메모리 셀의 프로그램 상태를 검증하며, 정상적으로 프로그램되지 않을 경우 상기 제1 프로그램 전압보다 스텝전압만큼 순차적으로 증가되는 프로그램 전압을 이용하여 프로그램하는 단계;

상기 제1 프로그램 전압을 상기 워드라인에 인가하여 오드 비트 라인에 연결된 제2 메모리 셀을 프로그램하는 단계; 및

상기 제1 검증 전압보다 큰 제2 검증 전압을 이용하여 상기 제2 메모리 셀의 프로그램 상태를 검증하며, 정상적으로 프로그램되지 않을 경우 상기 제1 프로그램 전압보다 상기 스텝전압만큼 순차적으로 증가되는 프로그램 전

압을 이용하여 프로그램하는 단계를 포함하는 플래시 메모리 소자의 프로그램 방법.

청구항 13

제 12 항에 있어서,

상기 제1 검증 전압은 상기 제2 검증 전압보다 작은 플래시 메모리 소자의 프로그램 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 플래시 메모리 소자의 프로그램 방법에 관한 것으로, 특히 멀티 레벨 셀을 갖는 플래시 메모리 소자의 인터퍼런스 효과에 의한 문턱 전압 불균형을 감소시킬 수 있는 플래시 메모리 소자의 프로그램 방법에 관한 것이다.

배경기술

<2> 최근 들어 전기적으로 프로그램(program)과 소거(erase)가 가능하고, 일정 주기로 데이터를 재작성 해야하는 리프레시(refresh) 기능이 필요 없는 반도체 메모리 소자의 수요가 증가하고 있다. 그리고 더 많은 용량의 데이터를 저장할 수 있는 대용량 메모리 소자의 개발을 위해서 메모리 소자의 고집적화에 대한 기술이 연구되고 있다. 이에 따라 플래시 메모리에 관한 연구가 활발히 진행되고 있다.

<3> 플래시 메모리는 일반적으로 NAND형 플래시 메모리와 NOR형 플래시 메모리로 구분된다. NOR형 플래시 메모리는 메모리 셀들이 각각 독립적으로 비트라인과 워드라인에 연결되는 구조를 가지므로 랜덤 액세스 시간 특성이 우수하다. 반면, NAND형 플래시 메모리는 복수 개의 메모리 셀들이 직렬로 연결되어 셀 스트링(string) 당 한 개의 콘택(contact)만이 필요하므로 집적도면에서 우수한 특성을 갖는다. 따라서, 고집적 플래시 메모리에는 주로 NAND형 구조가 사용된다.

<4> 최근에는, 이러한 플래시 메모리의 집적도를 더욱 향상시키기 위해 한개의 메모리 셀에 복수 개의 데이터를 저장할 수 있는 다중 비트 셀에 대한 연구가 진행되고 있다. 이러한 방식의 메모리 셀을 통상 멀티 레벨 셀(Multi-Level Cell; MLC)이라고 한다. 이와 대비되는 단일 비트의 메모리 셀을 싱글 레벨 셀(Single Level Cell; SLC)이라 한다.

<5> 멀티 레벨 셀(MLC)은 통상적으로 2개 이상의 문턱 전압(threshold voltage) 분포를 가지며, 이에 대응되는 2개 이상의 데이터를 저장할 수 있다. 따라서, 2개 레벨의 싱글 레벨 셀(Single Level Cell; SLC)에 비해 1개 셀이 4개 이상의 레벨로 나누어질 수 있으므로 SLC보다 2배 이상 많은 비트수를 증가시킬 수 있다.

<6> 이러한 MLC를 구현하기 위해 셀 문턱 전압의 변화를 감소시키는 것이 중요한데, 셀 문턱 전압 변화의 요인중 하나가 셀간 캐패시턴스에 의한 인터퍼런스(interference) 효과이다.

<7> 도 1은 종래 기술에 따른 플래시 메모리 소자의 프로그램 방법을 설명하기 위한 문턱 전압 분포도이다.

<8> 일반적으로 플래시 메모리 소자의 메모리 셀 어레이는 다수의 메모리 셀이 직렬로 이븐 비트라인 및 오드 비트라인에 연결되는 스트링 구조를 이루고 있으며, 이븐 및 오드 비트라인은 서로 인접하게 배치된다.

<9> 플래시 메모리 소자의 프로그램 동작시 먼저 이븐 비트라인에 연결된 제1 메모리 셀의 워드라인에 프로그램 전압(예를 들어 15V)이 인가되어 제1 메모리 셀은 A와 같은 문턱 전압 분포를 갖으며 프로그램된다.

<10> 이후, 제1 메모리 셀과 인접한 오드 비트라인에 연결된 제2 메모리 셀의 워드라인에 프로그램 전압(예를 들어 15V)이 인가되어 제2 메모리 셀은 A'와 같은 문턱 전압 분포를 갖으며 프로그램된다. 이때 제1 메모리 셀은 제2 메모리 셀 프로그램 동작시 인터퍼런스 효과에 의해 문턱 전압 분포가 A에서 B로 이동하게 된다.

<11> 이러한 문턱 전압의 변화는 플래시 메모리 소자의 프로그램 특성을 저하시키며, 특히 멀티 레벨 셀을 갖는 플래시 메모리 소자의 경우 문턱 전압의 변화에 의해 센싱 마진이 떨어진다.

발명의 내용

해결 하고자하는 과제

<12> 본 발명이 이루고자 하는 기술적 과제는 이븐 비트라인의 프로그램 동작시 오드 비트라인의 프로그램 동작시의 검증 전압보다 낮은 검증 전압을 사용하여 프로그램 동작을 실시하여 문턱 전압 분포를 정상치보다 낮게 형성한 후, 오드 비트라인 프로그램 동작시 프로그램 전압에 의한 인터퍼런스 효과에 의해 이븐 비트라인의 메모리 셀의 문턱 전압 분포를 정상치로 이동시켜 이븐 비트라인에 연결된 메모리 셀과 오드 비트라인에 연결된 메모리 셀의 문턱 전압 분포를 균일하게 형성할 수 있는 플래시 메모리 소자의 프로그램 방법을 제공하는 데 있다.

과제 해결수단

<13> 본 발명의 제1 실시 예에 따른 플래시 메모리 소자의 프로그램 방법은 제1 비트라인에 연결된 제1 메모리 셀의 워드라인에 제1 프로그램 전압을 인가하여 프로그램하는 단계와, 상기 제1 메모리 셀이 정상적으로 프로그램되었을 경우 제1 메모리 셀의 프로그램 동작을 완료하는 단계와, 상기 제1 메모리 셀이 프로그램되지 않았을 경우 상기 제1 프로그램 전압보다 제1 스텝 전압만큼 높은 프로그램 전압을 상기 워드라인에 인가하며, 상기 제1 메모리 셀이 프로그램될 때까지 상기 제1 스텝 전압만큼 증가된 새로운 프로그램 전압을 인가하여 프로그램하는 단계와, 상기 제1 비트라인에 인접한 제2 비트라인에 연결된 제2 메모리 셀의 워드라인에 상기 제1 프로그램 전압을 인가하여 프로그램하는 단계와, 상기 제2 메모리 셀이 정상적으로 프로그램되었을 경우 제2 메모리 셀의 프로그램 동작을 완료하는 단계, 및 상기 제1 메모리 셀이 프로그램되지 않았을 경우 상기 제1 스텝 전압보다 큰 제2 스텝 전압만큼 증가시킨 프로그램 전압을 상기 워드라인에 인가하며, 상기 제2 메모리 셀이 프로그램될 때까지 상기 제2 스텝 전압만큼 증가된 새로운 프로그램 전압을 인가하여 프로그램하는 단계를 포함한다.

<14> 상기 제1 프로그램 전압을 인가하여 상기 제1 메모리 셀을 프로그램 한 후, 상기 제1 메모리 셀의 프로그램 상태를 검증하는 단계를 더 포함한다. 상기 제1 프로그램 전압을 인가하여 상기 제2 메모리 셀을 프로그램 한 후, 상기 제2 메모리 셀의 프로그램 상태를 검증하는 단계를 더 포함한다.

<15> 본 발명의 제2 실시 예에 따른 플래시 메모리 소자의 프로그램 방법은 제1 비트라인에 연결된 제1 메모리 셀의 워드라인에 제1 프로그램 전압을 인가하여 프로그램하는 단계와, 상기 워드라인에 제1 검증 전압을 인가하여 상기 제1 메모리 셀의 프로그램 상태를 검증하는 단계와, 상기 제1 메모리 셀이 정상적으로 프로그램 되었을 경우 제1 메모리 셀의 프로그램 동작을 완료하는 단계와, 상기 제1 메모리 셀이 프로그램되지 않았을 경우 상기 제1 프로그램 전압보다 스텝 전압만큼 높은 프로그램 전압을 상기 워드라인에 인가하며, 상기 제1 메모리 셀이 프로그램될 때까지 상기 스텝 전압만큼 증가된 새로운 프로그램 전압을 인가하여 프로그램하는 단계와, 상기 제1 비트라인에 인접한 제2 비트라인에 연결된 제2 메모리 셀의 워드라인에 상기 제1 프로그램 전압을 인가하여 프로그램하는 단계와, 상기 워드라인에 상기 제1 검증 전압보다 높은 제2 검증 전압을 인가하여 상기 제2 메모리 셀의 프로그램 상태를 검증하는 단계와, 상기 제2 메모리 셀이 정상적으로 프로그램되었을 경우 제2 메모리 셀의 프로그램 동작을 완료하는 단계, 및 상기 제2 메모리 셀이 프로그램되지 않았을 경우 상기 제1 프로그램 전압보다 상기 스텝 전압만큼 큰 프로그램 전압을 상기 워드라인에 인가하며, 상기 제2 메모리 셀이 프로그램될 때까지 상기 스텝 전압만큼 증가된 새로운 프로그램 전압을 인가하여 프로그램하는 단계를 포함한다.

효과

<16> 본 발명이 이루고자 하는 기술적 과제는 이븐 비트라인의 프로그램 동작시 오드 비트라인의 프로그램 동작시의 검증 전압보다 낮은 검증 전압을 사용하여 프로그램 동작을 실시하여 문턱 전압 분포를 정상치보다 낮게 형성한 후, 오드 비트라인 프로그램 동작시 프로그램 전압에 의한 인터퍼런스 효과에 의해 이븐 비트라인의 메모리 셀의 문턱 전압 분포를 정상치로 이동시켜 이븐 비트라인에 연결된 메모리 셀과 오드 비트라인에 연결된 메모리 셀의 문턱 전압 분포를 균일하게 형성할 수 있다.

발명의 실시를 위한 구체적인 내용

<17> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<18> 도 2는 본 발명의 제1 및 제2 실시 예에 따른 플래시 메모리 소자의 프로그램 방법을 설명하기 위한 메모리 셀 어레이의 회로도이다.

<19> 도 3은 본 발명의 제1 실시 예에 따른 플래시 메모리 소자의 프로그램 방법을 설명하기 위한 문턱 전압 분포도

이다.

- <20> 도 2 및 도 3을 참조하여 본 발명의 제1 실시 예에 따른 플래시 메모리 소자의 프로그램 방법을 설명하면 다음과 같다.
- <21> 플래시 메모리 소자의 프로그램 방법은 ISPP(incremental step pulse programming) 방법을 이용하는 것이 바람직하다. 먼저 이븐 비트라인(BLe)에 연결된 제1 메모리 셀(MC1)을 프로그램한다.
- <22> 메모리 셀(MC1)에 연결된 워드라인에 제1 프로그램 전압 인가한다. 이때, 제1 메모리 셀(MC1)을 제외한 스트링의 다른 메모리 셀들은 프로그램을 방지하기 위하여 워드라인에 패스 전압을 인가한다.
- <23> 이 후, 워드라인에 검증 전압(Vverify)을 인가하는 검증 동작을 실시하여 제1 메모리 셀(MC1)의 프로그램 여부를 확인한다. 검증 동작을 통해 제1 메모리 셀(MC1)이 프로그램되었을 경우로 판단되면 프로그램 동작을 종료한다. 반면 검증 동작시 제1 메모리 셀(MC1)이 프로그램되지 않았을 경우 제1 프로그램 전압보다 일정 전위 높은 제2 프로그램 펄스를 인가한다. 제1 프로그램 전압과 제2 프로그램 전압의 차 즉 스텝 전위는 0.15V 내지 0.5V이며 바람직하게는 0.3V의 스텝 전위를 사용한다.
- <24> 이 후, 검증 동작을 실시하여 제1 메모리 셀(MC1)이 프로그램되었을 경우로 판단되면 프로그램 동작을 종료한다. 반면 검증 동작시 제1 메모리 셀(MC1)이 프로그램되지 않았을 경우 제2 프로그램 전압보다 스텝 전위만큼 높은 제3 프로그램 전압을 사용하여 프로그램 동작을 진행하며 상술한 동작을 제1 메모리 셀(MC1)이 프로그램 될때까지 반복 실시한다. 최종적으로 제1 메모리 셀(MC1)은 C와 같은 문턱 전압 폭을 갖는다. 일반적인 스텝 전압보다 낮은 스텝 전압을 사용한 프로그램 동작으로 인하여 제1 메모리 셀(MC1)의 문턱 전압 분포 폭은 좁게 형성된다.
- <25> 오드 비트라인(BLo)에 연결된 제2 메모리 셀(MC2)을 프로그램한다. 이때, 제2 메모리 셀(MC2)을 제외한 스트링의 다른 메모리 셀들은 프로그램을 방지하기 위하여 워드라인에 패스 전압을 인가한다.
- <26> 이 후, 검증 동작을 실시하여 제2 메모리 셀(MC2)의 프로그램 여부를 확인한다. 검증 동작을 통해 제1 메모리 셀(MC2)이 프로그램되었을 경우로 판단되면 프로그램 동작을 종료한다. 반면 검증 동작시 제1 메모리 셀(MC2)이 프로그램되지 않았을 경우 제2 프로그램 전압보다 일정 전위 높은 제2 프로그램 펄스를 인가한다. 이때 제1 프로그램 전압과 제2 프로그램 전압의 차 즉 스텝 전위는 이븐 비트라인(BLe)에 연결된 제1 메모리 셀(MC1)의 프로그램 동작시 사용한 스텝 전위보다 높은 전압을 사용하는 것이 바람직하다. 바람직하게는 스텝 전위는 0.15V 내지 0.5V이며, 바람직하게는 0.4V의 스텝 전위를 사용한다.
- <27> 이 후, 검증 동작을 실시하여 제1 메모리 셀(MC1)이 프로그램되었을 경우로 판단되면 프로그램 동작을 종료한다. 반면 검증 동작시 제1 메모리 셀(MC1)이 프로그램되지 않았을 경우 제2 프로그램 전압보다 스텝 전위만큼 높은 제3 프로그램 전압을 사용하여 프로그램 동작을 진행하며 상술한 동작을 제1 메모리 셀(MC1)이 프로그램 될때까지 반복 실시한다.
- <28> 상술한 제2 메모리 셀의 프로그램 동작시 사용되는 프로그램 전압에 의하여 프로그램되어 있는 제1 메모리 셀(MC1)은 인터퍼런스 효과에 의해 문턱 전압의 분포가 C에서 D로 이동하게 되어 제2 메모리 셀의 문턱 전압 분포와 균일하게 이동한다. 이로 인하여 이븐 및 오드 비트라인(BLe, BLo)에 연결된 메모리 셀들의 문턱 전압 분포가 개선된다.
- <29> 도 4는 본 발명의 제2 실시 예에 따른 플래시 메모리 소자의 프로그램 방법을 설명하기 위한 문턱 전압 분포도이다.
- <30> 도 2 및 도 4를 참조하여 본 발명의 제2 실시 예에 따른 플래시 메모리 소자의 프로그램 방법을 설명하면 다음과 같다.
- <31> 플래시 메모리 소자의 프로그램 방법은 ISPP(incremental step pulse programming) 방법을 이용하는 것이 바람직하다. 먼저 이븐 비트라인(BLe)에 연결된 제1 메모리 셀(MC1)을 프로그램한다.
- <32> 메모리 셀(MC1)에 연결된 워드라인에 제1 프로그램 전압 인가한다. 이때, 제1 메모리 셀(MC1)을 제외한 스트링의 다른 메모리 셀들은 프로그램을 방지하기 위하여 워드라인에 패스 전압을 인가한다.
- <33> 이 후, 검증 동작을 실시하여 제1 메모리 셀(MC1)의 프로그램 여부를 확인한다. 검증 동작은 제1 메모리 셀(MC1)의 워드라인에 제1 검증 전압(Vverify1)을 인가하여 이븐 비트라인(BLe)의 전위를 검출하여 이루어진다. 즉, 제1 검증 전압(Vverify1)이 인가되었을 경우 프리차지된 이븐 비트라인(BLe)이 디스차지될 경우와 프리차지

레벨을 유지할 경우를 판단하여 프로그램 여부를 확인한다. 제1 검증 전압(Vverify1)은 일반적인 목표 검증 전압(Vverify) 보다 낮은 전압 즉, 후속 오드 비트라인(BLo)에 연결된 제2 메모리 셀(MC2)의 프로그램 동작시 사용되는 검증 전압(Vverify2)보다 낮은 것이 바람직하다.

<34> 제1 메모리검증 동작을 통해 제1 메모리 셀(MC1)이 프로그램되었을 경우로 판단되면 프로그램 동작을 종료한다. 반면 검증 동작시 제1 메모리 셀(MC1)이 프로그램되지 않았을 경우 제1 프로그램 전압보다 일정 전위 높은 제2 프로그램 펄스를 인가한다. 이때 스텝 전위는 0.3V인 것이 바람직하다.

<35> 이 후, 검증 동작을 재실시하여 제1 메모리 셀(MC1)이 프로그램되었을 경우로 판단되면 프로그램 동작을 종료한다. 반면 검증 동작시 제1 메모리 셀(MC1)이 프로그램되지 않았을 경우 제2 프로그램 전압보다 스텝 전위만큼 높은 제3 프로그램 전압을 사용하여 프로그램 동작을 진행하며 상술한 동작을 제1 메모리 셀(MC1)이 프로그램 될때까지 반복 실시한다. 최종적으로 제1 메모리 셀(MC1)은 E와 같은 문턱 전압 폭을 갖는다. 이는 제1 검증 전압(Vverify1)을 이용하여 ISPP 프로그램 검증 동작을 실시할 경우 제1 메모리 셀(MC1)의 문턱 전압 분포 중 가장 낮은 문턱 전압이 제1 검증 전압(Vverify1) 보다 높은 경우 프로그램 동작이 종료되므로 E와 같은 문턱 전압 폭을 갖게 된다.

<36> 이 후, 제1 메모리 셀(MC1)의 프로그램 동작과 유사한 방식(ISPP)으로 오드 비트라인(BLo)에 연결된 제2 메모리 셀(MC2)을 프로그램한다. 이때, 제2 메모리 셀(MC2)을 제외한 스트링의 다른 메모리 셀들은 프로그램을 방지하기 위하여 워드라인에 패스 전압을 인가한다.

<37> 이 후, 프로그램 검증 동작을 실시하여 제2 메모리 셀(MC2)의 프로그램 여부를 확인한다. 이때 사용되는 제2 검증 전압(Vverify2)은 제1 검증 전압(Vverify1)보다 높은 것이 바람직하다.

<38> 검증 동작을 통해 제1 메모리 셀(MC2)이 프로그램되었을 경우로 판단되면 프로그램 동작을 종료한다. 반면 검증 동작시 제1 메모리 셀(MC2)이 프로그램되지 않았을 경우 제2 프로그램 전압보다 일정 전위 높은 제2 프로그램 펄스를 인가한다.

<39> 이 후, 검증 동작을 실시하여 제1 메모리 셀(MC1)이 프로그램되었을 경우로 판단되면 프로그램 동작을 종료한다.

<40> 프로그램 동작이 완료된 제2 메모리 셀(MC2)의 문턱 전압 분포는 제1 메모리 셀(MC1)의 프로그램 동작시 사용된 제1 검증 전압(Vverify1)보다 높은 제2 검증 전압(Vverify2)을 이용하여 프로그램 동작을 진행하여 제1 프로그램 셀(MC1)의 문턱 전압 분포보다 오른쪽에 위치하게 된다. 이는 제1 메모리 셀(MC1)에 사용된 제1 검증 전압(Vverify1)보다 높은 제2 검증 전압(Vverify2)을 이용하여 프로그램 동작을 진행함으로써, 제2 메모리 셀(MC2)의 문턱 전압 분포 중 최하 문턱 전압이 제2 검증 전압(Vverify2) 보다 높아야 프로그램 동작이 완료된다. 이로 인하여 제2 메모리 셀(MC2)의 문턱 전압 분포 중 최하 문턱 전압은 제1 메모리 셀(MC1)의 문턱 전압 분포 중 최하 문턱 전압보다 높게 형성된다.

또한 제2 메모리 셀(MC2)의 프로그램 동작시 사용되는 프로그램 전압에 의한 인터퍼런스 효과에 의해 제1 메모리 셀(MC1)의 문턱 전압은 오른쪽으로 즉, E에서 F로 이동하게 되어 결과적으로 제1 메모리 셀(MC1)의 문턱 전압 분포와 제2 메모리 셀(MC2)의 문턱 전압 분포는 균일하게 된다. 이는 제1 메모리 셀(MC1)의 문턱 전압 분포가 E와 같이 존재하다가 제2 메모리 셀(MC2)의 프로그램 동작시 사용되는 프로그램 전압에 의해 간접적인 영향 즉, 인접한 메모리 셀에 인가되는 높은 프로그램 전압에 의해 캐패턴스 효과에 의해 문턱 전압 분포가 상승하는 인터퍼런스 효과에 의해 F호 이동하게 된다. 이로 인하여 제2 메모리 셀(MC2)의 문턱 전압 분포 보다 낮은 문턱 전압 분포를 갖던 제1 메모리 셀(MC1)의 문턱 전압 분포가 상승하게 되어 제2 메모리 셀(MC2)의 문턱 전압 분포와의 차이가 감소된다.

<41> 상술한 제2 메모리 셀의 프로그램 동작시 사용되는 프로그램 전압에 의하여 프로그램되어 있는 제1 메모리 셀은 인터퍼런스 효과에 의해 문턱 전압의 분포가 도면의 오른쪽으로 이동하게 되어 제2 메모리 셀의 문턱 전압 분포와 균일하게 이동한다. 이로 인하여 이븐 및 오드 비트라인(BLe, BLo)에 연결된 메모리 셀들의 문턱 전압 분포가 개선된다.

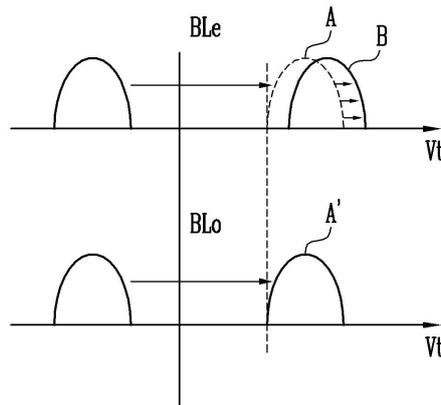
<42> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

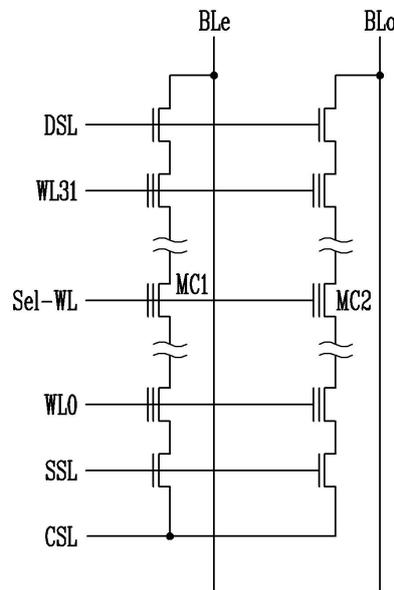
- <43> 도 1은 종래 기술에 따른 플래시 메모리 소자의 프로그램 방법을 설명하기 위한 문턱 전압 분포도이다.
- <44> 도 2는 본 발명의 실시 예에 따른 플래시 메모리 소자의 메모리 셀 어레이 회로도이다.
- <45> 도 3은 본 발명의 제1 실시 예에 따른 플래시 메모리 소자의 프로그램 방법을 설명하기 위한 문턱 전압 분포도이다.
- <46> 도 4는 본 발명의 제2 실시 예에 따른 플래시 메모리 소자의 프로그램 방법을 설명하기 위한 문턱 전압 분포도이다.

도면

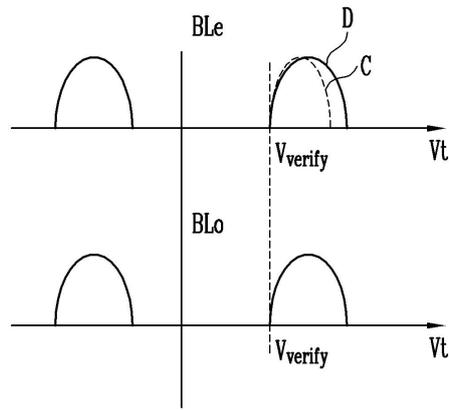
도면1



도면2



도면3



도면4

