

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-16618

(P2019-16618A)

(43) 公開日 平成31年1月31日(2019.1.31)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 F 17/00 (2006.01)	HO 1 F 17/00 B	5 E 0 4 3
HO 1 F 27/28 (2006.01)	HO 1 F 27/28 K	5 E 0 7 0

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号	特願2017-130387 (P2017-130387)	(71) 出願人	000006231 株式会社村田製作所 京都府長岡京市東神足1丁目10番1号
(22) 出願日	平成29年7月3日(2017.7.3)	(74) 代理人	100079108 弁理士 稲葉 良幸
		(74) 代理人	100109346 弁理士 大貫 敏史
		(74) 代理人	100117189 弁理士 江口 昭彦
		(74) 代理人	100134120 弁理士 内藤 和彦
		(74) 代理人	100126480 弁理士 佐藤 睦

最終頁に続く

(54) 【発明の名称】 インダクタ及び電力増幅モジュール

(57) 【要約】

【課題】 抵抗値を小さくしつつ、インダクタンスを確保すること。

【解決手段】 インダクタは、複数の誘電体層が所定の方向に積層されることにより形成された積層基板であって、所定の方向における端面である第1面を有する第1層と、積層基板の内部にある第2面とを有する第2層とを備える積層基板の第1面に渦巻状に形成された第1配線と、第2面に渦巻状に形成された第2配線と、を備え、第2配線の幅が第1配線の幅よりも狭く、第1配線と第2配線とが電氣的に並列に接続され、第1配線のインダクタンスと第2配線のインダクタンスとが略等しく、かつ、第1配線及び第2配線を所定の方向において第1面に投影した場合、第2配線の投影像全体が第1配線の投影像に含まれる。

【選択図】 図1

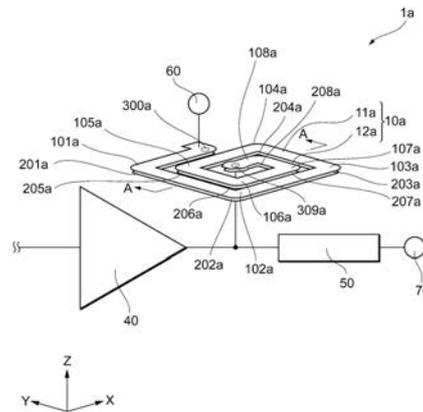


図1

【特許請求の範囲】**【請求項 1】**

複数の誘電体層が所定の方向に積層されることにより形成された積層基板であって、前記所定の方向における端面である第 1 面を有する第 1 層と、前記積層基板の内部にある第 2 面とを有する第 2 層とを備える積層基板の前記第 1 面に渦巻状に形成された第 1 配線と

、
前記第 2 面に渦巻状に形成された第 2 配線と、
を備え、

前記第 2 配線の幅が前記第 1 配線の幅よりも狭く、前記第 1 配線と前記第 2 配線とが電氣的に並列に接続され、前記第 1 配線及び前記第 2 配線を前記所定の方向において前記第 1 面に投影した場合、前記第 2 配線の投影像全体が前記第 1 配線の投影像に含まれるインダクタ。

10

【請求項 2】

前記第 1 配線のインダクタンスと前記第 2 配線のインダクタンスとが略等しいことを特徴とする請求項 1 に記載のインダクタ。

【請求項 3】

前記第 1 配線は、外周が曲線で構成されている少なくとも一つの第 1 屈曲部を備え、

前記第 2 配線は、外周が曲線で構成されている少なくとも一つの第 2 屈曲部を備える請求項 1 又は 2 に記載のインダクタ。

20

【請求項 4】

前記第 1 屈曲部の内周は、略直角に屈曲し、

前記第 2 屈曲部の内周は、略直角に屈曲している請求項 3 に記載のインダクタ。

【請求項 5】

前記第 1 配線と前記第 2 配線とを電氣的に接続するビアを更に備え、

前記第 1 屈曲部、前記第 2 屈曲部及び前記ビアは、前記所定の方向において前記第 1 面に投影した場合に投影像が重なるように配置されている請求項 3 又は 4 に記載のインダクタ。

【請求項 6】

前記所定の方向において前記第 1 面及び前記第 1 配線の上に積層され、前記複数の誘電体層よりも比誘電率が小さい第 3 層を更に備える請求項 1 から 5 のいずれか一項に記載のインダクタ。

30

【請求項 7】

入力信号を増幅して出力する電力増幅器と、

一端に電源が供給され、他端が前記電力増幅器の出力端子に接続されるインダクタと、
を備え、

前記インダクタは、

複数の誘電体層が所定の方向に積層されることにより形成された積層基板であって、前記所定の方向における端面である第 1 面を有する第 1 層と、前記積層基板の内部にある第 2 面とを有する第 2 層とを備える積層基板の前記第 1 面に渦巻状に形成された第 1 配線と

40

、
前記第 2 面に渦巻状に形成された第 2 配線と、
を備え、

前記第 2 配線の幅が前記第 1 配線の幅よりも狭く、前記第 1 配線と前記第 2 配線とが電氣的に並列に接続され、前記第 1 配線及び前記第 2 配線を前記所定の方向において前記第 1 面に投影した場合、前記第 2 配線の投影像全体が前記第 1 配線の投影像に含まれる電力増幅モジュール。

【請求項 8】

前記第 1 配線のインダクタンスと前記第 2 配線のインダクタンスとが等しいことを特徴とする請求項 7 に記載の電力増幅モジュール。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、インダクタ及び電力増幅モジュールに関する。

【背景技術】

【0002】

携帯端末は、送信信号の電力を増幅する電力増幅器と、電力増幅器への電源電圧供給経路に設けられるインダクタとを有する電力増幅モジュールを備えていることが多い。インダクタは、電源電圧を電力増幅器に効率的に伝達するとともに、電力増幅器の出力が電源へ漏れることを抑制する。このため、インダクタは、抵抗値が小さく、インダクタンスが大きいことが好ましい。例えば、特許文献1には、複数の導体層を備えかつ該導体層のうちの一以上の層にインダクタ機能を有する導体を設けた多層基板であって、前記インダクタ機能を有する導体の少なくとも一部の導体厚を、当該基板内の絶縁基材上に形成した、当該インダクタ機能を有する導体以外の導体より厚くした電力増幅モジュールが開示されている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2005-210044号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0004】

しかし、特許文献1に開示されている電力増幅モジュールは、インダクタ機能を有する導体部の損失を低減することができるものの、インダクタのインダクタンスを十分に確保することができないことがある。

【0005】

本発明はこのような事情に鑑みてなされたものであり、抵抗値を小さくしつつ、インダクタンスを確保することができるインダクタ及び電力増幅モジュールを提供することを目的とする。

【課題を解決するための手段】

【0006】

30

本発明の一側面に係るインダクタは、複数の誘電体層が所定の方向に積層されることにより形成された積層基板であって、所定の方向における端面である第1面を有する第1層と、積層基板の内部にある第2面とを有する第2層とを備える積層基板と、第1面に渦巻状に形成された第1配線と、第2面に渦巻状に形成された第2配線と、を備え、第2配線の幅が第1配線の幅よりも狭く、第1配線と第2配線とが電氣的に並列に接続され、かつ、第1配線及び第2配線を所定の方向において第1面に投影した場合、第2配線の投影像全体が第1配線の投影像に含まれる。

【0007】

本発明の一側面に係る電力増幅モジュールは、入力信号を増幅して出力する電力増幅器と、一端に電源が供給され、他端が電力増幅器の出力端子に接続されるインダクタと、を備え、インダクタは、複数の誘電体層が所定の方向に積層されることにより形成された積層基板であって、所定の方向における端面である第1面を有する第1層の積層基板の内部にある第2面とを有する第2層とを備える積層基板と、第1面に渦巻状に形成された第1配線と、第2面に渦巻状に形成された第2配線と、を備え、第2配線の幅が第1配線の幅よりも狭く、第1配線と第2配線とが電氣的に並列に接続され、かつ、第1配線及び第2配線を所定の方向において第1面に投影した場合、第2配線の投影像全体が第1配線の投影像に含まれる。

40

【発明の効果】

【0008】

本発明によれば、磁界強度、抵抗値及びサイズを小さくしつつ、インダクタンスを確保

50

することができるインダクタ及び電力増幅モジュールを提供することが可能となる。

【図面の簡単な説明】

【0009】

【図1】本実施形態に係る電力増幅モジュールが備える電力増幅器、インダクタ及び整合回路を示す図である。

【図2】本実施形態に係るインダクタ、積層基板及び第3層を示す図である。

【図3】本実施形態に係る第1配線及び第2配線をZ方向において第1面に投影した場合における投影像を示す図である。

【図4】比較例に係るインダクタを示す図である。

【図5】本実施形態に係るインダクタのインダクタンス及び比較例に係るインダクタのインダクタンスを示す図である。

【図6】図6は、本実施形態に係るインダクタ、本実施形態に係るインダクタの第2配線を第1配線に対して図1に示した+Y方向に40 μ mずらしたインダクタ、比較例に係るインダクタ及び比較例に係るインダクタの第2配線を第1配線に対して図1に示した+Y方向に40 μ mずらしたインダクタのインダクタンスを示す図である。

【図7】他の本実施形態に係るインダクタの一例を示す図である。

【図8】インダクタの屈曲部以外にもビアを配設した構成の一例を示す図である。

【図9】第1屈曲部と第2屈曲部とがビアで接続されておらず、第1屈曲部及び第2屈曲部の外周及び内周が略直角に屈曲しているインダクタの磁界強度分布の一例を示す図である。

【図10】第1屈曲部と第2屈曲部とがビアで接続されておらず、第1屈曲部及び第2屈曲部の外周及び内周が曲線で構成されているインダクタの磁界強度分布の一例を示す図である。

【図11】第1屈曲部と第2屈曲部とがビアで接続されており、第1屈曲部及び第2屈曲部の外周及び内周が曲線で構成されているインダクタの磁界強度分布の一例を示す図である。

【図12】第1屈曲部と第2屈曲部とがビアで接続されておらず、第1屈曲部及び第2屈曲部の外周が曲線で構成されており、内周が略直角に屈曲しているインダクタの磁界強度分布の一例を示す図である。

【図13】第1屈曲部と第2屈曲部とがビアで接続されており、第1屈曲部及び第2屈曲部の外周が曲線で構成されており、内周が略直角に屈曲しているインダクタの磁界強度分布の一例を示す図である。

【図14】図9、図10、図11及び図13に示したインダクタのQ値のシミュレーション結果を示す図である。

【図15】図9、図10、図11及び図13に示したインダクタのインダクタンスのシミュレーション結果を示す図である。

【図16】本実施形態に係るインダクタの一例を示す図である。

【発明を実施するための形態】

【0010】

添付図面を参照して、本発明の好適な実施形態について説明する。なお、各図において、同一の符号を付したものは、同一又は同様の構成を有する。

【0011】

[実施形態]

まず、図1から図3を参照しながら、本実施形態に係る電力増幅モジュール1aの構成について説明する。図1は、本実施形態に係る電力増幅モジュールが備える電力増幅器、インダクタ及び整合回路を示す図である。図2は、本実施形態に係るインダクタ、積層基板及び第3層を示す図であり、図1のA-A断面に相当する。図3は、本実施形態に係る第1配線及び第2配線をZ方向において第1面に投影した場合における影像を示す図である。

【0012】

10

20

30

40

50

電力増幅モジュール1 aは、図1に示すように、インダクタ1 0 aと、電力増幅器4 0と、整合回路5 0とを備える。以下の説明では、図1に示したX軸、Y軸及びZ軸を使用する。図1から図3に示すように、X軸、Y軸及びZ軸は、互いに直交しており、三次元直交座標を形成している。

【0013】

インダクタ1 0 aは、一端が電源6 0に接続され、他端が電力増幅器4 0の出力端子及び整合回路5 0の入力端子に接続されている。インダクタ1 0 aは、電源6 0が出力する直流の電源電圧を電力増幅器4 0に供給しつつ、電力増幅器4 0の出力が電源6 0へ漏れることを抑制する。

【0014】

電力増幅器4 0は、例えば無線周波数(RF: Radio Frequency)の入力信号を増幅して増幅信号を出力する。電力増幅器4 0は、例えば、バイポーラトランジスタ、MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)である。整合回路5 0は、電力増幅器4 0の出力インピーダンスと、出力端子7 0の入力インピーダンスとを整合させる。電源6 0は、電力増幅器4 0に直流の電源電圧を供給する。出力端子7 0は、整合回路5 0を通じて出力される増幅信号を電力増幅モジュール1 aの外部に出力する。

【0015】

インダクタ1 0 aは、図2に示すように、積層基板2に形成された第1配線1 1 a及び第2配線1 2 aを備える。積層基板2は、複数の誘電体層が所定の方向、すなわちZ方向に積層されることにより形成されており、例えば、第1層4及び第2層6を有する。第1層4は、積層基板2の所定の方向における端面である第1面4 1を有する。第2層6は、積層基板2の内部にある第2面6 1を有する。第1面4 1及び第2面6 1は、XY平面と平行である。第1配線1 1 aは、第1面4 1に渦巻状に形成されている平坦な配線である。第2配線1 2 aは、第2面6 1に渦巻状に形成されている平坦な配線である。なお、渦巻状とは、旋回するにつれ渦の中心から遠ざかる(あるいは渦の中心に近づく)曲線であり、本実施形態では、複数の屈曲部を備える。

【0016】

第2配線1 2 bの幅は、第1配線1 1 aの幅よりも狭い。第1配線1 1 aと第2配線1 2 bとは、ビア3 0 0 a及びビア3 0 9 a(図1参照)により電氣的に並列に接続されおり、インダクタンスが製造誤差の範囲内で等しくなっている。ビア3 0 0 a及びビア3 0 9 aは、例えば、Z方向と平行な方向に延びている。また、図3に示すように、第1配線1 1 a及び第2配線1 2 aを所定の方向、すなわちZ方向において第1面4 1に投影した場合、図3に示した第2配線1 2 aの投影像1 2 m全体が第1配線1 1 aの投影像1 1 mに含まれる。

【0017】

第1配線1 1 aは、第1屈曲部1 0 1 a, 1 0 2 a, 1 0 3 a, 1 0 4 a, 1 0 5 a, 1 0 6 a, 1 0 7 a, 1 0 8 aを備える。第1屈曲部1 0 1 a, 1 0 2 a, 1 0 3 a, 1 0 4 a, 1 0 5 a, 1 0 6 a, 1 0 7 a, 1 0 8 aは、外周が曲線で構成されていてもよく、内周が製造誤差の範囲内で直角に屈曲していてもよい。ここで言う曲線は、例えば、円弧である。また、第1配線1 1 aは、第1屈曲部1 0 1 a, 1 0 2 a, 1 0 3 a, 1 0 4 a, 1 0 5 a, 1 0 6 a, 1 0 7 a, 1 0 8 aのうちの少なくとも一つを備えていてもよい。

【0018】

第2配線1 2 aは、第2屈曲部2 0 1 a, 2 0 2 a, 2 0 3 a, 2 0 4 a, 2 0 5 a, 2 0 6 a, 2 0 7 a, 2 0 8 aを備える。第2屈曲部2 0 1 a, 2 0 2 a, 2 0 3 a, 2 0 4 a, 2 0 5 a, 2 0 6 a, 2 0 7 a, 2 0 8 aは、外周が曲線で構成されていてもよく、内周が製造誤差の範囲内で直角に屈曲していてもよい。ここで言う曲線は、例えば、円弧である。また、第2配線1 2 aは、第2屈曲部2 0 1 a, 2 0 2 a, 2 0 3 a, 2 0 4 a, 2 0 5 a, 2 0 6 a, 2 0 7 a, 2 0 8 aのうちの少なくとも一つを備えていても

10

20

30

40

50

よい。

【 0 0 1 9 】

なお、図 1 では、インダクタ 1 0 a の一端（ピア 3 0 0 a 側）が電源 6 0 と接続され、インダクタ 1 0 a の他端（ピア 3 0 9 a 側）が電力増幅器 4 0 の出力端子と接続されているが、接続関係は逆でもよい。すなわち、インダクタ 1 0 a の一端（ピア 3 0 0 a 側）が電力増幅器 4 0 の出力端子と接続され、インダクタ 1 0 a の他端（ピア 3 0 9 a 側）が電源 6 0 と接続されてもよい。

【 0 0 2 0 】

次に、図 4 から図 6 を参照しながら、第 2 配線 1 2 a の幅が第 1 配線 1 1 a の幅よりも狭いことにより得られる効果について説明する。

【 0 0 2 1 】

図 4 は、比較例に係るインダクタを示す図である。図 4 に示すように、比較例に係るインダクタ 1 0 0 0 a は、第 1 配線 1 1 0 0 a と、第 2 配線 1 2 0 0 a とを有する。第 1 配線 1 1 0 0 a の幅と、第 2 配線 1 2 0 0 a の幅と、本実施形態に係る第 1 配線 1 1 a の幅とは等しい。また、第 1 配線 1 1 0 0 a と、第 2 配線 1 2 0 0 a とは、Z 方向において互いに全体が重なっている。

【 0 0 2 2 】

図 5 は、本実施形態に係るインダクタのインダクタンス及び比較例に係るインダクタのインダクタンスを示す図である。図 5 において、横軸は周波数（G H z）、縦軸はインダクタンス（n H）である。図 5 の破線 D 1 は、第 1 配線 1 1 0 0 a 及び第 2 配線 1 2 0 0 a を有するインダクタ 1 0 0 0 a のインダクタのインダクタンスを表している。図 5 の実線 S 1 は、第 1 配線 1 1 a 及び第 2 配線 1 2 a を有するインダクタ 1 0 a のインダクタンスを表している。

【 0 0 2 3 】

図 5 に示すように、本実施形態に係るインダクタ 1 0 a は、比較例に係るインダクタ 1 0 0 0 a よりも大きなインダクタンスを有する。なぜなら、複数の配線が電氣的に並列に接続されることにより形成されているインダクタのインダクタンスは、各配線のインダクタンスが互いに等しいときに最大となり、一方で、所定の方向において第 1 配線 1 1 a 及び第 1 面の表面の比誘電率が第 1 層及び第 2 層の比誘電率よりも小さいため、第 2 配線 1 2 a の幅が第 1 配線 1 1 a の幅よりも狭い時に、両者のインピーダンスが一致するからである。なお、第 1 配線 1 1 a の表面は、第 1 層及び第 2 層よりも比誘電率が小さい誘電体層で覆われていてもよい。

【 0 0 2 4 】

図 6 は、本実施形態に係るインダクタ、本実施形態に係るインダクタの第 2 配線を第 1 配線に対して図 1 に示した + Y 方向に 4 0 μ m ずらしたインダクタ、比較例に係るインダクタ及び比較例に係るインダクタの第 2 配線を第 1 配線に対して図 1 に示した + Y 方向に 4 0 μ m ずらしたインダクタのインダクタンスを示す図である。

【 0 0 2 5 】

図 6 において、横軸は周波数（G H z）、縦軸はインダクタンス（n H）である。図 6 の実線 S 2 は、第 1 配線 1 1 a の幅を 0 . 1 2 m m、第 2 配線 1 2 a の幅を 0 . 0 9 m m としたインダクタ 1 0 a のインダクタンスを示している。図 6 の破線 D 2 は、第 1 配線 1 1 a の幅を 0 . 1 2 m m、第 2 配線 1 2 a の幅を 0 . 0 9 m m とし、第 2 配線 1 2 a を第 1 配線 1 1 a に対して + Y 方向に 4 0 μ m ずらしたインダクタ 1 0 a のインダクタンスを示している。図 6 の実線 S 3 は、第 1 配線の幅を 0 . 1 2 m m、第 2 配線の幅を 0 . 1 2 m m としたインダクタのインダクタンスを示している。図 6 の破線 D 3 は、第 1 配線の幅を 0 . 1 2 m m、第 2 配線の幅を 0 . 1 2 m m とし、第 2 配線を第 1 配線に対して + Y 方向に 4 0 μ m ずらしたインダクタのインダクタンスを示している。

【 0 0 2 6 】

図 6 の実線 S 2 及び破線 D 2 に示すように、第 1 配線 1 1 a の幅が 0 . 1 2 m m、第 2 配線 1 2 a の幅が 0 . 0 9 m m である場合、第 2 配線 1 2 a を第 1 配線 1 1 a に対して +

10

20

30

40

50

Y方向に40 μ mずらしても、全ての周波数において、インダクタ10aのインダクタンスの減少は、比較的小さい。一方、図6の実線S3及び破線D3に示すように、第1配線の幅が0.12mm、第2配線の幅が0.12mmである場合、第2配線を第1配線に対して+Y方向に40 μ mずらした場合、全ての周波数において、インダクタのインダクタンスの減少は、比較的大きい。

【0027】

なぜなら、第1配線11aの幅が0.12mm、第2配線12aの幅が0.09mmである場合、第2配線12aが第1配線11aに対して多少ずれたとしても、第2配線12aの全体が第1配線11aと重なるからである。一方、第1配線の幅が0.12mm、第2配線の幅が0.12mmである場合、第2配線が第1配線に対して少しでもずれると、第1配線及び第2配線の一部が互いに重ならなくなるからである。加えて、重ならない箇所が発生すると、基板の上下での相互インダクタンスが減少する。

10

【0028】

次に、図7を参照しながら、他の実施形態に係るインダクタの一例について説明する。図7は、他の実施形態に係るインダクタの一例を示す図である。また、上述した事項と重複する事項については説明を省略する。

【0029】

インダクタ10bは、積層基板に形成された第1配線11b及び第2配線12bを備える。第1配線11bは、第1面に渦巻状に形成されている平坦な配線である。第2配線12bは、第2面に渦巻状に形成されている平坦な配線である。第1配線11bは、第1屈曲部101b, 102b, 103b, 104b, 105b, 106b, 107b, 108bを備える。第2配線12bは、第2屈曲部201b, 202b, 203b, 204b, 205b, 206b, 207b, 208bを備える。

20

【0030】

また、インダクタ10bは、ビア300b, 301b, 302b, 303b, 304b, 305b, 306b, 307b, 308b, 309bを備える。ビア300b及びビア309bは、第1配線11bと第2配線12bとを並列に接続している。ビア302bは、第1屈曲部102bと第2屈曲部202bとを電氣的に接続している。同様に、ビア303bは、第1屈曲部103bと第2屈曲部203bとを電氣的に接続している。また、ビア304bは、第1屈曲部104bと第2屈曲部204bとを電氣的に接続している。ビア305bは、第1屈曲部105bと第2屈曲部205bとを電氣的に接続している。ビア306bは、第1屈曲部106bと第2屈曲部206bとを電氣的に接続している。ビア307bは、第1屈曲部107bと第2屈曲部207bとを電氣的に接続している。ビア308bは、第1屈曲部108bと第2屈曲部208bとを電氣的に接続している。

30

【0031】

これにより、ビア301b, 302b, 303b, 304b, 305b, 306b, 307b, 308bを介して適宜電荷が移動し、分散するため、第1屈曲部101b, 102b, 103b, 104b, 105b, 106b, 107b, 108b及び第2屈曲部201b, 202b, 203b, 204b, 205b, 206b, 207b, 208bへの電界集中が抑制される。また、電界強度と磁界強度は、比例する。したがって、ビア301b, 302b, 303b, 304b, 305b, 306b, 307b, 308bは、第1屈曲部101b, 102b, 103b, 104b, 105b, 106b, 107b, 108b及び第2屈曲部201b, 202b, 203b, 204b, 205b, 206b, 207b, 208bで発生する磁界を抑制し、当該磁界が周囲の電子部品に悪影響を与えることを抑制することができる。

40

【0032】

また、第1屈曲部102b、第2屈曲部202b及びビア302bは、所定の方向、すなわちZ方向において第1面に投影した場合に投影像が重なるように配置されていてもよい。同様に、第1屈曲部102b、第2屈曲部202b及びビア302bは、所定の方向、すなわちZ方向において第1面に投影した場合に投影像が重なるように配置されてい

50

もよい。第1屈曲部103b、第2屈曲部203b及びビア303bは、所定の方向、すなわちZ方向において第1面に投影した場合に投影像が重なるように配置されていてもよい。第1屈曲部104b、第2屈曲部204b及びビア304bは、所定の方向、すなわちZ方向において第1面に投影した場合に投影像が重なるように配置されていてもよい。

【0033】

第1屈曲部105b、第2屈曲部205b及びビア305bは、所定の方向、すなわちZ方向において第1面に投影した場合に投影像が重なるように配置されていてもよい。第1屈曲部106b、第2屈曲部206b及びビア306bは、所定の方向、すなわちZ方向において第1面に投影した場合に投影像が重なるように配置されていてもよい。第1屈曲部107b、第2屈曲部207b及びビア307bは、所定の方向、すなわちZ方向において第1面に投影した場合に投影像が重なるように配置されていてもよい。第1屈曲部108b、第2屈曲部208b及びビア308bは、所定の方向、すなわちZ方向において第1面に投影した場合に投影像が重なるように配置されていてもよい。

【0034】

なお、図7では、インダクタ10bの屈曲部にビアが設けられているが、ビアの構成はこれに限られない。例えば図8に示すように、インダクタ10cの屈曲部以外の場所にもビア310が設けられてもよい。図8に示すように、インダクタ10cの屈曲部以外の場所にもビア310を設けることにより、インダクタのインダクタンス値を下げずに、インダクタが備える寄生抵抗成分を低減することが可能となる。したがって、寄生抵抗成分を減らすことで、寄生抵抗によるRF信号の損失を低減することが可能となる。なお、ビアの構成は、図7や図8に示した例に限られない。製造上の制約が無い限り多数のビアを設けることにより、寄生抵抗成分の削減効果を高めることができる。

【0035】

次に、図9から図15を参照しながら、本実施形態に係るインダクタについて説明する。

【0036】

図9は、第1屈曲部と第2屈曲部とがビアで接続されておらず、第1屈曲部及び第2屈曲部の外周及び内周が略直角に屈曲しているインダクタの磁界強度分布の一例を示す図である。図10は、第1屈曲部と第2屈曲部とがビアで接続されておらず、第1屈曲部及び第2屈曲部の外周及び内周が曲線で構成されているインダクタの磁界強度分布の一例を示す図である。図11は、第1屈曲部と第2屈曲部とがビアで接続されており、第1屈曲部及び第2屈曲部の外周及び内周が曲線で構成されているインダクタの磁界強度分布の一例を示す図である。図12は、第1屈曲部と第2屈曲部とがビアで接続されておらず、第1屈曲部及び第2屈曲部の外周が曲線で構成されており、内周が略直角に屈曲しているインダクタの磁界強度分布の一例を示す図である。図13は、第1屈曲部と第2屈曲部とがビアで接続されており、第1屈曲部及び第2屈曲部の外周が曲線で構成されており、内周が略直角に屈曲しているインダクタの磁界強度分布の一例を示す図である。図14は、図9、図10、図11及び図13に示したインダクタのQ値のシミュレーション結果を示す図である。図15は、図9、図10、図11及び図13に示したインダクタのインダクタンスのシミュレーション結果を示す図である。

【0037】

図9に示したインダクタは、電氣的に並列に接続された第1配線と第2配線とを備えるため、抵抗値が比較的小さくなり、図14の曲線C1で表されるように、Q値が比較的大きくなるため、電源が供給する電力を電力増幅器に効率的に伝達することができる。加えて、DC抵抗を小さくすることにより、電力増幅器に供給する電圧の電圧降下を下げため、電力増幅器の効率向上が可能となる。さらに、インダクタンスを並列に接続しているにも関わらず、一定のインダクタンス値を得ることができるため、RF信号を電源に回り込むことを防ぐことができる。

【0038】

また、図9に示したインダクタは、図15の曲線C10で表されるように、インダクタ

ンスが比較的大きくなる。これは、図 9 に示したインダクタの屈曲部の外周および内周が略直角に屈曲しているからである。

【 0 0 3 9 】

さらに、図 9 に示したインダクタは、図 9 に示すように、磁界強度が比較的小さくなる。図 9 に示したインダクタは、磁界強度を比較的小さくすることにより、周囲の電子部品に与える影響を低減することができる。

【 0 0 4 0 】

図 1 0 に示したインダクタは、電氣的に並列に接続された第 1 配線と第 2 配線とを備えるため、抵抗値が比較的小さくなり、図 1 4 の曲線 C 2 で表されるように、Q 値が比較的大きくなるため、電源が供給する電力を電力増幅器に効率的に伝達することができる。

10

【 0 0 4 1 】

また、図 1 0 に示したインダクタは、図 1 5 の曲線 C 2 0 で表されるように、インダクタンスが比較的大きくなる。これは、図 1 0 に示したインダクタの屈曲部の外周が曲線かつ内周が略直角で構成されているからである。

【 0 0 4 2 】

さらに、図 1 0 に示したインダクタは、図 1 0 に示すように、磁界強度が全体的に図 9 に示したインダクタよりも小さくなる。また、この傾向は、特に屈曲部の外周の近傍で顕著である。このため、図 1 0 に示したインダクタは、図 9 に示すインダクタよりも更に磁界強度を小さくすることにより、周囲の電子部品に与える影響をより低減することができる。

20

【 0 0 4 3 】

図 1 1 に示したインダクタは、電氣的に並列に接続された第 1 配線と第 2 配線とを備えるため、抵抗値が比較的小さくなり、図 1 4 の曲線 C 3 で表されるように、Q 値が比較的大きくなるため、電源が供給する電力を電力増幅器に効率的に伝達することができる。

【 0 0 4 4 】

また、図 1 1 に示したインダクタは、図 1 5 の曲線 C 3 0 で表されるように、インダクタンスが比較的小さくなる。これは、図 1 1 に示したインダクタの屈曲部の外周が曲線で構成されているからである。

【 0 0 4 5 】

さらに、図 1 1 に示したインダクタは、図 1 1 に示すように、磁界強度が全体的に図 1 0 に示したインダクタよりも小さくなる。また、この傾向は、特に屈曲部の外周の近傍で顕著である。これらは、図 1 1 に示したインダクタの屈曲部がビアにより電氣的に接続されているからである。このため、図 1 1 に示したインダクタは、図 1 0 に示すインダクタよりも更に磁界強度を小さくすることにより、周囲の電子部品に与える影響をより低減することができる。なお、互いに接続されている屈曲部及びビアを積層基板の端面に投影すると、投影像が互いに重なる。

30

【 0 0 4 6 】

図 1 2 に示したインダクタは、図 1 2 に示すように、磁界強度が全体的に図 1 1 に示したインダクタよりも小さくなる。また、この傾向は、特に屈曲部の外周の近傍で顕著である。これは、図 1 2 に示したインダクタの屈曲部は、図 1 1 に示すインダクタよりも更に磁界強度を小さくすることにより、周囲の電子部品に与える影響をより低減することができる。

40

【 0 0 4 7 】

図 1 3 に示したインダクタは、電氣的に並列に接続された第 1 配線と第 2 配線とを備えるため、抵抗値が比較的小さくなり、図 1 4 の曲線 C 4 で表されるように、Q 値が比較的大きくなるため、電源が供給する電力を電力増幅器に効率的に伝達することができる。

【 0 0 4 8 】

また、図 1 3 に示したインダクタは、図 1 5 の曲線 C 4 0 で表されるように、インダクタンスが比較的大きくなる。これは、図 1 3 に示したインダクタの屈曲部の外周が曲線で構成されており、内周が略直角に屈曲しているからである。

50

【 0 0 4 9 】

さらに、図 1 3 に示したインダクタは、図 1 3 に示すように、磁界強度が比較的小さくなる。また、この傾向は、特に屈曲部の外周の近傍で顕著である。これらは、図 1 3 に示したインダクタの屈曲部がビアにより電氣的に接続されているからである。このため、図 1 3 に示したインダクタは、磁界強度を小さくすることにより、周囲の電子部品に与える影響をより低減することができる。なお、互いに接続されている屈曲部及びビアを積層基板の端面に投影すると、投影像が互いに重なる。

【 0 0 5 0 】

なお、本実施形態に係るインダクタは、図 1 又は図 7 に示したものに限定されない。図 1 6 は、本実施形態に係るインダクタの一例を示す図である。例えば、本実施形態に係るインダクタ 1 0 d は、図 1 6 に示すように、互いに電氣的に並列に接続された第 1 配線 1 1 d 及び第 2 配線 1 2 d と、互いに電氣的に並列に接続された第 3 配線 1 3 d 及び第 4 配線 1 4 d とを備えていてもよい。第 1 配線 1 1 d 及び第 2 配線 1 2 d が並列に接続されたインダクタと、第 3 配線 1 3 d 及び第 4 配線 1 4 d とが並列に接続されたインダクタとは、直列に接続されていてもよい。

10

【 0 0 5 1 】

以上説明した各実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更 / 改良され得るととともに、本発明にはその等価物も含まれる。即ち、各実施形態に当業者が適宜設計変更を加えたものも、本発明の特徴を備えている限り、本発明の範囲に包含される。例えば、各実施形態が備える各要素及びその配置、材料、条件、形状、サイズなどは、例示したものに限定されるわけではなく適宜変更することができる。また、各実施形態は例示であり、異なる実施形態で示した構成の部分的な置換又は組み合わせが可能であることは言うまでもなく、これらも本発明の特徴を含む限り本発明の範囲に包含される。

20

【 符号の説明 】

【 0 0 5 2 】

1 a , 1 b ... 電力増幅モジュール、 2 ... 積層基板、 4 ... 第 1 層、 6 ... 第 2 層、 1 0 a , 1 0 b , 1 0 c , 1 0 d ... インダクタ、 1 1 a , 1 1 b , 1 1 d ... 第 1 配線、 1 2 a , 1 2 b , 1 2 d ... 第 2 配線、 1 3 d ... 第 3 配線、 1 4 d ... 第 4 配線、 1 0 1 a , 1 0 1 b , 1 0 2 a , 1 0 2 b , 1 0 3 a , 1 0 3 b , 1 0 4 a , 1 0 4 b , 1 0 5 a , 1 0 5 b , 1 0 6 a , 1 0 6 b , 1 0 7 a , 1 0 7 b , 1 0 8 a , 1 0 8 b ... 第 1 屈曲部、 2 0 1 a , 2 0 1 b , 2 0 2 a , 2 0 2 b , 2 0 3 a , 2 0 3 b , 2 0 4 a , 2 0 4 b , 2 0 5 a , 2 0 5 b , 2 0 6 a , 2 0 6 b , 2 0 7 a , 2 0 7 b , 2 0 8 a , 2 0 8 b ... 第 2 屈曲部、 3 0 0 a , 3 0 0 b , 3 0 1 a , 3 0 1 b , 3 0 2 b , 3 0 3 b , 3 0 4 b , 3 0 5 b , 3 0 6 b , 3 0 7 b , 3 0 8 b , 3 0 9 a , 3 0 9 b ... ビア、 4 0 ... 電力増幅器、 5 0 ... 整合回路、 6 0 ... 電源、 7 0 ... 出力端子

30

【 図 1 】

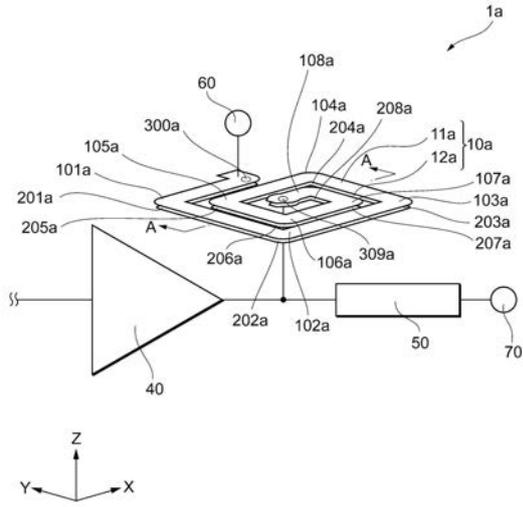


図 1

【 図 2 】

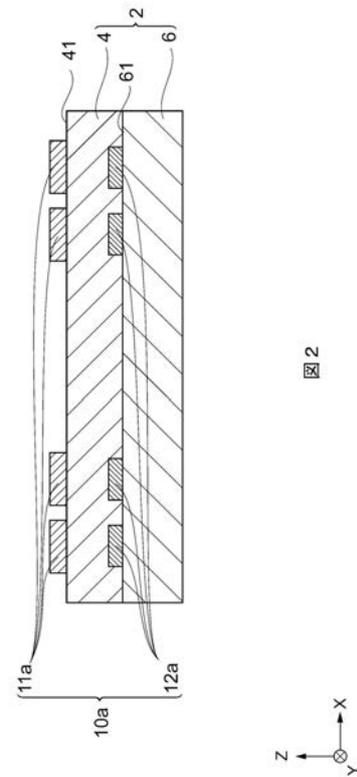


図 2

【 図 3 】

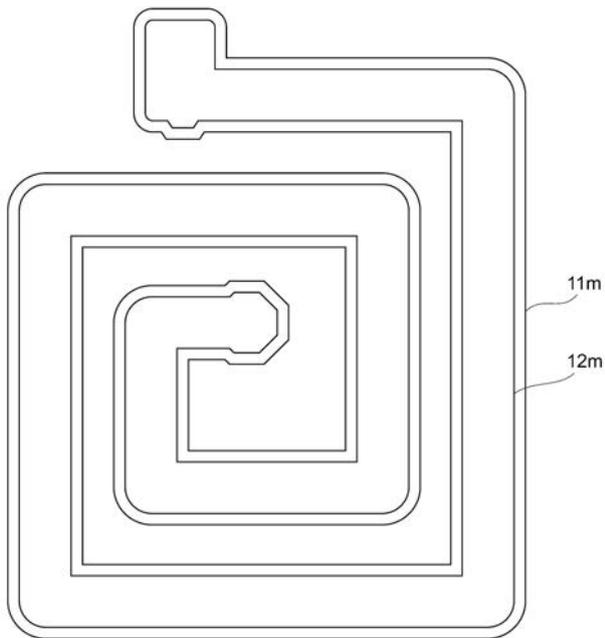


図 3

【 図 4 】

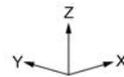
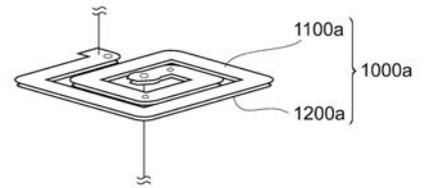


図 4

【 図 5 】

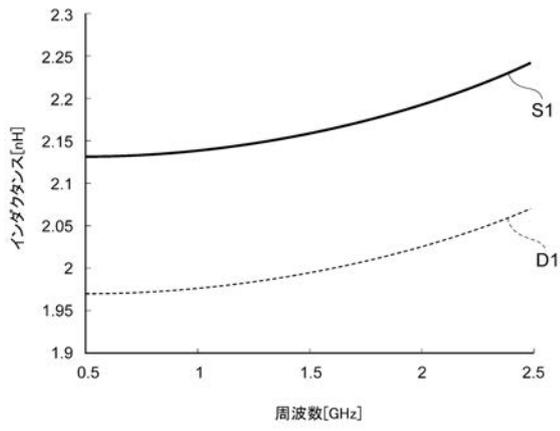


図 5

【 図 6 】

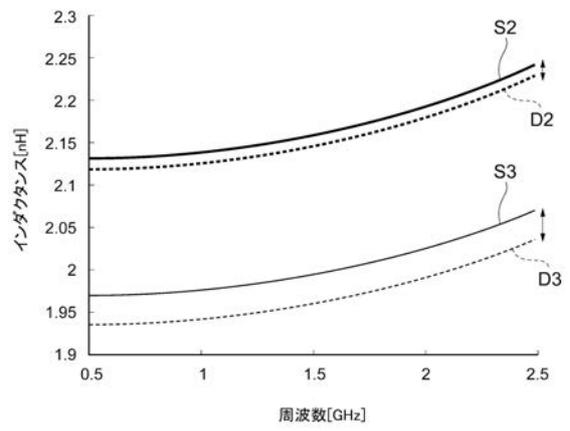


図 6

【 図 7 】

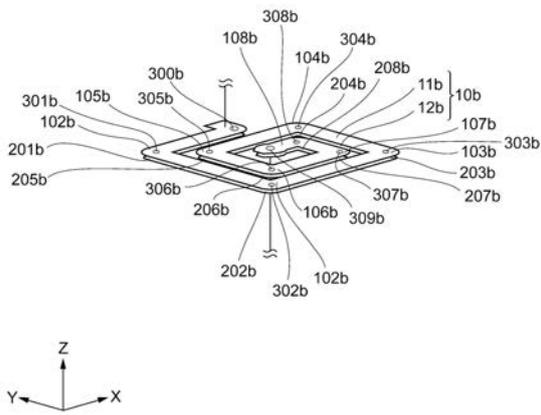


図 7

【 図 8 】

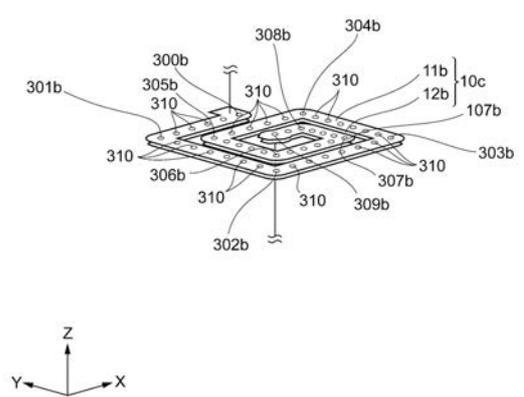


図 8

【图 9】

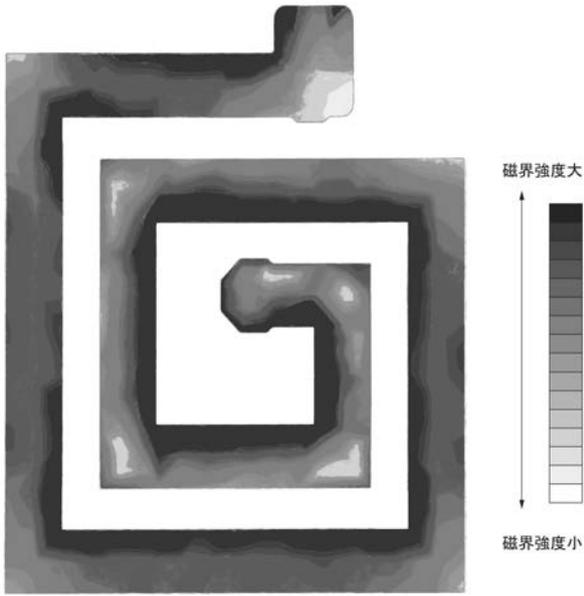


图 9

【图 10】

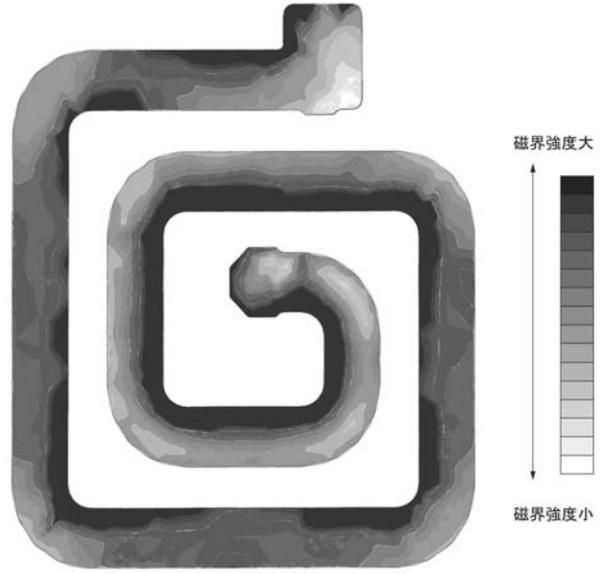


图 10

【图 11】

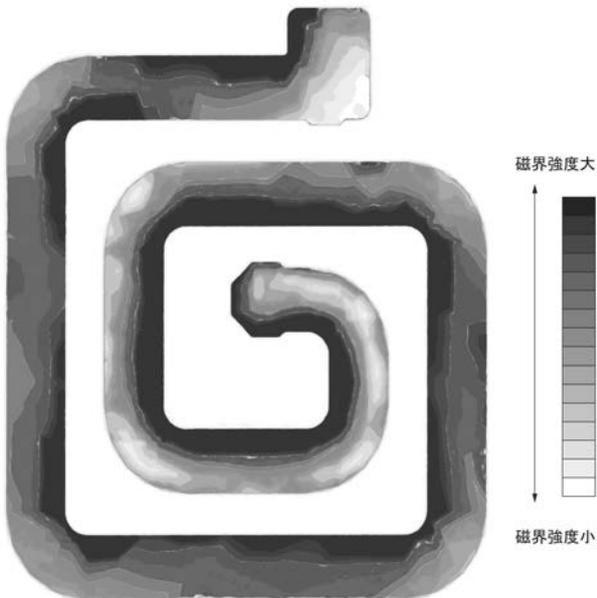


图 11

【图 12】

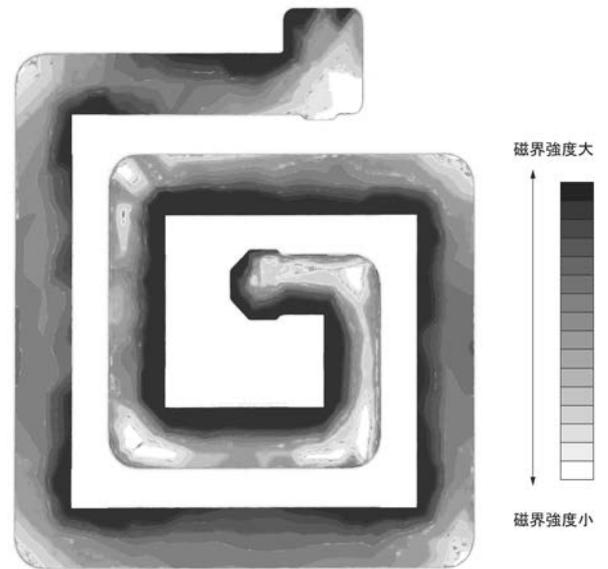


图 12

【 図 1 3 】

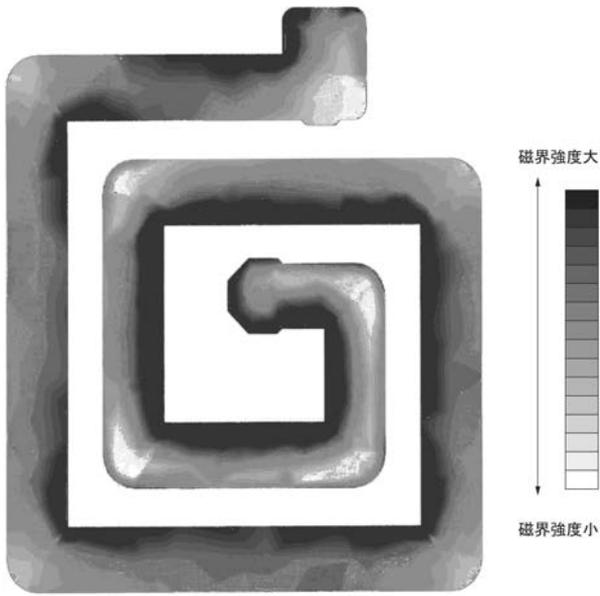


図 1 3

【 図 1 4 】

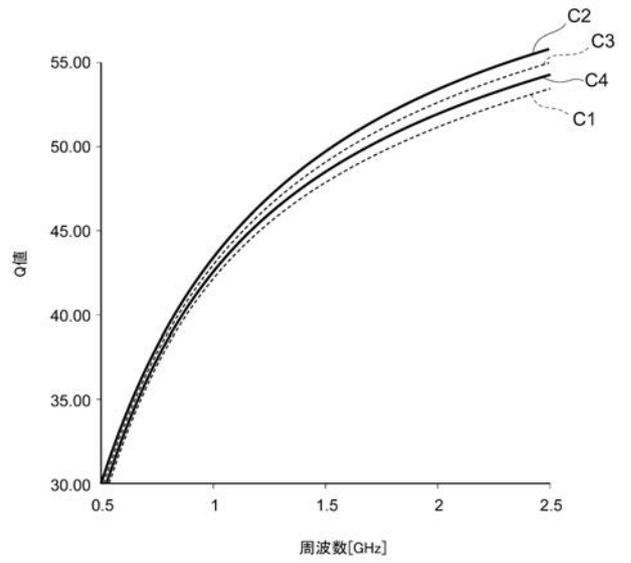


図 1 4

【 図 1 5 】

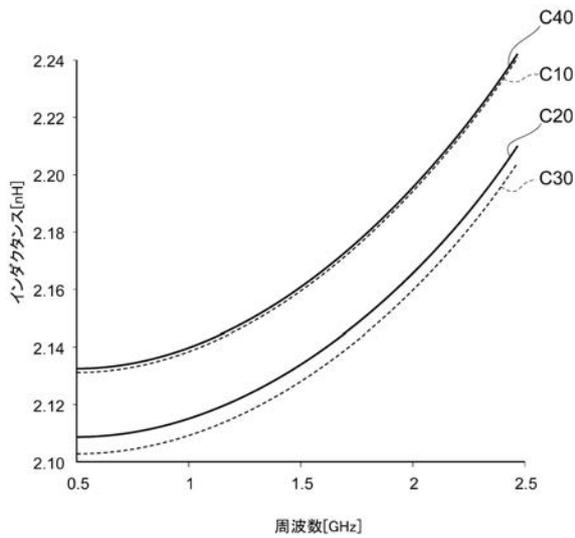


図 1 5

【 図 1 6 】

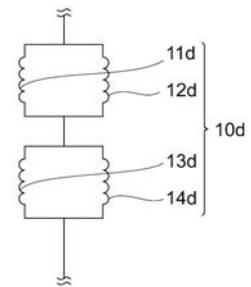


図 1 6

フロントページの続き

- (72)発明者 岡部 健之
京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
- (72)発明者 丹下 英吾
京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
- (72)発明者 筒井 孝幸
京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
- Fターム(参考) 5E043 AA08 BA01 BA03
5E070 AA01 AB01 AB04 CB06 CB12 CB17