

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年4月15日(15.04.2021)



(10) 国際公開番号

WO 2021/070368 A1

(51) 国際特許分類:
G09G 3/3233 (2016.01) *G09G 3/3266* (2016.01)
G09G 3/20 (2006.01)

(21) 国際出願番号: PCT/JP2019/040261

(22) 国際出願日: 2019年10月11日(11.10.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

(72) 発明者: 西山 隆之(NISHIYAMA, Takayuki).

(74) 代理人: 特許業務法人あーく特許事務所 (ARC PATENT ATTORNEYS' OFFICE); 〒5300047 大阪府大阪市北区西天満4丁目4番13号 Osaka (JP).

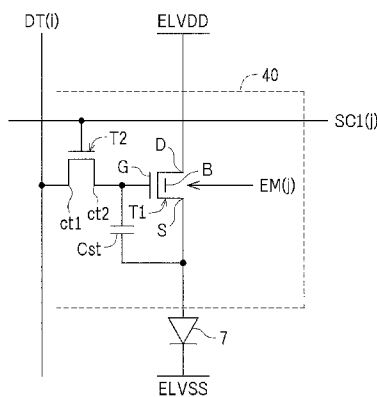
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: [Problem] To enable high-definition display while reducing the number of transistors in a pixel circuit. [Solution] The display region in a display device is provided with: a pixel circuit 40 that is located at each intersection between a plurality of first scanning control lines and a plurality of data signal lines; and a light-emitting element 7 provided for each pixel circuit 40. The pixel circuit 40 includes: a drive transistor T1 that has a first and a second gate electrode G, B that are vertically located with a semiconductor layer interposed therebetween and that causes a drive current to flow to the light-emitting element 7; a write transistor T2; and a capacitor Cst for holding a data signal. A light emission control line EM(j) is connected to the second gate electrode B of the drive transistor T1. A light emission control circuit 650 is provided in a non-display region and outputs, to the light emission control line EM(j), a light emission control signal for switching between a selection state in which the drive transistor T1 turns on and a non-selection state in which the drive transistor T1 turns off.



WO 2021/070368 A1

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：【課題】画素回路のトランジスタ数を減少させながら高精細対応を可能とする。【解決手段】表示装置において、表示領域に、複数本の第1走査制御線と複数本のデータ信号線との交差点毎に設けられた画素回路40と、画素回路40毎に設けられた発光素子7とが備えられる。画素回路40は、半導体層を挟んで上下に位置する第1及び第2のゲート電極G、Bを有し前記発光素子7に駆動電流を流す駆動トランジスタT1と、書き込みトランジスタT2と、データ信号を保持するコンデンサCstを含む。前記駆動トランジスタT1は、前記第2のゲート電極Bに発光制御線EM(j)が接続される。また、非表示領域に設けられた発光制御回路650は、前記発光制御線EM(j)に、前記駆動トランジスタT1をオンにする選択状態とオフにする非選択状態とに切り換える発光制御信号を出力する。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、画像等を表示する表示装置に関し、特に、発光素子を駆動する画素回路の構成トランジスタ数の低減化に関する。

背景技術

[0002] 従来、表示装置では、特許文献1に記載されるように、発光素子の駆動回路（画素回路）において、発光素子と直列に駆動トランジスタを接続し、該駆動トランジスタのオン動作により発光素子に駆動電流を流すと共に、発光制御用のトランジスタを前記駆動トランジスタと直列に接続し、この発光制御用のトランジスタをエミッション制御線でオンオフ制御するにより、発光素子の1フィールド周期内の発光時間（デューティ比）を制御する構成を採用したものがある。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-88391号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、前記特許文献1記載の技術では、駆動トランジスタと直列に発光制御用のトランジスタを接続する必要があるため、画素回路のトランジスタ数が増加する欠点がある。更に、高精細対応が困難になったり、ボトムエミッション構造の表示装置では開口率が低下する欠点がある。

[0005] 本発明の目的は、画素回路の構成トランジスタ数を減少させながら、高精細対応を可能とした表示装置を提供することにある。

課題を解決するための手段

[0006] すなわち、本発明に係る表示装置は、表示領域に、第1走査制御線と、該第1走査制御線と平行に延びる発光制御線と、前記第1走査制御線と交差す

るデータ信号線と、前記第1走査制御線とデータ信号線との交差点毎に設けられた画素回路と、前記画素回路毎に設けられた発光素子と、非表示領域に、前記第1走査制御線を駆動する第1走査制御回路と、前記発光制御線を駆動する発光制御回路と、を備えた表示装置であって、前記画素回路は、半導体層を挟んで上下に位置する第1及び第2の制御端子を有し前記発光素子に駆動電流を流す駆動トランジスタと、書き込みトランジスタと、データ信号を保持するコンデンサとを含み、前記書き込みトランジスタは、第1導通端子が前記データ信号線に接続され、第2導通端子が前記駆動トランジスタの前記第1の制御端子に接続され、制御端子が前記第1走査制御線に接続され、前記駆動トランジスタは、前記第2の制御端子が前記発光制御線に接続され、前記発光制御回路は、前記発光制御線に、前記駆動トランジスタをオンにする選択状態と、前記駆動トランジスタをオフにする非選択状態とに切り換える発光制御信号を出力することを特徴とする。

発明の効果

[0007] 本発明によると、ダブルゲート構造の駆動トランジスタをオンオフさせて、発光素子の発光期間をデューティ制御することができるので、画素回路のトランジスタ数を減少させながら、高精細対応を可能にできる。

図面の簡単な説明

[0008] [図1]本発明の第1実施形態に係る表示装置の全体概略構成を示すブロック図である。

[図2]同表示装置に備える表示部の概略構成を示すブロック図である。

[図3]同表示部に備える駆動回路の構成を示す回路図である。

[図4]同駆動回路においてスキャン制御信号及びエミッション信号のタイミングチャートを示す図である。

[図5]図4に示したタイミングチャートの変形例を示す図である。

[図6]本発明の第2実施形態に係る表示装置に備える駆動回路の構成を示す回路図である。

[図7]同駆動回路において第1スキャン制御線、第2スキャン制御線及びエミ

ッション制御線の選択の様子を示すタイミングチャート図である。

[図8]同駆動回路においてデータ信号の書き込みを行う場合におけるタイミングチャートの變形例1を示す図である。

[図9]同駆動回路においてデータ信号の書き込みを行う場合におけるタイミングチャートの變形例2を示す図である。

[図10]駆動トランジスタの特性を測定する場合の駆動回路の動作の様子を示し、同図(a)はデータ信号の書き込み時の様子を示す図、同図(b)は駆動トランジスタに流れる電流の測定時の様子を示す図である。

[図11]同駆動トランジスタの特性測定時でのタイミングチャートを示す図である。

[図12]エミッション制御線の選択状態において発光素子の特性を測定する場合の駆動回路の動作の様子を示し、同図(a)はデータ信号の書き込み時の様子を示す図、同図(b)は発光素子に流れる電流の測定時の様子を示す図である。

[図13]同発光素子の特性測定時でのタイミングチャートを示す図である。

[図14]エミッション制御線の非選択状態において発光素子の特性を測定する場合の駆動回路の動作の様子を示す図である。

[図15]同発光素子の特性測定時でのタイミングチャートを示す図である。

[図16]同表示装置に備える電流測定回路の内部構成を示す回路図である。

発明を実施するための形態

[0009] 以下、本発明の実施形態に係る表示装置について、図面を参照して説明する。

[0010] (第1実施形態)

<全体構成>

図1は、本発明の第1実施形態に係る表示装置1の全体構成を示すブロック図である。この表示装置1は、表示制御回路100、データ信号線駆動回路200、ゲートスキャン回路300、エミッション制御回路400、及び表示部500を備えている。エミッション制御回路400は、表示部500

内に設けられた発光素子の発光を制御する配線（後述のエミッション制御線）用の駆動回路である。また、この表示装置 1 には、表示部 500 に各種電源電圧を供給するための構成として、電源回路 600 が設けられている。

[0011] 図 2 は、前記表示部 500 の構成を示すブロック図である。同図において、表示部 500 は多数の画素を有する表示領域を構成する。この表示部（表示領域）500 には、図中縦方向に延びる M 本のデータ信号線 DT (1) ~ DT (M) と、図中横方向に延びる N 本のスキャン制御線（第 1 の走査制御線）SC1 (1) ~ SC1 (N) とが互いに交差するように配設されている。前記データ信号線 DT (1) ~ DT (M) とスキャン制御線 SC1 (1) ~ SC1 (N) との各交差点に対応して画素回路 40 が設けられている。従って、表示部 500 には、複数の行（N 行）及び複数の列（M 列）を構成するように画素回路 40 がマトリクス状に配置されている。更に、表示部 500 には、前記 N 本のスキャン制御線 SC1 (1) ~ SC1 (N) と平行に、N 本のエミッション制御線（発光制御線）EM (1) ~ EM (N) が配設されている。更に、表示部 500 には、図示しないが、有機 EL 用ハイレベル電源線 ELVDD 及び有機 EL 用ローレベル電源線 ELVSS が配設されている。

[0012] 図 1 において、ゲートスキャン回路（第 1 走査制御回路）300 は、前記表示部（表示領域）500 の外周囲（非表示領域）550 に配置される。このゲートスキャン回路 300 は、前記スキャン制御線（第 1 の走査制御線）SC1 (1) ~ SC1 (N) を駆動して、スキャン制御信号（走査制御信号）を制御する。具体的に、表示制御回路 100 は、ゲートスキャン回路 300 の動作を制御する各種制御信号 GSCTL をゲートスキャン回路 300 に出力する。ゲートスキャン回路 300 は、内部に N 個のシフトレジスタ（図示せず）を備え、受けた前記各種制御信号 GSCTL に基づいて、図 4 等のタイミングチャートに示すように、N 本のスキャン制御線 SC1 (1) ~ SC1 (N) に順次所定期間 High 状態（アクティブ）のスキャン制御信号を印加する。以下、スキャン制御線 SC1 (1) ~ SC1 (N) において、

High状態のスキャン制御信号が印加されている状態を「選択状態」という。従って、N本のスキャン制御線SC1(1)~SC1(N)は順次所定期間ずつ選択状態となる。スキャン制御線SC1(j)(1≦j≦N)が選択状態にあるときには、後述するように、当該スキャン制御線SC1(j)に対応して設けられているj行目の画素回路40でデータ信号の書き込みが行われる。

[0013] また、前記データ信号線駆動回路200は、前記データ信号線DT(1)~DT(M)のデータ信号を制御する。具体的に、表示制御回路100は、表示データDA及びデータ信号線駆動回路200の動作を制御する各種の制御信号DTCTLをデータ信号線駆動回路200に出力する。データ信号線駆動回路200は、受けた各種の制御信号DTCTLに基づいて、1行分(M個)の表示データDA(1)~DA(M)を保持し、これらの1行分の表示データDA(1)~DA(M)を各々アナログ電圧に変換し、このアナログ電圧の表示データDA(1)~DA(M)に対応するデータ信号線DT(1)~DT(M)にデータ信号として一斉に印加する。

[0014] 更に、エミッション制御回路(発光制御回路)400も、前記表示部(表示領域)500の外周囲(非表示領域)550に配置される。このエミッション制御回路400は、エミッション制御線(発光制御線)EM(1)~EM(N)を駆動する。具体的に、表示制御回路100は、エミッション制御回路400の動作を制御する各種のエミッション制御信号EMCTLを出力する。エミッション制御回路400は、内部にN個のシフトレジスタ(図示せず)を備え、受けた前記エミッション制御信号EMCTLに基づいて、図4等のタイミングチャートに示すように、N本のエミッション制御線EM(1)~EM(N)に順次所定期間Tonの間High状態の発光制御信号を印加する。以下、エミッション制御線EM(1)~EM(N)において、High状態の発光制御信号が印加されている状態を「選択状態」という。従って、N本のエミッション制御線EM(1)~EM(N)は、エミッション制御回路400によって順次に所定期間Tonの間選択状態となる。エミッ

ション制御線（ j ）（ $1 \leq j \leq N$ ）が選択状態にある時には、後述するように、当該エミッション制御線 $EM(j)$ に対応して設けられている j 行目の画素回路40により、対応する発光素子に駆動電流を流して、当該発光素子の発光動作が行われる。

[0015] 更に、電源回路600からは、有機EL用ハイレベル電源電圧、有機EL用ローレベル電源電圧が出力され、各々、有機EL用ハイレベル電源線 $ELVDD$ 、有機EL用ローレベル電源線 $ELVSS$ に入力される。

[0016] <画素回路の構成>

図3は、前記画素回路40の構成を示す回路図である。この画素回路40には、1個の発光素子7が接続されており、1個の画素回路40と1個の発光素子7とによって、1個の画素を形成している。発光素子7は、本実施形態では1個の例えば有機EL素子（Organic Light Emitting Diode）より構成されるが、有機EL素子に限らず、量子ドット発光素子（Quantum dot Light Emitting Diode）など、流れる電流によって輝度や透過率が制御される種々の電気光学素子で構成可能である。

[0017] 前記画素回路40及び発光素子7は、表示部500に配設されているM本のデータ信号線 $DT(1) \sim DT(M)$ とN本のスキャン制御線 $SC1(1) \sim SC1(N)$ との各交差点に対応して設けられている。尚、図3に示した画素回路40は、 i 行 j 列（ $1 \leq i \leq M$ 、 $1 \leq j \leq N$ ）に対応する画素回路40を記載している。

[0018] 前記画素回路40の内部構成は次の通りである。尚、各画素回路40は同一構成であるので、以下、データ信号線を $DT(i)$ 、スキャン制御線を $SC1(j)$ 、エミッション制御線を $EM(j)$ と記して説明する。画素回路40は、2個のトランジスタ $T1$ 、 $T2$ と、1個のコンデンサ Cst とを備えている。この画素回路は例示であって、他のトランジスタやコンデンサが更に複数設けられていてもよい。トランジスタ $T1$ は、後に詳述するように、前記発光素子7を駆動する駆動トランジスタとして機能すると共に、発光素子7への駆動電流の供給を制御して発光素子7の発光を制御する発光制御

トランジスタとして機能する。以下、トランジスタT1を駆動トランジスタと称する。また、トランジスタT2はデータ信号線DT(i)のデータ信号をコンデンサCstに書き込む書き込みトランジスタとして機能する。前記駆動トランジスタT1及び書き込みトランジスタT2は、同図ではnチャンネル型の薄膜トランジスタ(TFT)で構成されるが、pチャンネル型トランジスタで構成してもよい。但し、pチャンネル型トランジスタで構成した場合は、スキャン制御線SC1(1)~SC1(N)において、Low状態(アクティブ)のスキャン制御信号が印加されている状態を「選択状態」、また、エミッション制御線EM(1)~EM(N)において、Low状態(アクティブ)の発光制御信号が印加されている状態を「選択状態」という。

[0019] 基板から順に、複数のトランジスタが形成されるトランジスタ層、複数の発光素子が形成される発光素子層が形成される。前記駆動トランジスタT1は、ドレイン電極(導通端子)D、ソース電極(導通端子)S及びゲート電極(第1の制御端子)Gに加えて、前記ゲート電極Gと半導体層(図示せず)を挟んで反対側(半導体層の下側)に形成された他のゲート電極(第2の制御端子)B(以下、バックゲート電極という)を有するダブルゲート構造を有する。つまり、基板から順に、バックゲート電極、半導体層、ゲート電極である。このダブルゲート構造の駆動トランジスタT1では、バックゲート電極Bが前記エミッション制御線EM(j)の発光制御信号を受けると、その電位に応じて駆動トランジスタT1の閾値電圧が変化する特性を有する。尚、ソース電極、ドレイン電極、導通端子は、バックゲート電極、ゲート電極とは異なる層の金属層で形成してもよく、半導体層を導体化して形成してもよい。

[0020] 前記画素回路40において、駆動トランジスタT1は、ゲート電極Gが書き込みトランジスタT2の第2導通端子(後述)ct2に接続され、ドレイン電極Dが有機EL用ハイレベル電源線ELVDDに接続され、ソース電極Sが発光素子7のアノード端子に接続され、バックゲート電極Bが前記エミッション制御線EM(j)に接続されている。また、書き込みトランジスタ

T2は、ゲート電極（制御端子）がスキャン制御線SC1（j）に接続され、第1導通端子ct1がデータ信号線DT（i）に接続され、第2導通端子ct2が駆動トランジスタT1のゲート電極Gに接続されている。更に、コンデンサCstは、一对の対向電極のうち第1対向電極が駆動トランジスタT1のゲート電極Gに接続され、第2対向電極が駆動トランジスタT1のソース電極Sに接続されている。発光素子7のカソード端子は、有機EL用ローレベル電源線ELVSSに接続されている。前記有機EL用ハイレベル電源線ELVDDに印加される電圧は具体的には例えば20vであり、有機EL用ローレベル電源線ELVSSに印加される電圧は具体的には例えば0vである。

[0021] 尚、図3の画素回路40では、駆動トランジスタT1のゲート電極Gを書き込みトランジスタT2のドレイン電極に接続し、駆動トランジスタT1のバックゲート電極Bをエミッション制御線EM（j）に接続する構成としたが、逆に、駆動トランジスタT1の半導体層よりも上側のゲート電極Gをエミッション制御線EM（j）に接続し、駆動トランジスタT1の半導体層よりも下側のバックゲート電極Bを書き込みトランジスタT2のドレイン電極に接続する構成としてもよい。

[0022] 図4は、前記スキャン制御線SC1（1）～SC1（N）のスキャン制御信号と、エミッション制御線EM（1）～EM（N）のエミッション信号のタイミングチャート図である。同図において、スキャン制御線SC1（1）～SC1（N）がゲートスキャン回路300によって順次選択され、エミッション制御線EM（1）～EM（N）もエミッション制御回路400によって順次所定期間Tonの間選択され、その所定期間Tonの経過後に非選択状態に制御される。尚、同図中、「1」、「2」、「N」は行番号を示している。

[0023] その際、同一行のスキャン制御線SC1（j）とエミッション制御線EM（j）（ $1 \leq j \leq N$ ）では、スキャン制御線SC1（j）の選択と同時にエミッション制御線EM（j）も同時に選択されて所定期間Tonの間エミッ

ション信号はHigh状態を保持する。従って、j行目の画素回路40では、スキャン制御線SC1(j)が選択状態(スキャン制御信号のHigh状態)のとき、書き込みトランジスタT2がオン(アクティブ)して、データ信号線DT(i)に印加されたデータ信号(データ電圧Vd)がコンデンサCstに保持(書き込み)される。以下では、スキャン制御線SC1(j)が選択状態の期間をデータ信号の書き込み期間という。また、エミッション制御線EM(j)の選択状態では、エミッション信号のHigh状態により駆動トランジスタT1が後に詳述するようにオンして、前記データ電圧Vdに応じた駆動電流が発光素子7に流れ、発光素子7が発光する。以下、エミッション制御線EM(j)の選択状態の期間を発光素子7の発光期間という。その後、エミッション制御線EM(j)が非選択状態になると、エミッション信号のLow状態により駆動トランジスタT1が後に詳述するようにオフ動作して、発光素子7には駆動電流は流れず、発光素子7は非発光(消灯)となる。

[0024] 従って、発光素子7の輝度は、データ信号線DT(i)のデータ信号(データ電圧Vd)と、1垂直期間VTでのエミッション信号のHigh期間Tonとoff期間Toffとのデューティ比(Ton/Toff)とにより決定される。このことから、データ信号が同一値であっても、前記デューティ比を微小値ずつ変化させれば、表示部500での画素の低階調表示をアナログ的に表示することが可能となる。

[0025] <エミッション信号のLow電圧とHigh電圧>

ここで、駆動トランジスタT1のバックゲート電極Bに印加するエミッション信号(発光制御信号)のLow電圧とHigh電圧の設定について説明する。エミッション信号のLow電圧はバックゲート電極Bを持つnチャンネル型の駆動トランジスタT1をオフ動作させる電圧であり、High電圧は駆動トランジスタT1をオン動作させる電圧である。以下、具体的な電圧値について説明する。まず、エミッション信号のLow電圧について説明する。

[0026] バックゲート電極Bは、印加される電圧値に応じて駆動トランジスタT1の閾値（電圧） V_{th} を操作（大小変更）する機能を持つ。操作された閾値 V_{th}' は、次式で表現される。

$$[0027] \quad V_{th}' = V_{th} - \kappa \times V_{bs}$$

ここに、 V_{bs} は駆動トランジスタT1のバックゲートソース間電圧、 κ は駆動トランジスタT1の閾値が前記エミッション信号の電圧に応じて変化する度合いを示す正の係数、具体的には、前記バックゲートソース間電圧 V_{bs} に応じて閾値を操作する度合いを示す正の係数である。つまり、傾きの値に対応し、バックゲートソース間電圧 V_{bs} の変化量に対する閾値 V_{th}' の変化量の絶対値である。この係数 κ は、駆動トランジスタT1のゲート電極Gを覆うゲート絶縁膜（図示せず）とバックゲート電極Bを覆うゲート絶縁膜（図示せず）との容量比に比例し、その容量比が1：1の場合には値は1である。

[0028] 従って、バックゲート電極Bの電位 V_b がソース電極Sの電位 V_s より高いとき、操作された閾値 V_{th}' は低下し、流れる駆動電流は増大する。一方、バックゲート電極Bの電位 V_b がソース電極Sの電位 V_s より低いとき、操作された閾値 V_{th}' は上昇し、流れる駆動電流は減少する。

[0029] 前記駆動トランジスタT1のオンオフを決定するオーバードライブ電圧 V_{ov} は、操作された閾値 V_{th}' によって変化し、変化したオーバードライブ電圧 V_{ov}' は、次式で表現される。

$$[0030] \quad V_{ov}' = V_{ov} + \kappa \times V_{bs}$$

ここに、オーバードライブ電圧 V_{ov} は、 $V_{gs} - V_{th}'$ である。

[0031] 駆動トランジスタT1をオフにするオーバードライブ電圧 V_{ov}' の条件は、 $V_{ov}' < 0$ であるので、バックゲートソース間電圧 V_{bs} は、

$$V_{bs} < -V_{ov} / \kappa$$

であれば駆動トランジスタT1を確実にオフ動作させることが可能である。前記式をバックゲート電極Bに印加される電圧（発光制御信号の電圧であり、以下、バックゲート電圧という） V_{em} の式に変換すると、次式で表現さ

れる。

$$[0032] \quad V_{em} < -V_d / \kappa + \{ (1 + \kappa) \cdot V_s + V_{th} \} / \kappa$$

ここに、 V_d はデータ信号線DT(i)のデータ電圧、 V_s は駆動トランジスタT1のソース電圧である。

[0033] 前記式を満たすように、駆動トランジスタT1をオフ動作させる発光制御信号の電圧 V_{em} を適宜、設定すればよい。

[0034] 以下、バックゲート電圧 V_{em} の決め方の一例を示す。前記式の右辺第2項は正值である。また、画素の最大輝度（白色表示）に相当するデータ電圧 $max V_d$ とすると、

$$-V_d / \kappa + \{ (1 + \kappa) \cdot V_s + V_{th} \} / \kappa < -max V_d / \kappa$$

となる。そのため、

$$V_{em} < -max V_d / \kappa$$

が成立し、バックゲート電圧 V_{em} の絶対値を $max V_d / \kappa$ としておけば、駆動トランジスタT1の設計等でソース電圧 V_s や閾値 V_{th} が変わっても、駆動トランジスタT1をオフにすることができる。なお、前記の例では、バックゲート電圧 V_{em} の絶対値の最大値の目安であって、マージンを広げなければ絶対値が大きくてもよいし、ソース電圧 V_s や閾値 V_{th} 等の設計によって、絶対値を小さくしてもよい。本実施形態では、例えば、前記係数 κ を1、前記右辺第2項の電圧値を数 v （例えば2 v ）とし、最大輝度に相当するデータ電圧 $max V_d$ を9 v とすると、エミッション信号のLow電圧 V_L は例えば-7.5 v に設定する。

[0035] 次に、エミッション信号のHigh電圧について説明する。例えば、画素の最小輝度（黒色表示）に対応するデータ電圧 $min V_d$ のとき、駆動トランジスタT1が確実にオフ動作するように、High電圧を設定する。この設定により、画素の輝度を黒色表示から高くするのに応じて、駆動トランジスタT1をオンさせた状態でこの駆動トランジスタT1から発光素子7に流す駆動電流を増大させることが可能である。

[0036] 以上、 n チャネル型の駆動トランジスタT1について説明したが、 p チャネル型の駆動トランジスタT1についても同様に設定可能である。

[0037] 従って、本実施形態では、ダブルゲート構造の駆動トランジスタT1のバックゲート電極Bにエミッション制御線EM(j)を接続し、そのエミッション信号をHigh状態とLow状態とに変更することにより、駆動トランジスタT1の閾値を変動させてそのオンオフを制御して、発光素子7の輝度を変更することができるので、従来のように画素回路において駆動トランジスタと直列に発光制御用のトランジスタを別途配置する必要がなく、画素回路の構成トランジスタ数を低減して、高精細化が可能である。

[0038] 更に、図4のタイミングチャートでは、同一行のスキャン制御信号とエミッション信号とが同一タイミングでHigh状態に遷移して、両信号のHigh期間が重複しているので、書き込みトランジスタT2のオンによるコンデンサCstへのデータ信号の書き込みと、駆動トランジスタT1のオンによるコンデンサCstのリセット（初期化）とを同時に実現することが可能である。

[0039] <変形例>

図4ではエミッション制御線EM(j)を1垂直期間中に1回選択状態（エミッション信号をHigh状態）に制御したが、図5に示すように複数回（同図では2回）に分割してHigh状態に制御してもよい。この場合には、発光素子7の1回当たりの発光期間を短縮（同図では $T_{on}/2$ ）することにより、見掛け上の発光周波数を高くできるので、特に低輝度での表示時のようにエミッション信号のデューティ比が小さいときでのフリッカを軽減することが可能である。発光期間の合計は、 $T_{on}/2 + T_{on}/2 = T_{on}$ で変わらない。

[0040] また、静止画表示のモードを1回選択状態とし、動画表示モードを複数回分割して選択状態とするように切り分けてもよい。このようにすることで、容易に、動画の残像を防止することができる。このとき、複数回に分けても、前記のように発光期間の合計は同じである方が好ましい。

[0041] 更に、例えば車載用に表示装置が使われる場合、輝度の明るい昼モード（第1モード）、輝度の暗い夜モード（第2モード、ピーク輝度が第1モード

よりも小さい)が設定される。夜モードの発光期間 T_{on} は、昼モードの発光期間 T_{on} より短い。例えば、昼モードの発光期間 T_{on} は1000H、夜モードの発光期間 T_{on} は2Hである。このようにすることで、薄膜トランジスタの数を増やさなくても、容易に、昼と夜のピーク輝度を調整することができる。

[0042] <第2実施形態>

次に、本発明の第2実施形態を説明する。

[0043] 図6は、前記図3の画素回路40において、コンデンサ C_{st} の初期化を行う構成を追加した回路図を示す。

[0044] 同図では、既述した図3の画素回路40の構成に更に初期化トランジスタ T_3 が追加されている。また、表示部(表示領域)500には、初期化電源線 $IN_1(i)$ と第2スキャン制御線(第2走査制御線) $SC_2(j)$ とが追加されている。更に、表示部500の外周囲の非表示領域(図1参照)550には、前記第2スキャン制御線 $SC_2(j)$ を駆動する初期化回路(第2走査制御回路)650が配置されている。初期化電源線 $IN_1(i)$ の電圧(初期化電圧)は、有機EL用ローレベル電源線 $ELVSS$ の電位の近傍の電圧に設定される。また、初期化電源線 $IN_1(i)$ は、データ信号線 $DT(i)$ と平行に延びて配置され、第2スキャン制御線 $SC_2(j)$ は第1スキャン制御線 $SC_1(j)$ と平行に延びて配置されている。前記初期化トランジスタ T_3 において、ソース電極(第1導通端子)は前記初期化電源線 $IN_1(i)$ に接続され、ドレイン電極(第2導通端子)は駆動トランジスタ T_1 の発光素子7側の電極、すなわちソース電極 S と接続され、ゲート電極(制御端子)は前記第2スキャン制御線 $SC_2(j)$ に接続されている。更に、画素回路40では、コンデンサ C_{st} の2つの対向電極のうち第1対向電極は駆動トランジスタ T_1 のゲート電極 G に接続され、第2対向電極は前記初期化トランジスタ T_3 のドレイン電極に接続されている。尚、初期化電源線 $IN_1(i)$ は、データ信号線 $DT(i)$ と平行に配置したが、第1スキャン制御線 $SC_1(j)$ と平行に配置してもよい。また、初期化回路(

第2走査制御回路) 650はゲートスキャン回路(第1走査制御回路) 300と別回路に構成したが、ゲートスキャン回路300と同一回路で構成してもよい。

[0045] 図7は、第1スキャン制御線SC1(1)~SC1(N)、第2スキャン制御線SC2(1)~SC2(N)及びエミッション制御線EM(1)~EM(N)の選択の様子を示すタイミングチャートである。同図では、 j ($1 \leq j \leq N$)行目の第1スキャン制御線SC1(j)の選択状態(データ信号の書き込み期間)の前の期間において、同行の第2スキャン制御線SC2(j)が選択状態とされる。また、前記データ信号の書き込み期間では、同行のエミッション制御線EM(j)は非選択状態(エミッション信号のLow状態)であり、前記データ信号の書き込み期間の終了後に、所定期間Tonの間エミッション信号がHigh状態に制御されて、選択状態となる。

[0046] 尚、第2スキャン制御線SC2(j)は、一段前、又は2段前の第1スキャン制御線SC1、すなわち、SC1($j-1$)又はSC1($j-2$)と接続してもよい。図7は、一段前に接続した例である。

[0047] 従って、画素回路40に初期化トランジスタT3を設けた場合には、データ信号の書き込み期間の前の期間において、第2スキャン制御線SC2(j)が選択状態とされて初期化トランジスタT3がオンし、コンデンサCstの第2対向電極が初期化電源線INI(i)の初期化電圧に制御される。この状態では、駆動トランジスタT1はエミッション制御線EM(j)の非選択状態(エミッション信号のLow状態)によってオフ動作している。

[0048] そして、コンデンサCstの初期化が終了すると、データ信号の書き込み期間となり、第1スキャン制御線SC1(j)の選択状態によって書き込みトランジスタT2がオンして、データ信号線DT(i)のデータ信号がコンデンサCstに正確に書き込まれることになる。

[0049] 更に、前記データ信号の書き込みが終了すると、エミッション制御線EM(j)が選択状態(エミッション信号のHigh状態)となり、駆動トランジスタT1が所定期間Tonの間オンして駆動電流が流れ、発光素子7が発

光する。その後は、前記期間 T_{on} の終了後に駆動トランジスタ T_1 がオフして発光素子 7 は非発光状態となる。

[0050] このように、画素回路 40 に初期化トランジスタ T_3 を設けた場合には、コンデンサ C_{st} へのデータ信号の書き込み時に、その 1 垂直期間 V_T 前のデータ信号がコンデンサ C_{st} に残存して次のデータ信号をコンデンサ C_{st} に精度良く書き込みできないことを確実に防止できる。

[0051] <変形例 1 >

図 8 は、コンデンサ C_{st} へのデータ信号の書き込みを行う構成（第 1 の構成）を示す図である。

[0052] 本変形例での画素回路 40 の構成は既述した図 6 の構成と同一である。図 8 は、本構成でのデータ信号の書き込みを行う場合におけるタイミングチャートである。同図では、データ書き込み期間、すなわち第 1 スキャン制御線 $SC_1(j)$ の選択状態では、第 2 スキャン制御線 $SC_2(j)$ も選択状態に制御される。また、エミッション制御線 $EM(j)$ は第 1 スキャン制御線 $SC_1(j)$ の選択状態のときから所定期間 T_{on} の間選択状態に制御される。

[0053] 尚、第 2 スキャン制御線 $SC_2(j)$ は、同じ段の第 1 スキャン制御線 $SC_1(j)$ と接続してもよい。

[0054] 従って、データ信号の書き込み期間では、書き込みトランジスタ T_2 がオンしてコンデンサ C_{st} の第 1 対向電極にデータ信号線 $DT(i)$ のデータ信号が印加され、第 2 対向電極には初期化トランジスタ T_3 のオンにより初期化電圧 V_i が印加される。これにより、コンデンサ C_{st} には、データ信号の書き込み前の状態に依存しない新たなデータ信号（データ電圧 V_d ）がコンデンサ C_{st} に書き込まれ、駆動トランジスタ T_1 のゲートソース間電圧 V_{gs} は所定電圧になる。この時、駆動トランジスタ T_1 がオンしているため、有機 EL 用ハイレベル電源線 $ELVDD$ から駆動トランジスタ T_1 及び初期化トランジスタ T_3 を経て初期化電源線 $INI(i)$ に貫通電流が流れるが、駆動トランジスタ T_1 のゲートソース間電圧 V_{gs} はコンデン

サC s tによって変化しない。

[0055] そして、データ信号の書き込み期間が終了すると、書き込みトランジスタT 2及び初期化トランジスタT 3がオフする。この状態では、未だ駆動トランジスタT 1がオンしているため、発光素子7には駆動電流が流れており、この電流によって駆動トランジスタT 1のソース電極Sの電位は変動するものの、コンデンサC s tによって駆動トランジスタT 1のゲート電極Gの電位が連動し、駆動トランジスタT 1のゲート-ソース間電圧V g sは変化しない状態である。

[0056] このように、本変形例1では、データ信号の書き込み前の状態に依存しない新たなデータ信号をコンデンサC s tに書き込むことが可能である。

[0057] <変形例2>

図9は、コンデンサC s tへのデータ信号の書き込みを行う構成（第2の構成）を示す図である。

[0058] 本変形例での画素回路40の構成は既述した図6の構成と同一である。図9は、本構成でのデータ信号の書き込みを行う場合におけるタイミングチャートである。前記図8ではデータ信号の書き込み期間において第1スキャン制御線S C 1（j）、第2スキャン制御線S C 2（j）及びエミッション制御線E M（j）を全て選択状態に制御したが、図9ではエミッション制御線E M（j）は非選択状態に制御している。この状態では、駆動トランジスタT 1がオフするので、有機E L用ハイレベル電源線E L V D Dから初期化トランジスタT 3を経て初期化電源線I N I（i）に貫通電流が流れない状態で、コンデンサC s tにはデータ信号線D T（i）のデータ信号がコンデンサC s tに書き込まれる。

[0059] 尚、第2スキャン制御線S C 2（j）は、同じ段の第1スキャン制御線S C（j）と接続してもよい。

[0060] そして、データ信号の書き込み期間の終了後は、第1スキャン制御線S C 1（j）及び第2スキャン制御線S C 2（j）を共に非選択状態に制御すると共に、エミッション制御線E M（j）を所定期間T o nの間選択状態に制

御している。この状態では、エミッション制御線EM(j)の寄生容量や発光素子7に流れる駆動電流によって駆動トランジスタT1のゲート電極Gの電位は変動するが、コンデンサCstによって駆動トランジスタT1のゲートソース間電圧Vgsは変化しない状態となる。

[0061] このように、本変形例2では、データ信号の書き込み期間において、初期化トランジスタT3を経て初期化電源線INI(i)に貫通電流が流れることなく、コンデンサCstにデータ信号を書き込むことが可能である。

[0062] これまでは、表示装置に画像を表示させる表示モードを説明したが、以下、駆動トランジスタの特性を測定する測定モードを説明する。

[0063] 図10及び図11は、駆動トランジスタT1の特性を測定する構成を示す図である。

[0064] 図10(a)及び(b)に示す画素回路40の構成は図6と同一である。図11は駆動トランジスタT1の特性測定時でのタイミングチャートを示す。図11では、データ信号の書き込み期間において、第1スキャン制御線SC1(j)、第2スキャン制御線SC2(j)及びエミッション制御線EM(j)を全て選択状態にする。これにより、図10(a)に示すように、駆動トランジスタT1、書き込みトランジスタT2及び初期化トランジスタT3が全てオンする(このオン状態を太線で示す)。この状態では、コンデンサCstの第2対向電極に初期化電圧が印加された状態で、データ信号線DT(i)の特性測定用のデータ信号がコンデンサCstの第1対向電極に印加されて、駆動トランジスタT1のゲートソース間電圧Vgsは所定値になる。この時、エミッション制御線EM(j)が選択状態にあるため、有機EL用ハイレベル電源線ELVDDから駆動トランジスタT1及び初期化トランジスタT3を経て初期化電源線INI(i)に貫通電流TCが流れるが、駆動トランジスタT1のゲートソース間電圧VgsはコンデンサCstによって変化しない。

[0065] そして、データ信号の書き込み期間が終了した後は、第1スキャン制御線SC1(j)は非選択状態となるが、所定期間PT1(<1垂直期間VT)

を特性測定期間として、この特性測定期間 P T 1 において第 2 スキャン制御線 S C 2 (j) 及びエミッション制御線 E M (j) は選択状態を維持し、初期化電源線 I N I (i) を電流測定回路 (後述) に接続する。図 1 0 (b) に示したように、駆動トランジスタ T 1 及び初期化トランジスタ T 3 のみがオンする (このオン状態を太線で示す) 。これにより、有機 E L 用ハイレベル電源線 E L V D D から駆動トランジスタ T 1 及び初期化トランジスタ T 3 を経て初期化電源線 I N I (i) にモニタ電流 M C が流れ、このモニタ電流 M C を外部に配置した電流測定回路により測定して、駆動トランジスタ T 1 の特性を測定する。尚、この際には、駆動トランジスタ T 1 から発光素子 7 に流れる漏れ電流を減少させる目的で、有機 E L 用ローレベル電源線 E L V S S の電位を上げる制御を行ってもよい。

[0066] このように、表示モードよりも、測定モードの方は、第 1 スキャン制御線 S C 2 (j) の選択状態の期間よりも、第 2 スキャン制御線 S C 2 (j) の選択状態の期間が長い。従って、本構成では、第 2 スキャン制御線 S C 2 (j) 、及びエミッション制御線 E M (j) が選択状態のときにおいて駆動トランジスタ T 1 の特性を測定することが可能である。発光素子 7 の発光時にはエミッション制御線 E M (j) が選択状態となるため、このエミッション制御線 E M (j) の選択状態での駆動トランジスタ T 1 の特性を測定することによって、例えば駆動トランジスタ T 1 に起因する発光素子 7 の焼き付きを補償することが可能である。

[0067] 尚、このように駆動トランジスタ T 1 の特性の測定が終了した後は、例えば前記特性測定期間 P T 1 の終了直前において、データ信号線 D T (i) の所定データ電圧 V d をコンデンサ C s t に書き込んで、特性測定用のデータ電圧をリセットする。このリセットする所定データ電圧 V d は、画像等の表示期間中であれば特性測定の直前のデータ電圧に前記焼き付き補償の電圧値を加算した電圧であり、集中測定中であれば黒色表示に対応するデータ電圧に前記焼き付き補償の電圧値を加算した電圧である。

[0068] 尚、第 1 スキャン制御線 S C 1 (j) が選択状態のときに、エミッション

制御線EM(j)が選択状態である構成を説明したが、第1スキャン制御線SC1(j)が非選択状態となった後(データ信号書き込み終了後)に、エミッション制御線EM(j)を選択状態としてもよい。このようにすることで、特に、データ書き込み時における発光を防止することができる。

[0069] <発光素子の特性の測定-1>

以下、発光素子の特性を測定する測定モードを説明する。

[0070] 図12及び図13は、発光素子7の特性を測定する構成(第1の構成)を示す図である。

[0071] 図12(a)及び(b)に示す画素回路40の構成は図6と同一である。図13は本構成での発光素子7の特性測定時でのタイミングチャートを示す。図13では、データ信号の書き込み期間において、第1スキャン制御線SC1(j)、第2スキャン制御線SC2(j)及びエミッション制御線EM(j)を全て選択状態にする。これにより、図12(a)に示すように、駆動トランジスタT1、書き込みトランジスタT2及び初期化トランジスタT3が全てオンする(このオン状態を太線で示す)。これにより、コンデンサCstの第2対向電極に初期化電圧が印可された状態で、データ信号線DT(i)の特性測定用のデータ信号がコンデンサCstの第1対向電極に印加されて、駆動トランジスタT1のゲートソース間電圧Vgsは所定値になる。この時、エミッション制御線EM(j)が選択状態にあるため、有機EL用ハイレベル電源線ELVDDから駆動トランジスタT1及び初期化トランジスタT3を経て初期化電源線INI(i)に貫通電流TCが流れるが、駆動トランジスタT1のゲートソース間電圧VgsはコンデンサCstによって変化しない。

[0072] そして、データ信号の書き込み期間が終了した後は、エミッション制御線EM(j)を非選択状態にすると共に、所定期間PT2(<1垂直期間VT)を特性測定期間として、この特性測定期間PT2では第2スキャン制御線SC2(j)を選択状態に保持し、更にこの特性期間PT2の一部期間で初期化電源線INI(i)の初期化電圧を単調増加する波形に掃引する。尚、

この掃引は、単調増加に限らず単調減少でもよい。この制御により、図12(b)に示したように、初期化トランジスタT3のみがオンして（このオン状態を太線で示す）、初期化電源線IN(i)から初期化トランジスタT3を経て発光素子7にモニタ電流MCが流れて、発光素子7を発光させながら、このモニタ電流MCを外部に配置した電流測定回路（後述）により測定して、発光素子7の特性を測定する。

[0073] 前記初期化電源線IN(i)の初期化電圧の掃引が終了した後は、特性測定期間PT2の終了直前において第1スキャン制御線SC1(j)を再度選択状態にして、データ信号線DT(i)の所定データ信号（例えば、黒色表示に対応するデータ電圧）をコンデンサCstに書き込んで、前記特性測定用のデータ信号をリセットする。

[0074] このように発光素子7にモニタ電流MCを流すことを1行目からN行目までの各発光素子7について順次行って、それら各行の発光素子7の特性を測定する。

[0075] 前記特性測定期間PT2での特性測定では、初期化電源線IN(i)の初期化電圧の掃引によって、発光素子7に所望の電流値（指定電流値）を流すための電圧値を探索することが可能である。

[0076] 尚、初期化電圧の掃引は例であって、初期化電源線IN(i)に、明階調及び暗階調に対応する2つの電圧を与え、電流を測定することによって、発光素子7の補償を行ってもよい。また、中間調を加え、3つの電圧でもよく、それ以上でもよい。

[0077] <発光素子の特性の測定-2>

図14及び図15は、発光素子7の特性を測定する構成（第2の構成）を示す図である。

[0078] 図14に示す画素回路40の構成は図6と同一である。図15は本構成での発光素子7の特性測定時でのタイミングチャートを示す。図15では、発光素子7の特性測定時には、第1スキャン制御線SC1(j)及びエミッション制御線EM(j)を非選択状態とし、第2スキャン制御線SC2(j)

を所定期間 P T 3 の間選択状態にし、初期化電源線 I N I (i) の初期化電圧を前記所定期間 P T 3 の一部期間で単調増加する波形に掃引する。尚、この単調増加の掃引は単調減少の掃引でもよい。この制御により、前記所定期間 P T 3 では、図 1 4 に示したように、駆動トランジスタ T 1 及び書き込みトランジスタ T 2 がオフし、初期化トランジスタ T 3 のみがオン（このオン状態を太線で示す）する。この状態では、駆動トランジスタ T 1 がオフ状態にあるため、データ信号線 D T (i) のデータ信号を書き込みトランジスタ T 2 に書き込む必要がなく、初期化トランジスタ T 3 のオンによって直ちにモニタ電流 M C を発光素子 7 に流して発光素子 7 の特性を測定することが可能である。前記所定期間 P T 3 は発光素子 7 の特性測定期間となる。

[0079] すなわち、特性測定期間 P T 3 では、初期化電源線 I N I (i) の初期化電圧が単調増加に掃引されることにより、初期化電源線 I N I (i) から初期化トランジスタ T 3 を経て発光素子 7 にモニタ電流 M C が流れて、発光素子 7 を発光させながら、このモニタ電流 M C を外部に配置した電流測定回路（後述）により測定して、発光素子 7 の特性を測定する。

[0080] 図 1 6 は、前記発光素子 7 に流れるモニタ電流 M C を測定する電流測定回路の構成を示す回路図である。同図において、電流測定回路 5 0 は、掃引すべき制御電圧（初期化電圧） V m を初期化電源線 I N I (i) に供給する機能と、初期化電源線 I N I (i) に流れる電流値を測定する機能とを有する。

[0081] 具体的に、電流測定回路 5 0 は、オペアンプ 5 1 とコンデンサ 5 2 とスイッチ 5 3 とが含まれる。オペアンプ 5 1 は、反転入力端子が初期化電源線 I N I (i) に接続され、非反転入力端子には掃引する制御電圧（初期化電圧） V m が与えられる。コンデンサ 5 2 及びスイッチ 5 3 はオペアンプ 5 1 の出力端子と初期化電源線 I N I (i) との間に設けられる。この構成では、先ず、制御クロック信号 S c l k によってスイッチ 5 3 を閉じる。これにより、オペアンプ 5 1 の出力端子－反転入力端子間が短絡状態となり、オペアンプ 5 1 の出力端子及び初期化電源線 I N I (i) の電位が前記制御電圧 V

mの電位と等しくなる。発光素子7の特性測定時には、制御クロック信号Sclockによってスイッチ53を開く。これにより、同図に矢印で示すように、初期化電源線INI(i)から初期化トランジスタT3を経て発光素子7にモニタ電流MCが流れる。このとき、コンデンサ52の存在により、前記初期化電源線INI(i)に流れるモニタ電流MCの大きさに応じてオペアンプ51の出力端子の電位が変化し、その出力電流MOを測定して、発光素子7の特性を測定する。また、前記発光素子7にモニタ電流MCが流れるときには、同時に駆動トランジスタT1をオンさせると、有機EL用ハイレベル電源線ELVDDから駆動トランジスタT1にも同図に矢印で示す駆動電流が流れるので、この駆動電流を電流測定回路50で測定することも可能である。

[0082] 今回開示した実施形態は全ての点で例示であって、限定的な解釈の根拠となるものではない。従って、本発明の技術的範囲は、前記した実施形態のみによって解釈されるものではなく、特許請求の範囲の記載に基づいて画定される。また、特許請求の範囲と均等の意味及び範囲内での全ての変更が含まれる。

符号の説明

[0083]	1	表示装置
	7	発光素子
	40	画素回路
	T1	駆動トランジスタ
	G	ゲート電極（第1の制御端子）
	B	バックゲート電極（第2の制御端子）
	S	ソース電極（第1導通端子）
	D	ドレイン電極（第2導通端子）
	T2	書き込みトランジスタ
	T3	初期化トランジスタ
	Cst	コンデンサ

100	表示制御回路
200	データ信号線駆動回路
300	ゲートスキャン回路（第1走査制御回路）
400	エミッション制御回路（発光制御回路）
500	表示部（表示領域）
650	初期化回路（第2走査制御回路）
DT (i)	データ信号線
SC1 (j)	第1スキャン制御線（第1走査制御線）
SC2 (j)	第2スキャン制御線（第2走査制御線）
EM (j)	エミッション制御線（発光制御線）
INI (i)	初期化電源線

請求の範囲

[請求項1] 表示領域に、第1走査制御線と、該第1走査制御線と平行に延びる発光制御線と、前記第1走査制御線と交差するデータ信号線と、前記第1走査制御線とデータ信号線との交差点毎に設けられた画素回路と、前記画素回路毎に設けられた発光素子と、非表示領域に、前記第1走査制御線を駆動する第1走査制御回路と、前記発光制御線を駆動する発光制御回路と、を備えた表示装置であって、

前記画素回路は、半導体層を挟んで上下に位置する第1及び第2の制御端子を有し前記発光素子に駆動電流を流す駆動トランジスタと、書き込みトランジスタと、データ信号を保持するコンデンサとを含み、

前記書き込みトランジスタは、第1導通端子が前記データ信号線に接続され、第2導通端子が前記駆動トランジスタの前記第1の制御端子に接続され、制御端子が前記第1走査制御線に接続され、

前記駆動トランジスタは、前記第2の制御端子が前記発光制御線に接続され、

前記発光制御回路は、前記発光制御線に、前記駆動トランジスタをオンにする選択状態と、前記駆動トランジスタをオフにする非選択状態とに切り換える発光制御信号を出力する

ことを特徴とする表示装置。

[請求項2] 前記発光制御線のLow電圧は、

前記Low電圧をVL、前記データ信号線の最大輝度のデータ信号の電圧をmaxVd、前記駆動閾値が前記発光制御線の電圧に応じて変化する度合いを示す正の係数をκとすると、

$$VL \leq -\text{maxVd} / \kappa$$

の関係を満たす

ことを特徴とする請求項1に記載の表示装置。

[請求項3] 前記コンデンサへのデータ信号の書き込み期間では、

前記第1走査制御回路は前記書き込みトランジスタをオンするように前記第1走査制御線を選択状態とし、前記発光制御回路は前記駆動トランジスタをオンするように前記発光制御線を選択状態とし、

前記書き込み期間から発光期間の間では、

前記第1走査制御回路は前記書き込みトランジスタをオフするように前記第1走査制御線を非選択状態とし、前記駆動トランジスタをオンし続けるように前記発光制御線を選択状態に維持する

ことを特徴とする請求項1又は2に記載の表示装置。

[請求項4] 前記発光制御回路は、1垂直期間中に、前記発光制御線を2回以上選択状態とする

ことを特徴とする請求項1～3の何れか1項に記載の表示装置。

[請求項5] 静止画表示モードと、動画表示モードと、を備え、

前記静止画表示モードにおいて、前記発光制御回路は、1垂直期間中に前記発光制御線を1回選択状態とし、

前記動画表示モードにおいて、前記発光制御回路は、1垂直期間中に前記発光制御線を2回以上選択状態とする

ことを特徴とする請求項1～3の何れか1項に記載の表示装置。

[請求項6] 第1モードと、前記第1モードよりも輝度が小さい第2モードと、を備え、

前記第2モードにおける前記発光制御線を選択状態の期間は、前記第1モードにおける前記発光制御線を選択状態の期間よりも短い

ことを特徴とする請求項1～5の何れか1項に記載の表示装置。

[請求項7] 前記表示領域に、初期化電源線と、前記第1走査制御線と平行に延びる第2走査制御線と、前記非表示領域に前記第2走査制御線を駆動する第2走査制御回路を備え、

前記画素回路は初期化トランジスタを備え、該初期化トランジスタの第1導通端子が前記初期化電源線に接続され、第2導通端子が前記駆動トランジスタの前記発光素子側の導通端子に接続され、制御端子

が前記第2走査制御線に接続され、

前記コンデンサの第1対向電極は前記駆動トランジスタの第1の制御端子に接続され、第2対向電極は前記初期化トランジスタの前記第2導通端子に接続される

ことを特徴とする請求項1～6の何れか1項に記載の表示装置。

[請求項8]

前記表示領域に、初期化電源線と、前記第1走査制御線と平行に延びる第2走査制御線と、前記非表示領域に前記第2走査制御線を駆動する第2走査制御回路を備え、

前記画素回路は初期化トランジスタを備え、該初期化トランジスタの第1導通端子が前記初期化電源線に接続され、第2導通端子が前記駆動トランジスタの前記発光素子側の導通端子に接続され、制御端子が前記第2走査制御線に接続され、

前記コンデンサの第1対向電極は前記駆動トランジスタの第1の制御端子に接続され、第2対向電極は前記初期化トランジスタの前記第2導通端子に接続される

ことを特徴とする請求項1又は2に記載の表示装置。

[請求項9]

前記コンデンサへのデータ信号の書き込み期間の前の期間では、

前記第2走査制御回路は前記初期化トランジスタをオンするように前記第2走査制御線を選択状態として、前記コンデンサの前記第2対向電極に前記初期化電源線の初期化電圧が印加され、

前記コンデンサへのデータ信号の書き込み期間では、

前記第1走査制御回路は前記書き込みトランジスタをオンするように前記第1走査制御線を選択状態とし、前記第2走査制御回路は前記初期化トランジスタをオフするように前記第2走査制御線を非選択状態とし、前記発光制御回路は前記駆動トランジスタをオフするように前記発光制御線を非選択状態として、前記コンデンサの前記第1対向電極に前記データ信号が印加され、

前記書き込み期間から発光期間の間では、

前記第1走査制御回路は前記書き込みトランジスタをオフし続けるように前記第1走査制御線の非選択状態を維持し、前記第2走査制御回路は前記初期化トランジスタをオフし続けるように前記第2走査制御線の非選択状態を維持し、前記発光制御回路は前記駆動トランジスタをオンするように前記発光制御線を選択状態にする

ことを特徴とする請求項8記載の表示装置。

[請求項10]

前記コンデンサへのデータ信号の書き込み期間では、

前記第1走査制御回路は前記書き込みトランジスタをオンするように前記第1走査制御線を選択状態とし、前記第2走査制御回路は前記初期化トランジスタをオンするように前記第2走査制御線を選択状態とし、前記発光制御回路は前記駆動トランジスタをオンするように前記発光制御線を選択状態として、前記コンデンサの前記第1対向電極に前記データ信号が印加され、前記第2対向電極に前記初期化電源線の初期化電圧が印加され、

前記書き込み期間から発光期間の間では、

前記第1走査制御回路は前記書き込みトランジスタをオフするように前記第1走査制御線を非選択状態とし、前記第2走査制御回路は前記初期化トランジスタをオフするように前記第2走査制御線を非選択状態とし、前記発光制御回路は前記駆動トランジスタをオンし続けるように前記発光制御線を選択状態に維持する

ことを特徴とする請求項8記載の表示装置。

[請求項11]

前記コンデンサへのデータ信号の書き込み期間では、

前記第1走査制御回路は前記書き込みトランジスタをオンするように前記第1走査制御線を選択状態とし、前記第2走査制御回路は前記初期化トランジスタをオンするように前記第2走査制御線を選択状態とし、前記発光制御回路は前記駆動トランジスタをオフするように前記発光制御線を非選択状態として、前記コンデンサの前記第1対向電極に前記データ信号が印加され、前記第2対向電極に前記初期化電源

線の初期化電圧が印加され、

前記書き込み期間から発光期間の間では、

前記第1走査制御回路は前記書き込みトランジスタをオフするように前記第1走査制御線を非選択状態とし、前記第2走査制御回路は前記初期化トランジスタをオフするように前記第2走査制御線を非選択状態とし、前記発光制御回路は前記駆動トランジスタをオンするように前記発光制御線を選択状態に維持する

ことを特徴とする請求項8記載の表示装置。

[請求項12]

更に、電流測定回路を備え、

前記駆動トランジスタの特性を測定する測定モードにおいて、

前記コンデンサへの測定用信号の書き込み期間では、

前記第1走査制御回路は前記書き込みトランジスタをオンするように前記第1走査制御線を選択状態とし、前記第2走査制御回路は前記初期化トランジスタをオンするように前記第2走査制御線を選択状態とし、前記発光制御回路は前記駆動トランジスタをオンするように前記発光制御線を選択状態として、前記コンデンサの前記第1対向電極に前記測定用信号が印加され、

前記駆動トランジスタの特性の測定期間では、

前記第1走査制御回路は前記書き込みトランジスタをオフするように前記第1走査制御線を非選択状態とし、前記第2走査制御回路は前記初期化トランジスタをオンし続けるように前記第2走査制御線を選択状態を維持し、前記発光制御回路は前記駆動トランジスタをオンし続けるように前記発光制御線を選択状態に維持し、前記電流測定回路は、前記駆動トランジスタを経て前記初期化電源線に流れる電流を測定する

ことを特徴とする請求項8～11の何れか1項に記載の表示装置。

[請求項13]

更に、電流測定回路を備え、

前記駆動トランジスタの特性を測定する測定モードにおいて、

前記コンデンサへの測定用信号の書き込み期間では、

前記第1走査制御回路は前記書き込みトランジスタをオンするように前記第1走査制御線を選択状態とし、前記第2走査制御回路は前記初期化トランジスタをオンするように前記第2走査制御線を選択状態として、前記コンデンサの前記第1対向電極に前記測定用信号が印加され、

前記駆動トランジスタの特性の測定期間では、

前記第1走査制御回路は前記書き込みトランジスタをオフするように前記第1走査制御線を非選択状態とし、前記第2走査制御回路は前記初期化トランジスタをオンし続けるように前記第2走査制御線を選択状態を維持し、前記発光制御回路は前記駆動トランジスタをオンするように前記発光制御線を選択状態とし、前記電流測定回路は、前記駆動トランジスタを経て前記初期化電源線に流れる電流を測定する

ことを特徴とする請求項8～11の何れか1項に記載の表示装置。

[請求項14]

更に、電流測定回路を備え、

前記発光素子の特性を測定する測定モードにおいて、

前記コンデンサへの測定用信号の書き込み期間では、

前記第1走査制御回路は前記書き込みトランジスタをオンするように前記第1走査制御線を選択状態とし、前記第2走査制御回路は前記初期化トランジスタをオンするように前記第2走査制御線を選択状態とし、前記発光制御回路は前記駆動トランジスタをオンするように前記発光制御線を選択状態として、前記コンデンサの前記第1対向電極に前記測定用信号が印加され、

前記発光素子の特性の測定期間では、

前記第1走査制御回路は前記書き込みトランジスタをオフするように前記第1走査制御線を非選択状態とし、前記第2走査制御回路は前記初期化トランジスタをオンし続けるように前記第2走査制御線を選択状態を維持し、前記発光制御回路は前記駆動トランジスタをオフす

るように前記発光制御線を非選択状態にし、前記電流測定回路は、前記初期化電源線を経て前記発光素子に流れる電流を測定する

ことを特徴とする請求項 8 ～ 11 の何れか 1 項に記載の表示装置。

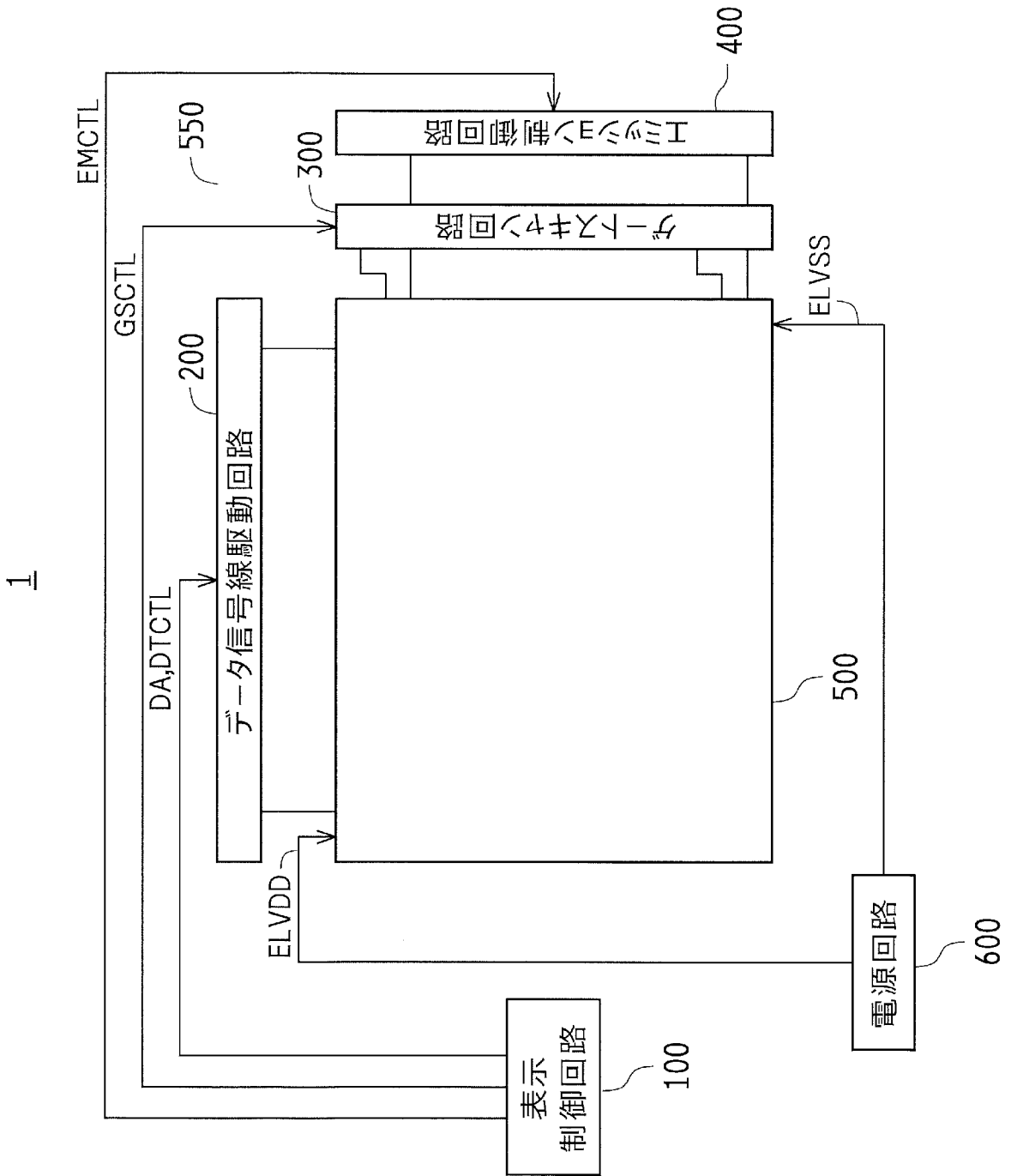
[請求項15] 前記発光素子の特性の測定期間において、前記初期化電源線には少なくとも 2 つ以上の電圧が入力される

ことを特徴とする請求項 14 に記載の表示装置。

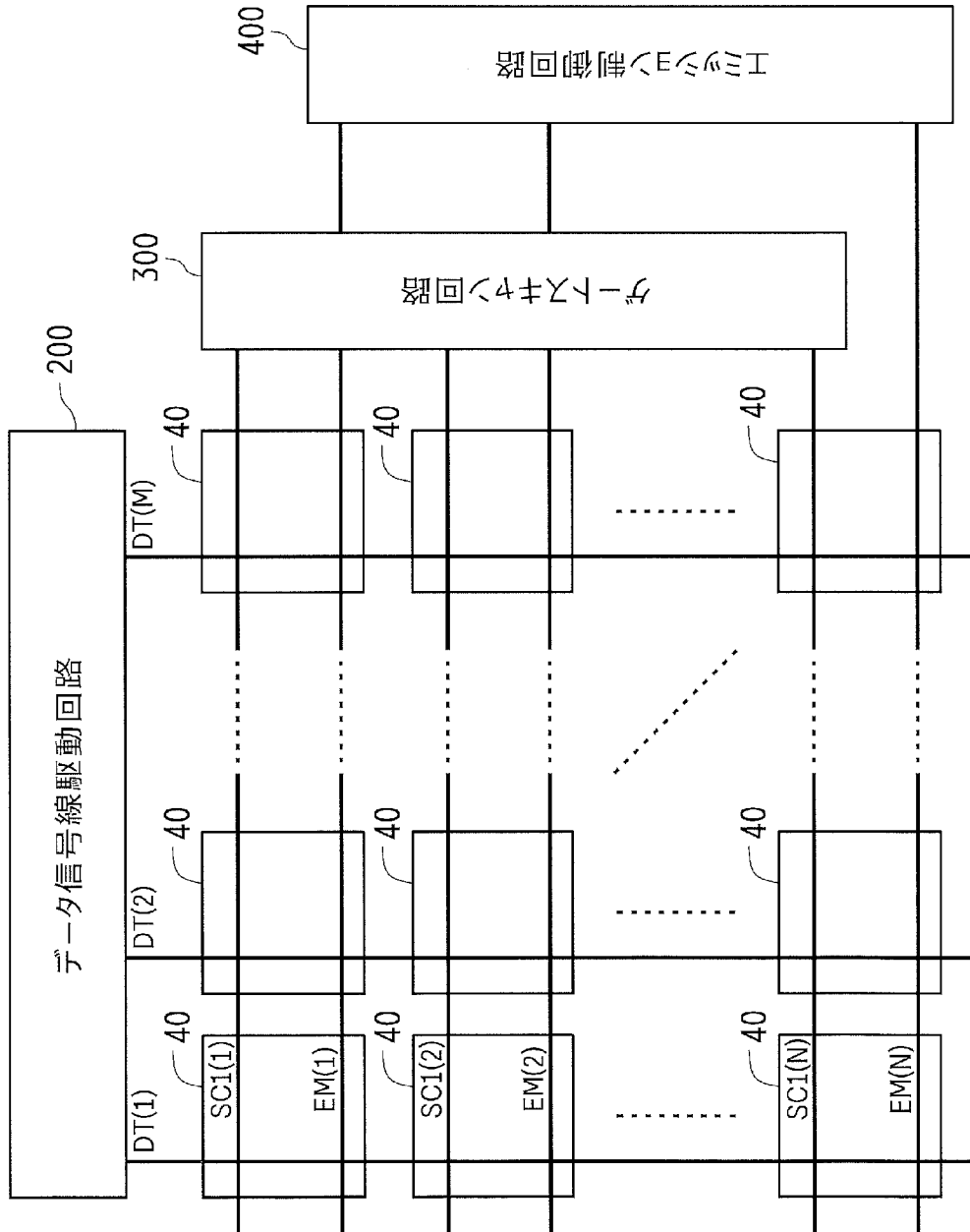
[請求項16] 前記発光素子の特性の測定期間において、前記初期化電源線に入力される電圧は、単調増加又は単調減少する電圧である

ことを特徴とする請求項 14 又は 15 に記載の表示装置。

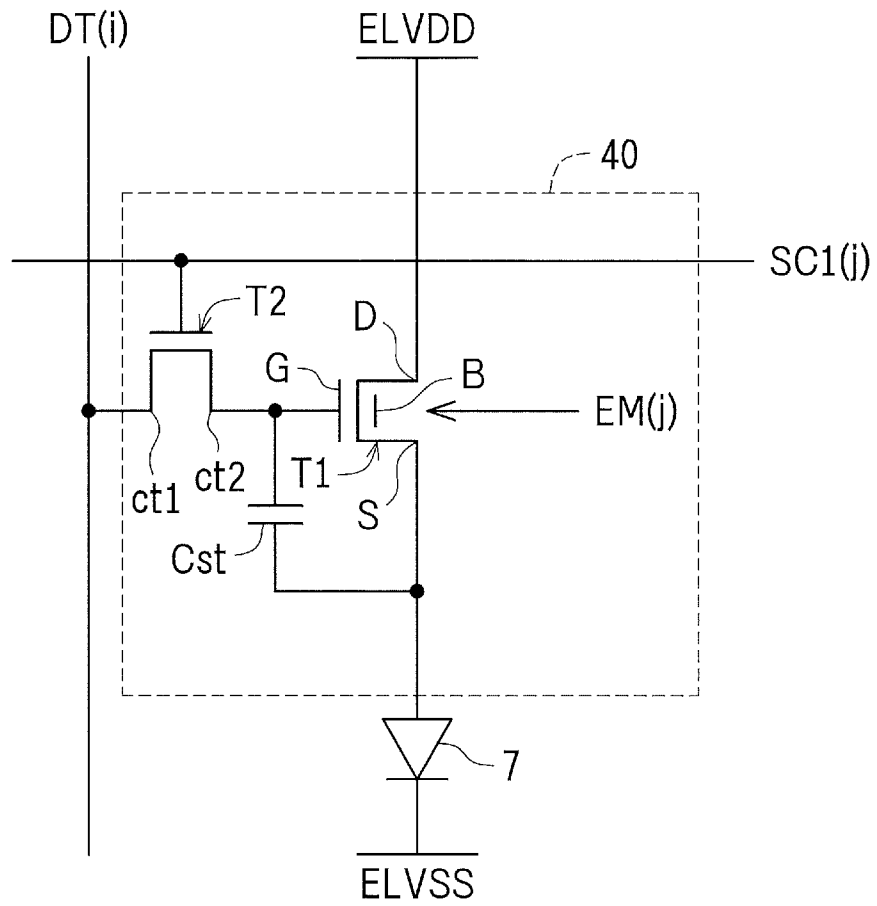
[図1]



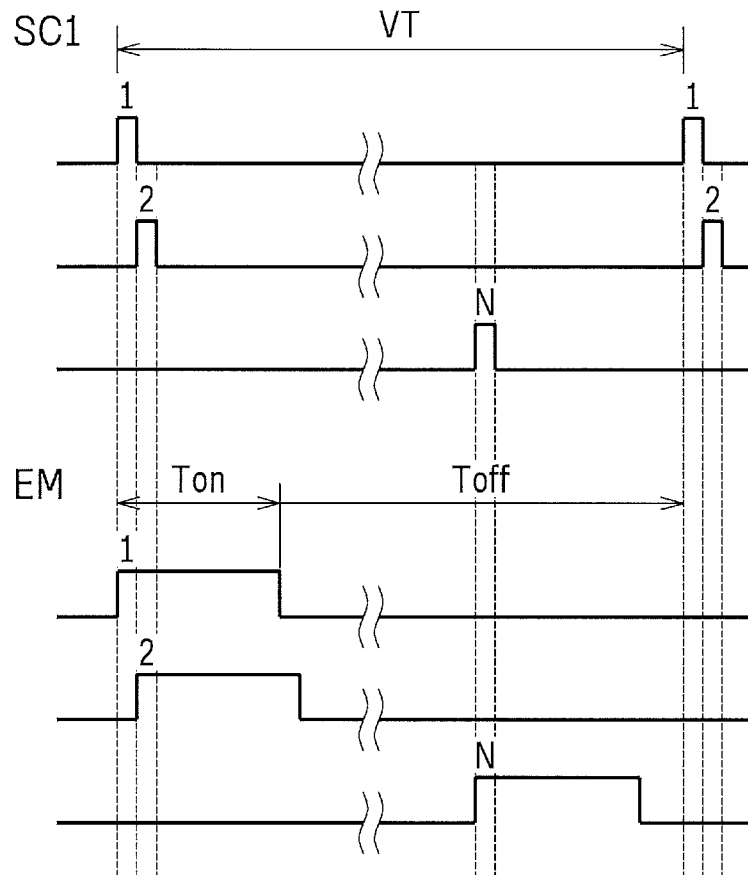
[図2]



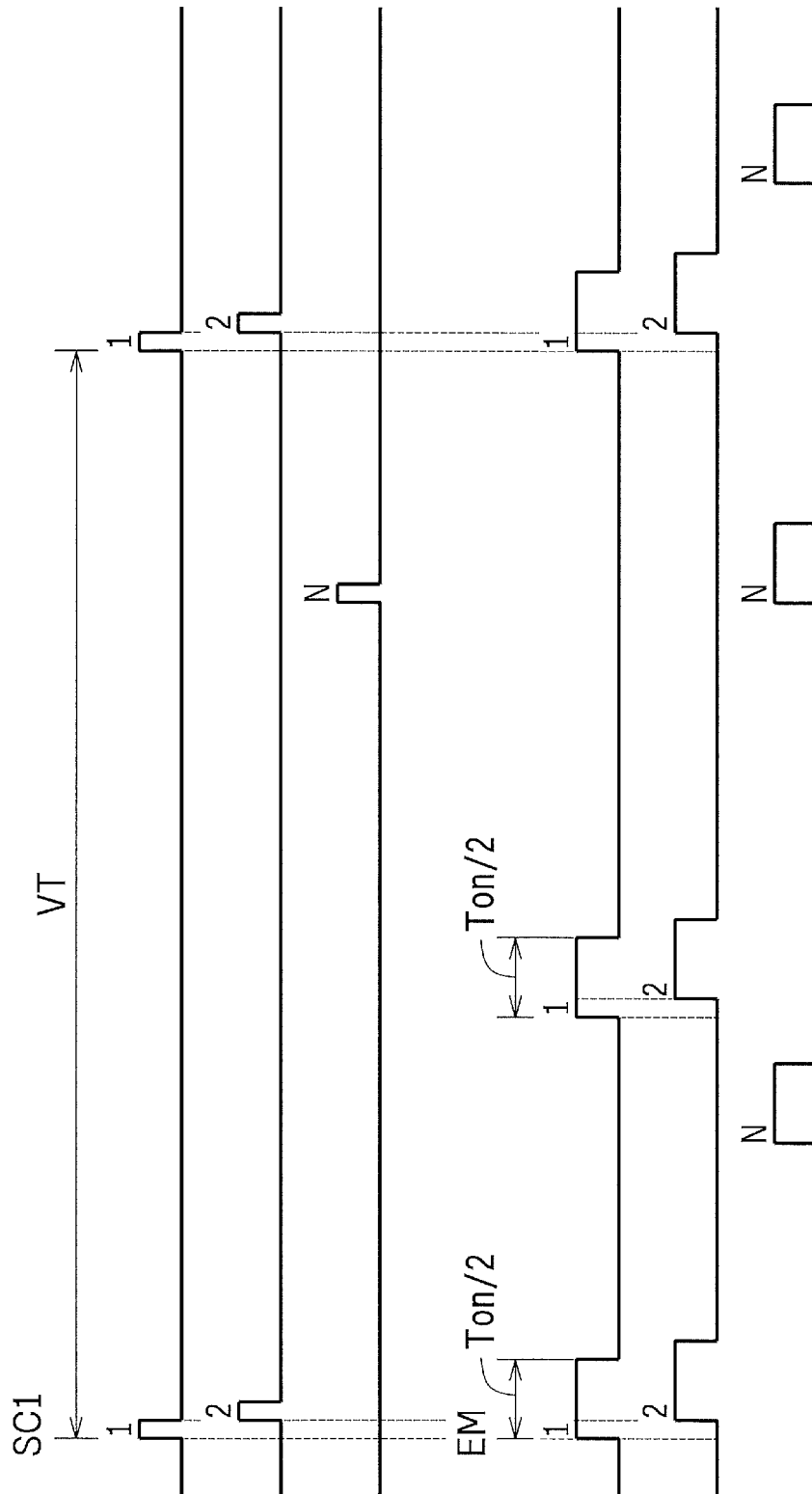
[図3]



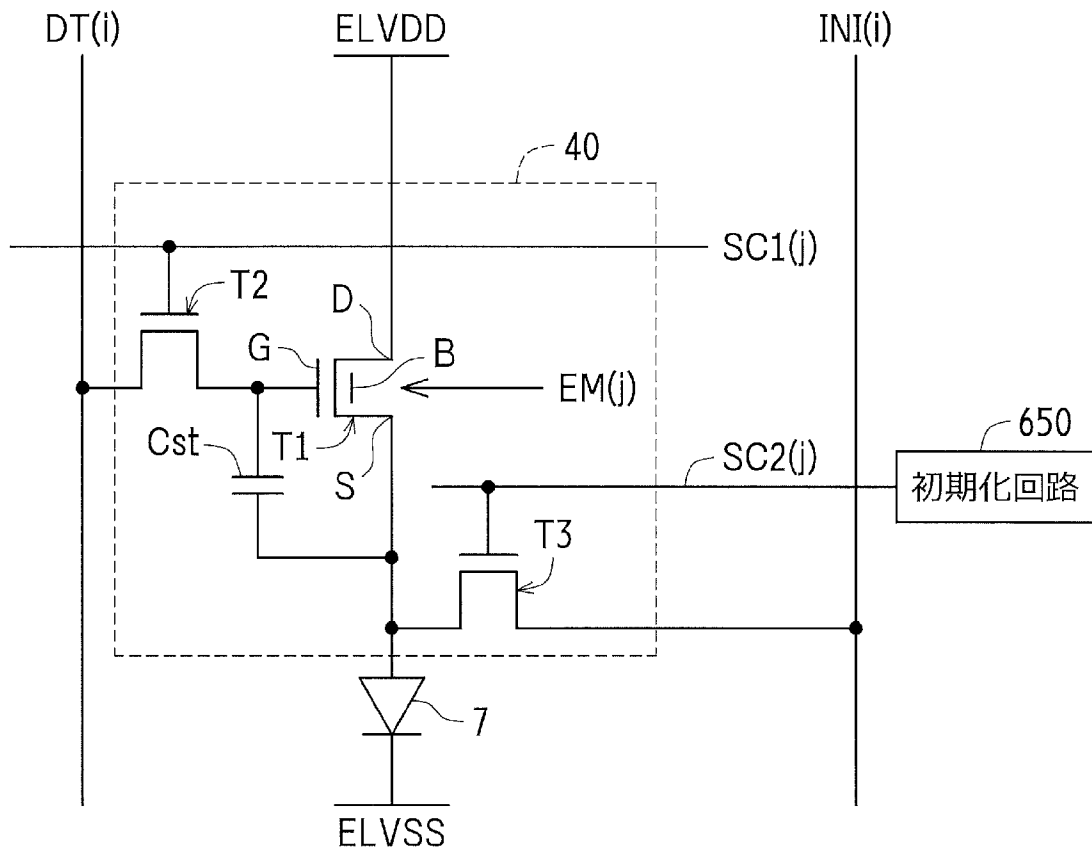
[図4]



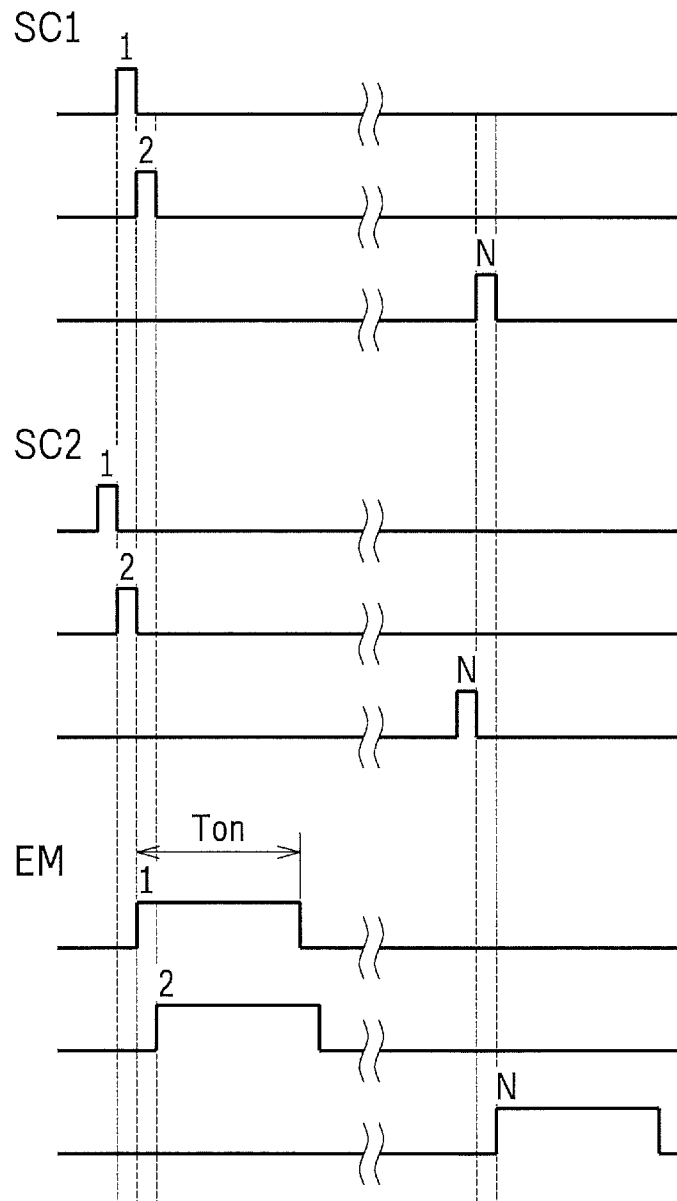
[図5]



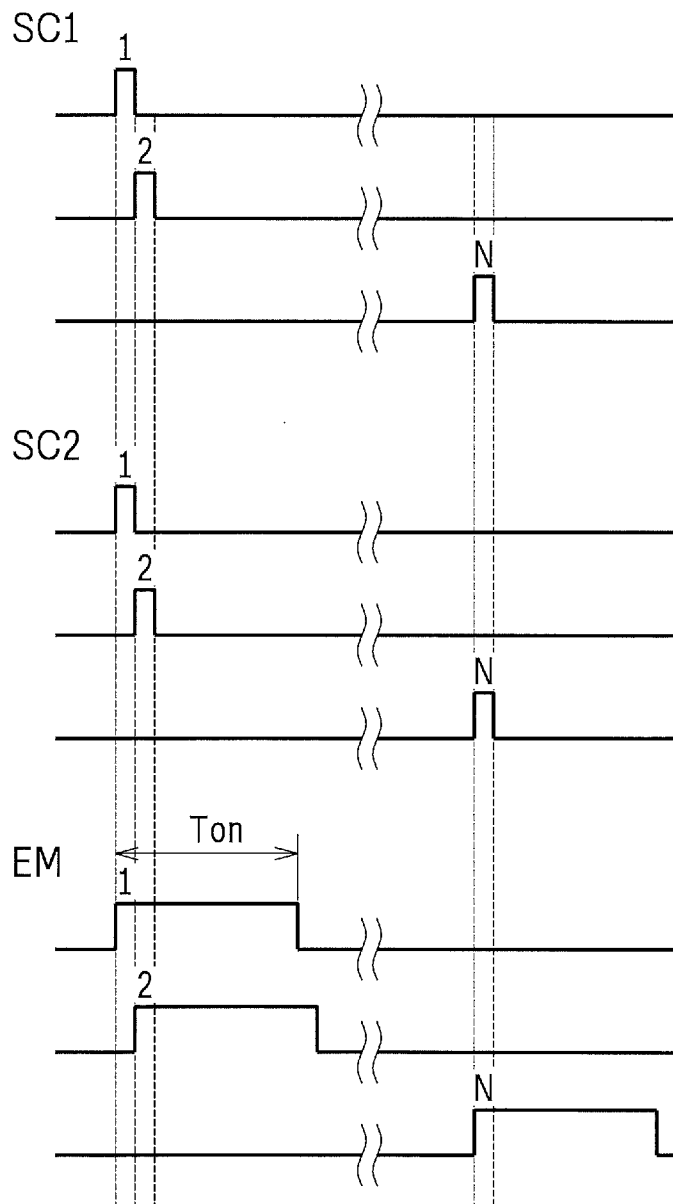
[図6]



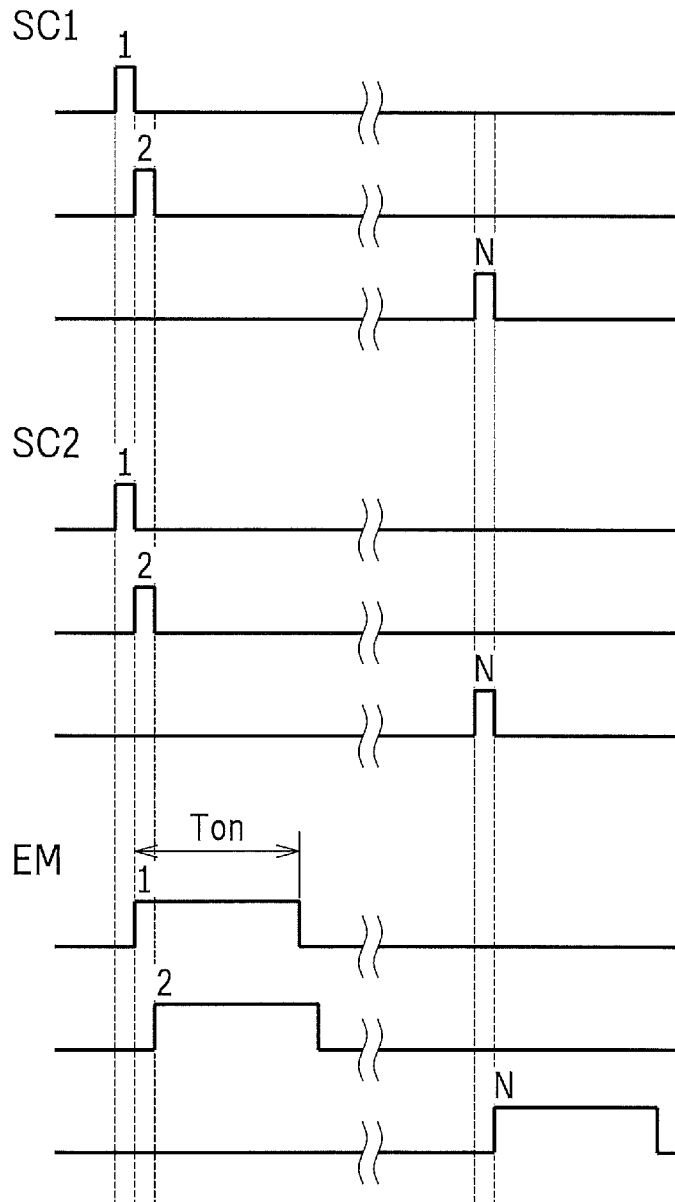
[図7]



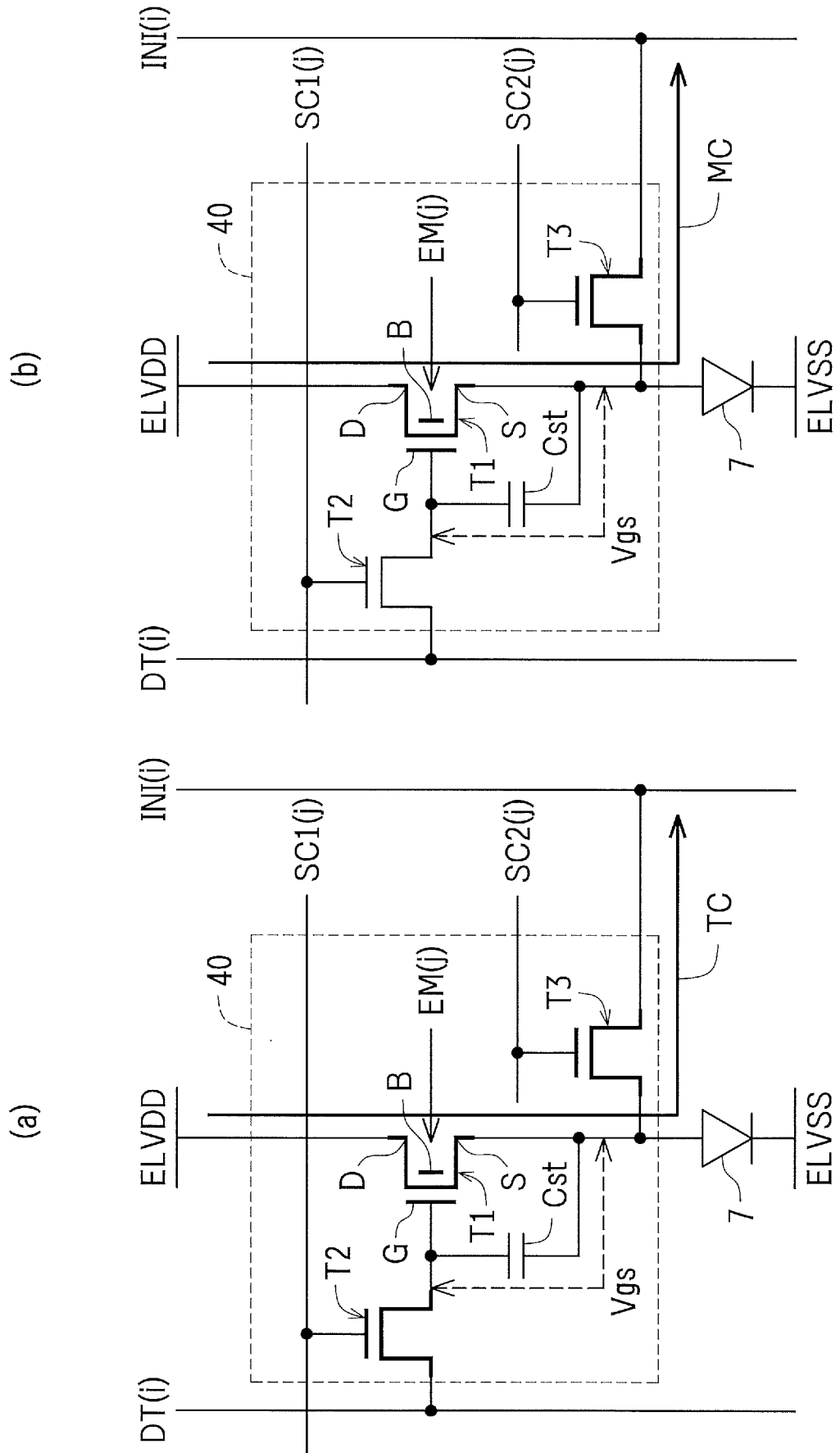
[図8]



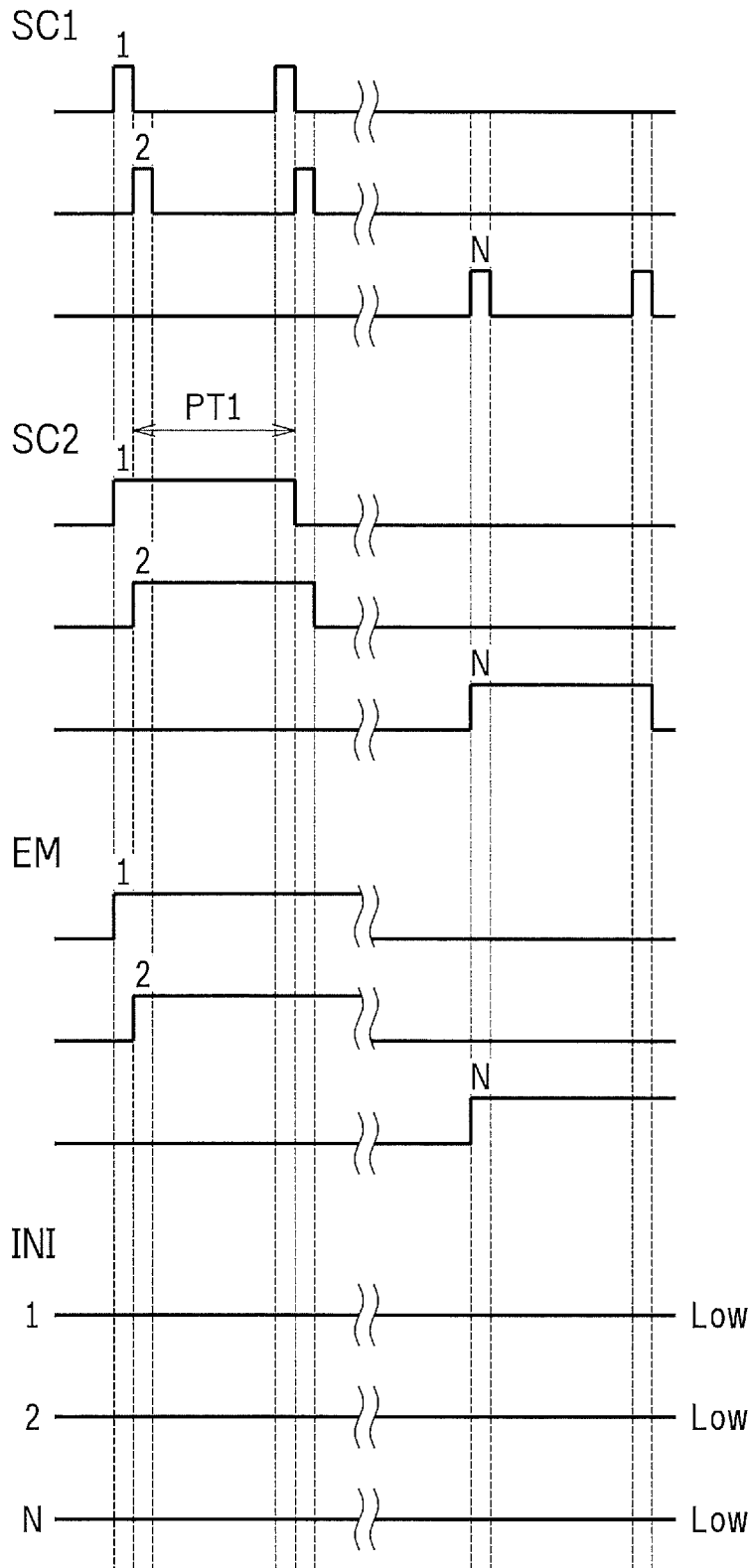
[図9]



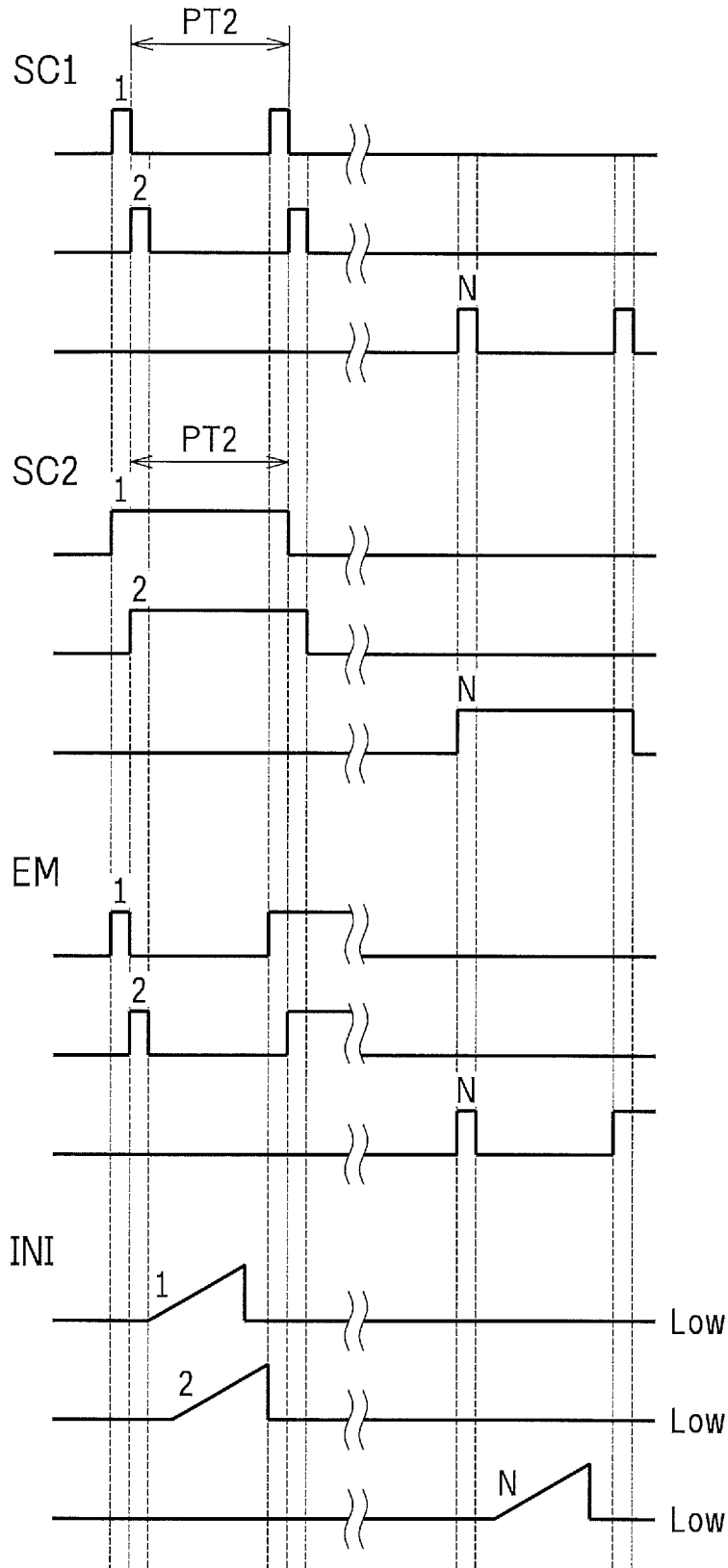
[図10]



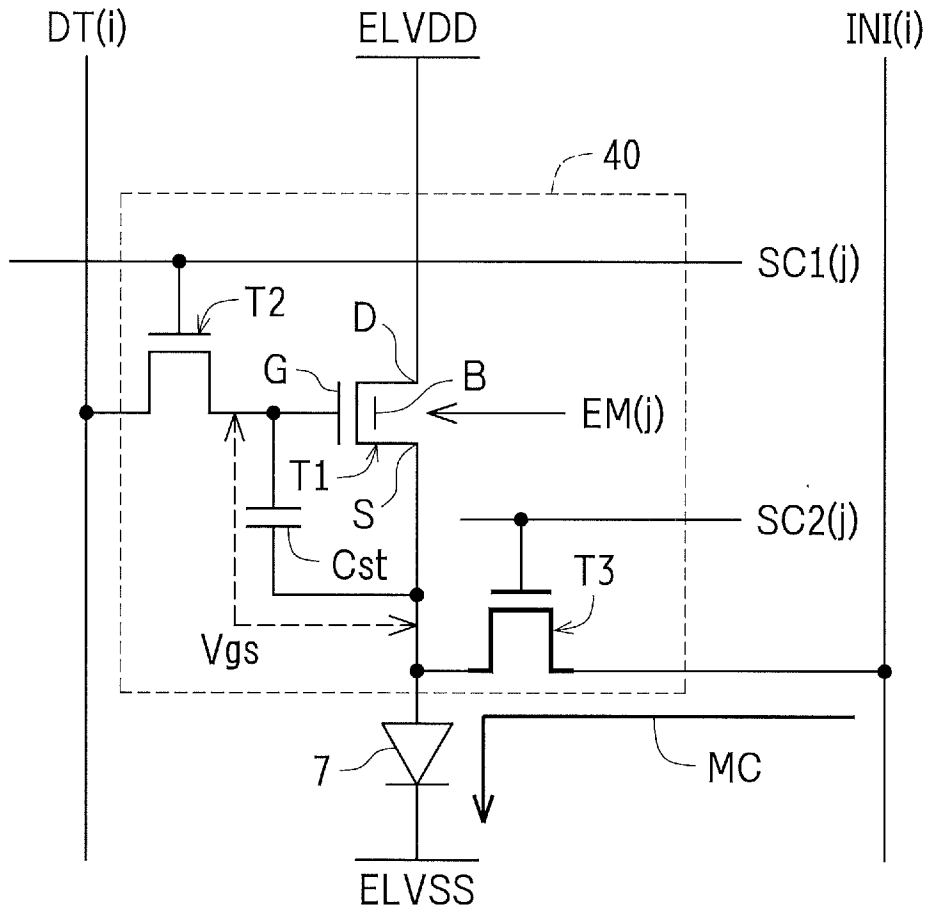
[図11]



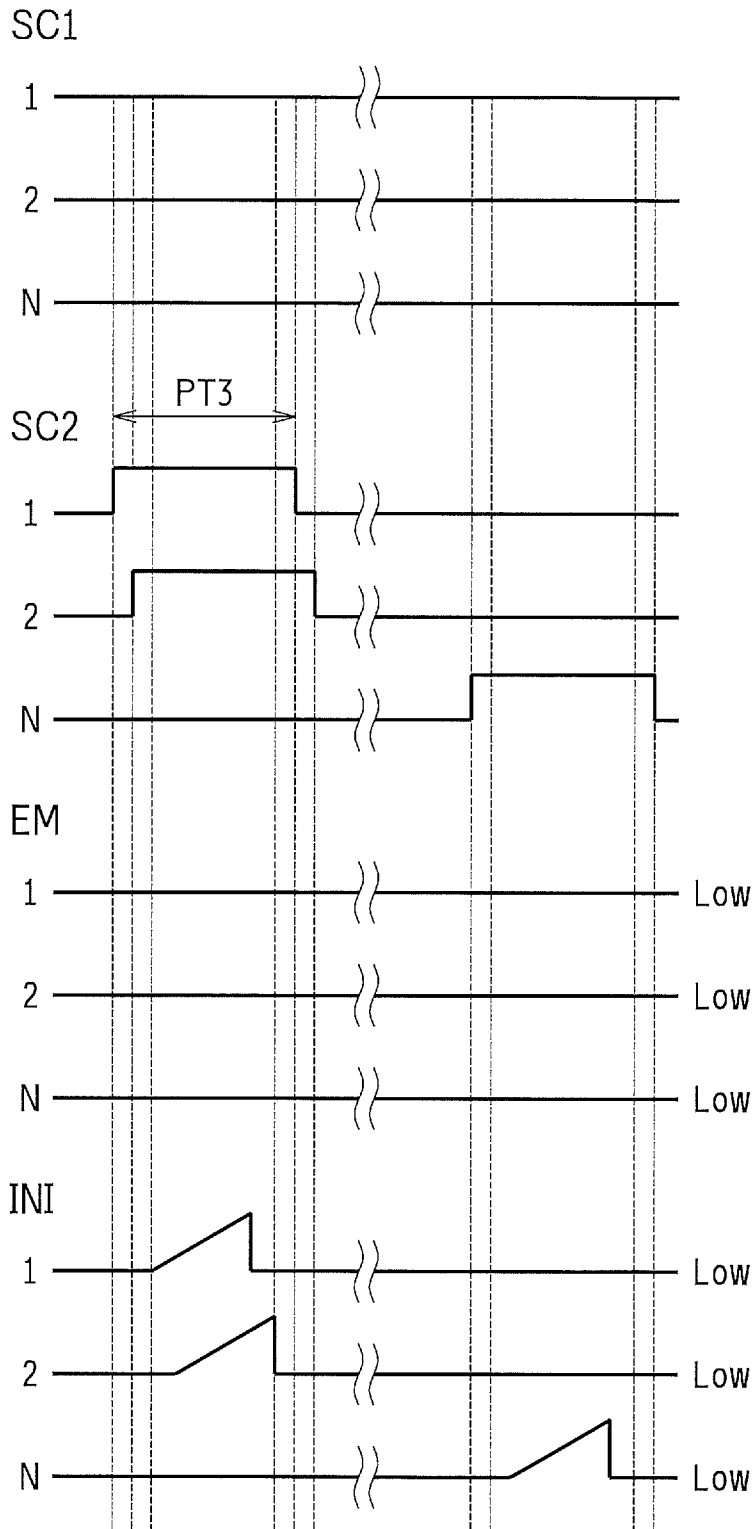
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/040261

<p>A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. G09G3/3233 (2016.01) i, G09G3/20 (2006.01) i, G09G3/3266 (2016.01) i</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>												
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) Int.Cl. G09G3/00-3/38</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched</p> <table border="0"> <tr> <td>Published examined utility model applications of Japan</td> <td>1922-1996</td> </tr> <tr> <td>Published unexamined utility model applications of Japan</td> <td>1971-2019</td> </tr> <tr> <td>Registered utility model specifications of Japan</td> <td>1996-2019</td> </tr> <tr> <td>Published registered utility model applications of Japan</td> <td>1994-2019</td> </tr> </table> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>			Published examined utility model applications of Japan	1922-1996	Published unexamined utility model applications of Japan	1971-2019	Registered utility model specifications of Japan	1996-2019	Published registered utility model applications of Japan	1994-2019		
Published examined utility model applications of Japan	1922-1996											
Published unexamined utility model applications of Japan	1971-2019											
Registered utility model specifications of Japan	1996-2019											
Published registered utility model applications of Japan	1994-2019											
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X Y A</td> <td>JP 2017-219839 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 14 December 2017, paragraphs [0043]-[0088], fig. 1-6 & US 2017/0352313 A1 (paragraphs [0061]-[0105], fig. 1-6) & KR 10-2017-0137632 A</td> <td>1-3, 7-8, 10 4-6, 9, 11-13 14-16</td> </tr> <tr> <td>X Y A</td> <td>WO 2011/125107 A1 (PANASONIC CORP.) 13 October 2011, paragraphs [0073]-[0158], fig. 1-5 & US 2012/0169798 A1 (paragraphs [0100]-[0185], fig. 1-5) & CN 102405492 A & KR 10-2013-0008659 A</td> <td>1-2 4-6, 9, 11 3, 7-8, 10, 12-16</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X Y A	JP 2017-219839 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 14 December 2017, paragraphs [0043]-[0088], fig. 1-6 & US 2017/0352313 A1 (paragraphs [0061]-[0105], fig. 1-6) & KR 10-2017-0137632 A	1-3, 7-8, 10 4-6, 9, 11-13 14-16	X Y A	WO 2011/125107 A1 (PANASONIC CORP.) 13 October 2011, paragraphs [0073]-[0158], fig. 1-5 & US 2012/0169798 A1 (paragraphs [0100]-[0185], fig. 1-5) & CN 102405492 A & KR 10-2013-0008659 A	1-2 4-6, 9, 11 3, 7-8, 10, 12-16	
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.										
X Y A	JP 2017-219839 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 14 December 2017, paragraphs [0043]-[0088], fig. 1-6 & US 2017/0352313 A1 (paragraphs [0061]-[0105], fig. 1-6) & KR 10-2017-0137632 A	1-3, 7-8, 10 4-6, 9, 11-13 14-16										
X Y A	WO 2011/125107 A1 (PANASONIC CORP.) 13 October 2011, paragraphs [0073]-[0158], fig. 1-5 & US 2012/0169798 A1 (paragraphs [0100]-[0185], fig. 1-5) & CN 102405492 A & KR 10-2013-0008659 A	1-2 4-6, 9, 11 3, 7-8, 10, 12-16										
<p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>												
<p>* Special categories of cited documents:</p> <table border="0"> <tr> <td>“A” document defining the general state of the art which is not considered to be of particular relevance</td> <td>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>“E” earlier application or patent but published on or after the international filing date</td> <td>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>“O” document referring to an oral disclosure, use, exhibition or other means</td> <td>“&” document member of the same patent family</td> </tr> <tr> <td>“P” document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table>			“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family	“P” document published prior to the international filing date but later than the priority date claimed	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention											
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone											
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art											
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family											
“P” document published prior to the international filing date but later than the priority date claimed												
<p>Date of the actual completion of the international search 10 December 219 (10.12.2019)</p>		<p>Date of mailing of the international search report 24 December 2019 (24.12.2019)</p>										
<p>Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan</p>		<p>Authorized officer</p> <p>Telephone No.</p>										

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/040261

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-47894 A (HITACHI DISPLAYS, LTD.) 08 March 2012, paragraphs [0075]-[0076], fig. 4, 6 & US 2012/0050252 A1 (paragraphs [0092]-[0093], fig. 4, 6)	4-5
Y	JP 2008-83085 A (SONY CORP.) 10 April 2008, paragraphs [0014]-[0018], fig. 3 (Family: none)	6
Y	US 2013/0050292 A1 (MIZUKOSHI, Seiichi) 28 February 2013, paragraphs [0090]-[0100], fig. 4A-5 & KR 10-2013-0024744 A & CN 102968954 A	12-13
A	JP 2012-513040 A (GLOBAL OLED TECHNOLOGY LLC.) 07 June 2012, entire text, all drawings & US 2010/0156766 A1 (whole document) & WO 2010/080113 A1 & EP 2359357 A1 & CN 102257554 A & KR 10-2011-0100219 A	1-16

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. G09G3/3233(2016.01)i, G09G3/20(2006.01)i, G09G3/3266(2016.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. G09G3/00-3/38

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2019年
 日本国実用新案登録公報 1996-2019年
 日本国登録実用新案公報 1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2017-219839 A（株式会社半導体エネルギー研究所）2017.12.14, [0043]-[0088], 図1-図6 & US 2017/0352313 A1 ([0061]-[0105], Figs. 1-6) & KR 10-2017-0137632 A	1-3, 7-8, 10 4-6, 9, 11-13 14-16
X Y A	WO 2011/125107 A1（パナソニック株式会社）2011.10.13, [0073]-[0158], 図1-図5 & US 2012/0169798 A1 ([0100]-[0185], Figs. 1-5) & CN 102405492 A & KR 10-2013-0008659 A	1-2 4-6, 9, 11 3, 7-8, 10, 12 -16

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 10.12.2019	国際調査報告の発送日 24.12.2019
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 小野 健二 電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-47894 A (株式会社日立ディスプレイズ) 2012. 03. 08, [0075]-[0076], 図 4, 図 6 & US 2012/0050252 A1 ([0092]-[0093], Figs. 4, 6)	4-5
Y	JP 2008-83085 A (ソニー株式会社) 2008. 04. 10, [0014]-[0018], 図 3 (ファミリーなし)	6
Y	US 2013/0050292 A1 (MIZUKOSHI Seiichi) 2013. 02. 28, [0090]-[0100], Figs. 4A-5 & KR 10-2013-0024744 A & CN 102968954 A	12-13
A	JP 2012-513040 A (グローバル・オーエルイーディー・テクノロジー ・リミテッド・ライアビリティ・カンパニー) 2012. 06. 07, 全文全図 & US 2010/0156766 A1 (Whole Document) & WO 2010/080113 A1 & EP 2359357 A1 & CN 102257554 A & KR 10-2011-0100219 A	1-16