



(12) 发明专利申请

(10) 申请公布号 CN 103843248 A

(43) 申请公布日 2014.06.04

(21) 申请号 201280034977.4

J·K·考科武里

(22) 申请日 2012.05.18

(74) 专利代理机构 北京市金杜律师事务所

11256

(30) 优先权数据

代理人 鄢迅 王冬

- 1108444.9 2011.05.19 GB
- 1115183.4 2011.09.02 GB
- 1117606.2 2011.10.12 GB
- 13/111,423 2011.05.19 US
- 13/224,430 2011.09.02 US
- 13/271,630 2011.10.12 US
- 13/308,772 2011.12.01 US

(51) Int. Cl.

- H03F 1/02 (2006.01)
- H03F 1/22 (2006.01)
- H03F 1/26 (2006.01)
- H03F 1/30 (2006.01)
- H03F 1/56 (2006.01)
- H03F 3/195 (2006.01)
- H03F 3/45 (2006.01)
- H03F 3/72 (2006.01)

(85) PCT国际申请进入国家阶段日
2014.01.14

(86) PCT国际申请的申请数据
PCT/IB2012/052499 2012.05.18

(87) PCT国际申请的公布数据
W02012/156946 EN 2012.11.22

(71) 申请人 美国博通公司
地址 美国加利福尼亚州

(72) 发明人 J·J·埃基南 J·J·瑞基

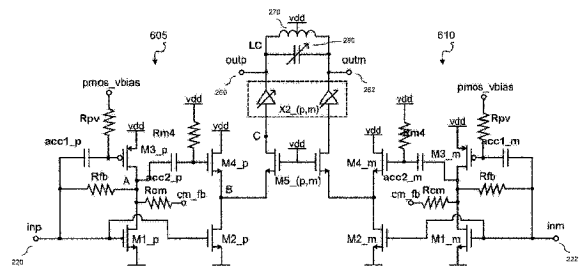
权利要求书3页 说明书28页 附图18页

(54) 发明名称

射频集成电路

(57) 摘要

本发明的实施例涉及可配置 RFIC。在一个实施例中，提供一种包括一个或者多个可配置低噪声放大器电路的可配置射频集成电路 (RFIC)，所述一个或者多个可配置低噪声放大器电路中的每个可配置低噪声放大器电路在以下拓扑之间可配置：内部输入阻抗匹配拓扑，在内部输入阻抗匹配拓扑中，相应低噪声放大器电路包括适于将相应低噪声放大器的输入阻抗与给定的输入匹配的一个或者多个内部输入阻抗匹配部件，该一个或者多个内部输入阻抗匹配部件位于相应低噪声放大器电路内部；以及与该内部输入阻抗匹配拓扑不同的拓扑。



1. 一种可配置射频集成电路(RFIC),包括一个或者多个可配置低噪声放大器电路,所述一个或者多个可配置低噪声放大器电路中的每个可配置低噪声放大器电路在以下拓扑之间可配置:

内部输入阻抗匹配拓扑,在所述内部输入阻抗匹配拓扑中,相应低噪声放大器电路包括适于将所述相应低噪声放大器的输入阻抗与给定的输入匹配的一个或者多个内部输入阻抗匹配部件,所述一个或者多个内部输入阻抗匹配部件位于所述相应低噪声放大器电路内部;以及

与所述内部输入阻抗匹配拓扑不同的拓扑。

2. 根据权利要求1所述的可配置RFIC,其中在所述不同的拓扑中,所述相应低噪声放大器电路不包括所述一个或者多个内部输入阻抗匹配部件中的至少一个内部输入阻抗匹配部件。

3. 根据权利要求1或者2所述的可配置RFIC,其中在所述不同的拓扑中,所述相应低噪声放大器电路不包括所述一个或者多个内部输入阻抗匹配部件中的任何内部输入阻抗匹配部件。

4. 根据权利要求1至3中的任一权利要求所述的可配置RFIC,其中所述一个或者多个可配置低噪声放大器电路中的至少一个可配置低噪声放大器电路包括开关装置,所述至少一个可配置低噪声放大器电路经由所述相应开关装置在所述内部输入阻抗匹配拓扑与所述不同的拓扑之一之间可配置。

5. 根据权利要求1至4中的任一权利要求所述的可配置RFIC,其中所述内部输入阻抗匹配拓扑包括电阻反馈低噪声放大器拓扑,并且所述不同的拓扑包括电感退化低噪声放大器拓扑。

6. 根据权利要求1至4中的任一权利要求所述的可配置RFIC,其中所述内部输入阻抗匹配拓扑包括共栅低噪声放大器拓扑,并且所述不同的拓扑包括电感退化低噪声放大器拓扑。

7. 根据权利要求1至4中的任一权利要求所述的可配置RFIC,其中所述不同的拓扑包括电感退化低噪声放大器拓扑,并且所述内部输入阻抗匹配拓扑包括:

阻抗匹配级,耦合到所述可配置低噪声放大器电路的输入,所述阻抗匹配级的输出为所述阻抗匹配级提供输入偏置电压;以及

反馈级,耦合到所述阻抗匹配级的输出和电压源,所述反馈级为所述阻抗匹配级提供补偿操作电压。

8. 根据任一前述权利要求所述的可配置RFIC,其中所述一个或者多个可配置低噪声放大器电路中的每个可配置低噪声放大器电路包括公共输出端子,在所述内部输入阻抗匹配拓扑或者所述不同的拓扑中配置时在所述公共输出端子提供所述相应可配置低噪声放大器电路的输出信号。

9. 根据任一前述权利要求所述的可配置RFIC,包括被布置用于将所述一个或者多个可配置低噪声放大器电路中的至少一个可配置低噪声放大器电路连接到射频(RF)前端模块的接口。

10. 根据权利要求9所述的可配置RFIC,其中所述接口包括被布置用于将所述一个或者多个可配置低噪声放大器电路中的至少第一个可配置低噪声放大器电路连接到所述RF

前端模块的第一 RF 频带输出的至少第一输入连接。

11. 根据权利要求 10 所述的可配置 RFIC, 其中所述接口包括被布置用于将所述一个或者多个可配置低噪声放大器电路中的至少第二个可配置低噪声放大器电路连接到所述 RF 前端模块的第二 RF 频带输出的至少第二输入连接, 其中所述第二 RF 频带不同于所述第一 RF 频带。

12. 根据权利要求 9 至 11 中的任一权利要求所述的可配置 RFIC, 包括被布置用于将所述一个或者多个可配置低噪声放大器电路中的至少一个可配置低噪声放大器电路连接到另一 RF 前端模块的另一接口。

13. 根据权利要求 12 所述的可配置 RFIC, 其中所述 RF 前端模块包括主天线 RF 前端模块, 并且所述另一 RF 前端模块接口包括分集天线 RF 前端模块。

14. 根据权利要求 12 或者 13 所述的可配置 RFIC, 其中所述另一接口包括:

至少第三输入连接, 被布置用于将所述一个或者多个可配置低噪声放大器电路中的至少第三个可配置低噪声放大器电路连接到所述另一 RF 前端模块的第三 RF 频带输出, 其中所述第一 RF 频带包括所述第三 RF 频带; 以及

至少第四输入连接, 被布置用于将所述一个或者多个可配置低噪声放大器电路中的至少第四个可配置低噪声放大器电路连接到所述另一 RF 前端模块的第四 RF 频带输出, 其中所述第三 RF 频带不同于所述第四 RF 频带。

15. 根据权利要求 14 所述的可配置 RFIC, 其中所述第一 RF 频带包括所述第三 RF 频带, 并且所述第二 RF 频带包括所述第四 RF 频带。

16. 根据任一前述权利要求所述的可配置 RFIC, 包括被布置用于将所述一个或者多个可配置低噪声放大器电路中的至少一个可配置低噪声放大器电路连接到至少一个天线的至少一个接口。

17. 根据任一前述权利要求所述的可配置 RFIC, 其中所述不同的拓扑包括全外部匹配拓扑, 在所述全外部匹配拓扑中, 所述相应低噪声放大器电路不包括所述一个或者多个内部输入阻抗匹配部件中的任何内部输入阻抗匹配部件。

18. 一种配置可配置 RFIC 的方法, 所述可配置 RFIC 包括一个或者多个可配置低噪声放大器电路, 所述方法包括应用以下各项之一:

向所述一个或者多个电路中的至少一个电路施加第一组一个或者多个控制信号以在内部输入阻抗匹配拓扑中配置所述至少一个电路, 在所述内部输入阻抗匹配拓扑中, 相应低噪声放大器电路包括适于将所述相应低噪声放大器的输入阻抗与给定的输入匹配的一个或者多个内部输入阻抗匹配部件, 所述一个或者多个内部输入阻抗匹配部件位于所述相应低噪声放大器电路内部; 或者

向所述一个或者多个电路中的至少一个电路施加第二组一个或者多个控制信号以在不同的拓扑中配置所述至少一个电路, 在所述不同的拓扑中, 所述相应低噪声放大器电路不包括所述一个或者多个内部输入阻抗匹配部件。

19. 一种制造根据权利要求 1 至 17 中的任一权利要求所述的可配置 RFIC 的方法。

20. 一种 RF 模块, 包括耦合到一个或者多个根据权利要求 1 至 17 中的任一权利要求所述的可配置 RFIC 的一个或者多个 RF 前端模块。

21. 一种芯片组, 包括一个或者多个根据权利要求 1 至 17 中的任一权利要求所述的可

配置 RFIC。

22. 一种设备,包括一个或者多个根据权利要求 1 至 17 中的任一权利要求所述的可配置 RFIC。

23. 一种可配置射频集成电路(RFIC),包括一个或者多个可配置低噪声放大器电路,所述一个或者多个可配置低噪声放大器电路中的每个可配置低噪声放大器电路在以下拓扑之间可配置:

内部输入阻抗匹配拓扑,在所述内部输入阻抗匹配拓扑中,相应低噪声放大器电路包括适于将所述相应低噪声放大器的输入阻抗与给定的输入匹配的一个或者多个内部输入阻抗匹配部件,所述一个或者多个内部输入阻抗匹配部件位于所述相应低噪声放大器电路内部;以及

全外部匹配拓扑,在所述全外部匹配拓扑中,所述相应低噪声放大器电路不包括所述一个或者多个内部输入阻抗匹配部件中的任何内部输入阻抗匹配部件。

射频集成电路

技术领域

[0001] 本申请涉及射频集成电路(RFIC)。具体地、但是非唯一地,本申请涉及可配置 RFIC。

背景技术

[0002] 射频(RF)平台是包括用于音频、电源管理、无线电收发器等的若干集成电路(IC)的大量产品。IC可以给大规模生产的产品提供最佳经济数据,因为掩模成本是固定的,这造成单位成本随着制作的 IC 数目增加而减少。

[0003] 空中接口(OTA)性能对 RF 平台的能力进行定义。针对潜在客户,OTA 性能以及单位成本是重要卖点并且可以是关键选择标准。OTA 性能是天线性能以及 RFIC 和基带 IC 的能力的函数。通常,天线的尺寸与 RF 频率相反地缩放、即当波长增加时天线变得更大。在用户设备(UE)内,由于小外形产品,因此天线的尺寸是有限的,因此造成次优天线性能。因此,在 1GHz 以下的频率处平台性能会被降低,从而造成降低的上行链路/下行链路性能。

[0004] 当前技术的 RFIC 被设计用于在若干不同频带、例如全球移动通信系统(GSM)850、900、1800 和 / 或 1900、宽带码分多址(WCDMA)、高速分组接入(HSPA)和 / 或长期演进(LTE)频带 1、2、3 等操作。通常,在天线与 RFIC 之间放置有 RF 滤波器(或者在利用频分双工(FDD)的链路的情况下的双工滤波器)用于过滤掉不想要的无线电信号。由于不同上行链路/下行链路配置,有 RF 滤波器在其中具有明显插入损耗(IL)的若干频带。IL 越大,接收器灵敏度将越低(噪声因数越高)。例如,WCDMA 和 LTE 频带 2 和 3 具有窄双工频隙(在最高发送频率与最低接收频率之间的频率差)从而造成更高 IL。由于在以上提到的频带中的接收器灵敏度相对更差,所以无线链路的范围更短。作为结果,网络设计变得更有挑战性并且更昂贵、例如需要更多基站。

[0005] 因此,从网络运营商的观点来看,良好的参考灵敏度水平是相关品质因数。在不久的将来,预计在 RF 接收器的低噪声放大器(LNA)级之前的 IL 由于频带间载波聚合(CA)而增加,所以需要更复杂前端模块(FEM)设计。另外,将延伸现有频带中的一些现有频带以覆盖甚至更宽频带并且可能具有更窄双工距离(例如频带 2+G 块,上行链路:1910-1915MHz,下行链路:1990-1995MHz)。在这样的情况下,预计由于双工器和开关损耗而有附加损耗,并且由于有挑战性的双工和共存场景而需要附加滤波。更一般而言,需要有包括相对于滤波器模块和材料的成本优化。

[0006] LNA 通常是在 RF 接收器中的第一放大级。根据 Friis 等式,LNA 设置接收器的最小噪声因数。低 LNA 噪声因数是关键参数,该参数确定整个收发器或者 RF 平台的参考灵敏度水平。LNA 也是用于确定 RFIC 的输入阻抗的关键部分。需要与性能相匹配的足够的输入,因为如果 LNA 的输入未与某个输入阻抗恰好地匹配,则在 LNA 之前的 RF 滤波器的性能将下降。由于在 LNA 之前的 RF 滤波器通常具有固定频率范围,因此 RFIC 输入也将与特定频率匹配。取决于 LNA 结构,可能有需要利用片外匹配部件以设置与期望电平匹配的输入。取决于 RFIC 输入数目,外部匹配部件的计数可能变高、因此是一种昂贵而臃肿的解决方案。

[0007] RFIC 性能是在确定无线电平台性能时的关键因素。在 RFIC 内,正是 LNA 对最小可能噪声因数进行定义,该最小可能噪声因数部分地对参考灵敏度水平进行定义。因为有(例如网络运营商、原始设备制造商(OEM)等的)若干客户级别以及各自对于相同芯片组可能具有不同要求的不同移动设备产品,所以与 RFIC 的可配置性相匹配的灵敏度性能和输入是固定的,并且这造成次优平台设计。由于个别 IC 的成本在单元数目增加时缩减,所以针对不同客户和 / 或产品设计单独优化的 IC 在经济上并不明智。

[0008] 从上文可见当设计 RFIC 时有待考虑的多个不同设计因素并且同时适应这些因素中的一些或者所有因素可能证实有困难。因此有需要通过提供设计适应性来增强 RFIC 设计,该设计适应性包括改进的适应各种设计因素的方式。

发明内容

[0009] 根据第一实施例,提供一种包括一个或者多个可配置低噪声放大器电路的可配置射频集成电路(RFIC),该一个或者多个可配置低噪声放大器电路中的每个可配置低噪声放大器电路在以下拓扑之间可配置:

[0010] 内部输入阻抗匹配拓扑,在内部输入阻抗匹配拓扑中,相应低噪声放大器电路包括适于将相应低噪声放大器的输入阻抗与给定的输入匹配的一个或者多个内部输入阻抗匹配部件,该一个或者多个内部输入阻抗匹配部件位于相应低噪声放大器电路内部;以及

[0011] 与该内部输入阻抗匹配拓扑不同的拓扑。

[0012] 在一些实施例中,在不同的拓扑中,相应低噪声放大器电路不包括一个或者多个内部输入阻抗匹配部件中的至少一个内部输入阻抗匹配部件。

[0013] 在一些实施例中,在不同的拓扑中,相应低噪声放大器电路不包括一个或者多个内部输入阻抗匹配部件中的任何内部输入阻抗匹配部件。

[0014] 在各实施例中,不同的拓扑包括部分外部匹配拓扑或者全外部匹配拓扑,其中需要一个或者多个外部部件、即在可配置 RFIC 外部的部件用于输入阻抗匹配。外部匹配部件被置于印刷电路板(PWB)等上的 RFIC 外部。

[0015] 可以根据客户的愿望来设计可配置 RFIC。可以通过在内部输入阻抗匹配拓扑中配置 RFIC 中的一个或者多个 LNA 来提供成本效益以及高质量和高可靠性。可以通过在其中需要外部输入阻抗匹配部件的不同的拓扑中配置 RFIC 中的一个或者多个 LNA 来提供提高的灵敏度。各实施例因此提供用于对于单个 RFIC 设计权衡成本比对性能的能力。这造成一种更优工程设计和营销解决方案,因为可以使用相同 RFIC 来覆盖具有不同要求的多种产品。

[0016] 在一些实施例中,一个或者多个可配置低噪声放大器电路中的至少一个可配置低噪声放大器电路包括开关装置,该至少一个可配置低噪声放大器电路经由相应开关装置在内部输入阻抗匹配拓扑与不同的拓扑之一之间可配置。因此,可以根据电路的所需性能在内部输入阻抗匹配拓扑或者不同的拓扑中来配置电路。

[0017] 在一些实施例中,内部输入阻抗匹配拓扑包括电阻反馈低噪声放大器拓扑,并且不同的拓扑包括电感退化低噪声放大器拓扑。在一些实施例中,内部输入阻抗匹配拓扑包括共栅低噪声放大器拓扑,并且不同的拓扑包括电感退化低噪声放大器栅极拓扑。在一些实施例中,不同的拓扑包括电感退化低噪声放大器拓扑,并且内部输入阻抗匹配拓扑包括:

阻抗匹配级,耦合到可配置低噪声放大器电路的输入,阻抗匹配级的输出提供用于阻抗匹配级的输入偏置电压;以及反馈级,耦合到阻抗匹配级的输出和电压源,反馈级提供用于阻抗匹配级的补偿操作电压。因此,RFIC 可以支持 LNA 拓扑的若干不同组合,这些 LNA 拓扑在内部提供阻抗匹配能力或者需要外部匹配部件。

[0018] 在一些实施例中,一个或者多个可配置低噪声放大器电路中的每个可配置低噪声放大器电路包括公共输出端子,在内部输入阻抗匹配拓扑或者不同的拓扑中配置时在公共输出端子提供相应可配置低噪声放大器电路的输出信号。将单个输出端子重用于两个 LNA 拓扑提供一种用于可配置 RFIC 的更低成本解决方案。在一些实施例中,可配置 RFIC 中的一个或者多个可配置低噪声放大器电路中的某些但并非所有可配置低噪声放大器电路包括公共输出端子,在内部输入阻抗匹配拓扑或者不同的拓扑中配置时在该公共输出端子提供相应可配置低噪声放大器电路的输出信号,而在其它实施例中,可配置 RFIC 中的一个或者多个可配置低噪声放大器电路中的所有可配置低噪声放大器电路包括公共输出端子,在内部输入阻抗匹配拓扑或者不同的拓扑中配置时在该公共输出端子提供相应可配置低噪声放大器电路的输出信号。

[0019] 在一些实施例中,可配置 RFIC 包括被布置用于将一个或者多个可配置低噪声放大器电路中的至少一个可配置低噪声放大器电路连接到射频(RF)前端模块的接口。在一些实施例中,该接口包括被布置用于将一个或者多个可配置低噪声放大器电路中的至少第一个可配置低噪声放大器电路连接到 RF 前端模块的第一 RF 频带输出的至少第一输入连接。在一些实施例中,该接口包括被布置用于将一个或者多个可配置低噪声放大器电路中的至少第二个可配置低噪声放大器电路连接到 RF 前端模块的第二 RF 频带输出的至少第二输入连接,其中第二 RF 频带不同于第一 RF 频带。因此,可配置 RFIC 能够例如在载波聚合环境中将多个 RF 频带输入耦合到多个可配置 LNA。

[0020] 在一些实施例中,可配置 RFIC 包括被布置用于将一个或者多个可配置低噪声放大器电路中的至少一个可配置低噪声放大器电路连接到另一 RF 前端模块的另一接口。在一些实施例中,RF 前端模块包括主天线 RF 前端模块,并且该另一 RF 前端模块接口包括分集天线 RF 前端模块。因此,在单个可配置 RFIC 上支持多个接收器支路环境、比如高速下行链路分组接入(HSDPA)和 LTE。

[0021] 在一些实施例中,另一接口包括:至少第三输入连接,被布置用于将一个或者多个可配置低噪声放大器电路中的至少第三个可配置低噪声放大器电路连接到另一 RF 前端模块的第三 RF 频带输出,其中第一 RF 频带包括第三 RF 频带;以及至少第四输入连接,被布置用于将一个或者多个可配置低噪声放大器电路中的至少第四个可配置低噪声放大器电路连接到另一 RF 前端模块的第四 RF 频带输出,其中第三 RF 频带不同于第四 RF 频带。在一些实施例中,第一 RF 频带包括第三 RF 频带,并且第二 RF 频带包括第四 RF 频带。因此,可配置 RFIC 例如在载波聚合环境中在主要和分集接收器支路二者中支持多个 RF 频带输入。

[0022] 在各实施例中,可配置 RFIC 包括被布置用于将一个或者多个可配置低噪声放大器电路中的至少一个可配置低噪声放大器电路连接到至少一个天线的至少一个接口。

[0023] 根据第二实施例,提供一种配置包括一个或者多个可配置低噪声放大器电路的可配置 RFIC 的方法,该方法包括应用以下各项之一:

[0024] 向一个或者多个电路中的至少一个电路施加第一组一个或者多个控制信号以在

内部输入阻抗匹配拓扑中配置至少一个电路,在内部输入阻抗匹配拓扑中,相应低噪声放大器电路包括适于将相应低噪声放大器的输入阻抗与给定的输入匹配的一个或者多个内部输入阻抗匹配部件,该一个或者多个内部输入阻抗匹配部件位于相应低噪声放大器电路内部;或者

[0025] 向一个或者多个电路中的至少一个电路施加第二组一个或者多个控制信号以在不同的拓扑中配置至少一个电路,在不同的拓扑中,相应低噪声放大器电路不包括一个或者多个内部输入阻抗匹配部件。

[0026] 根据第三实施例,提供一种制造根据第一实施例的可配置 RFIC 的方法。

[0027] 根据第四实施例,提供一种 RF 模块,该 RF 模块包括耦合到一个或者多个根据第一实施例的可配置 RFIC 的一个或者多个 RF 前端模块。

[0028] 根据第五实施例,提供一种芯片组,该芯片组包括一个或者多个根据第一实施例的可配置 RFIC。

[0029] 根据第六实施例,提供一种设备,该设备包括一个或者多个根据第一实施例的可配置 RFIC。该设备可以例如包括移动 / 蜂窝电话。

[0030] 根据第七实施例,提供一种包括一个或者多个可配置低噪声放大器电路的可配置射频集成电路(RFIC),一个或者多个可配置低噪声放大器电路中的每个可配置低噪声放大器电路在以下拓扑之间可配置:

[0031] 内部输入阻抗匹配拓扑,在内部输入阻抗匹配拓扑中,相应低噪声放大器电路包括适于将相应低噪声放大器的输入阻抗与给定的输入匹配的一个或者多个内部输入阻抗匹配部件,一个或者多个内部输入阻抗匹配部件位于相应低噪声放大器电路内部;以及全外部匹配拓扑,在全外部匹配拓扑中,相应低噪声放大器电路不包括一个或者多个内部输入阻抗匹配部件中的任何内部输入阻抗匹配部件。

[0032] 更多特征和优点将从参照附图进行的仅通过示例给出的优选实施例的以下描述中变得清楚。

附图说明

[0033] 图 1 图示根据现有技术的包括 RF 模块和天线的示例接收器。

[0034] 图 2 图示根据现有技术的用于接收器的 PWB 上的 RF 芯片组。

[0035] 图 3 图示根据现有技术的用于接收器的 PWB 上的 RF 芯片组。

[0036] 图 4 图示根据实施例的用于包括可配置 RFIC 的接收器的 PWB 上的 RF 芯片组。

[0037] 图 5 图示根据实施例的用于包括可配置 RFIC 的接收器的 PWB 上的 RF 芯片组。

[0038] 图 6 图示根据实施例的用于包括可配置 RFIC 的接收器的 PWB 上的 RF 芯片组。

[0039] 图 7 图示根据实施例的用于包括可配置 RFIC 的接收器的 PWB 上的 RF 芯片组。

[0040] 图 8 图示根据实施例的用于包括可配置 RFIC 的接收器的 PWB 上的 RF 芯片组。

[0041] 图 9 图示根据实施例的用于包括可配置 RFIC 的接收器的 PWB 上的 RF 芯片组。

[0042] 图 10 图示根据实施例的用于包括可配置 RFIC 的接收器的 PWB 上的 RF 芯片组。

[0043] 图 11 是根据实施例的电感退化 LNA 的电路图。

[0044] 图 12 是根据实施例的共栅 LNA 的电路图。

[0045] 图 13 是根据实施例的可配置 LNA 的电路图。

- [0046] 图 14 是根据实施例的电阻反馈 LNA 的电路图。
- [0047] 图 15 是根据实施例的可配置 LNA 的电路图。
- [0048] 图 16 是根据实施例的信号重用低噪声放大器的框图。
- [0049] 图 17 图示根据实施例的共模反馈放大器。
- [0050] 图 18 是根据实施例的信号重用低噪声放大器的电路图。
- [0051] 图 19 是根据实施例的可配置低噪声放大器的电路图。
- [0052] 图 20 是根据实施例的在电感退化拓扑中配置的可配置低噪声放大器的电路图。

具体实施方式

[0053] 接收器通常包括位于天线与形成接收器的第一放大级的 LNA 之间的一个或者多个射频(RF)滤波器。图 1 图示包括 RF 模块 100 和天线 130 的示例接收器。RF 模块 100 包括 RF 前端模块 132, 该 RF 前端模块又包括对由天线 130 收集的射频信号进行滤波的一个或者多个(上至共计 n 个)RF 滤波器 110-112。RF 模块 100 还包括 RFIC134, 该 RFIC 又包括对由 RF 滤波器 110-112 生成的滤波信号进行放大的一个或者多个(上至共计 m 个)LNA120-122。

[0054] 图 2 图示用于接收器的 PWB 上的 RF 芯片组。接收器包括连接到 RF 前端模块(FEM)的高频带(HB)天线和低频带(LB)天线。RF FEM 连接到一个或者多个功率放大器模块(PA)和 RFIC。PA 模块可以提供除了放大功能之外的更多功能。RFIC 包括发送器(TX)和接收器(RX), 该发送器包括一个或者多个放大器, 该接收器包括一个或者多个 LB LNA 和一个或者多个 HB LNA。HB 可以例如包括频带 I、II、III、IV、VII、IX、XI 以及 PCS 和 DCS。LB 可以例如包括频带 V、VI、VIII、XII、XIII 和 XIV; 以及 GSM850 和 EGSM900。

[0055] 图 3 图示用于接收器的 PWB 上的 RF 芯片组。接收器包括连接到主 RF FEM 的 HB 天线和 LB 天线。接收器还包括连接到 DIV FEM 的分集(DIV)天线。RF FEM 连接到一个或者多个 PA 和 RFIC。RFIC 包括 TX 和 RX, 该 TX 包括一个或者多个放大器, 该 RX 包括一个或者多个 LB LNA、一个或者多个 HB LNA 和一个或者多个 DIV LNA。DIV 天线是例如在 HSDPA 和 LTE 环境中使用的为了提高 RF 接收器链路的接收质量和可靠性而包括的附加天线。

[0056] 当前技术的 RFIC 支持若干不同频带。由于通常为了固定并且窄的频率范围而优化在天线与 RFIC 之间的 RF 滤波器, 所以 RFIC 输入与特定频率相匹配。因此, RFIC 包含专用于不同频率区域的若干输入。此外, 例如在高速下行链路分组接入(HSDPA)和 LTE 中, 需要有分集(DIV)接收器。因此, 在 RFIC 内支持的 RF 输入的数目特别是在需要有 DIV 接收器时进一步增加。

[0057] LNA 通常是 RFIC 接收器中的第一个块。根据 LNA 拓扑, 该输入匹配可以由内部片上部件无源和 / 或有源构成, 或者该输入匹配可以用放置于 PWB 上的外部部件实现。一般而言, 片上部件具有比外部部件更差的品质因数。然而因为应当最小化应用板的尺寸和成本, 所以应当在可能时避免外部部件。外部部件计数往往在覆盖若干频带的多频带和多模收发器中更高。此外, 例如在蜂窝 HSDPA 和 LTE 中需要分集接收器可能增加在应用板上需要的外部匹配部件的数目。

[0058] 考虑接收器性能, 由外部部件构成的匹配网络通常给予在 LNA 之前的某个无源电压增益、因此减少 LNA 输入晶体管的噪声成分并且因此减少接收器的总噪声因数。这一般意味着包含外部匹配部件的 LNA 拓扑与具有内部匹配的 LNA 比较可以实现更佳噪声因数。

此外,可以用无源匹配部件提高 LNA 的选择性。例如可以抑制频分双工(FDD)系统中的发送器(TX)的影响。此外,利用提高的选择性,可以减轻多无线电环境中的减敏。由于比对其它无线电通信系统的有限衰减并且由于在降频转换中使用的本地振荡器信号中的 3 次谐波分量,例如在接收器将非所需信号从所需信号频率的三倍的频率降频转换时减敏可能产生。

[0059] 因此,遭遇到明显的性能与成本(包括额外 PWB/管芯面积和外部部件的材料的清单)、与电流消耗(电池寿命)以及与尺寸的权衡。然而,在当前现有技术的收发器中,LNA 和 RFIC 拓扑是固定的。

[0060] 本文描述的实施例涉及有能力被自适应地修改、因此避免非最优和不灵活的设计的 RFIC。这样的可配置 RFIC 提供有助于不同种类的需要的、性能优化并且有成本效益的 RF 平台。

[0061] 各实施例包括一种包括一个或者多个可配置低噪声放大器电路的可配置 RFIC。该一个或者多个可配置低噪声放大器电路中的每个可配置低噪声放大器电路在内部输入阻抗匹配拓扑与不同的拓扑之间可配置。

[0062] 在内部输入阻抗匹配拓扑中,低噪声放大器电路包括适于使相应低噪声放大器的输入阻抗与给定的输入匹配的一个或者多个内部输入阻抗匹配部件。该一个或者多个内部输入阻抗匹配部件位于相应低噪声放大器电路内部。

[0063] 在实施例中,在不同的拓扑中,相应低噪声放大器电路不包括一个或者多个内部输入阻抗匹配部件中的至少一个内部输入阻抗匹配部件。

[0064] 在实施例中,在不同的拓扑中,相应低噪声放大器电路不包括一个或者多个内部输入阻抗匹配部件中的任何内部输入阻抗匹配部件。

[0065] 在不同的拓扑中,低噪声放大器电路没有内部输入阻抗匹配拓扑的输入阻抗匹配能力,因此需要位于低噪声放大器电路外部的一个或者多个部件用于输入阻抗匹配。在以下关于图 4 至 10 描述的实施例中,不同的拓扑被称为外部输入阻抗匹配拓扑、即需要一个或者多个外部部件用于输入阻抗匹配的拓扑。

[0066] 在外部输入阻抗匹配拓扑中,LNA 具有更佳噪声因数、因此在平台级别上造成更佳参考灵敏度水平。然而由于需要外部匹配部件(其造成 PWB 面积增加)因此成本更高。

[0067] 在内部输入阻抗匹配拓扑中,无需外部匹配部件,但是 LNA 噪声性能比外部输入阻抗匹配拓扑的外部匹配 LNA 相差上至 1dB。根据 IL,由于 RF 滤波器/FEM 或者在更低 RF 频率的有限天线性能,可以通过使用以上提到的可配置 RFIC 来补偿链路损耗的部分。如果客户注意到无需在任何频带提高灵敏度性能,则可以赋予最廉价解决方案。在各实施例中,由于可以优化 PWB 上的组装部件的数目,所以可以赋予具有高产量和高可靠性的器件。

[0068] 现在关于图 4 至图 10 来描述若干实施例。在这些实施例中,将从 FEM 的 RF 频带输出到可配置 LNA 的 RFIC 接口的输入连接描绘为空三角形,该可配置 LNA 被配置成内部输入阻抗匹配拓扑,即该内部输入阻抗匹配拓扑利用内部阻抗匹配。将从 FEM 的 RF 频带输出到可配置 LNA 的 RFIC 接口的输入连接描绘为阴影(或者‘实心’)三角形,该可配置 LAN 被配置成外部输入阻抗匹配拓扑,即该外部输入阻抗匹配拓扑利用外部阻抗匹配。

[0069] 如果 LNA 被配置成内部输入阻抗匹配拓扑,则它的在 RFIC 接口中的输入连接(或者‘端口’或者‘管脚’)可以直接连接到 FEM 的适当 RF 频带输出。

[0070] 如果 LNA 被配置成外部输入阻抗匹配拓扑,则它的在 RFIC 接口中的输入连接将经由一个或者多个外部匹配部件连接到 FEM 的适当 RF 频带输出。

[0071] 图 4 图示根据实施例的用于包括可配置 RFIC 的接收器的 PWB 上的 RF 芯片组。图 4 的实施例描绘具有从主 FEM 到可配置 RFIC 的单个接收器(RX)支路的超低成本场景。可配置 RFIC 包括被布置用于将一个或者多个可配置 LNA 连接到主 FEM 的接口。该接口包括若干输入连接,每个输入连接将可配置 LNA 的输入连接到主 FEM 的 RF 频带输出。本文未利用外部阻抗匹配部件,并且在 RFIC 内的所有 LNA 被配置成内部输入阻抗匹配拓扑,其中在每个 LNA 电路内部实现输入匹配。

[0072] 图 5 图示根据实施例的用于包括可配置 RFIC 的接收器的 PWB 上的 RF 芯片组。图 5 的实施例描绘具有从主 FEM 到可配置 RFIC 的主 RX 支路和从 DIV FEM 到相同可配置 RFIC 的 DIV RX 支路的低成本场景。

[0073] 图 5 的实施例的可配置 RFIC 包括被布置用于将一个或者多个可配置 LNA 连接到主 FEM 的第一接口。第一接口包括若干输入连接,每个输入连接将可配置 LNA 的输入连接到主 FEM 的 RF 频带输出。可配置 RFIC 也包括被布置用于将一个或者多个可配置 LNA 连接到 DIV FEM 的第二接口。该第二接口包括若干输入连接,每个输入连接将可配置 LNA 的输入连接到 DIV FEM 的 RF 频带输出。本文未利用外部阻抗匹配部件,并且在 RFIC 内的所有 LNA 被配置成内部输入阻抗匹配拓扑,其中在每个 LNA 电路内部实现输入匹配。

[0074] 在图 4 和图 5 二者中,由于 PWB 上的组装部件数目相对小,所以配置可以给某些客户赋予高收益和高可靠性器件。这可以例如涉及到如下产品,在这些产品中遇到高温变化从而产生机械应力、凝结水可能损坏电子部件 / 器件并且引起腐蚀或者焊接可能比预期早得多地变得被破坏、因此缩短产品寿命。另外,机器到机器(M2M)设备可以例如针对 LTE 设备类 0 设想的那样受益于这样的超低成本 RF 性能而无需按照图 4 的分集支路。

[0075] 与以上描述的图 5 的可配置 RFIC 的实施例相似,以下描述的图 6 至图 10 的可配置 RFIC 的实施例也包括第一接口和第二接口,这些接口被布置用于分别将一个或者多个可配置 LNA 的输入连接到主和 DIV FEM 的 RF 频带的输出。

[0076] 图 6 图示根据实施例的用于包括可配置 RFIC 的接收器的 PWB 上的 RF 芯片组。图 6 的实施例描绘如下场景,在该场景中,欧洲网络运营商希望提高 RF 频带 1 的灵敏度。

[0077] 连接到主 FEM 的频带 1RF 输出的可配置 LNA 被配置成外部输入阻抗匹配拓扑,其中使用外部输入阻抗匹配部件来提高噪声性能并且因此提高主 RX 的灵敏度。此外,可以用这样的外部匹配来抑制主接收器支路的 TX 的泄漏。

[0078] 然而在分集支路中,没有 TX 连接到 RF(双工)滤波器。由于主和 div 接收器在相同频率操作,但是天线在物理上不同并且相互分离,所以在两个天线之间有例如从 10 到 15dB 的有限隔离。这意味着因为天线隔离数量抑制 TX 泄漏,所以 TX 的影响在 DIV 支路中比在主支路中更少。这意味着外部匹配部件在 DIV 支路中非必需。连接到 DIV FEM 的频带 1RF 输出的可配置 LNA 因此被配置成内部输入阻抗匹配拓扑,其中内部阻抗匹配部件用来保持部件计数和成本尽可能低。

[0079] 在图 6 的实施例中,连接到主 FEM 的 RF 频带 1 输出的可配置 LNA 被配置成外部输入阻抗匹配拓扑,而连接到 DIV FEM 的 RF 频带 1 输出的可配置 LNA 被配置成内部输入阻抗匹配拓扑。这意味着在 PWB 上,将在主 FEM 的频带 1RF 输出与 RFIC 的主接口中的适当可配

置 LNA 的输入之间连接一个或者多个外部匹配部件, 而将 DIV FEM 的频带 1RF 输出直接连接到 RFIC 的 DIV 接口中的适当可配置 LNA 的输入。

[0080] 图 7 图示根据实施例的用于包括可配置 RFIC 的接收器的 PWB 上的 RF 芯片组。图 7 的实施例描绘如下场景, 在该场景中, US 网络运营商想要补偿由于在 RF 频带 2 的 FEM 所致的插入损耗。

[0081] 连接到主 FEM 的频带 2RF 输出的可配置 LNA 被配置成需要外部匹配部件的外部输入阻抗匹配拓扑。连接到 DIV FEM 的频带 2RF 输出的可配置 LNA 也被配置成需要外部匹配部件的外部输入阻抗匹配拓扑。这意味着在 PWB 上, 将在主 FEM 的频带 2RF 输出与 RFIC 的主接口中的适当可配置 LNA 的输入之间连接一个或者多个外部匹配部件。相似地, 将在 DIV FEM 的频带 2RF 输出与 RFIC 的 DIV 接口中的适当可配置 LNA 的输入之间连接一个或者多个外部匹配部件。

[0082] 在这一具体示例中, 在主和分集接收器二者中使用外部匹配部件。在不久的将来, RF 频带 2 将延伸以还覆盖 G 块(上行链路频率: 1910-1915MHz, 下行链路频率: 1990-1995MHz)、因此为双工器形成甚至更有挑战性的滤波场景。作为结果, 预计有甚至更高的插入损耗, 这需要使用按照图 7 的实施例的高性能配置。

[0083] 图 8 图示根据实施例的用于包括可配置 RFIC 的接收器的 PWB 上的 RF 芯片组。图 8 的实施例描绘如下场景, 在该场景中, 利用 RF 频带 20 (791MHz-821MHz) 的网络运营商想要提高灵敏度水平。这里, RF 频带 (2373-2463MHz) 的三次谐波与 2.4GHz 工业、科学和医学 (ISM) 频带部分地重叠。因此, 为了减轻来自三次谐波的降频转换并且最小化所需信道的减敏, 可以用外部输入阻抗匹配部件提供的更佳选择性来提高干扰与信号之比 (ISR) 性能。

[0084] 连接到主 FEM 的频带 20RF 输出的可配置 LNA 被配置成需要外部匹配部件的外部输入阻抗匹配拓扑。连接到 DIV FEM 的频带 20RF 输出的可配置 LNA 也被配置成需要外部匹配部件的外部输入阻抗匹配拓扑。这意味着在 PWB 上, 将在主 FEM 的频带 20RF 输出与 RFIC 的主接口中的适当可配置 LNA 的输入之间连接一个或者多个外部匹配部件。相似地, 将在 DIV FEM 的频带 20RF 输出与 RFIC 的 DIV 接口中的适当可配置 LNA 的输入之间连接一个或者多个外部匹配部件。

[0085] 与图 8 的实施例相似的配置可以用来抑制在 1.7-1.9GHz 附近操作的蜂窝频带和 5GHz WLAN 的共存。

[0086] 图 9 图示根据实施例的用于包括可配置 RFIC 的接收器的 PWB 上的 RF 芯片组。图 9 的实施例描绘载波聚合 (CA) 场景, 其中用外部匹配部件部分地补偿由于复杂 FEM 和滤波设置所致的附加损耗。

[0087] 主 FEM 和 DIV FEM 二者使用 RF 频带 3 和 RF 频带 7 二者来工作, 其中来自 RF 频带 3 和 RF 频带 7 二者的可配置 RFIC 处理信号相应地来自主 FEM 和 DIV FEM 中的每个 FEM。

[0088] 连接到主 FEM 的频带 3RF 输出的可配置 LNA 被配置成需要外部匹配部件的外部输入阻抗匹配拓扑。连接到主 FEM 的频带 7RF 输出的可配置 LNA 也被配置成需要外部匹配部件的外部输入阻抗匹配拓扑。

[0089] 连接到 DIV FEM 的频带 3RF 输出的可配置 LNA 被配置成需要外部匹配部件的外部输入阻抗匹配拓扑。连接到 DIV FEM 的频带 7RF 输出的可配置 LNA 也被配置成需要外部匹配部件的外部输入阻抗匹配拓扑。

[0090] 这意味着在 PWB 上,将在主 FEM 的频带 3RF 输出与 RFIC 的主接口中的适当可配置 LNA 的输入之间连接一个或者多个外部匹配部件。另外,将在主 FEM 的频带 7RF 输出与 RFIC 的主接口中的适当可配置 LNA 的输入之间连接一个或者多个外部匹配部件。

[0091] 相似地,在 PWB 上,将在 DIV FEM 的频带 3RF 输出与 RFIC 的 DIV 接口中的适当可配置 LNA 的输入之间连接一个或者多个外部匹配部件,并且将在 DIV FEM 的频带 7RF 输出与 RFIC 的 DIV 接口中的适当可配置 LNA 的输入之间连接一个或者多个外部匹配部件。

[0092] 图 10 图示根据实施例的用于包括可配置 RFIC 的接收器的 PWB 上的 RF 芯片组。图 10 的实施例描绘最昂贵和高性能场景,在该场景中,RFIC 内的所有 LNA 被配置成外部输入阻抗匹配拓扑,其中使用外部输入匹配部件来实现输入匹配。

[0093] 连接到主 FEM 的输出、比如 RF 频带输出的所有可配置 LNA 被配置成需要外部匹配部件的外部输入阻抗匹配拓扑。相似地,连接到 DIV FEM 的各种输出、比如 RF 频带输出的所有可配置 LNA 被配置成需要外部匹配部件的外部输入阻抗匹配拓扑。

[0094] 这意味着在 PWB 上,将在主 FEM 的 RF 频带输出与 RFIC 的主接口中的适当可配置 LNA 的输入之间连接一个或者多个外部匹配部件。相似地,将在 DIV FEM 的 RF 频带输出与 RFIC 的 DIV 接口中的适当可配置 LNA 的输入之间来连接一个或者多个外部匹配部件。

[0095] 可以根据客户的期望自适应地配置根据实施例的可配置 RFIC。如果需要则可以以使用外部匹配部件并且增加 PWB 面积为代价来提高灵敏度。可以实现提高的灵敏度以抑制 TX 泄漏或者其它无线电系统(例如 2.4GHz 或者 5GHz 连接无线电)。由于可以匹配在 RFIC 内的可配置 LNA 而无需外部输入阻抗匹配部件,所以可配置 RFIC 实施例提供一种具有高质量和可靠性的有成本效益的解决方案。因此,各实施例提供在价格与性能之间权衡的能力。

[0096] 可以使用单个 RFIC 来实施图 4 至 10 中所示所有实施例,该 RFIC 可以根据优选使用实例而被配置成不同设置。作为结果,可以用相同 IC 设计来覆盖从最低成本的芯片组配置到具有高性能选项的芯片组配置的品种繁多的芯片组配置。因为可以用相同 RFIC 覆盖具有不同要求的若干移动设备产品,所以这引起更多最优工程设计和营销解决方案。

[0097] 在各实施例中,一个或者多个可配置低噪声放大器电路中的每个可配置低噪声放大器电路包括开关装置。电路中的每个电路可以经由相应开关装置而在内部输入阻抗匹配拓扑中的一个内部输入阻抗匹配拓扑与不同的拓扑之间来配置。不同的拓扑可以包括其中针对输入阻抗匹配而需要一个或者多个外部部件的拓扑。

[0098] 开关装置可以包括一个或者多个拓扑开关装置,该一个或者多个拓扑开关装置可以例如包括开关晶体管和 / 或偏置电压开关装置。以下关于图 11 至图 20 描述用于在多对不同内部输入阻抗匹配与外部输入阻抗匹配拓扑之间开关的开关装置。

[0099] 可以在本文描述的可配置 RFIC 实施例中运用多个不同可配置 LNA 电路。

[0100] 在一些实施例中,内部输入阻抗匹配拓扑包括共栅低噪声放大器拓扑,并且不同的拓扑包括电感退化低噪声放大器拓扑。以下关于图 11 至图 13 描述用于这样的实施例的示例可配置 LNA。

[0101] 在一些实施例中,内部输入阻抗匹配拓扑包括电阻反馈低噪声放大器拓扑,并且不同的拓扑包括电感退化低噪声放大器拓扑。以下关于图 11、图 14 和图 15 描述用于这样的实施例的示例可配置 LNA。

[0102] 在一些实施例中,不同的拓扑包括电感退化低噪声放大器拓扑,并且内部输入阻

抗匹配拓扑包括：阻抗匹配级，耦合到可配置低噪声放大器电路的输入，阻抗匹配级的输出给阻抗匹配级提供输入偏置电压；以及反馈级，耦合到阻抗匹配级的输出和电压源，反馈级给阻抗匹配级提供补偿操作电压。后一个拓扑在本文以下被称为信号重用拓扑。以下关于图 11 和 16 至 20 描述用于这样的实施例的示例可配置 LNA。

[0103] 在各实施例中，一个或者多个可配置低噪声放大器电路中的每个可配置低噪声放大器电路包括公共输出端子，在内部输入阻抗匹配拓扑或者不同的拓扑中配置时在该公共输出端子提供相应可配置低噪声放大器电路的输出信号。

[0104] 例如在非差动放大器、比如仅运用图 13 的可配置低噪声放大器的正侧的情况下，在输出端子 260 产生在第一拓扑中配置电路时的输出，并且在输出端子 260 也产生在第二拓扑中配置电路时的输出。这样将单个输出端子重用于两个拓扑给可配置 LNA 本身和连接到它的其它部件二者都提供比需要多个输出端子的解决方案更低成本的解决方案。相似地，可以对于差动放大器的情况运用单对公共输出端子而不是用于不同配置的多对输出端子。这样的公共输出端子特征在本文描述的其中存在多个可配置 LNA 的可配置 RFIC 实施例中尤其有益。

[0105] 已知若干 LNA 结构，这些 LNA 结构中的每个 LNA 结构关于它们的噪声性能、总成本和输入匹配能力具有某些益处和缺点。

[0106] 已知的 LNA 拓扑是电感退化 LNA 拓扑，例如已经在 D. K. Shaeffer 和 T. H. Lee 的在 IEEE J. of Solid-State Circuits, vol. 32, no. 5, May 1997, pp. 745-759 中的“A1.5-V, 1.5-GHz CMOS low noise amplifier”中给出该电感退化 LNA 拓扑的具体分析。

[0107] 在图 11 中描绘示例电感退化 LNA 电路。图 11 的 LNA 是差动放大器，其中晶体管 M2_p 和 M3_p 形成差动放大器的正或者“+”侧，并且晶体管 M2_m 和 M3_m 形成差动放大器的负或者“-”侧。差动放大器的“+”和“-”侧各自布置于共源共栅配置中，其中各自布置于共源配置中的晶体管 M2_p 和 M2_m 分别形成“+”和“-”侧的输入（或者‘增益’）晶体管，并且晶体管 M3_p 和 M3_m 分别形成“+”和“-”侧的共源共栅晶体管（或者‘电流共源共栅’）。在这一情况下，晶体管 M2_p、M2_m、M3_p、M3_m 中的每个晶体管是增强模式 n 沟道金属氧化物半导体场效应晶体管（MOSFET）（也称为‘NMOS’）。

[0108] 差动放大器放大在向它的输入端子 220 和 222 施加的两个输入信号 in_p、in_m 之间的差值，其中向输入端子 222 施加的信号是具有与向输入端子 220 施加的信号相同的量值、但是与该信号异相 180 度的信号（即具有相反相位的信号）。差动放大器可以能够抑制它的两个输入信号公共的信号分量而放大在两个信号之间的差值。共模抑制比（CMRR）度量可以测量差动放大器抑制它的输入信号公共的信号分量而放大在两个信号之间的差值的程度。

[0109] 在放大器的“+”侧上的输入晶体管 M2_p 的栅极端子经由第一偏置电阻器 Rb_{1p} 连接到偏置电压源 v_{bias_1deg}。输入晶体管 M2_p 的栅极端子也经由去耦合电容器 acc_{1p} 连接到外部匹配部件 Lext_p。输入端子 220 连接到外部匹配部件 Lext_p。外部匹配部件 Lext_p 位于与包含图 11 的 LNA 的电路分离的电路或者器件上、即匹配部件 Lext_p 为‘片外’（图 11 中的虚线包围框所示）。在这一情况下，匹配部件 Lext_p 是电感器。

[0110] 相似地在放大器的“-”侧上，输入晶体管 M2_m 的栅极端子经由第二偏置电阻器 Rb_{1m} 连接到偏置电压源 v_{bias_1deg}。输入晶体管 M2_m 的栅极端子也经由去耦合电容器 acc_{1m} 连接到外部匹配部件 Lext_m。输入端子 222 连接到外部匹配部件 Lext_m。同样，匹配

部件 L_{extm} 位于片外并且在这一情况下是电感器。

[0111] 输入晶体管 $M2_p$ 和 $M2_m$ 的栅极端子因此各自形成它们的相应输入晶体管的输入端子。输入晶体管 $M2_p$ 和 $M2_m$ 的源极和漏极端子因此形成输入晶体管的输出端子。

[0112] 两个输入晶体管 $M2_p$ 和 $M2_m$ 中的每个输入晶体管的源极端子连接到电感器 L_{deg} 的不同相应端子。电感器 L_{deg} 是具有互耦合的中心抽头差动电感器器件。电感器 L_{deg} 提供两个增益晶体管 $M2_p$ 和 $M2_m$ 的源极端子的电感退化。电感器 L_{deg} 的中心抽头端子连接到地。

[0113] 在差动放大器的“+”侧上的增益晶体管 $M2_p$ 的漏极端子连接到共源共栅晶体管 $M3_p$ 的源极端子。相似地,在差动放大器的“-”侧上的增益晶体管 $M2_m$ 的漏极端子连接到共源共栅晶体管 $M3_m$ 的源极端子。

[0114] 共源共栅晶体管 $M3_p$ 和 $M3_m$ 的栅极端子二者连接到电路电压源 V_{dd} (DC 电压)。注意可以将栅极端子 DC 电压设置成除了 V_{dd} 之外的电平,从而可以将漏极晶体管 $M2_p, m$ 的漏极电压设置成期望电平以便增加在共源共栅晶体管 $M3_p, m$ 的漏极端子的可用电压摆动。

[0115] 共源共栅晶体管 $M3_p$ 和 $M3_m$ 的漏极端子分别连接到输出端子 260 和 262,其中 260 是差动放大器的“+”侧的输出端子,在该输出端子产生输出信号 $outp$,并且 262 是差动放大器的“-”侧的输出端子,在该输出端子产生输出信号 $outm$ 。共源共栅晶体管 $M3_p$ 和 $M3_m$ 的漏极端子也各自经由可配置负载连接到电压源 V_{dd} ;在这一情况下,可配置负载包括并联连接的电感器 280 和可变电容器 270。电感器 280 是中心抽头差动电感器器件,并且它的中心抽头端子连接到电压源 V_{dd} 。图 11 的 LNA 的输出端子 260 和 262 因此连接到可配置负载。

[0116] 图 11 中描绘的 LNA 拓扑的噪声性能通常以输入晶体管 $M2_p$ 和 $M2_m$ 的噪声性能为主。可以通过优化输入匹配网络(例如包括增益晶体管 $M2_p$ 和 $M2_m$ 以及外部匹配部件 L_{extp} 和 L_{extm})来提高噪声性能。在这一拓扑中,在输入晶体管之前的输入匹配网络提供无源电压增益,可以将该无源电压增益测量为在对应输入晶体管、例如 $M2_p$ 的栅极到源极端子结观测的电压摆动与在 LNA 输入的电压摆动之比。这一比值的高值——在本文中称为输入匹配网络的 Q 值——有益于减少输入晶体管 $M2_p$ 的漏极电流噪声,但是它增加输入晶体管的感应栅极电流噪声。然而电感退化 LNA 需要若干片外外部匹配部件 L_{extp} 和 L_{extm} 并且因此往往相对昂贵。

[0117] 第二已知 LNA 拓扑是共栅 LNA,已经在 Hooman Darabi 和 Asad A. Abidi 的在 IEEE Journal of Solid-State Circuits, Vol. 35, No. 8, August 2000 中发表的、标题为“A4.5-mW900-MHz CMOS Receiver for Wireless Paging”的期刊出版物中给出该共栅 LNA 的具体分析。

[0118] 在图 12 中描绘示例共栅 LNA 电路。与图 11 的电感退化 LNA 一样,图 12 的 LNA 是差动放大器,其中晶体管 $M1_p$ 和 $M3_p$ 是差动放大器的正或者“+”侧,并且晶体管 $M1_m$ 和 $M3_m$ 形成差动放大器的负或者“-”侧。

[0119] 图 12 的共栅 LNA 包括共栅 LNA 级(在图 12 中标注为 cg_core),该共栅 LNA 包括输入晶体管 $M1_p, m$,将适当偏置电压经由偏置电阻器 $Rb2p, m$ 从电压源 v_{bias_cg} 向这些输入晶体管 $M1_p, m$ 提供。共栅 LNA 级还包括共源共栅晶体管 $M3_p, m$ 和电感器 $250p, m$ 。图 12 的

共栅 LNA 级还包含在每个输入晶体管的栅极与它们的输出源极端子之间的电容器 $c_{fbp, m}$ 。

[0120] 在图 12 的共栅 LNA 中没提供外部匹配部件 L_{extp} 和 L_{extm} 。输入晶体管 $M1_p$ 和 $M1_m$ 因此经由去耦合电容器 $acc2p$ 和 $acc2m$ 分别直接连接到输入端子 220、222。

[0121] 图 12 的共栅 LNA 在 LNA 内能够内部匹配连接到输入端子 220 和 222 的阻抗而无需外部匹配部件以便匹配连接到输入端子 220 和 222 的阻抗(其中待匹配的阻抗例如是在 LNA 之前的 RF 滤波器的输出阻抗)。

[0122] 因为在输入晶体管的源极的阻抗与跨导 g_m 成反比,所以共栅 LNA、比如图 12 中描绘的共栅 LNA 具有用于内部输入阻抗匹配的能力。通常,单端终端阻抗是 $50\ \Omega$,因此需要近似 20mS 的跨导。需要朝着信号接地的大阻抗以便向输入晶体管的源极端子中导引信号,这可以用连接到相应源极节点的电流源来实现。然而由于关联不良噪声性能而通常不利用这样的电流源拓扑,并且堆叠若干晶体管可能造成技术限制。相反,通过如图 12 中所描绘的在输入晶体管 $M1_p, m$ 的源极节点使用电感器 $250\text{p}, m$ 来实现更佳噪声性能。

[0123] 在理想阻抗匹配($1/g_m=R_s$)的情况下,共栅低噪声放大器的电压增益变成输出负载除以源极阻抗、即 Z_L/R_s 。如果输入晶体管的漏极到源极电阻 r_{ds} 比在相应漏极端子的负载电阻大得多,则这样的假设有效。由于共栅低噪声放大器的电压增益限于负载/源极阻抗比值,所以实现高电压增益指数可能有挑战性。另外,需要高输出阻抗也要求对接口设计加以特别关注。

[0124] 在现有技术中通常呈现的理想匹配共栅 LNA 的最小噪声因数是

$$NF = 10\lg\left(1 + \frac{\gamma}{\alpha}\right) = 10\lg\left(\frac{5}{3}\right) = 2.2\text{dB}。$$

[0125] 对于短沟道器件,噪声参数 γ 可以比一(unity)大得多,并且 α 可以比一(unity)小得多。在实践中,可实现噪声因数往往约 3dB 或者更大。这意味着将共栅 LNA 与电感退化共源 LNA 比较而言噪声因数有些更高。

[0126] 概括而言,共栅 LNA 可以提供宽带匹配而无需外部匹配部件。此外,共栅 LNA 赋予良好的线性。另外,如果使用两个独立源极电感器,则在共模中还实现良好输入匹配,这也造成良好的共模线性。与图 11 的电感退化 LNA 比较,共栅 LNA 具有更差噪声性能,并且根据应用,它可能需要关于接口设计的特别关注。

[0127] 各实施例涉及一种可以在第一拓扑与第二拓扑之一之间配置的 LNA 电路,在该第一拓扑中,低噪声放大器电路包括退化电感级使得低噪声放大器电路能够作为电感退化低噪声放大器操作,在该第二拓扑中,低噪声放大器电路包括共栅低噪声放大器级,使得低噪声放大器电路能够作为共栅低噪声放大器操作。在第一拓扑中,外部匹配部件与 LNA 结合用于输入阻抗匹配目的。在第二拓扑中,使用在 LNA 拓扑内部的部件来实现输入阻抗匹配;在第二拓扑中无需外部匹配部件。输入阻抗匹配可以例如涉及到与 LNA 的一个或者多个输入连接的 RF 滤波器的输出阻抗的匹配。

[0128] 在图 13 中图示根据本发明的示例可配置 LNA 电路。与图 11 和图 12 的 LNA 一样,图 13 的示例 LNA 是差动放大器,其中晶体管 $M1_p$ 、 $M2_p$ 和 $M3_p$ 形成差动放大器的正或者“+”侧,并且晶体管 $M1_m$ 、 $M2_m$ 和 $M3_m$ 形成差动放大器的负或者“-”侧。

[0129] 图 13 的示例可配置 LNA 电路包含按照图 12 的电路的共栅 LNA 级的共栅 LNA 级(标注为 cg_core)。

[0130] 图 13 的可配置 LNA 的拓扑必然包含图 11 的电感退化 LNA 和图 12 的共栅 LNA 二者的一些相似特征；然而有包括以下各项的若干重要不同：

[0131] 第一，图 13 的可配置 LNA 包含用于在第一拓扑与第二拓扑之一之间配置 LNA 的开关装置。开关装置包含拓扑开关装置、在这一情况下在退化电感级的输入与可配置 LNA 的输入之间连接的开关晶体管 SW1p,m。在这一情况下，SW1p,m 的源极端子连接到共栅 LNA 级的输入晶体管 M1_p,m 的源极端子，并且 SW1p,m 的漏极端子连接到去耦合电容器 acc2p,m。开关晶体管 SW1p,m 的源极端子还连接到电感退化 LNA 级的输入晶体管 M2_p,m 的源极端子。开关晶体管 SW1p,m 的栅极端子连接到例如在图 13 中标注为 xLdeg 的配置控制信号端子。

[0132] 第二，取代包括按照图 11 的电感退化 LNA 在差动放大器的每侧中的退化电感器以及按照图 12 的共栅 LNA 级在差动放大器的两侧中的输入晶体管 M1_p 的源极的电感器，图 13 的可配置 LNA 仅包括电感器 250p,m。另外，图 11 中的电感器 (Ldeg) 包括单个中心抽头电感器，而在图 12 和 13 中有两个分离的电感器 250p,m。在第一拓扑与第二拓扑之间共享这些电感器并且在任一拓扑中配置可配置 LNA 时有效地运用这些电感器。这样的部件重用有助于减少成本和管芯面积。

[0133] 通过向配置控制端子 xLdeg 施加适当配置控制信号，开关晶体管 SW1p,m 可以在开启状态与闭合状态之间切换，在该开启状态中，在第一拓扑中配置图 13 的可配置 LNA，在该闭合状态中，在第二拓扑中配置图 13 的可配置 LNA。

[0134] 可以根据所需使用实例来配置可配置 LNA。如果需要则可以在第一电感退化配置中以需要外部匹配部件为代价来提高灵敏度。然而，由于在第二共栅配置中可以匹配可配置 LNA 而无需外部输入阻抗匹配部件，所以提供了有成本效益的解决方案。第二共栅配置也提供比第一电感退化配置更佳的线性。因此，各实施例提供在价格与性能之间权衡的可能性。

[0135] 现在将更具体描述第一拓扑和第二拓扑，在该第一拓扑和第二拓扑之间可以使用拓扑开关装置来配置可配置 LNA。

[0136] 在开启状态中时，开关晶体管在它的漏极与源极端子之间提供高电阻，该高电阻将漏极端子和源极端子有效断开（或者‘开路’）。可以通过向相应配置控制信号端子施加适当控制信号、使得在开关晶体管的栅极端子与源极端子之间的电压（即电压 V_{gs} ）能够小于（或者近似小于）开关晶体管的阈值电压（即电压 V_t ）来将开关晶体管置于开启状态中、即因此可以描述开关晶体管为在截止模式中。用于将开关晶体管配置到开启状态中的配置控制信号可以例如包括数字“0”信号（比如包括第一电压电平的信号）。

[0137] 在闭合状态中，开关晶体管在它的漏极与源极端子之间提供低电阻，该低电阻将漏极端子与源极端子有效连接（或者‘短路’）。可以通过向它的控制信号端子施加配置控制信号、使得在开关晶体管的栅极端子与源极端子之间的电压（即电压 V_{gs} ）能够大于开关晶体管的阈值电压（即电压 V_t ）来将开关晶体管置于闭合状态中，即开关晶体管因此可以描述为在三极管模式中。用于将开关晶体管配置到闭合状态中的配置控制信号可以例如包括数字‘1’信号（比如包括第二电压电平的信号）。

[0138] 在第一拓扑中，开关晶体管 SW1p,m 被配置到开路状态。

[0139] 开关装置还包括适于将偏置电压 vbias_ldeg 设置成相对高或者相对低的偏置电

压的第一偏置电压开关装置。可配置低噪声放大器电路通过使用第一偏置电压开关装置以将偏置电压 v_{bias_ldeg} 设置成相对高的偏置电压而在第一拓扑中可配置。向电感退化 LNA 级的输入晶体管 $M2_{p,m}$ 施加相对高的偏置电压而将 $M2_{p,m}$ 晶体管偏置到闭合状态。构成相对高的偏置电压的内容依赖于使用的拓扑技术。通常,相对高的偏置电压包括电源电压的约三分之一至一半的电压,但是可以运用除此之外的电压。在各实施例中,电源电压是 1.25V,并且相对高的偏置电压包括 450–500mV。

[0140] 开关装置也包括适于将偏置电压 v_{bias_cg} 设置成相对高或者相对低的偏置电压的第二偏置电压开关装置。可配置低噪声放大器电路通过使用第二偏置电压开关装置以将偏置电压 v_{bias_cg} 设置成相对高的偏置电压而在第一拓扑中可配置。向共栅 LNA 级的输入晶体管 $M1_{p,m}$ 施加相对低的偏置电压在开启状态中偏置 $M1_{p,m}$ 。相对低的偏置电压可以例如包括零偏置电压。

[0141] 通过将开关晶体管 $SW1_{p,m}$ 配置到开启状态并且在开启状态中偏置共栅 LNA 级的输入晶体管 $M1_{p,m}$,电感退化级的输入晶体管 $M2_{p,m}$ 的源极端子经由电感器 $250p,m$ 而连接。电感器 $250p,m$ 因此如在图 11 的电感退化 LNA 中那样提供输入晶体管 $M2_p$ 的源极端子的电感退化。

[0142] 可配置 LNA 因此在开关晶体管 $SW1_{p,m}$ 被切换到开启状态时、即在第一拓扑中配置可配置 LNA 时作为电感退化 LNA 操作。

[0143] 因此,在第一拓扑中配置时,可配置 LNA 没有提供内部输入阻抗匹配、例如与连接到输入端子 220 和 222 的在前 RF 滤波器的输出阻抗匹配。作为结果,可以通过连接适当外部阻抗匹配部件来匹配图 13 的可配置 LNA 的输入阻抗与例如在前 RF 滤波器。外部匹配部件可以例如包括分别在去耦合电容器 $acc1_{p,m}$ 与输入端子 220 和 222 之间连接的外部匹配部件 L_{extp} 和 L_{extm} 。

[0144] 图 13 的可配置 LNA 的第一拓扑因此提供图 11 的电感退化 LNA 的益处中的至少一些益处、包括相对低噪声因数、但是需要使用外部匹配部件以便提供输入阻抗匹配。

[0145] 在第二拓扑中,开关晶体管 $SW1_{p,m}$ 被配置到闭合状态。

[0146] 可配置低噪声放大器电路通过使用第一偏置电压开关装置以将偏置电压 v_{bias_ldeg} 设置成相对低的偏置电压而在第二拓扑中可配置。向电感退化 LNA 级的输入晶体管 $M2_{p,m}$ 施加相对低的偏置电压而将 $M2_{p,m}$ 晶体管偏置到开启状态。

[0147] 可配置低噪声放大器电路通过使用第二偏置电压开关装置以将偏置电压 v_{bias_cg} 设置成相对高的偏置电压而在第二拓扑中可配置。向共栅 LNA 级的输入晶体管 $M1_{p,m}$ 施加相对高的偏置电压而在闭合状态中偏置 $M1_{p,m}$ 晶体管。

[0148] 通过将开关晶体管 $SW1_{p,m}$ 配置到闭合状态并且在闭合状态中偏置共栅 LNA 级的输入晶体管 $M1_{p,m}$,经由连接到地的电感器 $250p,m$ 连接共栅 LNA 级的输入晶体管 $M1_{p,m}$ 的源极端子。连接到输入晶体管 $M1_{p,m}$ 源极的源极端子的电感器 $250p,m$ 在操作频率为高阻抗并且作为用于第二拓扑的通向地的 DC 电流路径工作。

[0149] 电感器 $250p,m$ 在第一拓扑和第二拓扑二者中保持于电路中,从而实施例将昂贵(在面积方面)集成电感器的面积用于两个不同目的。相同集成电感用作电感退化拓扑中的退化电感器和共栅 LNA 拓扑中的 DC 馈送电感器。在两个拓扑中使用单个电感器避免需要一个昂贵片上部件用于一个拓扑并且需要另一昂贵片上部件用于另一拓扑。

[0150] 图 13 的可配置 LNA 因此提供一种可以根据所需使用实例或者设计要求而配置的 LNA。

[0151] 如果以需要外部匹配部件、例如 L_{extp} 和 L_{extm} 为代价而需要具有更佳噪声因数的更灵敏 LNA, 则可以在第一拓扑中配置 LNA 以便给可配置 LNA 的输入提供阻抗匹配。备选地, 可以在第二拓扑中配置 LNA 以便提供一种具有更佳线性的更成本有效解决方案。

[0152] 另一已知 LNA 拓扑是电阻反馈(或者‘分流电阻器’)LNA, C.-F. Liao 和 S.-I. Liu 已经在 IEEE Journal of Solid-State Circuits, vol. 42, no. 2, Feb. 2007, pp. 329-339 中的“A broadband noise-cancelling CMOS LNA for 3.1 - 10.6-GHz UWB receivers”中给出该电阻反馈(或者‘分流电阻器’)LNA 的具体分析。

[0153] 在图 14 中描绘示例电阻反馈 LNA 电路。与图 11 的电感退化 LNA 一样, 图 14 的 LNA 是差动放大器, 其中晶体管 200 和 210 形成差动放大器的正或者“+”侧, 并且晶体管 202 和 212 形成差动放大器的负或者“-”侧。

[0154] 在图 14 的电阻反馈 LNA 的拓扑与图 11 的电感退化 LNA 的拓扑之间的若干不同包括以下各项:

[0155] 第一, 无电感器 L_{deg} 存在于图 14 的电阻反馈 LNA 中, 该电感器提供图 11 的电感退化 LNA 中的输入晶体管 $M2_{p,m}$ 的源极端子的电感退化。相反, 图 14 的电阻反馈 LNA 的输入晶体管 200 和 202 的源极端子直接连接到地。

[0156] 第二, 输出端子 260、即差动放大器的“+”侧的输出端子经由反馈电阻器 300 连接到输入端子 220、即差动放大器的“+”侧的输入。相似地, 输出端子 262、即差动放大器的“-”侧的输出端子经由反馈电阻器 302 连接到输入端子 222、即差动放大器的“-”侧的输入端子。反馈电阻器 300 和 302 因此分别向差动放大器的“+”和“-”侧提供电阻反馈。

[0157] 第三, 在这些 LNA 拓扑之间的重要不同是输入匹配频率的可配置性。在电阻反馈拓扑中, 最优输入匹配频率跟随在输出的输出摆动。通过调节向输出施加的谐振器负载而将在电阻反馈 LNA 输出的增益设置成期望频率时, 在相同频率观测输入匹配。这可以通过计算电阻反馈拓扑的按照 $Z_{in} = (R_{fb} + Z_L) / (1 + G_m * Z_L)$ 近似定义的输入阻抗值来理解, 其中 R_{fb} 是反馈电阻器值, Z_L 是负载阻抗, 并且 G_m 是输入设备的跨导。这与一般更多地固定到某个频率的电感退化 LNA 拓扑的输入匹配形成对比。

[0158] 最后, 在图 14 的电阻反馈 LNA 中没有提供外部匹配部件 L_{extp} 和 L_{extm} 。输入晶体管 200 和 202 因此分别经由去耦合电容器 240 和 242 分别直接连接到 220 和 222 输入端子。

[0159] 图 14 的电阻反馈 LNA 在 LNA 内能够内部匹配连接到输入端子 220 和 222 的阻抗而不是需要外部匹配部件以便匹配连接到输入端子 220 和 222 的阻抗(其中待匹配的阻抗例如是在 LNA 之前的 RF 滤波器的输出阻抗)。

[0160] 图 14 的电阻反馈 LNA 中没有如以上对于图 11 的电感退化 LNA 描述的在电容器 240 和 242 之前提供无源电压增益的外部匹配部件 L_{extp} 和 L_{extm} , 因此没有减轻输入晶体管 200 和 202 的噪声影响。此外, 由于在图 14 的电阻反馈 LNA 的输出端子 260 和 262 与输入端子 220 和 222 之间的反馈回路而在该 LNA 中有附加噪声源。来自可配置负载和反馈回路二者的输入参考噪声随着反馈电阻器 300 和 302 的电阻减少而增加。

[0161] 一般而言, 图 14 的电阻反馈 LNA 的噪声性能与图 11 的电感退化 LNA 的噪声性能

相比更差。然而由于图 14 的电阻反馈 LNA 无需外部匹配部件 L_{extp} 和 L_{extm} 、也无需用于电感退化的电感器 L_{deg} ，所以图 14 的电阻反馈 LNA 的总成本与图 11 的电感退化 LNA 的总成本相比更低。

[0162] 各实施例涉及一种可以在第一拓扑与第二拓扑之一之间配置的 LNA 电路，在该第一拓扑中，低噪声放大器电路包括退化电感使得低噪声放大器电路能够作为电感退化低噪声放大器操作，在该第二拓扑中，低噪声放大器电路包括反馈电阻使得低噪声放大器电路能够作为电阻反馈低噪声放大器操作。在第一拓扑中，外部匹配部件与 LNA 结合用于输入阻抗匹配目的。在第二拓扑中，使用在 LNA 拓扑内部的部件来实现输入阻抗匹配；在第二拓扑中无需外部匹配部件。输入阻抗匹配可以例如涉及到与连接到 LNA 的一个或者多个输入的 RF 滤波器的输出阻抗匹配。

[0163] 在图 15 中图示根据本发明的示例可配置 LNA 电路。与图 11 和图 14 的 LNA 一样，图 15 的示例 LNA 是差动放大器，其中晶体管 200 和 210 形成差动放大器的正或者“+”侧，并且晶体管 202 和 212 形成差动放大器的负或者“-”侧。

[0164] 图 15 的可配置 LNA 的拓扑必然包含与图 11 的电感退化低噪声放大器和图 14 的电阻反馈 LNA 二者相似的一些特征；然而有包括以下各项的若干重要不同：

[0165] 第一，图 15 的可配置 LNA 包含用于在第一拓扑与第二拓扑之一之间配置 LNA 的开关装置。在实施例中，开关装置包含多个拓扑开关装置。

[0166] 第二，与图 14 的电阻反馈 LNA 相似，图 15 的可配置 LNA 包括在差动放大器的“+”侧上的反馈电阻器 300。然而，反馈电阻器 300 连接到拓扑开关装置、在这一情况下为开关电阻器 400，而不是在差动放大器的“+”侧上的反馈电阻器 300 直接连接到输入端子 220，该拓扑开关装置又连接到输入端子 220。开关晶体管 400 的漏极端子和源极端子之一连接到反馈电阻器 300，而另一端子连接到输入端子 220。开关晶体管 400 的栅极端子连接到配置控制信号端子 421。拓扑开关装置 400 因此连接于输入晶体管 200 的栅极（经由去耦合电容器 240）与反馈电阻器 300 之间。

[0167] 第三，与图 14 的电阻反馈 LNA 相似，图 15 的可配置 LNA 包括在差动放大器的“-”侧上的反馈电阻器 302。然而，反馈电阻器 302 连接到拓扑开关装置、在这一情况下为开关晶体管 402，而不是在差动放大器的“-”侧上的反馈电阻器 302 直接连接到输入端子 222，该拓扑开关装置又连接到输入端子 222。开关晶体管 402 的漏极端子和源极端子之一连接到反馈电阻器 302，而另一端子耦合到输入端子 222。开关晶体管 402 的栅极端子连接到配置控制信号端子 423。拓扑开关装置 402 因此连接于输入晶体管 202 的栅极（经由去耦合电容器 242）与反馈电阻器 302 之间。

[0168] 第四，与图 11 的电感退化 LNA 相似，电感器 250 存在于图 15 的可配置 LNA 中。

[0169] 第五，拓扑开关装置、在这一情况下为开关晶体管 410 连接于输入晶体管 200 和 202 的源极端子之间。开关晶体管 410 的漏极端子和源极端子之一连接到输入晶体管 200 的源极端子，而另一端子连接到输入晶体管 202 的源极端子。开关晶体管 410 的栅极端子连接到配置控制信号端子 425。

[0170] 第六，去耦合电容器 430 和 432 根据电源电压提供 DC 去耦合以便分别增加开关晶体管 400 和 402 的开关性能。

[0171] 通过向配置控制端子 421、423 和 425 的适当配置控制信号，开关晶体管 400、402

和 410 可以在开启状态与闭合状态之间切换,在该开启状态中,在第一拓扑中配置图 15 的可配置 LNA,在该闭合状态中,在第二拓扑中配置图 15 的可配置 LNA。

[0172] 现在将更具体描述第一拓扑和第二拓扑,可以使用拓扑开关装置在该第一拓扑和第二拓扑之间配置可配置 LNA。

[0173] 在第一拓扑中,开关晶体管 400、402 和 410 被配置到开启状态。通过将开关晶体管 400 和 402 配置到开启状态,分别从向输入端子 220 和 222 施加的输入信号有效断开反馈电阻器 300 和 302。作为结果,在输出端子 260 和 262 与输入端子 220 和 222 之间都没有反馈回路。

[0174] 通过将开关晶体管 410 配置到开启状态,仅经由电感器 250 有效连接输入晶体管 200 和 202 的源极端子,该电感器的中心抽头连接到地。电感器 250 因此如图 11 的电感退化 LNA 中那样提供输入晶体管 200 和 202 的源极端子的电感退化。

[0175] 可配置 LNA 因此在开关晶体管 400、402 和 410 被切换到开启状态时、即在第一拓扑中配置可配置 LNA 时作为电感退化 LNA 操作。

[0176] 因此,在第一拓扑中配置时,可配置 LNA 没有提供内部输入阻抗匹配、例如与连接到输入端子 220 和 222 的在前 RF 滤波器的输出阻抗的匹配。作为结果,应当通过分别在去耦合电容器 240、242 与输入端子 220 和 222 之间连接外部阻抗匹配部件、例如如图 11 的电感退化 LNA 中所示外部匹配部件 230 和 232 来将图 15 的可配置 LNA 的输入阻抗与例如在前 RF 滤波器匹配。

[0177] 图 15 的可配置 LNA 的第一拓扑因此提供图 11 的电感退化 LNA 的益处、即相对低噪声因数、但是需要使用外部匹配部件以便提供输入阻抗匹配。

[0178] 在第二拓扑中,开关晶体管 400、402 和 410 被配置到闭合状态。通过将开关晶体管 400 和 402 配置到闭合状态,反馈电阻器 300 和 302 分别有效连接到输入端子 220 和 222。作为结果,反馈回路分别存在于输出端子 260 和 262 与输入端子 220 和 222 之间(并且因此经由去耦合电容器 240 和 242 分别存在于输入晶体管 200 和 202 的输入端子之间)。

[0179] 可配置 LNA 因此在开关晶体管 400、402 和 410 被配置到闭合状态时、即在第二拓扑中配置可配置 LNA 时作为电阻反馈 LNA 操作。

[0180] 因此,在第二拓扑中配置时,可配置 LNA 提供内部输入阻抗匹配、例如与连接到输入端子 220 和 222 的在前 RF 滤波器的输出阻抗匹配。作为结果,在第二配置状态中配置可配置 LNA 时无需外部匹配部件、例如如图 11 的电感退化 LNA 中所示外部匹配部件 L_{extp} 和 L_{extm} 。

[0181] 在第二拓扑中配置图 15 的可配置 LNA 时,开关晶体管 410 被配置到闭合状态;这提供如现在将描述的附加益处。

[0182] 通过将开关晶体管 410 配置到闭合状态,将输入晶体管 200 和 202 的源极端子有效连接(即短路)。开关晶体管 410 在输入晶体管 200 和 202 的源极端子之间形成的连接与连接输入晶体管 200 和 202 的源极端子的电感器 250 并联。

[0183] 如图 11 的电感退化 LNA 中那样,电感器 250 是具有互耦合的差动电感器器件。差动电感器器件的互耦合致使电感器对于向差动放大器施加的共模信号而与向差动放大器施加的差模信号相比不同地操作。

[0184] 向差动放大器施加的共模信号是向输入端子 220 和 222 施加的相应输入信号中的

具有相同量值和相同相位的信号分量。对照而言,差模信号是向输入端子 220 和 222 施加的相应输入信号中的具有相同量值和相反相位的信号分量。

[0185] 对于向输入端子 220 和 222 施加的差模信号,在第二拓扑中配置可配置 LNA 时,开关晶体管 410 在输入晶体管 200 和 202 的源极端子之间形成的连接形成用于差动信号的虚拟接地。

[0186] 然而相对于向输入端子 220 和 222 施加的共模信号,在第二拓扑中配置可配置 LNA 时,电感器 250 保持活跃从而提供在输入晶体管 200 和 202 的源极端子与接地(连接到电感器 250 的中心抽头)之间的与下式等效的电感:

[0187] $(1-k)/2*L_n$ (1),

[0188] 其中 k 是电感器 250 的互耦合系数,并且 L_n 是基于电感器 250 的电长度的标称电感。

[0189] 因此,在第二拓扑中配置可配置 LNA 时,电感器 250 相对于共模信号(按照上式(1))提供的电感形成阻抗,该阻抗有助于衰减来自接地电压源的干扰和其它噪声。因此提高可配置 LNA 在第二拓扑中配置时的电源电压噪声抑制性能,例如如更高功率电源电压抑制比(PSRR)度量表现的电源电压噪声抑制性能。电感器 250 提供的退化电感因此适于在第二拓扑中配置可配置 LNA 时提供电源电压噪声抑制阻抗。

[0190] 可配置 LNA 通过从电感退化 LNA 拓扑‘借用’电感器 L_{deg} 来在电阻反馈 LNA 拓扑中实现这样的 PSRR 提高。‘借用’电感器 L_{deg} 还确保在可配置 LNA 的两个配置中使用来自可配置 LNA 的第一拓扑的昂贵(在芯片面积方面)片上部件。

[0191] 此外,在第二拓扑中配置可配置 LNA 时,电感器 250 相对于共模信号(按照上式(1))提供的电感形成用于输入晶体管 200 和 202 的源极端子的退化电感器。如以上关于图 11 的电感退化 LNA 描述的那样,这样的退化电感器有助于提高可配置 LNA 在第二拓扑中配置时的共模抑制性能,例如如更高 CMRR 度量表现的共模抑制性能。电感器 250 提供的退化电感因此适于在第二拓扑中配置可配置 LNA 时相对于向输入端子 220 和 222 施加的输入信号公共的信号分量来提供共模信号抑制阻抗。

[0192] 可配置 LNA 通过从图 11 的电感退化 LNA ‘借用’电感器 L_{deg} 来在电阻反馈 LNA 拓扑中实现这样的 CMRR 提高。‘借用’电感器 L_{deg} 还确保在可配置 LNA 的两个配置中使用来自可配置 LNA 的第一拓扑的昂贵(在芯片面积方面)片上部件。

[0193] 图 15 的可配置 LNA 因此提供一种可以根据所需使用实例或者设计要求而配置的 LNA。

[0194] 如果以需要一个或者多个外部匹配部件、例如 L_{extp} 和 L_{extm} 以便给可配置 LNA 的输入提供阻抗匹配为代价而需要具有更佳噪声因数的更灵敏 LNA 则可以在第一拓扑中配置 LNA。

[0195] 备选地,可以在第二拓扑中配置 LNA 以便提供一种更有成本效益的解决方案。

[0196] 此外,在第二拓扑中配置可配置 LNA 时,使用电感器 250 提供与图 14 的电阻反馈 LNA 的 PSRR 和 CMRR 比较而言提高的 LNA 的 PSRR 和 CMRR。这造成可能消耗可配置 LNA 的大量芯片面积的昂贵片上电感器部件的重用。

[0197] 各实施例涉及到一种提供输入阻抗匹配能力而无需使用外部输入阻抗匹配部件的 LNA 拓扑。这一拓扑本文称为‘信号重用’拓扑,以下将参照图 16 至 18 说明这一点的原

因。

[0198] 信号重用 LNA 具有用于差模信号以及用于共模信号的宽带匹配。因此,对于共模信号也保持良好差动线性。与输入阻抗匹配级并联的另一增益级增加 LNA 增益。重用输入阻抗匹配级的输出的放大信号以便减少在后晶体管的噪声成分。此外,可以将信号重用 LNA 偏置而无需在 LNA 输入的大值 AC 耦合电容器。因为在信号重用 LNA 输入级之前缺乏无源电压增益,所以噪声因数与电感退化 LNA 比较更高。另外,除了增益晶体管之外还有附加噪声源。然而由于信号重用 LNA 无需外部部件、也无需用于输入阻抗匹配的附加片上源极电感器,所以总成本与电感退化 LNA 比较低得多。

[0199] 信号重用拓扑提供一种有成本效益的解决方案。本公开内容的某些示例实施例实现高增益并且因此减少在 LNA 之后的处理级的噪声成分。可以在应用 Friis 等式时看见这一点:用于后续部件的噪声因子除以前 LNA 的功率因子。差动 LNA 的某些示例实施例在用于差模信号以及用于共模信号的宽的带宽内提供良好输入阻抗匹配,这又造成良好共模线性。根据一些实施例的 LNA 具有对于温度、过程、凸角和老化影响的补偿并且在选择与混频器和模拟基带部件的接口时没有赋予限制。在一些实施例中,LNA 无需用于输入晶体管器件的直流(DC)“-”耦合电容器,这造成在与现有技术的 LNA 比较时使用更小管芯面积。

[0200] 图 16 示出根据实施例的信号重用 LNA 的差动放大器的各侧中的一侧中的一级或者多级的示意图。省略差动放大器的某些特征、比如与差动放大器的另一侧和地的耦合以更好地表现实施例的概念方面。

[0201] 图 16 中所示级具有在输入端子 220 施加的信号 inp。输入端子耦合到阻抗匹配级 410。阻抗匹配级 410 作用于匹配在输入端子 220 所见的输入阻抗。例如阻抗匹配级 410 的一个或者多个部件可以具有与在 LNA 上游的接收器处理级、比如前端模块、RF 滤波器、双工滤波器等任何阻抗匹配的组合阻抗。

[0202] 输入端子 220 还电耦合到增益级 420、即阻抗匹配级 410 和增益级 420 二者并联耦合到输入端子 220。让增益级 420 与阻抗匹配级 410 并联来增加 LNA 的增益。如图 16 中的级的相对尺寸近似地所示,增益级 420 的增益大于阻抗匹配级 410 提供的任何增益。增益级 420 耦合到输出端子 260,在该输出端子 260 产生输出信号 outp。

[0203] 阻抗匹配级 410 的输出(节点 A)耦合到反馈级 430。阻抗匹配级 410 的输出在本例中经由第二增益、信号处理或者信号重用级 440 也对系统的输出 outp 有贡献。在其它实施例中,阻抗匹配级 410 可以例如经由在节点 A 维持高阻抗的其它部件来耦合到输出端子 260 而无需信号重用级 440,从而 LNA 仍然提供充分阻抗匹配。在图 16 的示例中,将信号重用级 440 和增益级 420 的输出组合以产生输出信号 outp。这可以通过在节点 B 耦合两级的输出、从而构造性地组合两个输出电流信号来实现。在一些实施例中,增益级 420 和信号重用级共享相同 DC 电流路径,因此优化 LNA 的电流消耗。

[0204] 通过例如经由信号重用级 440 将阻抗匹配级 410 的输出耦合到输出端子 260,可以说阻抗匹配级 410 的结果被“重用”、即随后用来在本示例中经由另一增益级来产生放大器的输出。例如可以提供阻抗匹配级 410 的阻抗匹配功能而无需将阻抗匹配级 410 电耦合到输出端子 260、例如无需节点 A 与节点 B 之间的任何耦合。在某些实施例中,阻抗匹配级 410 已经处理信号的重用和在一些情况下信号的放大来减少实施 LNA 的一个或者多个晶体管提供的噪声成分、即对噪声因子的贡献。例如阻抗匹配级 410 提供的放大减少了 LNA 中

的在后级、例如电流缓冲器或者负载级以及其它级的噪声成分。在某些实施例中，在输出之前、即在节点 B 与输出端子 260 之间提供电流缓冲器级(未示出)。这一缓冲器级可以缓冲来自增益级 420 和信号重用级 440 的电流信号。在一个差动实施例中，通常在用于输入信号 in_m 的差动放大器的第二、“-”侧中复制图 16 的概念特征。

[0205] 在一些实施例中，阻抗匹配级 410 使用反馈级 430。在图 16 的示例中，反馈级 430 包括反馈放大器，然而可以在其它实现方式中使用有增益或者无增益的其它功能相似反馈装置。在图 16 中，阻抗匹配级 410 的输出——该输出可以包括在点 A 的电流和电压——耦合到反馈放大器的反相输入 434。

[0206] 在图 17 中更具体示出反馈放大器(在图中标注为 X1)的一个实施例。放大器的非反相输入 432 耦合到提供可配置电压偏置 v_{bias} 的电压源 435。电压偏置 v_{bias} 可以是内部或者外部创建的偏置电压(从集成 LNA 的观点来看)。可以例如使用电阻器和恒定电流来生成它。它也可以使用与绝对温度成比例(PTAT)电流或者电压参考以适应温度改变。反馈级 430 的输出 436 耦合到用于阻抗匹配级 410 的电压偏置 415、即用来为阻抗匹配级 410 设置操作点的电压。因此，由反馈级 430 提供的反馈在使用中并且随时间将在节点 A 的(DC)电压设置成施加的电压偏置 v_{bias} 。例如可以在稳态操作中实现这一点。

[0207] 在某些实施例中，在节点 A 的电压定义了用于阻抗匹配级 410 和增益级 420 的输入偏置电压(参见以下图 18 的描述)。这具有的优点为避免使用任何 AC 耦合电容器和偏置电阻器以使级 410 和 420 的输入电压偏置、因此减少集成 LNA 的成本和尺寸。反馈级 430 补偿组成 LNA 的一个或者多个晶体管器件、比如实施阻抗匹配级 410 的晶体管的温度和拐角变化。通过改变至少阻抗匹配级 410 的电压偏置 415，LNA 可以补偿拐角影响和老化。这在大规模生产的电路(即大规模生产的 LNA)中是重要的，在这些电路中，电路需要是鲁棒的以补偿在大规模生产过程中固有的变化。反馈级 430 也通过使得 LNA 的配置能够例如通过补偿可能减少性能的拐角、温度和老化变化中的至少一个变化而优化性能来提高生产率。通过使用反馈级，可以提供用于阻抗匹配级 410 和增益级 420 的输入偏置电压而在向 LNA 的输入无需大值交流(AC)耦合电容器或者偏置电阻器。由于大值 AC 耦合电容器通常为大的尺寸，所以这进一步避免需要大管芯面积。此外，没有偏置电阻器造成在阻塞条件中的更佳噪声因子性能。

[0208] 图 17 示出例如适合于在以下描述的图 18 的 LNA 中使用的反馈级 430 的实现方式。这一实现方式使用反馈放大器 X1 以提供共模反馈功能。放大器 X1 的非反相输入 432 耦合到电压源、例如图 16 中的电源 435，该电压源提供可配置电压偏置 v_{bias} 。反馈级 430 的输出 436 耦合到用于实施阻抗匹配级 410 的 PMOS(P 沟道金属氧化物半导体场效应晶体管，PMOS 是针对 P-MOSFET 的简写)晶体管的电压偏置 415。PMOS 电压偏置 $pmos_v_{bias}$ 和共模反馈输入 cm_fb 可以如以下描述的那样耦合到图 18 中的等效点。共模反馈电路 X1 补偿组成 LNA 的一个或者多个晶体管器件、比如 NMOS 晶体管中的温度和拐角变化。通过改变 PMOS 电压偏置 $pmos_v_{bias}$ ，可以跨越不同温度、老化和过程影响而保持 NMOS/PMOS 比值恒定。如以上描述的那样，这赋予一种更鲁棒的解决方案。

[0209] 现在将参照图 18 来描述公开内容的一个实施例的具体电路实现方式。应当注意对 LNA 的变化可以是可能的而保持相同功能效果、例如可以用串联的两个电阻器替换一个电阻器或者可以重新布置部件而仍然维持等效电路。因此，图 18 的具体电路实现方式不应

视为限制。

[0210] 图 18 的 LNA 电路具有一起形成差动放大器的两侧 605 和 610。差动侧 605 被布置用于处理在端子 220 提供的输入信号 in_p 而差动侧 610 被布置用于处理在端子 222 提供的输入信号 in_m 。差动侧 605 在输出端子 260 产生输出信号 out_p 并且差动侧 610 在输出端子 262 产生输出信号 out_m 。图 18 的拓扑是对称的、即在第二差动放大器侧 610 中复制第一差动放大器侧 605 的配置。第一差动放大器侧 605 可以涉及 LNA 的非反向、“+”或者正侧而第二差动放大器侧 610 可以涉及反向、“-”或者负侧(或者反之亦然)。在以下描述中,将仅仅具体讨论第一差动放大器侧 605,但是该功能同样适用于对应的第二差动放大器侧 610。在某些实施例中,可以备选地实施第一差动放大器侧的功能而无需第二差动放大器侧以提供单端放大器。

[0211] 在图 18 中,阻抗匹配级、比如图 16 中的级 410 由晶体管 $M1_p$ 和 $M3_p$ 和反馈电阻器 R_{fb} 实施。在这一示例中,晶体管 $M1_p$ 是 NMOS 晶体管并且晶体管 $M3_p$ 是 PMOS 晶体管。晶体管 $M1_p$ 和 $M3_p$ 形成 LNA 的反馈部分。晶体管 $M1_p$ 的栅极端子耦合到输入端子 220。晶体管 $M1_p$ 的源极端子耦合到地。晶体管 $M1_p$ 的漏极端子经由节点 A 耦合到晶体管 $M3_p$ 的漏极端子。晶体管 $M3_p$ 的源极端子耦合到电压源 V_{dd} 。晶体管 $M3_p$ 的栅极端子经由 AC 耦合电容器 $acc1_p$ 耦合到输入端子 220 并且也经由电阻器 R_{pv} 耦合到反馈放大器 X1 提供的 PMOS 电压偏置 $p_{mos_v_{bias}}$ 。AC 耦合电容器 $acc1_p$ 使得 AC 信号能够从输入端子 220 向晶体管 $M3_p$ 的栅极直通、但是阻塞任何 DC 分量以便使在晶体管 $M1_p$ 的栅极所见 DC 电压偏置与在晶体管 $M3_p$ 的栅极所见 DC 电压偏置隔离。这使得在晶体管 $M3_p$ 的栅极所见 DC 电压偏置能够由 $p_{mos_v_{bias}}$ 设置。在这一示例中,如以上关于图 16 描述的那样,向 PMOS 晶体管 $M3_p$ 的栅极施加 PMOS 电压偏置 $p_{mos_v_{bias}}$ 实现了向阻抗匹配级 410 施加电压偏置。

[0212] 电阻器 R_{pv} 用作将两个差动放大器侧 605 和 610 (即 p 和 m) 分离。在每个差动放大器侧中没有这一电阻器,每个差动放大器侧的 PMOS 栅极将经由 $M3_p$ 和 $M3_m$ 的栅极连接而短路。在图 18 的示例中, $p_{mos_v_{bias}}$ 如图 17 中所示耦合到放大器 X1 的输出 $p_{mos_v_{bias}}$ 。也向另一差动侧施加相同 $p_{mos_v_{bias}}$,即将两个 $p_{mos_v_{bias}}$ 节点耦合到反馈放大器 X1 的 $p_{mos_v_{bias}}$ 输出。为了提供它们的 AC 耦合功能,AC 耦合电容器 $acc1_p$ 仅需要具有小电容、例如少于 1pF。这使在电路内的关键节点的寄生电容最小化并且使电路电容器所需成本和管芯面积最小化。

[0213] 具有反馈电阻器 R_{fb} 的器件 $M1_p$ 和 $M3_p$ 的跨导将图 18 中所示 LNA 的输入阻抗与期望的源极阻抗进行匹配。例如在某些实现方式中,这一输入阻抗可以是差动为 100 欧姆、单端为 50 欧姆。节点 A 可以视为晶体管 $M1_p$ 和 $M3_p$ 以及反馈电阻器 R_{fb} 实施的阻抗匹配级的输出。节点 A 也经由电阻器 R_{cm} 如图 17 中所示耦合到放大器 X1 的共模反馈输入 cm_fb 。可以使用电阻器 R_{cm} 来感测在节点 A 的任何电压信号而不干扰在节点 A 存在的任何 AC 信号。这然后如图 17 中所示为反馈放大器 X1 提供电压输入信号 cm_fb 。如以上描述的那样,向放大器 X1 施加电压偏置 v_{bias} 。实现了共模反馈级 430 的反馈放大器 X1 用作对使得 PMOS 晶体管 $M3_p$ 偏置的 PMOS 电压偏置信号 $p_{mos_v_{bias}}$ 进行修改(例如通过在晶体管的栅极设置电压来为晶体管设置操作点),在使用中使得在节点 cm_fb 的电压能够等于电压偏置 v_{bias} 。由于在节点 A 的电压如以下描述的那样定义了用于 $M1_p$ 的输入偏置电压和

用于增益晶体管 M2_p 的输入偏置电压,所以用于阻抗匹配级 410 和增益级 420 的输入偏置电压在这一示例中基于 vbias。

[0214] 在图 18 中,增益级由差动放大器侧 605 中的增益晶体管 M2_p 和差动放大器侧 610 中的增益晶体管 M2_m 实施。在图 18 中,这些晶体管是 NMOS 晶体管。增益晶体管 M2_p 的栅极端子耦合到输入端子 220。因此,栅极端子受到如在点 A 的电压和反馈电阻器 Rfb 设置的(DC)电压偏置、即为晶体管 M1_p 设置的相同电压偏置。增益晶体管 M2_p 的源极端子耦合到地。增益晶体管 M2_p 的漏极端子耦合到节点 B。通过使用在节点 A 的电压来为在本示例中分别实施阻抗匹配级 410 和增益级 420 的晶体管 M1_p 和 M2_p 提供输入偏置电压,可以避免使用偏置电阻器和 / 或 AC 耦合电容器以使 M1_p 和 M2_p 偏置(即为 M1_p 和 M2_p 的栅极提供偏置输入电压)。这如以上讨论的那样不仅减少集成 LNA 的成本和尺寸并且避免增添 LNA 的噪声因子。

[0215] 在图 18 中,信号重用级由晶体管 M4_p 实施。晶体管 M4_p 的源极端子也耦合到节点 B。晶体管 M4_p 的栅极端子经由电阻器 Rm4 耦合到栅极电压源 vdd。在其它实施例中,可以用备选偏置电压、例如 vdd 的比例(比如 $0.75*vdd$)来替换用于晶体管 M4_p 的电压偏置。通常选择栅极电压偏置、在这一情况下为 vdd 使得晶体管 M4_p 能够作为线性放大器来操作。晶体管 M4_p 的栅极端子还经由 AC 耦合电容器 acc2_p 耦合到节点 A。同样,电容器 acc2_p 仅需是小的、例如 $<1pF$ 以便从节点 A 的 DC 电压隔离向晶体管 M4_p 的栅极端子施加的 DC 电压偏置、但是以便允许 AC 信号分量通过晶体管 M4_p 并且由晶体管 M4_p 放大。以这一方式, M4_p、acc2_p 和 Rm4 实施的信号重用级将在点 A 的电压信号缓冲至向点 B 输入的电流信号。如从图 18 可见,每个差动放大器侧仅需最少两个 AC 耦合电容器,这减少成本和所需管芯面积。

[0216] 除了提供阻抗匹配功能之外,通过它的布置,阻抗匹配级还放大输入信号 inp、即充当恒定跨导(gm)放大器以在节点 A 产生放大(AC)信号。将这一放大的信号在第一增益级中“重用”。在图 18 中,向晶体管 M4_p 的栅极端子施加在节点 A 的放大信号,该晶体管进一步放大信号以在节点 B 产生具有高电流和低噪声特性的另一放大信号。在其它比较示例中,节点 A 无需耦合到差动侧 605 的另一部分、即可以实现阻抗匹配功能而不将节点 A 和晶体管 M4_p 的栅极端子耦合。然而某些实施例使用(在将第一使用视为阻抗匹配功能的部分时“重用”)在节点 A 的信号以提供更佳 LNA 性能。在某些备选实施例中,可以使用除了缓冲器或者放大晶体管之外的另一形式的耦合使得能够在 B 重用 A 的信号。

[0217] 在图 18 中,电流共源共栅或者电流缓冲器级由晶体管 M5_p 实施。在图 18 中,晶体管 M5_p 是 NMOS 晶体管。晶体管 M5_p 的源极端子电耦合到节点 B。晶体管 M5_p 的漏极端子电耦合到节点 C。晶体管 M5_p 的栅极端子耦合到电压源 vdd (以及形成第二差动侧 610 的部分的晶体管 M5_p 的栅极端子)。为了充分性能,晶体管 M5_p 的栅极偏置电压应当跟随晶体管 M4_m 的栅极偏置电压。例如,如果用备选偏置电压、比如 $0.75*vdd$ 替换用于晶体管 M4_p 的电压偏置,则也应当用备选偏置电压(例如 $0.75*vdd$)替换用于晶体管 M5_p 的电压偏置。节点 C 至少耦合到输出端子 260 和可调谐 LC 谐振器 270、280。可调谐 LC 谐振器实施可配置负载,该负载至少电耦合到晶体管 M5_p 的两个漏极端子。在实施例中,可调谐 LC 谐振器包括与中心抽头差动电感器并联的可变电容器;中心抽头差动电感器电耦合到电压源 vdd。

[0218] 注意可以将用于晶体管 M5_{p,m} 的栅极端子 DC 电压设置成除了 vdd 之外的电平, 从而可以将增益晶体管 M2_p 的漏极电压设置成期望电平以便增加在晶体管 M5_p 的漏极端子的可用电压摆动。如果将改变用于晶体管 M5_p 的栅极端子 DC 电压, 则推荐也相应地改变用于晶体管 M4_p 的栅极端子 DC 电压以便维护充分性能特性。在一些实现方式中, 可以在晶体管 M5_{p,m} 中的每个晶体管的漏极端子与可调谐 LC 谐振器 / 每个输出之间提供电流导引共源共栅 X2。电流导引共源共栅可以用来在 M5_p 与输出端子 260 之间添加增益控制或者如果需要则用来提供进一步电流缓冲。

[0219] 在图 18 中, 因此在共源共栅配置中布置晶体管 M5_p 和 M2_p 而 M2_p 提供共源放大器并且 M5_p 提供共栅放大器。M2_p 还与 M4_p 和 M5_p 二者共享公共 DC 电流路径。晶体管 M2_p 具有 NMOS 晶体管的最大跨导(和最高漏极电流)。经过晶体管 M4_p 和 M2_p 的信号电流在点 B 被构造性地相加, 这增加电流增益。节点 B 因此从增益级向共源共栅或者缓冲器级输出具有低噪声的高信号电流, 然后馈送该信号电流为经过 M5_p 共源共栅晶体管的电流, 该电流然后被可调谐 LC 谐振器 270、280 跟随。

[0220] 至少电阻器 R_{cm}、R_{pv} 和 R_{m4} 具有大值、即具有约 10 千欧姆数量级的值。可以基于实施规范而使用标准设计实践来选择本文描述的电阻器和电容器的确切值。

[0221] 通过重用作为阻抗匹配级的部分而生成的信号, 可以减少 LNA 的电流消耗。

[0222] 本文描述的某些实施例提供的优点为实现良好噪声性能、即具有低噪声因数而无外部匹配部件。某些实施例也例如在与已知电阻反馈 LNA 比较时具有低电流消耗。各实施例可以包括在单个芯片上的全集成差动放大器。通过适当偏置增益和阻抗匹配级、具体为实施那些级的晶体管, 无论不同制造过程、温度影响、电源电压变化和老化条件中的至少一项如何都可以实现准确增益、线性、噪声和输入阻抗匹配中的至少一项。某些实施例使 MOSFET 器件的跨导能够被准确设置以减轻前述变化。在一个实施例中, 这通过使用电阻反馈和 DC 偏置点而将晶体管 M1 和 M2 偏置来实现, 该 DC 偏置点是用恒定跨导电路和共模反馈级来设置的。使用至少电阻反馈还避免需要使用附加 DC 偏置电阻以偏置由晶体管 M1 和 M2 所见电压。本文描述的实施例减轻偏置电阻器和 AC 耦合电容器数目, 使得成本和管芯面积、即集成芯片在衬底上占用的面积能够最小化。这使某些实施例对于需要多个 LNA 用于不同频带的实现方式有吸引力。

[0223] 本文呈现的某些 LNA 实施例提供共模匹配和良好共模线性。它们还提供宽带输入阻抗匹配、即跨越宽 RF 信号频率范围的阻抗匹配。出现这一宽带匹配而无需具体频率校准。例如图 18 的拓扑能够匹配范围为 0 至 3GHz 的频率。这归因于在拓扑中没有频率选择部件并且没有如例如对于电感退化 LNA 发现的作为源极负载的任何电感器。这如例如与已知电阻反馈 LNA 比较对于远离信号阻塞器、比如发送器、无线网络和蓝牙™ 信号造成更佳衰减。宽带匹配还避免如果匹配阻抗未在双工滤波器处理的频率范围内出现则可能出现的双工滤波器性能下降。它也避免接收器前端减敏和互调产物。

[0224] 图 18 的信号重用 LNA 的拓扑带有与图 11 的电感退化 LNA 的拓扑的一些相似性; 然而有如下若干不同:

[0225] 第一, 在图 18 的信号重用 LNA 中不存在电感器 L_{deg}, 该电感器提供图 11 的电感退化 LNA 中的增益晶体管 M2_{p,m} 的源极端子的电感退化。相反, 图 18 的信号重用 LNA 的增益级的输入晶体管 M2_{p,m} 的源极端子直接连接到地。

[0226] 第二,输出端子 260、即差动放大器的“+”侧的输出端子经由输入阻抗匹配、反馈和信号重用级连接到输入端子 220、即差动放大器的“+”侧的输入。差动放大器的“-”侧相似地连接。

[0227] 第三,在图 18 的信号重用 LNA 中没有提供外部匹配部件 L_{extp} 和 L_{extm} 。输入晶体管 $M2_{p,m}$ 因此分别直接耦合到输入端子 220 和 222。

[0228] 图 18 的信号重用 LNA 能够在 LNA 内内部与连接到输入 220 和 222 的阻抗匹配而不是需要外部匹配部件以便匹配输入端子 220 和 222 被连接到的阻抗(其中待匹配的阻抗例如是在 LNA 之前的 RF 滤波器的输出阻抗)。

[0229] 在图 18 的信号重用 LNA 中不存在如以上对于图 11 的电感退化 LNA 描述的在晶体管 $M1_{p,m}$ 、 $M2_{p,m}$ 之前提供无源电压增益的外部匹配部件 L_{extp} 和 L_{extm} ,因此未减轻增益晶体管 $M2_{p,m}$ 的噪声影响。此外,在图 18 的信号重用 LNA 中还有在 LNA 的输出端子 260 和 262 与输入端子 220 和 222 之间的附加噪声源。

[0230] 一般而言,图 18 的信号重用 LNA 的噪声性能与图 11 的电感退化 LNA 比较更差。然而由于图 18 的信号重用 LNA 无需外部匹配部件 L_{extp} 和 L_{extm} 、也无需用于电感退化的电感器 L_{deg} ,所以图 18 的信号重用 LNA 的总成本与图 11 的电感退化 LNA 的总成本相比更低。

[0231] 一些实施例涉及一种可以在第一拓扑与第二拓扑之一之间配置的 LNA 电路,在该第一拓扑中,低噪声放大器电路包括退化电感使得低噪声放大器电路能够作为电感退化低噪声放大器操作,该第二拓扑本文称为信号重用拓扑。

[0232] 该信号重用拓扑包括耦合到可配置低噪声放大器电路的输入的阻抗匹配级以及耦合到阻抗匹配级的输出和电压源的反馈级。阻抗匹配级的输出为阻抗匹配级的输入提供偏置电压。反馈级为阻抗匹配级提供补偿操作电压。

[0233] 在第一拓扑中,一个或者多个外部输入阻抗匹配部件与 LNA 结合用于输入阻抗匹配目的。在第二拓扑中,使用在 LNA 拓扑内部的部件来实现输入阻抗匹配;在第二拓扑中无需外部匹配部件。输入阻抗匹配可以例如涉及与连接到 LNA 的一个或者多个输入的 RF 滤波器的输出阻抗匹配。

[0234] 在图 19 中图示根据实施例的示例可配置 LNA 电路。与图 11 和图 18 的 LNA 一样,图 19 的示例可配置 LNA 是差动放大器;其它实施例可以同样适用于非差动放大器。

[0235] 图 19 的可配置 LNA 的拓扑必然包含与图 11 的电感退化低噪声放大器和图 18 的信号重用 LNA 二者相似的一些特征;然而有包括以下各项的若干重要不同:

[0236] 第一,图 19 的可配置 LNA 包含用于在第一电感退化拓扑与第二信号重用拓扑之一之间配置 LNA 的开关装置。开关装置包括多个拓扑切合装置。

[0237] 第二,与图 18 的信号重用 LNA 相似,图 19 的可配置 LNA 包括输入阻抗级 410、反馈级 430 和信号重用级 440。然而输入阻抗匹配级 410 连接到拓扑开关装置、在这一情况下为开关晶体管 $SW2p$,该拓扑开关装置又耦合到输入端子 220,而不是在差动放大器的“+”侧上的输入阻抗匹配级 410 直接连接到输入端子 220。具体而言,开关晶体管 $SW2p$ 的漏极端子连接到反馈电阻器 R_{fb} 和 AC 耦合电容器 $acc1_p$,而源极端子连接到输入端子 220。开关晶体管 $SW2p$ 的栅极端子连接到配置控制信号端子 $xLdeg2$ 。拓扑开关装置 $SW2p$ 因此连接于晶体管 $M1_p$ 的栅极与反馈电阻器 R_{fb} 和 AC 耦合电容器 $acc1_p$ 之间。差动放大器的“-”侧相似地与连接到晶体管 $M1_m$ 的栅极的拓扑开关装置 $SW2m$ 连接。

[0238] 第三,拓扑开关装置、在这一情况下为开关晶体管 SW1 连接于增益晶体管 M2_p 和 M2_m 的源极端子之间。开关晶体管 SW1 的漏极端子和源极端子之一连接到 M2_p 的源极端子,而另一端连接到 M2_m 的源极端子。开关晶体管 SW1 的栅极端子连接到配置控制信号端子 xLdeg1。

[0239] 第四,拓扑开关装置、在这一情况下为开关晶体管 SW3_p 连接于第一偏置电阻器 Rbp 与偏置电压源 vbias 之间,而不是在差动放大器的“+”侧上的增益晶体管 M2_p 的栅极端子经由第一偏置电阻器 Rbp 直接连接到偏置电压源 vbias。具体而言,开关晶体管 SW3_p 的漏极端子连接到 Rbp,而源极端子连接到 vbias。相似地,在差动放大器的“-”侧上,拓扑开关装置、在这一情况下为开关晶体管 SW3_m 连接于第二偏置电阻器 Rbm 与偏置电压源 vbias 之间。

[0240] 通过向配置控制端子 xLdeg1、xLdeg2 和 Ldeg3 施加适当配置控制信号,开关晶体管 SW1、SW2_{p,m} 可以被切换到开启状态,并且 SW3_{p,m} 可以被切换到闭合状态,其中在第一电感退化拓扑中配置图 19 的可配置 LNA。反之,通过向配置控制端子 xLdeg1、xLdeg2 和 Ldeg3 施加适当配置控制信号,开关晶体管 SW1、SW2_{p,m} 可以被切换到闭合状态,并且 SW3_{p,m} 可以被切换到开启状态,其中在第二信号重用拓扑中配置图 19 的可配置 LNA。

[0241] 可以通过使用开关装置而在第一拓扑与第二拓扑之间配置可配置低噪声放大器。该开关装置包括在实施例中包括开关晶体管的多个拓扑开关装置。

[0242] 在第一电感退化拓扑中,开关晶体管 SW1 和 SW2_{p,m} 被配置到开启状态,并且开关晶体管 SW3_{p,m} 被配置到闭合状态。

[0243] 通过将开关晶体管 SW2_p 配置到开启状态,这防止电流通过晶体管 M1_{p,m} 流动。这意味着从向相应输入端子 220 和 222 施加的输入信号 in_p、in_m 有效断开差动放大器的每侧的阻抗匹配级 410。

[0244] 开关晶体管 SW3_{p,m} 通过施加适当控制信号 Ldeg3 而被配置到闭合状态以便向增益晶体管 M2_{p,m} 的栅极直接施加偏置电压 vbias。

[0245] 可配置低噪声放大器电路通过将在差动放大器的“+”和“-”侧二者上的反馈级 430 的反馈放大器 X1 的输出耦合到正电源电压 vdd 以便开启 M3_{p,m} 晶体管而在第一拓扑中可配置。在各实施例中,由于反馈放大器 X1 未在第一拓扑中使用,所以在差动放大器的“+”和“-”侧二者上的共模反馈放大器 X1 通过将它的启用输入连接到适当控制信号而被禁用。

[0246] 可配置低噪声放大器电路通过开启信号重用 M4_{p,m} 晶体管而在第一拓扑中可配置。这可以通过向 M4_{p,m} 晶体管的栅极施加适当控制信号、例如与在第二拓扑中配置可配置低噪声放大器电路时比较的相对低控制信号来实现。

[0247] 在图 20 中描绘这一配置模式。晶体管 M1_{p,m}、M3_{p,m} 和 M4_{p,m} 被开启并且因此不影响电路操作(在图 20 中灰色而不是黑色示出这样的部件)。此外,反馈放大器 X1 的共模反馈被禁用,并且除了电阻器 Rfb 之外也连接到 X1 的偏置电阻器 Rpv 和 Rcm 不影响可配置低噪声放大器的操作。由于在这一配置中,输入阻抗匹配级(在图 19 和图 20 中表示为 XMATCH)被禁用,所以使用外部匹配部件 Lextp 和 Lextm 来实现输入阻抗匹配。

[0248] 通过将开关晶体管 SW1 配置到开启状态,仅经由电感器 Ldeg 有效连接输入晶体管 M2_{p,m} 的源极端子,该电感器的中心抽头连接到地。电感器 Ldeg 因此如图 11 的电感退化

LNA 中那样提供输入晶体管 M2_{p,m} 的源极端子的电感退化。

[0249] 可配置 LNA 因此在开关晶体管 SW1 和 SW2_{p,m} 被配置到开启状态并且开关晶体管 SW3_{p,m} 被配置到闭合状态时、即在第一拓扑中配置可配置 LNA 时作为电感退化 LNA 操作。

[0250] 因此,在第一拓扑中配置时,可配置 LNA 不提供内部输入阻抗匹配、例如与连接到输入端子 220 和 222 的在前 RF 滤波器的输出阻抗匹配。作为结果,应当通过连接外部阻抗匹配部件、例如如图 11 的电感退化 LNA 中所描绘的外部匹配部件 Lextp 和 Lextm 来将图 20 的可配置 LNA 的输入阻抗与例如在前 RF 滤波器匹配。

[0251] 图 19 的可配置 LNA 的第一拓扑因此提供图 11 的电感退化 LNA 的益处、即相对低噪声因数、但是需要使用外部匹配部件以便提供输入阻抗匹配。

[0252] 在第二信号重用拓扑中,开关晶体管 SW1 和 SW2_{p,m} 被配置到闭合状态并且开关晶体管 SW3_{p,m} 被配置到开启状态。在这一操作模式中,连接输入阻抗匹配级 410 和反馈级 430 (在图 19 中统一表示为 XMATCH) 和信号耦合级 440,使得电路操作能够与图 18 中所示信号重用 LNA 的电路操作相同。(经由 XMATCH) 实现输入阻抗匹配而不使用任何外部匹配部件、比如 Lextp 和 Lextm。

[0253] 在实施例中,可配置低噪声放大器电路通过从正电源电压 vdd 去耦合在差动放大器的“+”和“-”侧二者上的反馈级 430 的反馈放大器 X1 的输出、从而闭合 M3_{p,m} 晶体管而在第二拓扑中可配置。另外,在差动放大器的“+”和“-”侧二者上的共模反馈放大器 X1 通过向它的启用输入施加适当控制信号来被启用。

[0254] 可配置低噪声放大器电路通过闭合信号重用 M4_{p,m} 晶体管而在第二拓扑中可配置。这可以通过向 M4_{p,m} 晶体管的栅极施加适当控制信号、例如与在第一拓扑中配置可配置低噪声放大器电路时比较的相对高控制信号来实现。

[0255] 在第二拓扑中配置时,可配置 LNA 提供内部输入阻抗匹配、例如与连接到输入端子 220 和 222 的在前 RF 滤波器的输出阻抗匹配。作为结果,无需外部匹配部件、例如如图 11 的电感退化 LNA 中所描绘的外部匹配部件 Lextp 和 Lexpm。

[0256] 在第二拓扑中配置图 19 的可配置 LNA 时,开关晶体管 SW1 被配置到闭合状态;这提供现在将描述的附加益处。

[0257] 通过将开关晶体管 SW1 配置到闭合状态,将增益晶体管 M2_{p,m} 的源极端子有效连接(即短路)。开关晶体管 SW1 在增益晶体管 M2_{p,m} 的源极端子之间形成的连接与连接增益 M2_{p,m} 的源极端子的电感器 Ldeg 并联。

[0258] 如图 11 的电感退化 LNA 中那样,电感器 Ldeg 是具有互耦合的差动电感器器件。差动电感器器件的互耦合使电感器对于向差动放大器施加的共模信号与向差动放大器施加的差模信号相比而不同地操作。

[0259] 向差动放大器施加的共模信号是向输入端子 220 和 222 施加的相应信号 in_p、in_m 中的具有相同量值和相同相位的信号分量。对照而言,差模信号是向输入端子 220 和 222 施加的相应输入信号中的具有相同量值和相反相位的信号分量。

[0260] 对于向输入端子 220 和 222 施加的差模信号,在第二拓扑中配置可配置 LNA 时,开关晶体管在输入晶体管 M2_{p,m} 的源极端子之间形成的连接形成用于差动信号的虚拟接地。

[0261] 然而相对于向输入端子 220 和 222 施加的共模信号,在第二拓扑中配置可配置 LNA

时,电感器 Ldeg 保持活跃从而提供在增益晶体管 M2_{p,m} 的源极端子与地(连接到电感器 Ldeg 的中心抽头)之间的与下式等效的电感:

$$[0262] \quad (1 - k) / 2 * L_n \quad (2),$$

[0263] 其中 k 是电感器 Ldeg 的互耦合系数,并且 L_n 是基于电感器 Ldeg 的电长度的标称电感。

[0264] 因此,在第二拓扑中配置可配置 LNA 时,电感器 Ldeg 提供的电感(按照上式(2))形成阻抗,该阻抗有助于衰减来自接地电压源的干扰和其它噪声。因此提高可配置 LNA 在第二拓扑中配置时的例如如更高电源电压抑制比(PSRR)度量表现的电源电压噪声抑制性能。电感器 Ldeg 提供的退化电感因此适于在第二拓扑中配置可配置 LNA 时提供电源电压噪声抑制阻抗。

[0265] 可配置 LNA 通过从电感退化 LNA 拓扑‘借用’电感器 Ldeg 来在信号重用 LNA 拓扑中实现 PSRR 提高。‘借用’电感器 Ldeg 也确保可以在可配置 LNA 的两个配置中使用来自可配置 LNA 的第一拓扑的昂贵(在芯片面积方面)的片上部件。

[0266] 此外,在第二拓扑中配置可配置 LNA 时,电感器 Ldeg (按照上式(2)相对于共模信号提供的电感形成用于增益晶体管 M2_{m,p} 的源极端子的退化电感器。如以上关于图 11 的电感退化 LNA 描述的那样,这样的退化电感器有助于提高可配置 LNA 在第二拓扑中配置时的如更高 CMRR 度量表现的共模抑制性能。电感器 Ldeg 提供的退化电感因此适于在第二拓扑中配置可配置 LNA 时相对于向输入端子 220 和 222 施加的输入信号公共的信号分量而提供共模信号抑制阻抗。

[0267] 可配置 LNA 通过从图 11 的电感退化 LNA ‘借用’电感器 Ldeg 来在信号重用 LNA 拓扑中实现 CMRR 提高。‘借用’电感器 Ldeg 也确保可以在可配置 LNA 的两个配置中使用来自可配置 LNA 的第一拓扑的昂贵(在芯片面积方面)片上部件。

[0268] 图 19 的可配置 LNA 因此提供一种可以根据所需使用实例或者设计要求而配置的 LNA。

[0269] 如果以需要外部匹配部件、例如 Lextp 和 Lextm 以便为可配置 LNA 的输入提供阻抗匹配为代价而需要具有更佳噪声因数的更灵敏 LNA,则可以在第一拓扑中配置 LNA。

[0270] 备选地,可以在第二拓扑中配置 LNA 以便提供一种更成本有效解决方案。

[0271] 此外,在第二拓扑中配置可配置 LNA 时,使用电感器 Ldeg 提供 LNA 较图 18 的信号重用 LNA 而言的 PSRR 和 CMRR 提高。这造成重用可能消耗可配置 LNA 的大量芯片面积的昂贵片上电感器部件(即电感器 Ldeg)。

[0272] 将理解以上实施例为本发明的示例。设想本发明的更多实施例。

[0273] 在图 9 的实施例中,使用单个 RFIC 来实施频带间 CA (在该情况下为在 RF 频带 3 与 7 之间)。在备选实施例中,可以延伸该设计以包括两个单独 RFIC,一个 RFIC 用于处理来自主 FEM 的信号而一个 RFIC 用于处理来自 DIV FEM 的信号,或者一个 RFIC 用于处理主和 DIV FEM 二者中的来自 RF 频带 3 的信号而另一 RFIC 用于处理主和 DIV FEM 二者中的来自 RF 频带 7 的信号。备选地,可以使用单个 RFIC 和仅单个(主)FEM 而不是主 FEM 和 DIV FEM 二者来实现频带间 CA。

[0274] 实施例的可配置 RFIC 可以由它的制造商或者由例如在设备或者其模块中安装一个或者多个可配置 RFIC 的第三方配置;这可能涉及到一种配置包括一个或者多个可配置

低噪声放大器电路的可配置 RFIC 的方法。该配置方法可以包括以下各项之一：向一个或者多个电路中的至少一个电路施加第一组一个或者多个控制信号以在内部输入阻抗匹配拓扑中配置至少一个电路，在内部输入阻抗匹配拓扑中，相应低噪声放大器电路包括适于将相应低噪声放大器的输入阻抗与给定的输入匹配的一个或者多个内部输入阻抗匹配部件，一个或者多个内部输入阻抗匹配部件位于相应低噪声放大器电路内部；或者向一个或者多个电路中的至少一个电路施加第二组一个或者多个控制信号以在不同的拓扑中配置至少一个电路，在不同配置中，相应低噪声放大器电路不包括一个或者多个内部输入阻抗匹配部件。可以例如向一个或者多个开关晶体管和 / 或偏置电压开关装置施加一组控制信号。

[0275] 可以在包括一个或者多个 RF 滤波器的 RF 模块中包括实施例的可配置 RFIC，该一个或者多个 RF 滤波器位于在 RFIC 之前的 RF 前端模块中。RFIC 可以包括用于在 RFIC 的可配置 LNA 与 RF 滤波器之间连接外部匹配部件的输入和输出管脚和 / 或接线。RFIC 可以备选地包括连接到一个或者多个可配置 LNA 的一个或者多个 RF 滤波器。

[0276] 可以在多个不同设备中并入实施例的可配置 RFIC。这样的设备可以包括用户设备、比如移动站、个人数字助理或者蜂窝电话设备等；例如可以在这样的用户设备的接收器中包括可配置 RFIC。另外，这样的设备可以包括将附着到用户设备的调制解调器设备、例如通用串行总线 (USB) 调制解调器。另外，这样的设备可以包括可以向另一设备、比如膝上型计算机或者具有通信能力的其它设备 (例如贩卖机) 中插入的通信模块、比如机器到机器 (M2M) 模块。另外，这样的设备可以包括芯片组，该芯片组可以包括无线电和基带部分。

[0277] 将理解关于任何一个实施例描述的任何特征可以单独或者与描述的其它特征组合使用或者也可以与任何其它实施例的一个或者多个特征或者任何其它实施例的任何组合进行组合使用。另外，也可以运用以上未描述的等效和修改而不脱离在所附权利要求中限定的实施例范围。

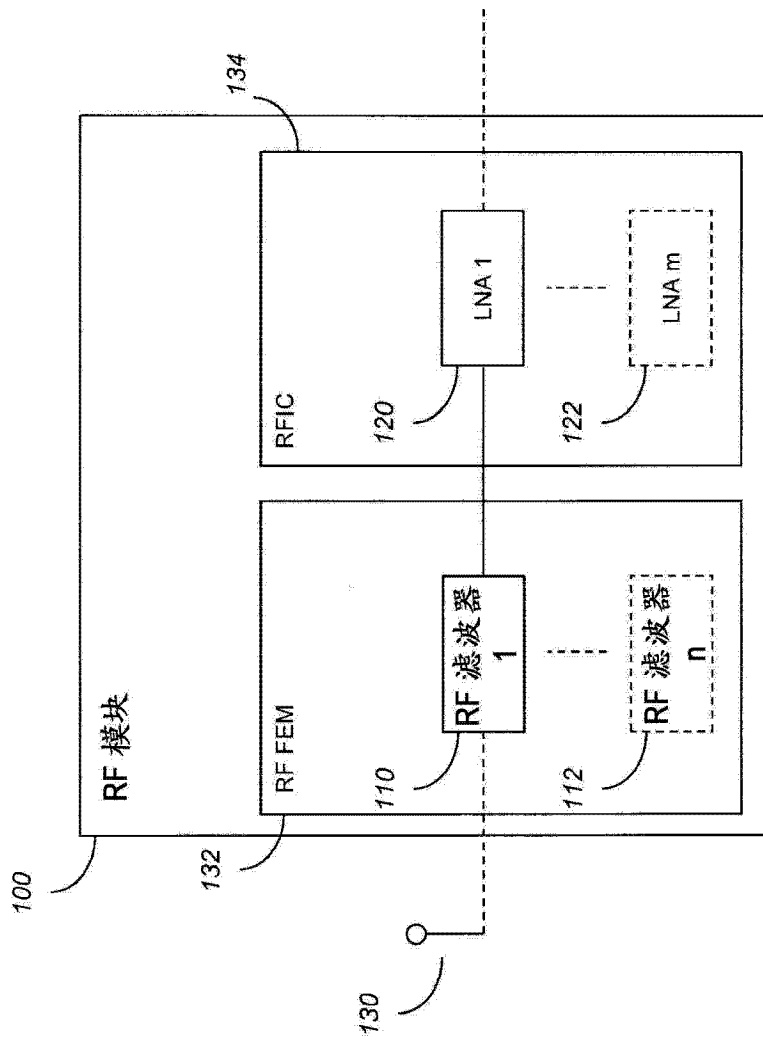


图 1

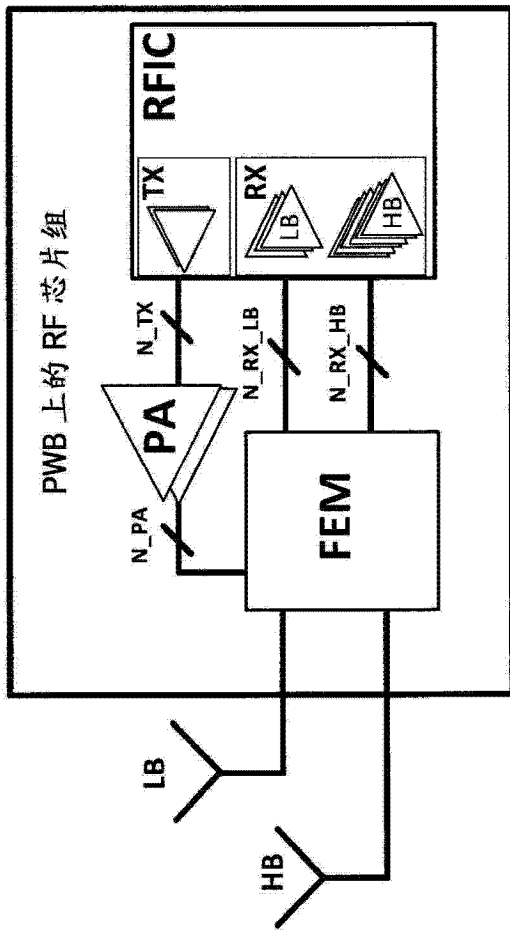


图 2

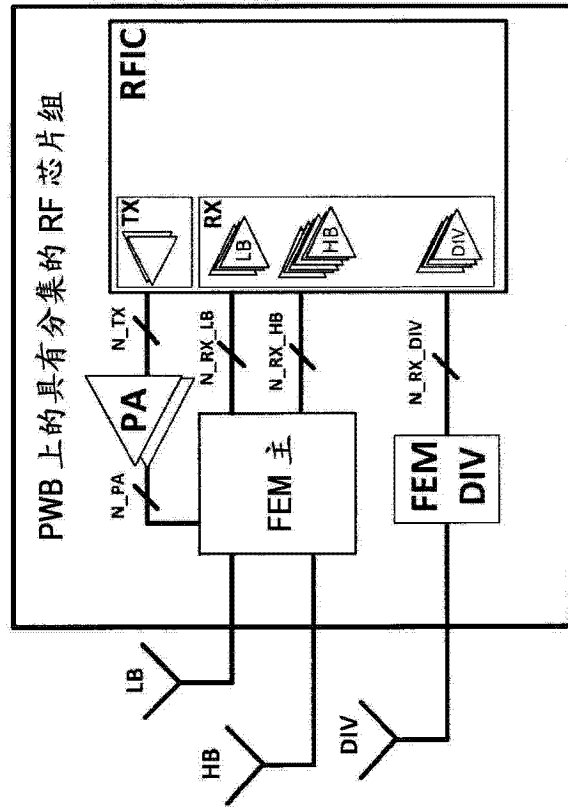


图 3

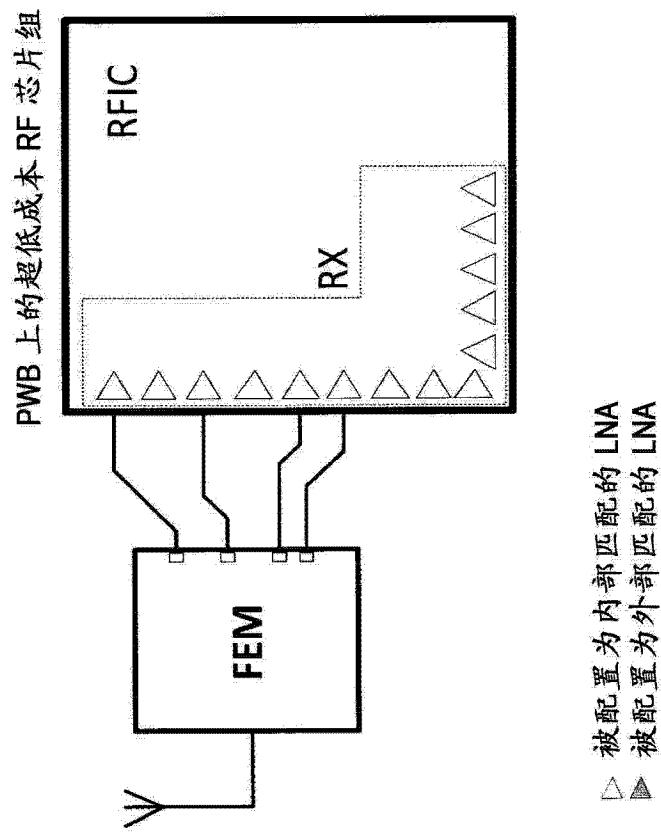


图 4

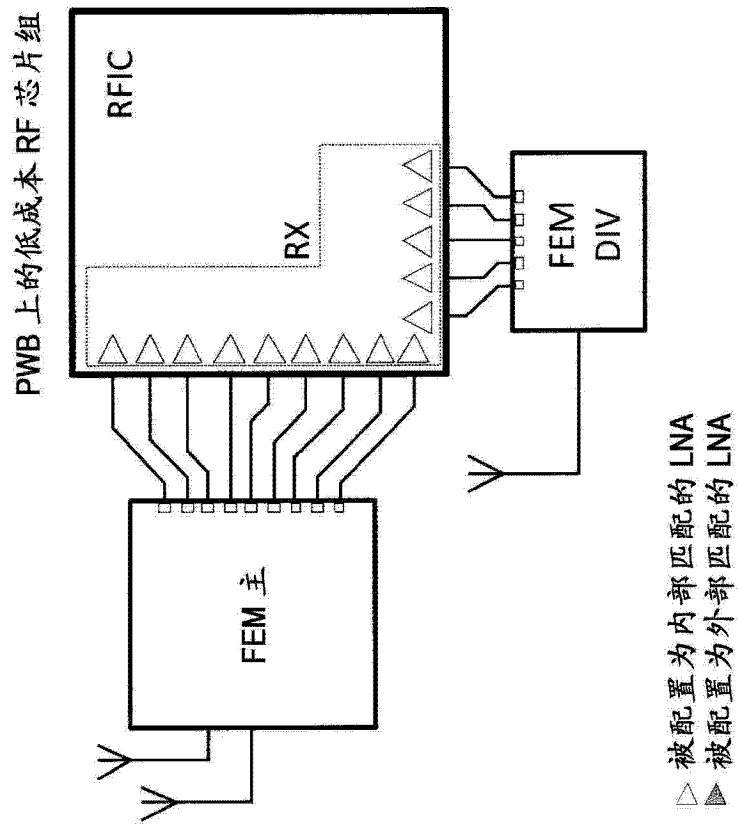


图 5

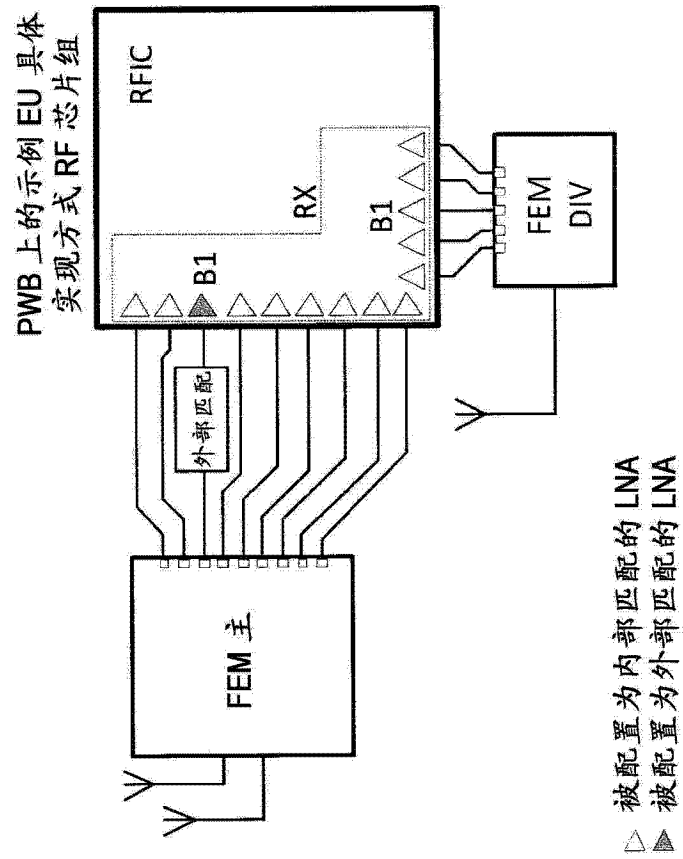


图 6

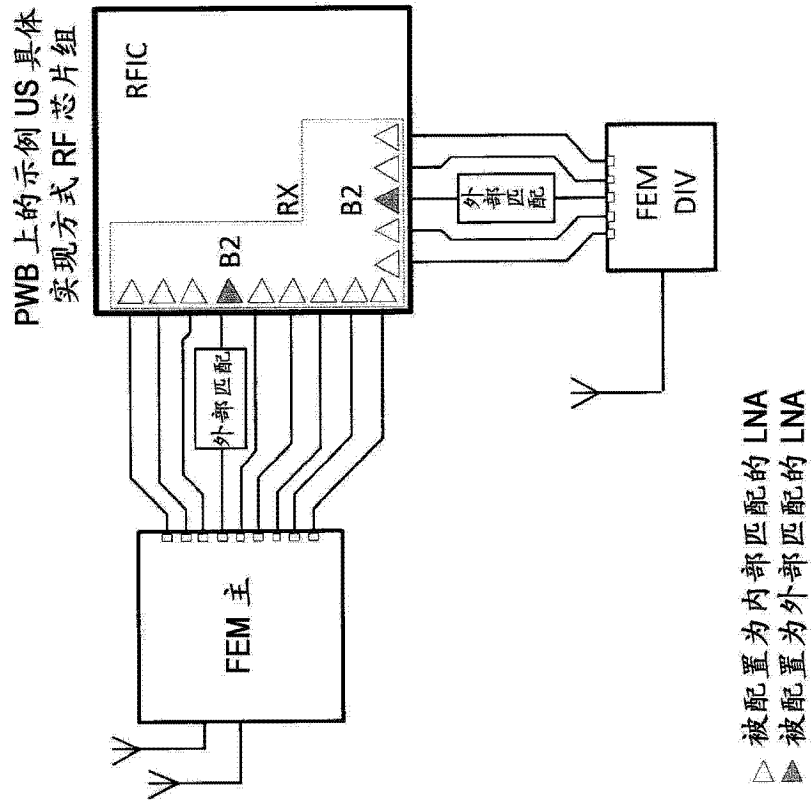


图 7

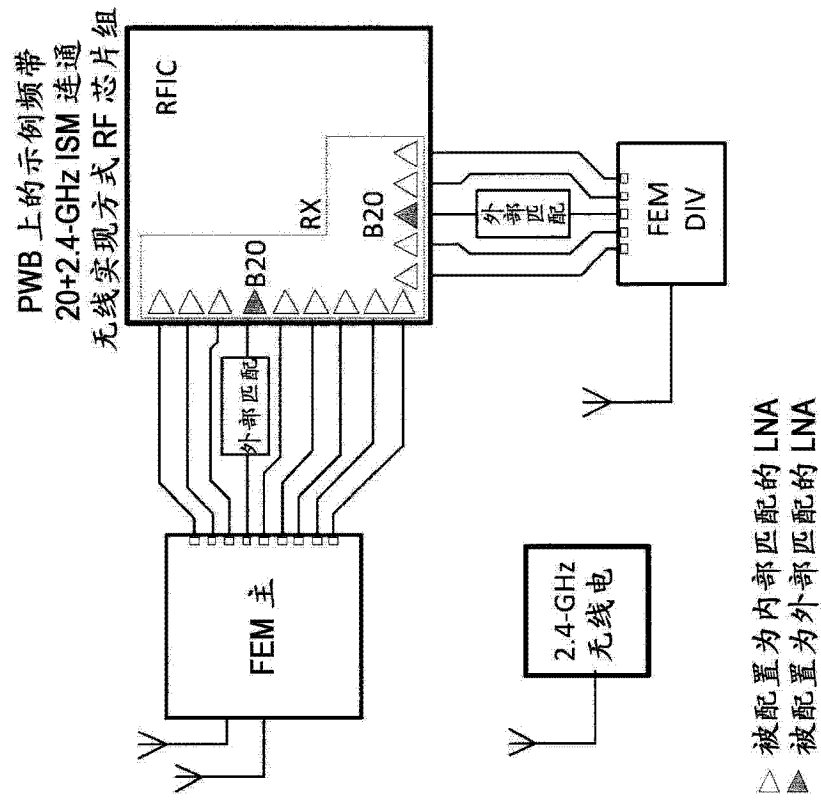


图 8

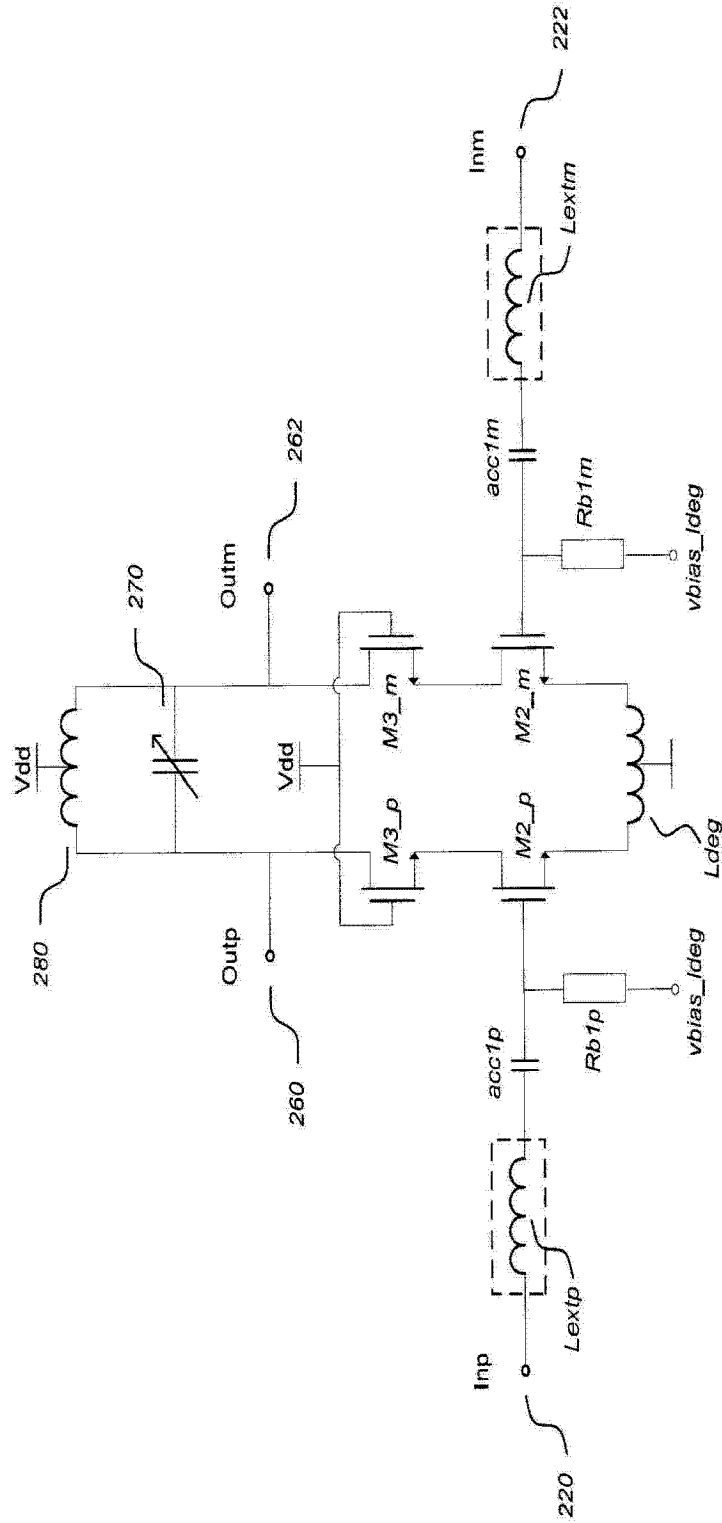


图 11

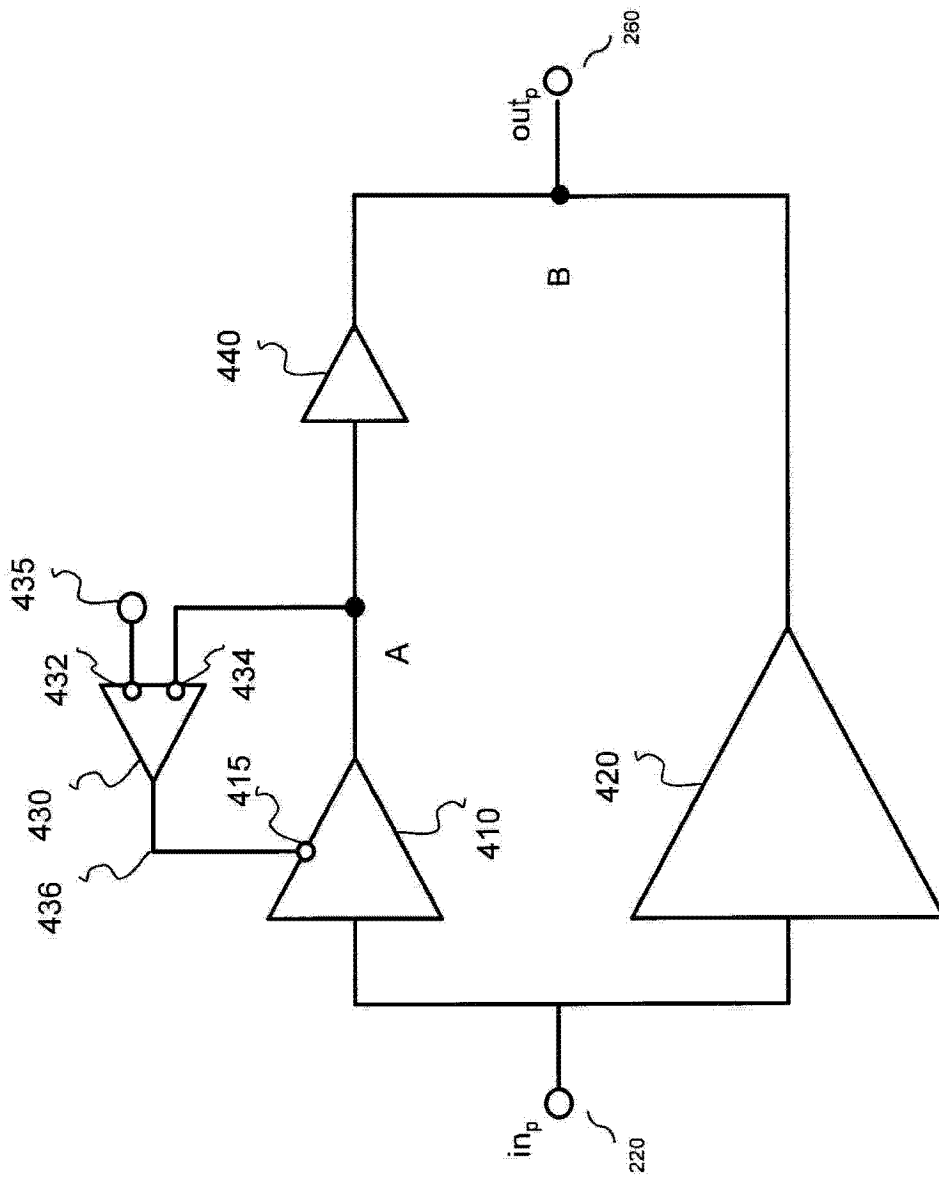


图 16

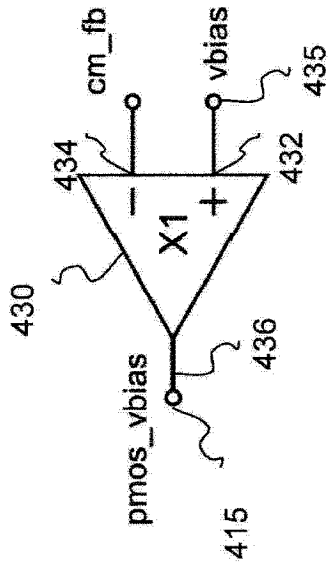


图 17

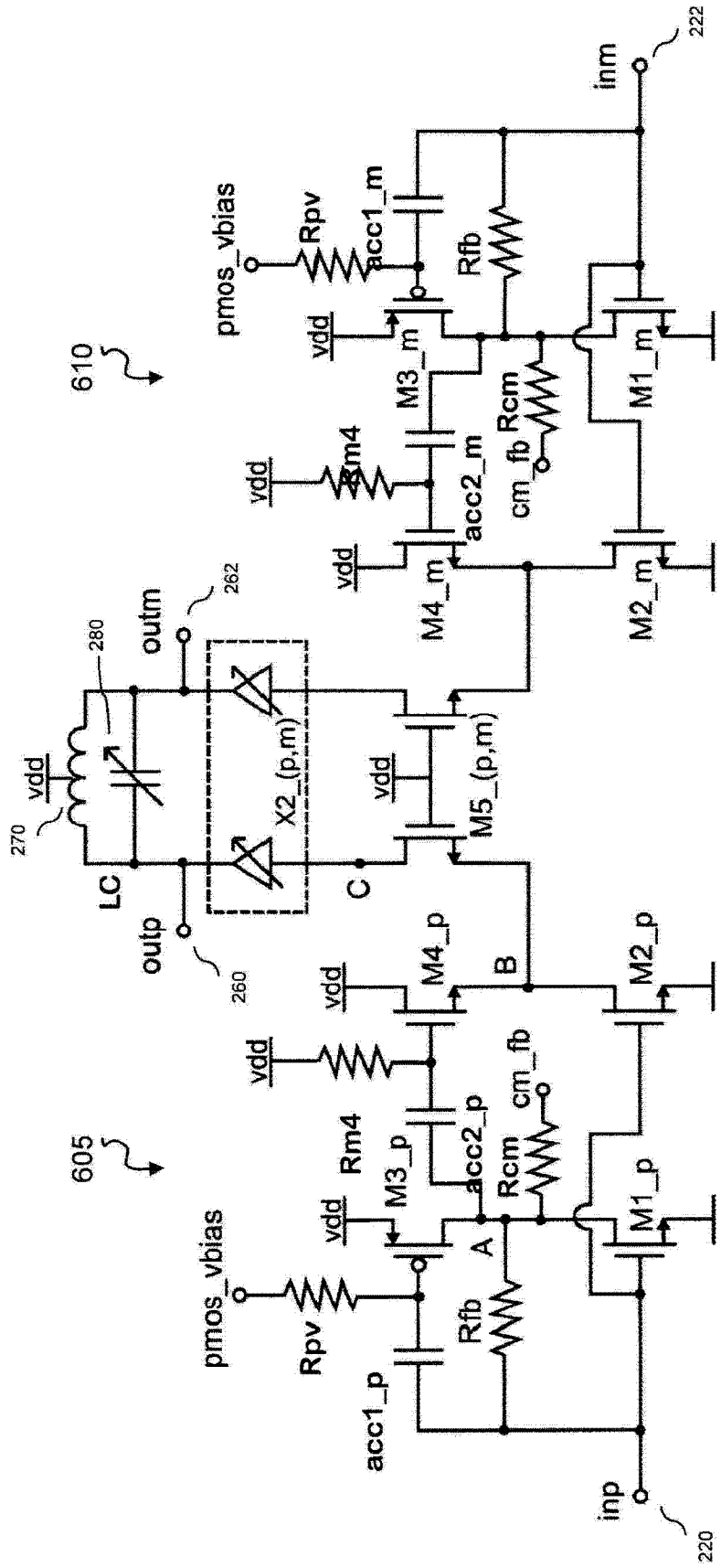


图 18

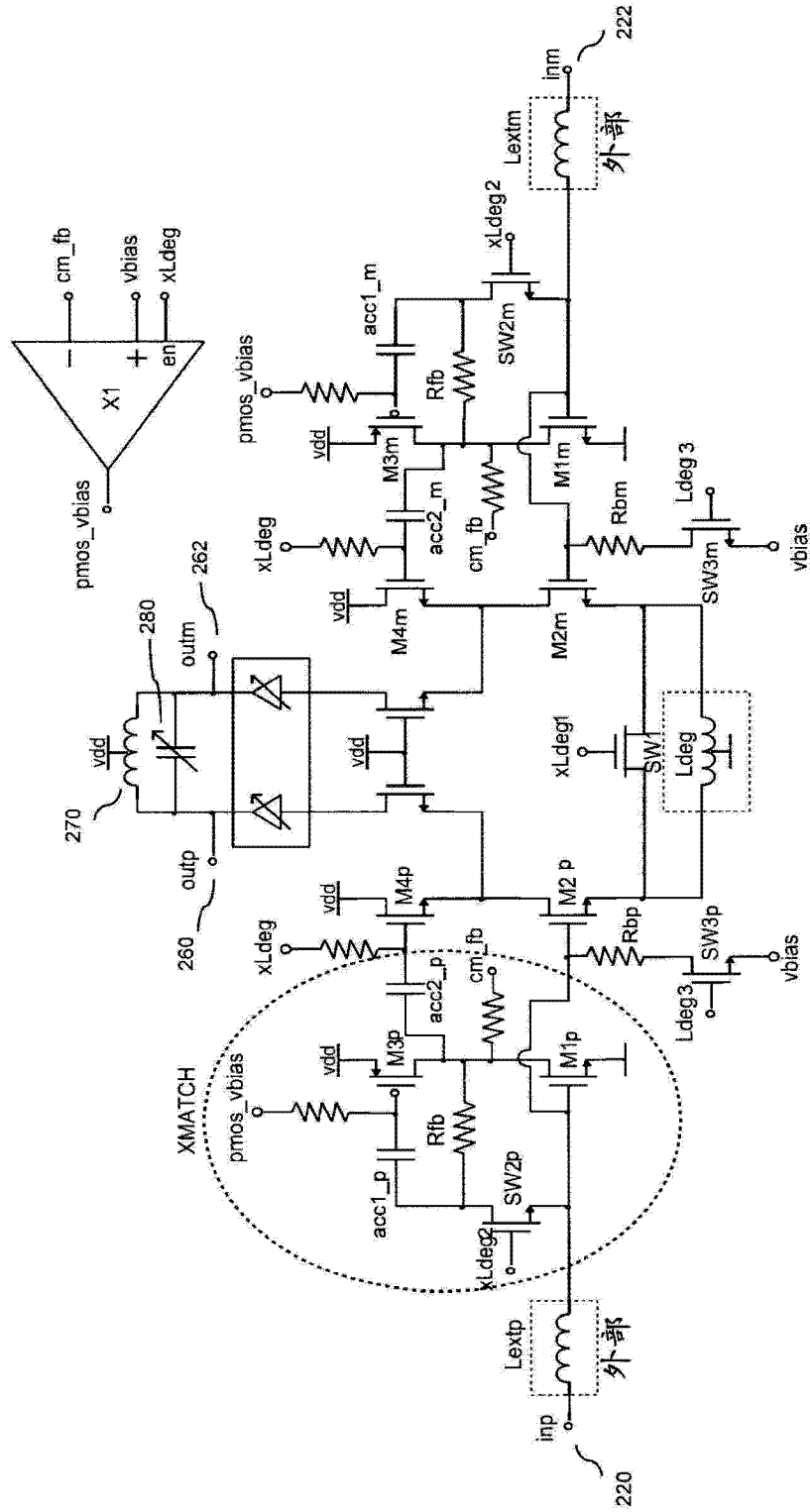


图 19

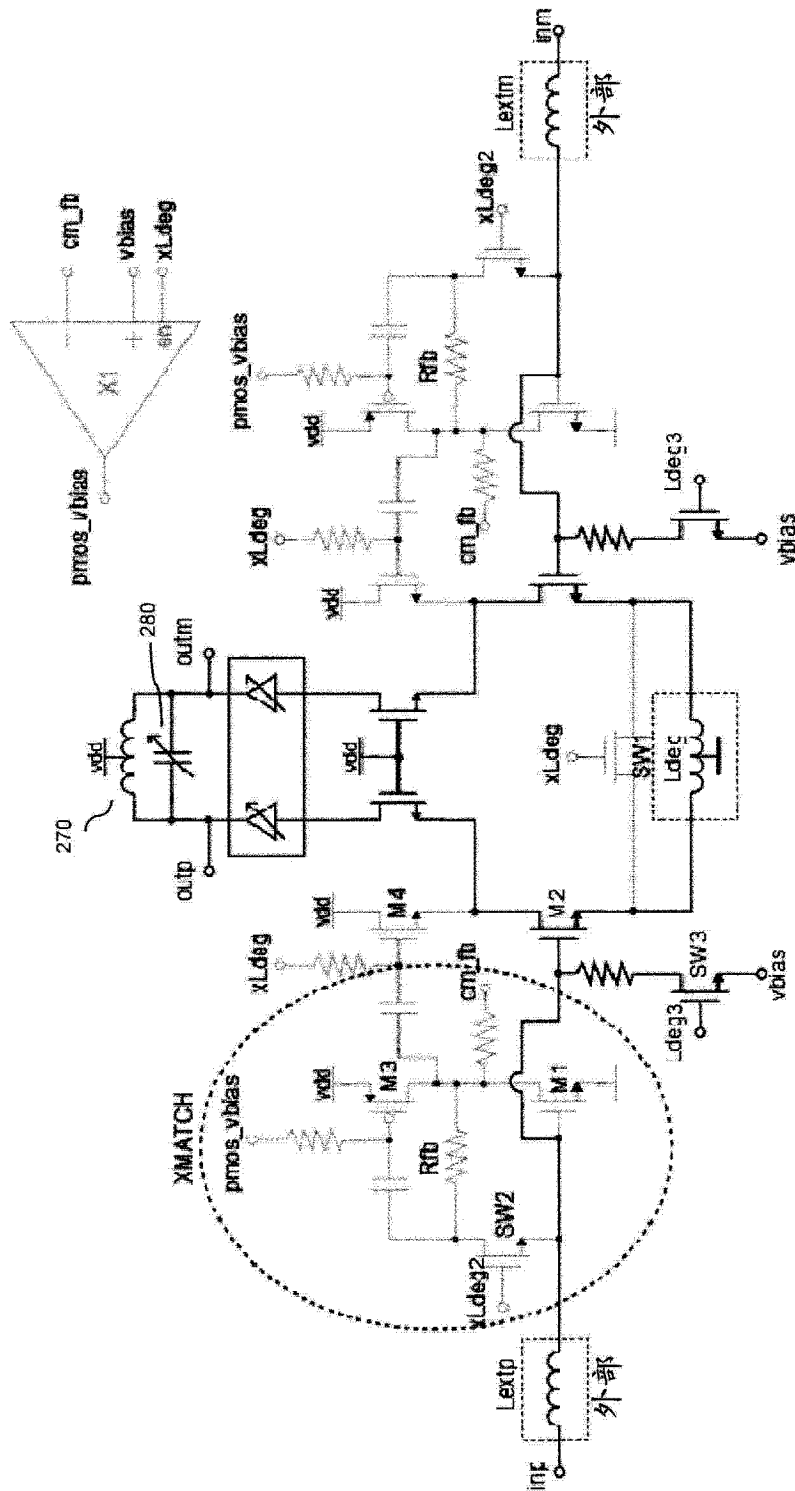


图 20