



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/336 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년08월30일 10-0753558 2007년08월23일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0078730 2006년08월21일 2006년08월21일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 남갑진
 서울 강남구 도곡동 953번지 양재 SK허브프리모 610호

 이명범
 서울 송파구 송파1동 한양아파트 1동 407호

(74) 대리인 박영우

(56) 선행기술조사문헌 JP2006157015 A KR1020020056140 A	KR1020020055885 A KR1020040060290 A
--	--

심사관 : 김상철

전체 청구항 수 : 총 14 항

(54) 씨모스 트랜지스터 및 그 제조 방법

(57) 요약

씨모스 트랜지스터와 그 제조 방법이 개시된다. 반도체 기판의 제1 영역에는 엔모스 트랜지스터를 형성하고, 반도체 기판의 제2 영역에는 피모스 트랜지스터를 형성한다. 여기서, 상기 엔모스 트랜지스터는 게이트 절연막과 면접하는 하부로부터 상부로 갈수록 질소를 더 많이 포함하면서 4.0 내지 4.3eV의 일함수를 갖는 금속으로 이루어지는 게이트 도전막을 포함한다. 그리고, 상기 피모스 트랜지스터는 게이트 절연막과 면접하는 하부로부터 상부로 갈수록 질소를 더 많이 포함하면서 4.7 내지 5.0eV의 일함수를 갖는 금속으로 이루어지는 게이트 도전막을 포함한다.

대표도

도 1

특허청구의 범위

청구항 1.

제1 영역과 제2 영역을 갖는 반도체 기관; 및

상기 반도체 기관의 제1 영역에 형성되는 엔모스 트랜지스터와 상기 반도체 기관의 제2 영역에 형성되는 피모스 트랜지스터를 포함하고,

상기 엔모스 트랜지스터는 상기 반도체 기관 표면 아래에 형성되고, n형 불순물이 도핑된 제1 소스/드레인과, 상기 제1 소스/드레인 사이의 반도체 기관 표면 아래에 위치하는 제1 채널 영역, 및 상기 반도체 기관의 제1 채널 영역 상부에 형성되고, 제1 게이트 절연막과, 상기 제1 게이트 절연막과 면접하는 하부로부터 상부로 갈수록 질소를 더 많이 포함하면서 4.0 내지 4.3eV의 일함수를 갖는 금속으로 이루어지는 제1 게이트 도전막 및 상기 제1 게이트 도전막에 비해 저항이 낮은 물질로 이루어지는 제2 게이트 도전막의 제1 게이트 패턴을 포함하고,

상기 피모스 트랜지스터는 상기 반도체 기관 표면 아래에 형성되고, p형 불순물이 도핑된 제2 소스/드레인과, 상기 제2 소스/드레인 사이의 반도체 기관 표면 아래에 위치하는 제2 채널 영역, 및 상기 반도체 기관의 제2 채널 영역 상부에 형성되고, 제2 게이트 절연막과, 상기 제2 게이트 절연막과 면접하는 하부로부터 상부로 갈수록 질소를 더 많이 포함하면서 4.7 내지 5.0eV의 일함수를 갖는 금속으로 이루어지는 제3 게이트 도전막 및 상기 제3 게이트 도전막에 비해 저항이 낮은 물질로 이루어지는 제4 게이트 도전막의 제2 게이트 패턴을 포함하는 씨모스 트랜지스터.

청구항 2.

제1 항에 있어서, 상기 제1 소스/드레인의 불순물은 포스포러스(P) 또는 아르제닉(Ar)을 포함하고, 상기 제2 소스/드레인은 보론(B)을 포함하는 것을 특징으로 하는 씨모스 트랜지스터.

청구항 3.

제1 항에 있어서, 상기 제1 게이트 도전막은 탄탈륨(Ta), 텅스텐(W), 니켈(Ni), 몰리브덴(Mo), 탄탈륨 실리콘(TaSi), 텅스텐 실리콘(WSi), 티타늄 실리콘(TiSi), 몰리브덴 실리콘(MoSi) 및 니켈 실리콘(NiSi)으로 구성되는 그룹으로부터 선택되는 적어도 어느 하나를 포함함에 따라 4.0 내지 4.3eV의 일함수를 갖도록 조정하고,

상기 제3 게이트 도전막은 티타늄(Ti), 질화 티타늄(TiN), 텅스텐, 니켈, 텅스텐 실리콘, 티타늄 실리콘, 몰리브덴 실리콘, 니켈 실리콘, 루테튬(Ru), 산화 루테튬(RuO), 이리듐(Ir), 산화 이리듐(IrO) 및 백금(Pt)으로 구성되는 그룹으로부터 선택되는 적어도 어느 하나를 포함함에 따라 4.7 내지 5.0eV의 일함수를 갖도록 조정하는 것을 특징으로 하는 씨모스 트랜지스터.

청구항 4.

제1 항에 있어서, 상기 제1 게이트 도전막은 상기 제1 게이트 절연막 상에 형성되는 하부-제1 게이트 도전막과, 상기 하부-제1 게이트 도전막 상에 형성되는 상부-제1 게이트 도전막의 이중 박막 구조를 가지면서 상기 하부-제1 게이트 도전막은 질소를 포함하지 않는 금속으로 이루어지고, 상기 상부-제1 게이트 도전막은 질소를 포함하는 금속으로 이루어지고,

상기 제3 게이트 도전막은 상기 제2 게이트 절연막 상에 형성되는 하부-제3 게이트 도전막과, 상기 하부-제3 게이트 도전막 상에 형성되는 상부-제3 게이트 도전막의 이중 박막 구조를 가지면서 상기 하부-제3 게이트 도전막은 질소를 포함하지 않는 금속으로 이루어지고, 상기 상부-제3 게이트 도전막은 질소를 포함하는 금속으로 이루어지는 것을 특징으로 하는 씨모스 트랜지스터.

청구항 5.

제4 항에 있어서, 상기 하부-제1 게이트 도전막은 탄탈륨, 텅스텐, 니켈, 몰리브덴, 탄탈륨 실리콘, 텅스텐 실리콘, 티타늄 실리콘, 몰리브덴 실리콘 및 니켈 실리콘으로 구성되는 그룹으로부터 선택되는 적어도 어느 하나를 포함함에 따라 4.0 내지 4.3eV의 일함수를 갖도록 조정하고,

상기 하부-제3게이트 도전막은 티타늄, 질화 티타늄, 텅스텐, 니켈, 텅스텐 실리콘, 티타늄 실리콘, 몰리브덴 실리콘, 니켈 실리콘, 루테튬, 산화 루테튬, 이리듐, 산화 이리듐 및 백금으로 구성되는 그룹으로부터 선택되는 적어도 어느 하나를 포함함에 따라 4.7 내지 5.0eV의 일함수를 갖도록 조정하고,

상기 상부-제1 게이트 도전막과 상기 상부-제3 게이트 도전막 각각은 질화 탄탈륨(TiN), 질화 텅스텐(WN), 탄탈륨 질화 실리콘(TaSiN), 텅스텐 질화 실리콘(WSiN), 티타늄 질화 실리콘(TiSiN), 몰리브덴 질화 실리콘(MoSiN), 니켈 질화 실리콘(NiSiN), 질화 루테튬(RuN), 산질화 루테튬(RuON), 질화 이리듐(IrN), 산질화 이리듐(IrON) 및 질화 백금(PtN)으로 구성되는 그룹으로부터 선택되는 어느 하나를 포함하는 것을 특징으로 하는 씨모스 트랜지스터.

청구항 6.

제1 항에 있어서, 상기 제1 게이트 도전막은 단일 박막 구조를 가지면서 상기 제1 게이트 절연막과 면접하는 하부로부터 상기 제2 게이트 도전막과 면접하는 상부로 갈수록 질소를 더 많이 포함하는 금속으로 이루어지고,

상기 제3 게이트 도전막은 단일 박막 구조를 가지면서 상기 제2 게이트 절연막과 면접하는 하부로부터 상기 제4 게이트 도전막과 면접하는 상부로 갈수록 질소를 더 많이 포함하는 금속으로 이루어지고 것을 특징으로 하는 씨모스 트랜지스터.

청구항 7.

제1 영역과 제2 영역을 갖는 반도체 기판 상에 절연막을 형성하는 단계;

상기 제1 영역의 절연막 상에는 상부로 갈수록 질소를 더 많이 포함하면서 4.0 내지 4.3eV의 일함수를 갖는 금속으로 이루어지는 제1 도전막을 형성하는 단계;

상기 제2 영역의 절연막 상에는 상부로 갈수록 질소를 더 많이 포함하면서 4.7 내지 5.0eV의 일함수를 갖는 금속으로 이루어지는 제3 도전막을 형성하는 단계;

상기 제1 도전막과 제3 도전막을 갖는 결과물 상에 상기 제1 도전막과 상기 제3 도전막 각각에 비해 저항이 낮은 물질로 이루어지는 제2 도전막을 형성하는 단계;

상기 제2 도전막, 제1 도전막, 제3 도전막 및 절연막을 패터닝하여 상기 제1 영역의 반도체 기판 상부에는 상기 절연막의 제1 게이트 절연막, 상기 제1 도전막의 제1 게이트 도전막 및 상기 제2 도전막의 제2 게이트 도전막을 포함하는 제1 게이트 패턴을 형성하고, 상기 제2 영역의 반도체 기판 상부에는 상기 절연막의 제2 게이트 절연막, 상기 제3 도전막의 제3 게이트 도전막 및 상기 제2 도전막의 제4 게이트 도전막을 포함하는 제2 게이트 패턴을 형성하는 단계;

상기 제1 게이트 패턴과 인접하는 상기 제1 영역의 반도체 기판의 표면 아래에 n형 불순물을 도핑시켜 제1 소스/드레인을 형성하는 단계;

상기 제2 게이트 패턴과 인접하는 상기 제2 영역의 반도체 기판의 표면 아래에 p형 불순물을 도핑시켜 제2 소스/드레인을 형성하는 단계; 및

고온 처리를 수행하여 상기 n형 불순물과 p형 불순물 각각의 거동을 활성화시키는 단계를 포함하는 씨모스 트랜지스터의 제조 방법.

청구항 8.

제7 항에 있어서, 상기 제1 도전막은 4.0 내지 4.3eV의 일함수를 갖도록 탄탈륨, 텅스텐, 니켈, 몰리브덴, 탄탈륨 실리콘, 텅스텐 실리콘, 티타늄 실리콘, 몰리브덴 실리콘 및 니켈 실리콘으로 구성되는 그룹으로부터 선택되는 적어도 어느 하나를 사용하여 형성하고,

상기 제3 게이트 도전막은 4.7 내지 5.0eV의 일함수를 갖도록 티타늄, 질화 티타늄, 텅스텐, 니켈, 텅스텐 실리콘, 티타늄 실리콘, 몰리브덴 실리콘, 니켈 실리콘, 루테튬, 산화 루테튬, 이리듐, 산화 이리듐 및 백금으로 구성되는 그룹으로부터 선택되는 적어도 어느 하나를 사용하여 형성하는 것을 특징으로 하는 씨모스 트랜지스터의 제조 방법.

청구항 9.

제7 항에 있어서, 상기 제1 도전막을 형성하는 단계는,

상기 제1 영역의 절연막 상에 질소를 포함하지 않는 금속으로 이루어지는 하부-제1 도전막을 형성하는 단계; 및

상기 하부-제1 도전막 상에 질소를 포함하는 금속으로 이루어지는 상부-제1 도전막을 형성하는 단계를 포함하고,

상기 제3 도전막을 형성하는 단계는,

상기 제2 영역의 절연막 상에 질소를 포함하지 않는 금속으로 이루어지는 하부-제3 도전막을 형성하는 단계; 및

상기 하부-제3 도전막 상에 질소를 포함하는 금속으로 이루어지는 상부-제3 도전막을 형성하는 단계를 포함하는 것을 특징으로 하는 씨모스 트랜지스터의 제조 방법.

청구항 10.

제9 항에 있어서, 상기 하부-제1 게이트 도전막은 탄탈륨, 텅스텐, 니켈, 몰리브덴, 탄탈륨 실리콘, 텅스텐 실리콘, 티타늄 실리콘, 몰리브덴 실리콘 및 니켈 실리콘으로 구성되는 그룹으로부터 선택되는 적어도 어느 하나를 사용하여 형성하고,

상기 하부-제3게이트 도전막은 티타늄, 질화 티타늄, 텅스텐, 니켈, 텅스텐 실리콘, 티타늄 실리콘, 몰리브덴 실리콘, 니켈 실리콘, 루테튬, 산화 루테튬, 이리듐, 산화 이리듐 및 백금으로 구성되는 그룹으로부터 선택되는 적어도 어느 하나를 사용하여 형성하고,

상기 상부-제1 게이트 도전막과 상기 상부-제3 게이트 도전막 각각은 질화 탄탈륨, 질화 텅스텐, 탄탈륨 질화 실리콘, 텅스텐 질화 실리콘, 티타늄 질화 실리콘, 몰리브덴 질화 실리콘, 니켈 질화 실리콘, 질화 루테튬, 산질화 루테튬, 질화 이리듐, 산질화 이리듐 및 질화 백금으로 구성되는 그룹으로부터 선택되는 어느 하나를 사용하여 형성하는 것을 특징으로 하는 씨모스 트랜지스터의 제조 방법.

청구항 11.

제7 항에 있어서, 상기 제1 도전막을 형성하는 단계는,

상기 제1 영역의 절연막 상에 질소를 포함하지 않는 금속으로 이루어지는 예비-제1 도전막을 형성하는 단계; 및

상기 예비-제1 도전막을 질화 처리하는 단계를 포함하고,

상기 제3 도전막을 형성하는 단계는,

상기 제2 영역의 절연막 상에 질소를 포함하지 않는 금속으로 이루어지는 예비-제3 도전막을 형성하는 단계; 및

상기 예비-제3 도전막을 질화 처리하는 단계를 포함하는 것을 특징으로 하는 씨모스 트랜지스터의 제조 방법.

청구항 12.

제7 항에 있어서, 상기 제1 도전막을 형성하는 단계는,

상기 제1 도전막을 형성할 때 상기 제1 영역의 절연막 상에 형성되는 시간에 비례하여 질소의 제공을 증가시키고,

상기 제3 도전막을 형성하는 단계는,

상기 제3 도전막을 형성할 때 상기 제2 영역의 절연막 상에 형성되는 시간에 비례하여 질소의 제공을 증가시키는 것을 특징으로 하는 씨모스 트랜지스터의 제조 방법.

청구항 13.

제7 항에 있어서, 상기 n형 불순물은 포스포러스 또는 아르제닉을 포함하고, 상기 p형 불순물은 보론을 포함하고, 상기 n형 불순물과 p형 불순물 각각은 이온 주입을 수행하여 도핑시키는 것을 특징으로 하는 씨모스 트랜지스터의 제조 방법.

청구항 14.

제7 항에 있어서, 상기 고온 처리는 1,000°C 이상의 온도에서 수행하는 것을 특징으로 하는 씨모스 트랜지스터의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 씨모스 트랜지스터 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 엔모스 트랜지스터와 피모스 트랜지스터 각각의 게이트 패턴에 적절한 일함수를 갖는 금속을 용이하게 적용하기 위한 씨모스 트랜지스터 및 그 제조 방법에 관한 것이다.

최근, 씨모스(CMOS) 트랜지스터에 적용하기 위한 게이트 절연막의 경우에는 얇은 등가 산화막 두께(EOT : equivalent oxide thickness)를 유지하면서도 게이트 도전막과 채널 영역 사이에서 발생하는 누설 전류까지도 충분히 줄일 수 있어야 한다. 이에 따라, 상기 씨모스 트랜지스터의 게이트 절연막의 경우에는 고유전율(high-k dielectric)을 갖는 물질을 적용하고 있다.

그러나, 상기 고유전율 물질의 게이트 절연막 상에 폴리 실리콘의 게이트 도전막을 형성할 경우에는 페르미 준위의 피닝(Fermi level pinning) 현상이 빈번하게 발생하고, 그 결과 불순물(dopant)의 거동이 방해받아서 문턱 전압의 비례 함수로 나타나는 플랫폼 전압(flatband voltage : Vfb)을 용이하게 조절하지 못하는 문제점이 발생한다.

그렇지만, 상기 게이트 도전막으로서 금속을 사용하면 페르미 준위의 피닝 현상을 충분히 감소시킬 수 있는 연구 결과가 보고되고 있다. 그리고, 상기 금속의 게이트 도전막의 경우에는 폴리 실리콘의 게이트 도전막에서 빈번하게 발생하는 폴리 공핍 현상(poly depletion effect)으로 인한 등가 산화막 두께의 증가도 충분히 저지할 수 있다.

이에, 최근의 씨모스 트랜지스터의 게이트 패턴은 고유전율 물질의 게이트 절연막과, 금속의 게이트 도전막을 포함하는 구조를 갖는다. 여기서, 상기 게이트 도전막의 금속은 주로 일함수(work function) 조절을 위한 금속과 그 상부에 형성되는 배선으로 사용하기 위한 금속을 포함한다.

그러나, 상기 씨모스 트랜지스터는 엔모스(NMOS) 트랜지스터에 적용하기 위한 금속의 일함수와 피모스(PMOS) 트랜지스터에 적용하기 위한 금속의 일함수를 서로 달리해야 한다.

이에, 상기 엔모스 트랜지스터의 경우에는 약 4.0 내지 4.3eV의 일함수를 갖는 금속을 게이트 패턴으로 적용하고, 상기 피모스 트랜지스터의 경우에는 약 4.7 내지 5.0eV의 일함수를 갖는 금속을 게이트 패턴으로 적용한다. 그 이유는, 상기 엔모스 트랜지스터의 경우에는 게이트 패턴으로서 약 4.0 내지 4.3eV의 일함수를 갖는 금속을 사용할 때 문턱 전압의 조절이 용이하기 때문이고, 상기 피모스 트랜지스터의 경우에는 게이트 패턴으로서 약 4.7 내지 5.0eV의 일함수를 금속을 사용할 때 문턱 전압의 조절이 용이하기 때문이다.

그리고, 상기 씨모스 트랜지스터의 제조에서는 엔모스 트랜지스터와 피모스 트랜지스터 각각의 소스/드레인으로 사용하기 위한 불순물을 반도체 기판에 도핑시킨 이후에 상기 불순물의 거동을 활성화시키기 위한 열처리를 수행한다. 이때, 상기 열처리하는 주로 1,000°C 이상의 고온에서 수행한다.

그러나, 상기 열처리를 수행할 경우에는 상기 씨모스 트랜지스터의 게이트 도전막인 금속의 일함수가 이동하는 상황이 빈번하게 발생한다. 즉, 상기 열처리를 수행한 이후에는 약 4.0 내지 4.3eV의 일함수를 갖는 상기 엔모스 트랜지스터의 금속과 약 4.7 내지 5.0eV의 일함수를 갖는 상기 피모스 트랜지스터의 금속 모두가 약 4.5eV의 일함수를 갖는 상태로 이동하는 것이다. 이는, 상기 열처리를 수행함에 따라 상기 엔모스 트랜지스터와 피모스 트랜지스터 각각에 적용한 게이트 도전막의 일함수 조절을 위한 금속이 배선으로 사용하기 위한 금속과 용이하게 반응하기 때문인 것으로 확인되고 있다.

이와 같이, 상기 씨모스 트랜지스터에서 엔모스 트랜지스터와 피모스 트랜지스터 각각의 게이트 도전막으로 적용하기 위한 금속의 일함수가 원하는 값으로 이동할 경우에는 문턱 전압의 조절이 용이하지 않는 결과를 초래한다. 그리고, 상기 씨모스 트랜지스터의 제조에서 상기 불순물의 거동을 활성화시키기 위한 열처리의 수행을 생략할 수도 없는 실정이다.

그러므로, 현재의 기술로서는 씨모스 트랜지스터의 게이트 도전막으로서 적절한 일함수를 갖는 금속을 적용하기에는 다소 한계가 있는 것이 현실이다.

발명이 이루고자 하는 기술적 과제

본 발명의 일 목적은 게이트 도전막으로서 일함수 특성을 충분하게 유지할 수 있는 금속을 포함하는 씨모스 트랜지스터를 제공하는데 있다.

본 발명의 다른 목적은 언급하고 있는 씨모스 트랜지스터를 용이하게 제조하기 위한 방법을 제공하는데 있다.

발명의 구성

상기 일 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 씨모스 트랜지스터는 제1 영역과 제2 영역을 갖는 반도체 기판 및 상기 반도체 기판의 제1 영역에 형성되는 엔모스 트랜지스터와 상기 반도체 기판의 제2 영역에 형성되는 피모스 트랜지스터를 포함한다.

특히, 상기 씨모스 트랜지스터에서 상기 엔모스 트랜지스터는 상기 반도체 기판 표면 아래에 형성되고, n형 불순물이 도핑된 제1 소스/드레인과, 상기 제1 소스/드레인 사이의 반도체 기판 표면 아래에 위치하는 제1 채널 영역 및 상기 반도체 기판의 제1 채널 영역 상부에 형성되는 제1 게이트 패턴을 포함한다. 그리고, 상기 제1 게이트 패턴은 제1 게이트 절연막과 제1 게이트 도전막 및 제2 게이트 도전막을 포함한다. 여기서, 상기 제1 게이트 도전막은 제1 게이트 절연막과 면접하는 하부로부터 상부로 갈수록 질소를 더 많이 포함하면서 4.0 내지 4.3eV의 일함수를 갖는 금속으로 이루어진다. 또한, 상기 제2 게이트 도전막은 상기 제1 게이트 도전막에 비해 저항이 낮은 물질로 이루어진다.

상기 씨모스 트랜지스터에서 상기 피모스 트랜지스터는 상기 반도체 기판 표면 아래에 형성되고, p형 불순물이 도핑된 제2 소스/드레인과, 상기 제2 소스/드레인 사이의 반도체 기판 표면 아래에 위치하는 제2 채널 영역 및 상기 반도체 기판의 제2 채널 영역 상부에 형성되는 제2 게이트 패턴을 포함한다. 그리고, 상기 제2 게이트 패턴은 제2 게이트 절연막과 제3

게이트 도전막 및 제4 게이트 도전막을 포함한다. 여기서, 상기 제3 게이트 도전막은 상기 제2 게이트 절연막과 면접하는 하부로부터 상부로 갈수록 질소를 더 많이 포함하면서 4.7 내지 5.0eV의 일함수를 갖는 금속으로 이루어진다. 또한, 상기 제4 게이트 도전막은 상기 제3 게이트 도전막에 비해 저항이 낮은 물질로 이루어진다.

그리고, 상기 제1 게이트 도전막과 상기 제3 게이트 도전막 각각은 단일 박막 구조 또는 이중 박막 구조를 가질 수 있다.

상기 제1 게이트 도전막과 상기 제3 게이트 도전막 각각이 이중 박막 구조를 가질 경우, 상기 제1 게이트 도전막은 상기 제1 게이트 절연막 상에 형성되는 하부-제1 게이트 도전막과, 상기 하부-제1 게이트 도전막 상에 형성되는 상부-제1 게이트 도전막을 포함하고, 상기 제3 게이트 도전막은 상기 제2 게이트 절연막 상에 형성되는 하부-제3 게이트 도전막과, 상기 하부-제3 게이트 도전막 상에 형성되는 상부-제3 게이트 도전막을 포함한다. 특히, 상기 하부-제1 게이트 도전막과 상기 하부-제3 게이트 도전막 각각은 질소를 포함하지 않는 금속으로 이루어지고, 상기 상부-제1 게이트 도전막과 상기 상부-제3 게이트 도전막 각각은 질소를 포함하는 금속으로 이루어진다.

상기 제1 게이트 도전막과 상기 제3 게이트 도전막 각각이 단일 박막 구조를 가질 경우, 상기 제1 게이트 도전막은 상기 제1 게이트 절연막과 면접하는 하부로부터 상기 제2 게이트 도전막과 면접하는 상부로 갈수록 질소를 더 많이 포함하는 금속으로 이루어지고, 상기 제3 게이트 도전막은 상기 제2 게이트 절연막과 면접하는 하부로부터 상기 제4 게이트 도전막과 면접하는 상부로 갈수록 질소를 더 많이 포함하는 금속으로 이루어진다.

상기 다른 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 씨모스 트랜지스터의 제조 방법에서는 제1 영역과 제2 영역을 갖는 반도체 기판 상에 절연막을 형성한다. 그리고, 상기 제1 영역의 절연막 상에는 상부로 갈수록 질소를 더 많이 포함하면서 4.0 내지 4.3eV의 일함수를 갖는 금속으로 이루어지는 제1 도전막을 형성하고, 상기 제2 영역의 절연막 상에는 상부로 갈수록 질소를 더 많이 포함하면서 4.7 내지 5.0eV의 일함수를 갖는 금속으로 이루어지는 제3 도전막을 형성한다. 이어서, 상기 제1 도전막과 제3 도전막을 갖는 결과물 상에 상기 제1 도전막과 상기 제3 도전막 각각에 비해 저항이 낮은 물질로 이루어지는 제2 도전막을 형성한다. 그리고, 상기 제2 도전막, 제1 도전막, 제3 도전막 및 절연막을 패터닝한다.

이에, 상기 제1 영역의 반도체 기판 상부에는 상기 절연막의 제1 게이트 절연막, 상기 제1 도전막의 제1 게이트 도전막 및 상기 제2 도전막의 제2 게이트 도전막을 포함하는 제1 게이트 패턴이 형성되고, 상기 제2 영역의 반도체 기판 상부에는 상기 절연막의 제2 게이트 절연막, 상기 제3 도전막의 제3 게이트 도전막 및 상기 제2 도전막의 제4 게이트 도전막을 포함하는 제2 게이트 패턴이 형성된다.

계속해서, 상기 제1 게이트 패턴과 인접하는 상기 제1 영역의 반도체 기판의 표면 아래에 n형 불순물을 도핑시켜 제1 소스/드레인을 형성하고, 상기 제2 게이트 패턴과 인접하는 상기 제2 영역의 반도체 기판의 표면 아래에 p형 불순물을 도핑시켜 제2 소스/드레인을 형성한다. 그리고, 고온 처리를 수행하여 상기 n형 불순물과 p형 불순물 각각의 거동을 활성화시킨다.

여기서, 상기 제1 도전막과 상기 제3 도전막 각각이 이중 박막 구조를 가질 경우, 상기 제1 도전막은 상기 제1 영역의 절연막 상에 질소를 포함하지 않는 금속으로 이루어지는 하부-제1 도전막을 형성한 후, 상기 하부-제1 도전막 상에 질소를 포함하는 금속으로 이루어지는 상부-제1 도전막을 형성하여 수득하고, 상기 제3 도전막은 상기 제2 영역의 절연막 상에 질소를 포함하지 않는 금속으로 이루어지는 하부-제3 도전막을 형성한 후, 상기 하부-제3 도전막 상에 질소를 포함하는 금속으로 이루어지는 상부-제3 도전막을 형성하여 수득한다.

그리고, 상기 제1 도전막과 상기 제3 도전막 각각이 단일 박막 구조를 가질 경우, 상기 제1 도전막은 상기 제1 영역의 절연막 상에 질소를 포함하지 않는 금속으로 이루어지는 예비-제1 도전막을 형성한 후, 상기 예비-제1 도전막을 질화 처리하여 수득하거나 또는 상기 제1 도전막을 형성할 때 상기 제1 영역의 절연막 상에 형성되는 시간에 비례하여 질소의 제공을 증가시켜 수득한다. 또한, 상기 제3 도전막은 상기 제2 영역의 절연막 상에 질소를 포함하지 않는 금속으로 이루어지는 예비-제3 도전막을 형성한 후, 상기 예비-제3 도전막을 질화 처리하여 수득하거나 또는 상기 제3 도전막을 형성할 때 상기 제2 영역의 절연막 상에 형성되는 시간에 비례하여 질소의 제공을 증가시켜 수득한다.

언급한 본 발명에서는 고온 처리를 수행하여도 제1 게이트 도전막과 제3 게이트 도전막 각각이 갖는 일함수가 거의 이동하지 않는다. 이에, 본 발명의 씨모스 트랜지스터는 적절한 일함수를 갖는 금속을 용이하게 적용할 수 있다. 그러므로, 본 발명은 전기적 성능이 우수한 씨모스 트랜지스터의 제공이 가능하다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 박막 및 영역들의 두께와 크기 등은 그 명확성을 기하기 위하여 과장되어진 것이다. 또한, 박막이 다른 박막 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 박막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3 박막이 개재될 수도 있다.

도 1은 본 발명의 일 실시예에 따른 씨모스 트랜지스터를 나타내는 개략적인 단면도이다.

도 1을 참조하면, 씨모스 트랜지스터(100)는 반도체 기판(10)의 제1 영역에 형성되는 엔모스 트랜지스터와 상기 반도체 기판(10)의 제2 영역에 형성되는 피모스 트랜지스터를 포함한다.

상기 엔모스 트랜지스터는 단위 셀로서 제1 소스/드레인(16a, 16b)과 제1 채널 영역(20) 및 제1 게이트 패턴(17)을 포함한다. 여기서, 상기 제1 게이트 패턴(17)은 제1 게이트 절연막(12)과 제1 게이트 도전막(13) 및 제2 게이트 도전막(15)을 포함한다. 그리고, 상기 피모스 트랜지스터는 단위 셀로서 제2 소스/드레인(56a, 56b)과 제2 채널 영역(60) 및 제2 게이트 패턴(57)을 포함한다. 여기서, 상기 제2 게이트 패턴(57)은 제2 게이트 절연막(52)과 제3 게이트 도전막(53) 및 제4 게이트 도전막(55)을 포함한다.

구체적으로, 상기 반도체 기판(10)의 예로서는 실리콘 기판, 실리콘-온-인슐레이터(silicon on insulator : SOI) 기판, 게르마늄 기판, 게르마늄-온-인슐레이터(germanium on insulator : GOI) 기판, 실리콘-게르마늄 기판 등을 들 수 있다. 그리고, 본 실시예에서는 상기 반도체 기판(10)으로서 실리콘 기판을 주로 사용한다.

그리고, 상기 엔모스 트랜지스터가 위치하는 반도체 기판(10)의 제1 영역에는 상기 반도체 기판(10)에 저농도의 p형 불순물이 도핑되는 p형 웰이 형성되고, 상기 피모스 트랜지스터가 위치하는 반도체 기판(10)의 제2 영역에는 저농도의 n형 불순물이 도핑된 n형 웰이 형성된다.

또한, 상기 제1 게이트 패턴(17)과 상기 제2 게이트 패턴(57) 각각은 상기 반도체 기판(10)의 액티브 영역 상에 형성된다. 그러므로, 상기 반도체 기판(10)에는 언급한 액티브 영역을 한정하기 위한 소자 분리막(18)이 형성된다. 여기서, 상기 소자 분리막(18)은 필드 영역에 해당한다. 특히, 상기 소자 분리막(18)의 경우에는 집적도 관점에서 보다 유리한 트렌치 소자 분리막을 형성한다.

그리고, 상기 씨모스 트랜지스터(100)에서 상기 엔모스 트랜지스터는 전하 캐리어로서 자유 전자를 사용하고, 상기 피모스 트랜지스터는 전하 캐리어로서 정공을 사용한다. 그러므로, 상기 엔모스 트랜지스터의 경우에는 상기 제1 게이트 패턴(17)과 인접하는 반도체 기판(10)의 표면 아래에 전하 캐리어로서 자유 전자의 생성이 가능한 n형 불순물을 도핑시켜 취득하는 제1 소스/드레인(16a, 16b)을 포함하고, 상기 피모스 트랜지스터의 경우에는 상기 제2 게이트 패턴(57)과 인접하는 반도체 기판(10)의 표면 아래에 전하 캐리어로서 정공의 생성이 가능한 p형 불순물을 도핑시켜 취득하는 제2 소스/드레인(56a, 56b)을 포함한다.

여기서, 상기 제1 소스/드레인(16a, 16b)의 n형 불순물과 상기 제2 소스/드레인(56a, 56b)의 p형 불순물 각각은 이온 주입, 확산 등에 의해 도핑시킬 수 있다. 그리고, 본 실시예에서는 상기 n형 불순물과 p형 불순물 각각을 이온 주입을 수행하여 도핑시킨다. 또한, 상기 n형 불순물의 예로서는 포스포러스(P), 아르제닉(Ar) 등을 들 수 있고, 상기 p형 불순물의 예로서는 보론(B) 등을 들 수 있다.

이와 같이, 상기 반도체 기판(10)의 제1 영역의 표면 아래에 제1 소스/드레인(16a, 16b)을 형성함으로써 상기 제1 소스/드레인(16a, 16b) 사이의 반도체 기판(10)에는 제1 채널 영역(20)이 위치하고, 상기 반도체 기판(10)의 제2 영역의 표면 아래에 제2 소스/드레인(56a, 56b)을 형성함으로써 상기 제2 소스/드레인(56a, 56b) 사이의 반도체 기판(10)에는 제2 채널 영역(60)이 위치한다.

이에 따라, 상기 엔모스 트랜지스터의 제1 게이트 패턴(17)은 상기 반도체 기판(10)의 제1 채널 영역(20) 상부에 위치하고, 상기 피모스 트랜지스터의 제2 게이트 패턴(57)은 상기 반도체 기판(10)의 제2 채널 영역(60) 상부에 위치한다.

그리고, 상기 제1 게이트 패턴(17)의 제1 게이트 절연막(12)은 얇은 등가 산화막 두께를 유지하면서도 제1 게이트 도전막(13)과 제1 채널 영역(20) 사이의 누설 전류까지도 충분히 줄일 수 있어야 한다. 마찬가지로, 상기 제2 게이트 패턴(57)의 제2 게이트 절연막(52)은 얇은 등가 산화막 두께를 유지하면서도 제3 게이트 도전막(53)과 제2 채널 영역(60) 사이의 누설 전류까지도 충분히 줄일 수 있어야 한다.

그러므로, 상기 제1 게이트 절연막(12)과 제2 게이트 절연막(52) 각각은 주로 고유전율을 갖는 금속 산화물을 사용한다. 아울러, 경우에 따라서는 금속 산질화물을 사용하기도 한다. 여기서, 상기 제1 게이트 절연막(12)과 상기 제2 게이트 절연막(52)으로 형성할 수 있는 물질의 예로서는 실리콘 산화물, 실리콘 산질화물, 하프늄 산화물, 하프늄 산질화물, 하프늄 실리콘 산질화물, 지르코늄 산화물, 지르코늄 산질화물, 지르코늄 실리콘 산질화물, 탄탈륨 산화물, 탄탈륨 산질화물, 탄탈륨 실리콘 산질화물, 알루미늄 산화물, 알루미늄 산질화물, 알루미늄 실리콘 산질화물, 티타늄 산화물, 티타늄 산질화물, 티타늄 실리콘 산질화물 등을 들 수 있다. 이들은 단독으로 사용하거나 둘 이상을 혼합하여 사용할 수 있다. 또한, 상기 제1 게이트 절연막(12)과 제2 게이트 절연막(52)은 상기 제1 게이트 절연막(12)과 제2 게이트 절연막(52)을 수득하기 위한 공정 순서를 고려할 때 서로 동일한 물질로 이루어지는 것이 바람직하다.

그리고, 상기 엔모스 트랜지스터의 제1 게이트 패턴(17)에서 상기 제1 게이트 도전막(13)은 일함수를 조절하는 용도로 사용하고, 상기 제2 게이트 도전막(15)은 워드 라인의 배선 용도로 사용한다. 또한, 상기 피모스 트랜지스터의 제2 게이트 패턴(57)에서 상기 제3 게이트 도전막(53)은 일함수를 조절하는 용도로 사용하고, 상기 제4 게이트 도전막(55)은 워드 라인의 배선 용도로 사용한다.

구체적으로, 상기 제1 게이트 도전막(13)과 제3 게이트 도전막(53)은 언급한 일함수를 조절하는 용도로 사용하는 것으로 써, 상기 제1 게이트 도전막(13)은 4.0 내지 4.3eV의 일함수를 갖는 금속으로 이루어지고, 상기 제3 게이트 도전막(53)은 4.7 내지 5.0eV의 일함수를 갖는 금속으로 이루어진다. 그 이유는, 상기 제1 게이트 도전막(13)이 4.0 내지 4.3eV의 일함수를 갖는 금속으로 이루어질 때 엔모스 트랜지스터의 문턱 전압의 조절이 용이하고, 상기 제3 게이트 도전막(53)이 4.7 내지 5.0eV의 일함수를 갖는 금속으로 이루어질 때 피모스 트랜지스터의 문턱 전압의 조절이 용이하기 때문이다.

그리고, 상기 제1 게이트 도전막(13)으로 형성할 수 있는 물질의 예로서는 탄탈륨(Ta), 텅스텐(W), 니켈(Ni), 몰리브덴(Mo), 탄탈륨 실리콘(TaSi), 텅스텐 실리콘(WSi), 티타늄 실리콘(TiSi), 몰리브덴 실리콘(MoSi), 니켈 실리콘(NiSi) 등을 들 수 있고, 이들을 적절하게 조합하여 4.0 내지 4.3eV의 일함수를 갖도록 조정한다. 또한, 상기 제3 게이트 도전막(53)으로 형성할 수 있는 물질의 예로서는 티타늄(Ti), 질화 티타늄(TiN), 텅스텐, 니켈, 텅스텐 실리콘, 티타늄 실리콘, 몰리브덴 실리콘, 니켈 실리콘, 루테튬(Ru), 산화 루테튬(RuO), 이리듐(Ir), 산화 이리듐(IrO), 백금(Pt) 등을 들 수 있고, 이들을 적절하게 조합하여 4.7 내지 5.0eV의 일함수를 갖도록 조정한다.

특히, 상기 엔모스 트랜지스터의 제1 게이트 도전막(13)으로 사용이 적절한 금속의 예로서는 탄탈륨 실리콘 등을 들 수 있고, 상기 피모스 트랜지스터의 제3 게이트 도전막(53)으로 사용이 적절한 금속의 예로서는 질화 티타늄 등을 들 수 있다.

더불어, 본 실시예에서의 상기 제1 게이트 도전막(13)은 상기 제1 게이트 절연막(12)과 면접하는 하부로부터 상기 제2 게이트 도전막(15)과 면접하는 상부로 갈수록 질소를 더 많이 포함하는 금속으로 이루어진다. 또한, 상기 제3 게이트 도전막(53)도 상기 제2 게이트 절연막(52)과 면접하는 하부로부터 상기 제4 게이트 도전막(55)과 면접하는 상부로 갈수록 질소를 더 많이 포함하는 금속으로 이루어진다. 이와 같이, 상기 제1 게이트 도전막(13)과 제3 게이트 도전막(53) 각각에 포함되는 질소의 분포를 조절하는 것은 상기 제1 소스/드레인(16a, 16b)으로 사용하기 위한 불순물과 제2 소스/드레인(56a, 56b)으로 사용하기 위한 불순물을 상기 반도체 기판(10)에 도핑시킨 이후에 상기 불순물의 거동을 활성화시키기 위한 열처리를 수행할 때 상기 제1 게이트 도전막(13)과 제2 게이트 도전막(15) 그리고 상기 제3 게이트 도전막(53)과 제4 게이트 도전막(55)이 반응하는 것을 저지하기 위함이다. 즉, 상기 제2 게이트 도전막(15)과 면접하는 제1 게이트 도전막(13) 부위 그리고 상기 제4 게이트 도전막(55)과 면접하는 제3 게이트 도전막(53) 부위 각각에 상기 질소를 더 많이 분포시킴으로써 상기 열처리를 수행할 때 상기 질소가 상기 제1 게이트 도전막(13)과 제2 게이트 도전막(15) 그리고 상기 제3 게이트 도전막(53)과 제4 게이트 도전막(55)이 서로 반응하는 것을 저지하는 것이다.

이와 같이, 본 실시예에서는 일함수를 조절하는 용도로 사용하기 위한 엔모스 트랜지스터의 제1 게이트 도전막(13)과 피모스 트랜지스터의 제3 게이트 도전막(53) 각각을 하부로부터 상부로 갈수록 질소를 더 많이 포함하는 금속으로 형성함으로써 상기 불순물의 거동을 활성화시키기 위한 열처리를 수행하여도 상기 일함수가 이동하는 것을 충분히 방지할 수 있다.

또한, 상기 제1 게이트 절연막(12)과 면접하는 제1 게이트 도전막(13) 부위 그리고 상기 제2 게이트 절연막(52)과 면접하는 제3 게이트 도전막(53) 부위 각각에 상기 질소가 분포하는 것을 생략하거나 거의 분포시키지 않는 것은 상기 제1 게이트 도전막(13)의 전기적 성능과 제3 게이트 도전막(53)의 전기적 성능을 충분하게 확보하기 위함이다.

그리고, 상기 제1 게이트 도전막(13)과 제3 게이트 도전막(53) 각각은 이중 박막 구조 또는 단일 박막 구조를 가질 수 있다. 특히, 본 실시예의 경우에는 도 1에서와 같이 이중 박막 구조의 제1 게이트 도전막(13)과 제3 게이트 도전막(53)을 도시하고 있다.

여기서, 상기 제1 게이트 도전막(13)과 제3 게이트 도전막(53) 각각이 이중 박막 구조를 가질 경우에는 상기 제1 게이트 도전막(13)은 상기 제1 게이트 절연막(12) 상에 형성되는 하부-제1 게이트 도전막(13a)과 상기 하부-제1 게이트 도전막(13a) 상에 형성되는 상부-제1 게이트 도전막(13b)을 포함하고, 상기 제3 게이트 도전막(53)은 상기 제2 게이트 절연막(52) 상에 형성되는 하부-제3 게이트 도전막(53a)과 상기 하부-제3 게이트 도전막(53a) 상에 형성되는 상부-제3 게이트 도전막(53b)을 포함한다. 그리고, 상기 하부-제1 게이트 도전막(13a)과 하부-제3 게이트 도전막(53a) 각각은 질소를 포함하지 않는 금속으로 이루어지고, 상기 상부-제1 게이트 도전막(13b)과 상부-제3 게이트 도전막(53b) 각각은 질소를 포함하는 금속으로 이루어진다.

상기 하부-제1 게이트 도전막(13a)은 엔모스 트랜지스터에 포함되기 때문에 상기 하부-제1 게이트 도전막(13a)으로 사용할 수 있는 물질의 예로서는 탄탈륨, 텅스텐, 니켈, 몰리브덴, 탄탈륨 실리콘, 텅스텐 실리콘, 티타늄 실리콘, 몰리브덴 실리콘, 니켈 실리콘 등을 들 수 있고, 이들을 적절하게 조합하여 4.0 내지 4.3eV의 일함수를 갖도록 조정한다. 그리고, 상기 하부-제3 게이트 도전막(53a)은 피모스 트랜지스터에 포함되기 때문에 상기 하부-제3 게이트 도전막(53a)으로 사용할 수 있는 물질의 예로서는 티타늄, 질화 티타늄, 텅스텐, 니켈, 텅스텐 실리콘, 티타늄 실리콘, 몰리브덴 실리콘, 니켈 실리콘, 루테튬, 산화 루테튬, 이리듐, 산화 이리듐, 백금 등을 들 수 있고, 이들을 적절하게 조합하여 4.7 내지 5.0eV의 일함수를 갖도록 조정한다. 또한, 상기 상부-제1 게이트 도전막(13b)과 상기 상부-제3 게이트 도전막(53b)으로 사용할 수 있는 물질의 예로서는 질화 탄탈륨(TiN), 질화 텅스텐(WN), 탄탈륨 질화 실리콘(TaSiN), 텅스텐 질화 실리콘(WSiN), 티타늄 질화 실리콘(TiSiN), 몰리브덴 질화 실리콘(MoSiN), 니켈 질화 실리콘(NiSiN), 질화 루테튬(RuN), 산질화 루테튬(RuON), 질화 이리듐(IrN), 산질화 이리듐(IrON), 질화 백금(PtN) 등을 들 수 있고, 이들은 단독으로 사용하거나 둘 이상을 혼합하여 사용할 수도 있다.

아울러, 상기 씨모스 트랜지스터(100)에서 엔모스 트랜지스터에 적용하는 제1 게이트 도전막(13)의 하부-제1 게이트 도전막(13a)과 피모스 트랜지스터에 적용하는 제3 게이트 도전막(53)의 하부-제3 게이트 도전막(53a)은 그 물질의 종류를 달리하지만, 상기 제1 게이트 도전막(13)의 상부-제1 게이트 도전막(13b)과 상기 제3 게이트 도전막(53)의 상부-제3 게이트 도전막(53b)은 그 물질의 종류를 달리하거나 동일하게 구성하여도 무방하다. 이는, 상기 제1 게이트 도전막(13)의 하부-제1 게이트 도전막(13a)과 상기 제3 게이트 도전막(53)의 하부-제3 게이트 도전막(53a) 각각이 일함수 조절을 위한 용도에 직접적으로 기여하기 때문이다.

또한, 상기 제1 게이트 도전막(13)과 제3 게이트 도전막(53) 각각이 단일 박막 구조를 가질 경우에는 상기 제1 게이트 도전막(13)은 상기 제1 게이트 절연막(12)과 면접하는 하부로부터 상기 제2 게이트 도전막(15)과 면접하는 상부로 갈수록 질소를 더 많이 포함하는 금속으로 이루어지고, 상기 제3 게이트 도전막(53)은 상기 제2 게이트 절연막(52)과 면접하는 하부로부터 상기 제4 게이트 도전막(55)과 면접하는 상부로 갈수록 질소를 더 많이 포함하는 금속으로 이루어진다. 여기서, 상기 제1 게이트 도전막(13)이 갖는 질소의 분포와 제3 게이트 도전막(53)이 갖는 질소의 분포 각각은 상기 제1 게이트 도전막(13)과 제3 게이트 도전막(53) 각각을 형성할 때 공정 조건을 조절하거나 또는 상기 제1 게이트 도전막(13)과 제3 게이트 도전막(53) 각각을 형성한 이후에 질화 처리를 수행하여 조절할 수 있다.

언급한 바와 같이, 본 실시예에서는 상기 제1 게이트 도전막(13)과 제3 게이트 도전막(53) 모두가 이중 박막 구조 또는 단일 박막 구조를 갖는 경우에 대해서만 설명하고 있지만, 이와 달리 상기 제1 게이트 도전막(13)이 이중 박막 구조를 갖고, 상기 제3 게이트 도전막(53)이 단일 박막 구조를 갖거나 또는 상기 제1 게이트 도전막(13)이 단일 박막 구조를 갖고, 상기 제3 게이트 도전막(53)이 이중 박막 구조를 가질 수도 있다.

그리고, 상기 제2 게이트 도전막(15)과 제4 게이트 도전막(55) 각각은 언급한 워드 라인의 배선 용도로 사용하는 것으로 써, 상기 제1 게이트 도전막(13)과 제3 게이트 도전막(53) 각각에 비해 저항이 낮은 물질로 이루어진다. 상기 제2 게이트 도전막(15)과 제4 게이트 도전막(55)으로 사용하기 위한 물질의 예로서는 저항이 낮은 금속인 텅스텐, 알루미늄 등을 들 수 있다. 아울러, 상기 제2 게이트 도전막(15)과 제4 게이트 도전막(55) 각각은 금속이 아닌 폴리 실리콘으로 형성하는 것도 가능하다.

이와 같이, 본 발명에 의하면 제1 게이트 도전막(13)과 제3 게이트 도전막(53) 각각을 하부로부터 상부로 갈수록 질소를 더 많이 포함하는 금속으로 형성함으로써 후속 공정에 의해 일함수가 이동하는 것을 충분히 방지할 수 있다. 그러므로, 본 발명은 4.0 내지 4.3eV의 일함수를 갖는 금속을 포함하는 제1 게이트 패턴(17)의 엔모스 트랜지스터와 4.7 내지 5.0eV의 일함수를 갖는 금속을 포함하는 제2 게이트 패턴(57)의 피모스 트랜지스터를 갖는 씨모스 트랜지스터(100)를 용이하게 구현하고, 활용할 수 있다.

이하, 언급한 씨모스 트랜지스터를 제조하기 위한 방법에 대하여 설명하기로 한다.

도 2a 내지 도 2i는 도 1의 씨모스 트랜지스터를 제조하는 방법을 나타내는 개략적인 단면도들이다. 그리고, 도 2a 내지 도 2i에서는 도 1과 동일한 부재들에 대해서 동일한 참조 부호를 사용한다.

먼저, 도시하지는 않았지만 반도체 기판에 저농도의 불순물을 도핑시켜 웰을 형성한다. 이때, 씨모스 트랜지스터에서 엔모스 트랜지스터를 형성하기 위한 엔모스 영역의 반도체 기판에는 저농도의 p형 불순물을 도핑시켜 p형 웰을 형성하고, 피모스 트랜지스터를 형성하기 위한 피모스 영역의 반도체 기판에는 저농도의 n형 불순물을 도핑시켜 n형 웰을 형성한다.

그리고, 도 2a를 참조하면, 상기 반도체 기판(10)에 소자 분리막(18)을 형성한다. 이에 따라, 반도체 기판(10)은 액티브 영역과 필드 영역으로 구분된다. 여기서, 상기 소자 분리막(18)은 집적도 관점을 고려함에 의해 트렌치 소자 분리막을 형성한다.

도 2b를 참조하면, 상기 반도체 기판(10) 상에 절연막(32)을 형성한다. 여기서, 상기 절연막(32)은 언급한 엔모스 트랜지스터의 제1 게이트 절연막으로 형성하고, 피모스 트랜지스터의 제2 게이트 절연막으로 형성하기 위한 것이다. 그러므로, 상기 절연막(32)은 금속 산화물 또는 금속 산질화물을 사용하여 형성하고, 약 20Å 이하의 등가 산화막 두께를 갖도록 형성한다. 아울러, 상기 금속 산화물 또는 금속 산질화물의 절연막(32)은 원자층 적층 공정 또는 화학기상증착 공정을 을 수행하여 형성한다.

여기서, 엔모스 트랜지스터의 제1 게이트 절연막과 피모스 트랜지스터의 제2 게이트 절연막으로 수득하기 위한 절연막(32)은 동일 공정에 의해 형성하는데, 그 이유는 공정 순서를 고려할 때 보다 유익하기 때문이다.

계속해서, 상기 절연막(32)을 형성한 후, 상기 절연막(32)의 안정화를 위한 처리를 수행한다. 상기 안정화 처리를 수행하는 것은 상기 절연막(32)에 존재하는 디펙(defect) 등을 치유하기 위함이다. 아울러, 상기 안정화 처리는 산소 분위기 또는 질소 분위기에서 열처리를 수행함에 의해 달성할 수 있다. 또한, 상기 안정화 처리는 플라즈마 처리 또는 오존 처리 등을 수행함에 의해 달성할 수도 있다.

그리고, 언급한 엔모스 트랜지스터의 제1 게이트 도전막과 피모스 트랜지스터의 제3 게이트 도전막 각각은 이중 박막 구조를 갖거나 단일 박막 구조를 가질 수 있다. 그러나, 본 실시예에서는 상기 제1 게이트 도전막과 제3 게이트 도전막 각각을 이중 박막 구조를 갖도록 형성한다.

먼저, 도 2c를 참조하면, 상기 엔모스 영역의 절연막(32) 상에만 하부-제1 도전막(33a)을 형성한다. 여기서, 상기 하부-제1 도전막(33a)은 언급한 하부-제1 게이트 도전막으로 수득하기 위한 것이다. 그러므로, 상기 제1 하부-도전막(33a)은 질소를 포함하지 않는 금속을 사용하여 형성한다. 특히, 상기 하부-제1 도전막(33a)은 엔모스 트랜지스터에 적용하기 위한 것으로서 약 4.0 내지 4.3eV의 일함수를 갖는 금속을 사용하여 형성한다. 이에, 본 실시예에서는 탄탈륨 실리콘을 사용하여 상기 하부-제1 도전막(33a)을 형성한다. 또한, 상기 하부-제1 도전막(33a)은 화학기상증착 공정을 수행한 후, 포토리소그래피 공정을 수행하여 형성한다. 특히, 상기 엔모스 영역의 절연막(32) 상에만 하부-제1 도전막(33a)을 형성하기 위한 포토리소그래피 공정에서는 식각 마스크로서 포토레지스트 패턴 뿐만 아니라 하드 마스크 패턴을 사용할 수도 있다. 상기 하드 마스크 패턴으로 사용할 수 있는 물질의 예로서는 실리콘 질화물, 폴리 실리콘 등을 들 수 있다.

이어서, 도 2d를 참조하면, 상기 피모스 영역의 절연막(32) 상에만 하부-제3 도전막(73a)을 형성한다. 여기서, 상기 하부-제3 도전막(73a)은 언급한 하부-제3 게이트 도전막으로 수득하기 위한 것이다. 그러므로, 상기 제3 하부-도전막(73a)은 질소를 포함하지 않는 금속을 사용하여 형성한다. 특히, 상기 하부-제3 도전막(73a)은 피모스 트랜지스터에 적용하기 위한 것으로서 약 4.7 내지 5.0eV의 일함수를 갖는 금속을 사용하여 형성한다. 이에, 본 실시예에서는 티타늄을 사용하여 상기 하부-제3 도전막(73a)을 형성한다. 또한, 상기 하부-제3 도전막(73a)의 경우에도 화학기상증착 공정을 수행한 후, 포

토리소그래피 공정을 수행하여 형성한다. 특히, 상기 피모스 영역의 절연막(32) 상에만 하부-제3 도전막(73a)을 형성하기 위한 포토리소그래피 공정에서는 식각 마스크로써 포토레지스트 패턴 뿐만 아니라 하드 마스크 패턴을 사용할 수도 있다. 마찬가지로, 상기 하드 마스크 패턴으로 사용할 수 있는 물질의 예로서는 실리콘 질화물, 폴리 실리콘 등을 들 수 있다.

계속해서, 도 2e를 참조하면, 상기 하부-제1 도전막(33a)과 하부-제3 도전막(73a) 각각을 형성한 후, 상기 하부-제1 도전막(33a)과 하부-제3 도전막(73a) 상에 상부-제1 도전막(33b)과 상부-제3 도전막(73b)을 형성한다. 여기서, 상기 상부-제1 도전막(33b)은 언급한 상부-제1 게이트 도전막으로 수득하기 위한 것이고, 상기 상부-제3 도전막(73b)은 언급한 상부-제3 게이트 도전막으로 수득하기 위한 것이다. 그리고, 상기 상부-제1 도전막(33b)과 상부-제3 도전막(73b)은 질소를 포함하면서 서로 다른 종류의 금속을 사용하여 형성할 수도 있으나, 공정 순서를 고려할 때 질소를 포함하는 동일한 종류의 금속을 사용하여 형성하는 것이 바람직하다. 즉, 상기 하부-제1 도전막(33a)과 하부-제3 도전막(73a)을 갖는 결과물 상에 질소를 포함하는 동일한 금속을 사용하고, 동일한 공정을 수행하여 상기 상부-제1 도전막(33b)과 상부-제3 도전막(73b)을 동시에 형성하는 것이다. 또한, 본 실시예에서는 편의상 상부-제1 도전막(33b)과 상부-제3 도전막(73b)으로 구분하고 있으나, 상기 상부-제1 도전막(33b)과 상부-제3 도전막(73b)은 실질적으로 동일한 공정을 수행하여 수득하는 동일한 박막이다. 또한, 상기 상부-제1 도전막(33b)과 상부-제3 도전막(73b)은 화학기상증착 공정을 수행하여 형성한다. 아울러, 상기 상부-제1 도전막(33b)과 상부-제3 도전막(73b)으로 형성할 수 있는 금속의 예로서는 언급한 질화 탄탈륨, 질화 텅스텐, 질화 니켈, 탄탈륨 질화 실리콘, 텅스텐 질화 실리콘, 티타늄 질화 실리콘, 몰리브덴 질화 실리콘, 니켈 질화 실리콘, 질화 루테튬, 산질화 루테튬, 질화 이리듐, 산질화 이리듐, 질화 백금 등을 들 수 있다. 이들 또한 단독으로 사용하거나 둘 이상을 혼합하여 사용할 수 있다. 특히, 본 실시예에서는 상기 상부-제1 도전막(33b)과 상부-제3 도전막(73b)을 질화 탄탈륨 실리콘을 사용하여 형성한다.

이와 같이, 도 2c 내지 도 2e에서 설명한 공정을 수행함으로써 엔모스 영역의 반도체 기판(10) 상부에는 하부-제1 도전막(33a)과 상부-제1 도전막(33b)의 제1 도전막(33)이 형성되고, 피모스 영역의 반도체 기판(10) 상부에는 하부-제3 도전막(73a)과 상부-제3 도전막(73b)의 제3 도전막(73)이 형성된다.

언급한 본 실시예에서는 상기 제1 도전막(33)과 제3 도전막(73) 각각을 이중 박막 구조를 갖도록 형성하는 방법에 대하여 설명하고 있지만, 아래에서는 다른 실시예로서 상기 제1 도전막과 제3 도전막 각각을 단일 박막 구조를 갖도록 형성하는 방법에 대하여 설명한다. 특히, 상기 단일 박막 구조의 제1 도전막과 제3 도전막 각각은 인-시튜(in-situ) 또는 엑스-시튜(ex-situ)로 형성할 수 있다.

상기 엑스-시튜로 형성하는 방법의 경우에는 상기 엔모스 영역의 절연막 상에 질소를 포함하지 않는 금속으로 이루어지는 예비-제1 도전막을 그리고 상기 피모스 영역의 절연막 상에 질소를 포함하지 않는 금속으로 이루어지는 예비-제3 도전막을 형성한 후, 상기 예비-제1 도전막과 예비-제3 도전막 각각을 질화 처리함으로써 제1 도전막과 제3 도전막 각각을 형성한다. 이때, 상기 질화 처리는 주로 플라즈마 처리에 의해 달성할 수 있다.

그리고, 상기 인-시튜로 형성하는 방법의 경우에는 상기 엔모스 영역의 절연막 상에 상기 제1 도전막이 형성되는 시간에 비례하여 질소의 제공을 증가시킴으로써 하부로부터 상부로 갈수록 질소를 더 많이 포함하는 제1 도전막을 형성할 수 있고, 상기 피모스 영역의 절연막 상에 상기 제3 도전막이 형성되는 시간에 비례하여 질소의 제공을 증가시킴으로써 하부로부터 상부로 갈수록 질소를 더 많이 포함하는 제3 도전막을 형성할 수 있다. 즉, 상기 제1 도전막과 제3 도전막 각각을 형성할 때 상기 질소의 제공을 계속적으로 증가시키는 것이다.

언급한 바와 같이, 상기 제1 도전막(33)과 제3 도전막(73)을 형성한 후, 도 2f에 도시된 바와 같이 상기 제1 도전막(33) 상에는 제2 도전막(35)을 상기 제3 도전막(73) 상에는 제4 도전막(75)을 형성한다. 여기서, 상기 제2 도전막(35)은 언급한 엔모스 트랜지스터의 제2 게이트 도전막으로 수득하기 위한 것이고, 상기 제4 도전막(75)은 언급한 피모스 트랜지스터의 제4 게이트 도전막으로 수득하기 위한 것이다. 그러므로, 상기 제2 도전막(35)과 제4 도전막(75) 각각은 상기 제1 도전막(33)과 제3 도전막(73) 각각에 비해 저항이 낮은 물질을 사용하여 형성한다. 아울러, 상기 제2 도전막(35)과 제4 도전막(75)의 경우에도 화학기상증착 공정을 수행하여 형성한다.

특히, 상기 제2 도전막(35)과 제4 도전막(75)의 경우에도 공정 순서를 고려할 경우 서로 동일한 물질을 사용하고, 동일한 공정을 수행하여 형성한다. 즉, 상기 제1 도전막(33)과 제3 도전막(73)을 갖는 결과물 상에 상기 제1 도전막(33)과 제3 도전막(73)에 비해 낮은 저항을 갖는 물질을 사용하고, 동일한 공정을 수행하여 상기 제2 도전막(35)과 제4 도전막(75)을 동시에 형성하는 것이다. 또한, 본 실시예에서는 편의상 상기 제2 도전막(35)과 제4 도전막(75)으로 구분하고 있으나, 상기 제2 도전막(35)과 제4 도전막(75)은 실질적으로 동일한 공정을 수행하여 수득하는 동일한 박막이기 때문에 상기 제2 도전막(35)과 제4 도전막(75)을 혼용하여 표현할 수도 있다. 그리고, 본 실시예에서는 텅스텐을 사용하여 상기 제2 도전막(35)과 제4 도전막(75)을 형성한다.

이어서, 도 2g를 참조하면, 포토레지스트 패턴 등을 식각 마스크로 사용하는 포토리소그래피 공정을 수행하여 엔모스 영역의 제2 도전막(35), 제1 도전막(33) 및 절연막(32) 그리고 피모스 영역의 제4 도전막(75), 제3 도전막(73) 및 절연막(32)을 패터닝한다. 이에 따라, 엔모스 영역의 반도체 기판(10) 상부에는 제1 게이트 절연막(12), 제1 게이트 도전막(13) 및 제2 게이트 도전막(15)의 제1 게이트 패턴(17)이 형성되고, 피모스 영역의 반도체 기판(10) 상부에는 제2 게이트 절연막(52), 제3 게이트 도전막(53) 및 제4 게이트 도전막(55)의 제2 게이트 패턴(57)이 형성된다.

또한, 상기 제1 도전막(33)과 제3 도전막(73) 각각이 이중 박막 구조를 갖기 때문에 상기 제1 게이트 도전막(13)은 하부-제1 게이트 도전막(13a)과 상부-제1 게이트 도전막(13b)을 포함하고, 상기 제3 게이트 도전막(53)은 하부-제3 게이트 도전막(53a)과 상부-제3 게이트 도전막(53b)을 포함한다.

그리고, 도 2h를 참조하면, 상기 제1 게이트 패턴(17)을 이온 마스크로 사용하는 이온 주입을 수행한다. 이에 따라, 상기 제1 게이트 패턴(17)과 인접하는 반도체 기판(10)의 표면 아래에는 상기 이온 주입에 의해 불순물이 도핑된 제1 소스/드레인(16a, 16b)이 형성된다. 여기서, 상기 제1 소스/드레인(16a, 16b)이 형성되는 영역은 엔모스 영역이기 때문에 상기 제1 소스/드레인(16a, 16b)으로 수득하기 위한 불순물은 포스포러스, 아르제닉 등을 사용한다. 이때, 피모스 영역에는 포토레지스트 패턴 등을 형성하여 상기 이온 주입에 의해 피모스 영역의 반도체 기판(10)에 이온이 도핑되는 것을 저지한다.

또한, 도 2i를 참조하면, 상기 제2 게이트 패턴(57)을 이온 마스크로 사용하는 이온 주입을 수행한다. 이에 따라, 상기 제2 게이트 패턴(57)과 인접하는 반도체 기판(10)의 표면 아래에는 상기 이온 주입에 의해 불순물이 도핑된 제2 소스/드레인(56a, 56b)이 형성된다. 여기서, 상기 제2 소스/드레인(56a, 56b)이 형성되는 영역은 피모스 영역이기 때문에 상기 제2 소스/드레인(56a, 56b)으로 수득하기 위한 불순물은 보론 등을 사용한다. 이때, 엔모스 영역에는 포토레지스트 패턴 등을 형성하여 상기 이온 주입에 의해 엔모스 영역의 반도체 기판(10)에 이온이 도핑되는 것을 저지한다.

아울러, 다른 실시예에로서, 상기 제1 소스/드레인과 제2 소스/드레인 각각을 형성한 후, 상기 제1 게이트 패턴과 제2 게이트 패턴 각각의 양측벽에 게이트 스페이서(도시되지 않음)를 형성할 수도 있다. 상기 게이트 스페이서는 실리콘 질화물을 포함하고, 적층과 전면 식각을 순차적으로 수행하여 형성할 수 있다. 그리고, 상기 게이트 스페이서를 형성할 경우에는 상기 제1 게이트 패턴과 그 양측벽에 형성되는 게이트 스페이서를 이온 마스크로 사용하는 이온 주입 그리고 상기 제2 게이트 패턴과 그 양측벽에 형성되는 게이트 스페이서를 이온 마스크로 사용하는 이온 주입을 더 수행하기도 한다. 이와 같이, 상기 게이트 스페이서를 형성한 후, 이온 주입을 더 수행할 경우에는 얇은 접합 영역과 깊은 접합 영역을 포함하는 엘디디 구조의 제1 소스/드레인과 제2 소스/드레인을 형성할 수 있다.

언급한 바와 같이, 상기 제1 게이트 패턴(17), 제2 게이트 패턴(57), 제1 소스/드레인(16a, 16b) 및 제2 소스/드레인(56a, 56b)을 형성한 후, 고온 처리를 수행한다. 이는, 상기 제1 소스/드레인(16a, 16b) 불순물 그리고 상기 제2 소스/드레인(56a, 56b)의 불순물의 거동을 활성화시키기 위함이다. 이때, 상기 고온 처리는 약 1,000°C 이상의 온도에서 수행한다.

이와 같이, 본 실시예에서는 언급한 방법을 수행함으로써 상기 제1 게이트 패턴(17)과 제1 소스/드레인(16a, 16b)을 포함하는 엔모스 트랜지스터 그리고 상기 제2 게이트 패턴(57)과 제2 소스/드레인(56a, 56b)을 포함하는 피모스 트랜지스터를 갖는 씨모스 트랜지스터를 형성한다.

그러나, 본 실시예에서는 상기 불순물의 거동을 활성화시키기 위한 고온 처리를 수행하여도 상기 제1 게이트 도전막(13)의 일함수 그리고 상기 제3 게이트 도전막(53)의 일함수 각각이 이동하는 것을 충분하게 저지할 수 있다. 이는, 상기 제1 게이트 도전막(13)을 상기 제1 게이트 절연막(12)과 면접하는 하부로부터 상기 제2 게이트 도전막(14)과 면접하는 상부로 갈수록 질소를 더 많이 포함하는 금속으로 형성하고, 상기 제3 게이트 도전막(53)을 상기 제2 게이트 절연막(52)과 면접하는 하부로부터 상기 제4 게이트 도전막(54)과 면접하는 상부로 갈수록 질소를 더 많이 포함하는 금속으로 형성하기 때문이다.

그러므로, 언급하는 씨모스 트랜지스터의 경우에는 엔모스 트랜지스터와 피모스 트랜지스터 각각에 일함수를 충분하게 유지할 수 있는 금속을 포함하는 제1 게이트 도전막과 제3 게이트 패턴을 용이하게 형성할 수 있다.

C-V 곡선 특성 평가

도 3은 본 발명의 방법에 따라 제조한 씨모스 트랜지스터가 갖는 C-V 곡선 특성을 평가한 결과를 나타내는 그래프이다.

도 3을 참조하면, 곡선 -■-와 곡선 -●-는 엔모스 트랜지스터의 C-V 특성을 나타내는 것으로써, 곡선 -■-는 게이트 도전막으로서 탄탈륨 실리콘을 포함하고, 약 1,000℃의 온도에서 열처리를 수행하여 수득한 엔모스 트랜지스터의 C-V 특성을 나타내고, 곡선 -●-은 게이트 도전막으로서 탄탈륨 실리콘과 질화 탄탈륨 실리콘(TaSiN)을 포함하고, 약 1,000℃의 온도에서 상기 열처리를 수행하여 수득한 엔모스 트랜지스터의 C-V 특성을 나타낸다.

그리고, 곡선 -▲-와 곡선 -▼-는 피모스 트랜지스터의 C-V 특성을 나타내는 것으로써, 곡선 -▲-는 게이트 도전막으로서 질화 티타늄을 포함하고, 약 1,000℃의 온도에서 열처리를 수행하여 수득한 피모스 트랜지스터의 C-V 특성을 나타내고, 곡선 -▼-은 게이트 도전막으로서 질화 티타늄과 질화 탄탈륨 실리콘(TaSiN)을 포함하고, 약 1,000℃의 온도에서 상기 열처리를 수행하여 수득한 피모스 트랜지스터의 C-V 특성을 나타낸다.

상기 C-V 특성을 평가한 결과, 엔모스 트랜지스터의 경우에는 곡선 -●-가 곡선 -■-에 비해 보다 양호한 C-V 특성을 나타내는 것을 확인할 수 있었고, 피모스 트랜지스터의 경우에는 곡선 -▼-가 곡선 -▲-에 비해 보다 양호한 C-V 특성을 나타내는 것을 확인할 수 있었다.

그러므로, 본 발명에서와 같은 방법으로 수득한 게이트 도전막들을 포함하는 엔모스 트랜지스터와 피모스 트랜지스터를 갖는 씨모스 트랜지스터의 경우에는 상기 열처리를 수행하여도 양호한 전기적 특성을 유지하는 것을 확인할 수 있다. 이는, 상기 열처리를 수행하여도 엔모스 트랜지스터와 피모스 트랜지스터의 게이트 도전막들의 금속이 갖는 일함수가 거의 이동하지 않기 때문인 것으로 판단할 수 있다.

플랫밴드 전압 특성 평가

도 4는 본 발명의 방법에 따라 제조한 씨모스 트랜지스터가 갖는 플랫밴드 전압 특성을 평가한 결과를 나타내는 그래프이다.

도 4를 참조하면, 심볼 ■, ● 각각은 도 3의 곡선 -■-, -●- 각각에 해당하는 엔모스 트랜지스터의 플랫밴드 전압 특성을 나타내고, 심볼 ▲, ▼ 각각은 도 3의 곡선 -▲-, -▼- 각각에 해당하는 피모스 트랜지스터의 플랫밴드 전압 특성을 나타낸다.

상기 플랫밴드 전압 특성을 평가한 결과, 심볼 ●의 경우에는 플랫밴드 전압은 약 -0.55V로서 약 4.3eV의 일함수에 해당하는 것으로 확인된다. 그러나, 심볼 ■의 경우에는 플랫밴드 전압이 약 -0.35V로서 약 4.5eV의 일함수에 해당하는 것으로 확인된다.

그리고, 심볼 ▼의 경우에는 플랫밴드 전압은 약 -0.25V로서 약 4.65eV의 일함수에 해당하는 것으로 확인된다. 그러나, 심볼 ▲의 경우에는 플랫밴드 전압이 약 -0.35V로서 약 4.5eV의 일함수에 해당하는 것으로 확인된다.

그러므로, 본 발명에서와 같은 방법으로 수득한 게이트 도전막들을 포함하는 엔모스 트랜지스터와 피모스 트랜지스터를 갖는 씨모스 트랜지스터의 경우에는 상기 열처리를 수행하여도 플랫밴드 전압 특성이 거의 변화하지 않는 것을 확인할 수 있다. 이 또한, 상기 열처리를 수행하여도 엔모스 트랜지스터와 피모스 트랜지스터의 게이트 도전막들의 금속이 갖는 일함수가 거의 이동하지 않기 때문인 것으로 판단할 수 있다.

문턱 전압 특성 평가

도 5는 본 발명의 방법에 따라 제조한 씨모스 트랜지스터에서 피모스 트랜지스터가 갖는 문턱 전압 특성을 평가한 결과를 나타내는 그래프이고, 도 6은 본 발명의 방법에 따라 제조한 씨모스 트랜지스터에서 엔모스 트랜지스터가 갖는 문턱 전압 특성을 평가한 결과를 나타내는 그래프이다.

도 5를 참조하면, 곡선 -○-는 도 3의 곡선 -▼-에 해당하는 피모스 트랜지스터의 문턱 전압 특성을 나타내고, 곡선 -□-는 도 3의 곡선 -▲-에 해당하는 피모스 트랜지스터의 문턱 전압 특성을 나타낸다.

상기 피모스 트랜지스터가 갖는 문턱 전압 특성을 평가한 결과, 질화 티타늄과 질화 탄탈륨 실리콘을 게이트 도전막으로 포함하는 피모스 트랜지스터가 보다 양호한 문턱 전압 특성을 나타내는 것을 확인할 수 있다.

도 6을 참조하면, 곡선 -○-는 도 3의 곡선 -●-에 해당하는 엔모스 트랜지스터의 문턱 전압 특성을 나타내고, 곡선 -□-는 도 3의 곡선 -■-에 해당하는 엔모스 트랜지스터의 문턱 전압 특성을 나타낸다.

상기 엔모스 트랜지스터가 갖는 문턱 전압 특성을 평가한 결과, 탄탈륨 실리콘과 질화 탄탈륨 실리콘을 게이트 도전막으로 포함하는 엔모스 트랜지스터가 보다 양호한 문턱 전압 특성을 나타내는 것을 확인할 수 있다. 특히, 탄탈륨 실리콘과 질화 탄탈륨 실리콘을 게이트 도전막으로 포함하는 엔모스 트랜지스터의 경우에는 문턱 전압 특성의 산포가 개선되는 결과까지도 확인할 수 있다.

그러므로, 본 발명에서와 같은 방법으로 수득한 게이트 도전막들을 포함하는 엔모스 트랜지스터와 피모스 트랜지스터를 갖는 씨모스 트랜지스터의 경우에는 상기 열처리를 수행하여도 양호한 문턱 전압 특성을 갖는 것을 확인할 수 있다. 이는, 상기 열처리를 수행하여도 엔모스 트랜지스터와 피모스 트랜지스터의 게이트 도전막들의 금속이 갖는 일함수가 거의 이동하지 않기 때문인 것으로 판단할 수 있다.

발명의 효과

본 발명에서는 소스/드레인의 불순물의 거동을 활성화시키기 위한 고온 처리를 수행하여도 게이트 도전막이 갖는 일함수가 거의 이동하지 않는다. 이에, 본 발명은 씨모스 트랜지스터의 게이트 도전막으로서 금속을 용이하게 적용할 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 씨모스 트랜지스터를 나타내는 개략적인 단면도이다.

도 2a 내지 도 2i는 도 1의 씨모스 트랜지스터를 제조하는 방법을 나타내는 개략적인 단면도들이다.

도 3은 본 발명의 방법에 따라 제조한 씨모스 트랜지스터가 갖는 C-V 곡선 특성을 평가한 결과를 나타내는 그래프이다.

도 4는 본 발명의 방법에 따라 제조한 씨모스 트랜지스터가 갖는 플랫폼 전압 특성을 평가한 결과를 나타내는 그래프이다.

도 5는 본 발명의 방법에 따라 제조한 씨모스 트랜지스터에서 피모스 트랜지스터가 갖는 문턱 전압 특성을 평가한 결과를 나타내는 그래프이다.

도 6은 본 발명의 방법에 따라 제조한 씨모스 트랜지스터에서 엔모스 트랜지스터가 갖는 문턱 전압 특성을 평가한 결과를 나타내는 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

10 : 반도체 기판 12 : 제1 게이트 절연막

13 : 제1 게이트 도전막 15 : 제2 게이트 도전막

16a, 16b : 제1 소스/드레인 17 : 제1 게이트 패턴

18 : 소자 분리막 20 : 제1 채널 영역

52 : 제2 게이트 절연막 53 : 제3 게이트 도전막

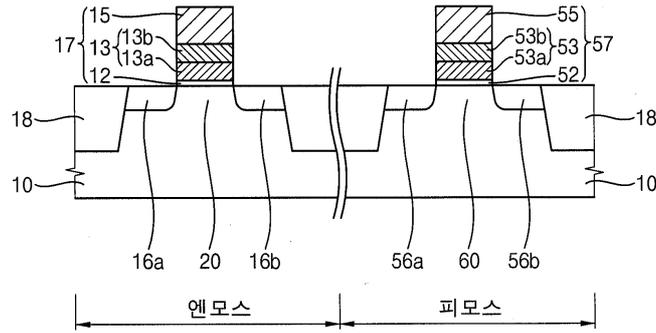
55 : 제4 게이트 도전막 56a, 56b : 제2 소스/드레인

57 : 제2 게이트 패턴 60 : 제2 채널 영역

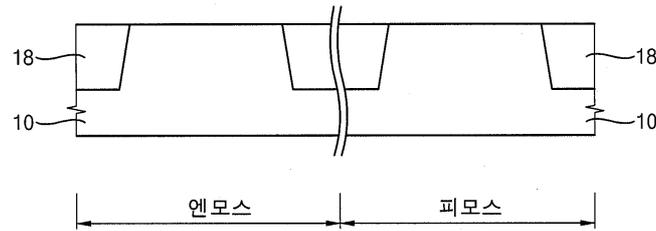
도면

도면1

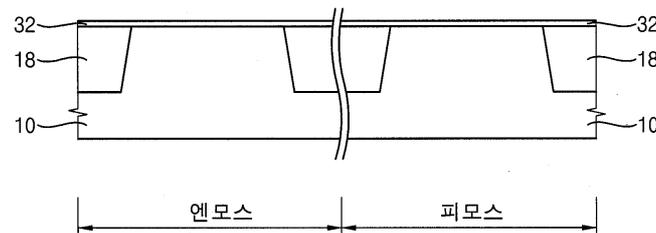
100



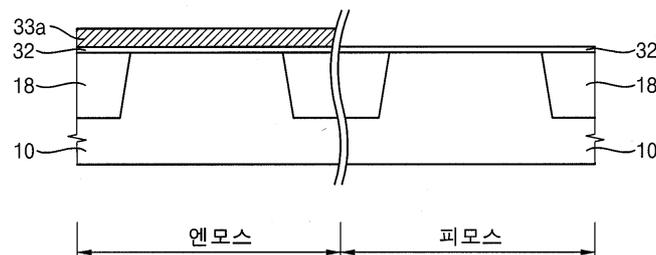
도면2a



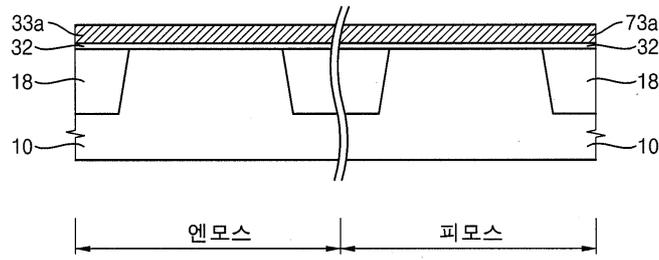
도면2b



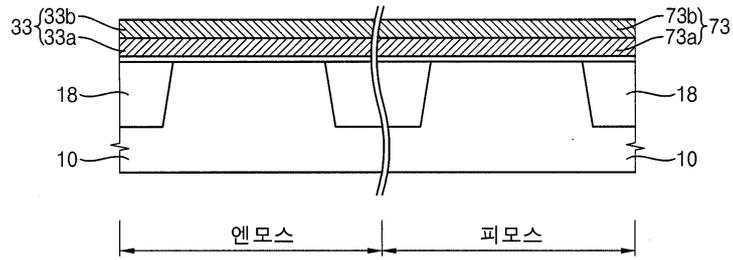
도면2c



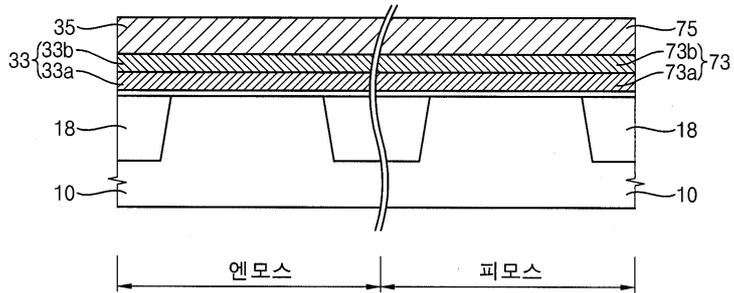
도면2d



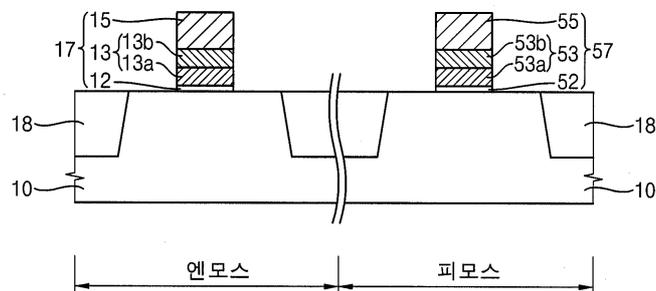
도면2e



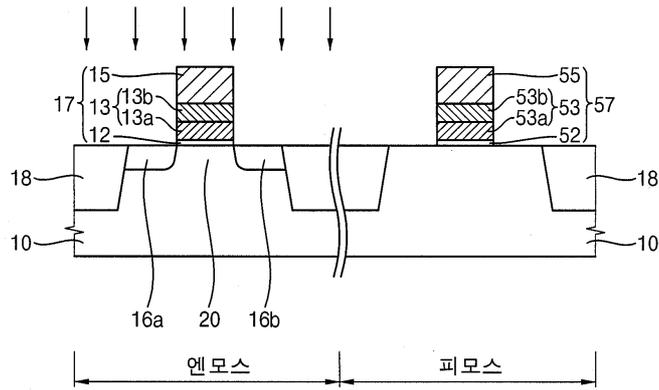
도면2f



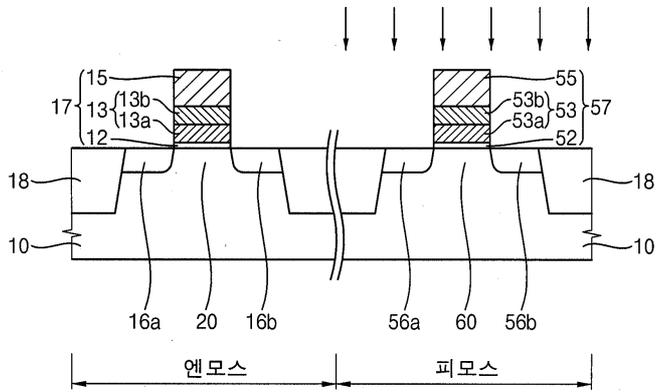
도면2g



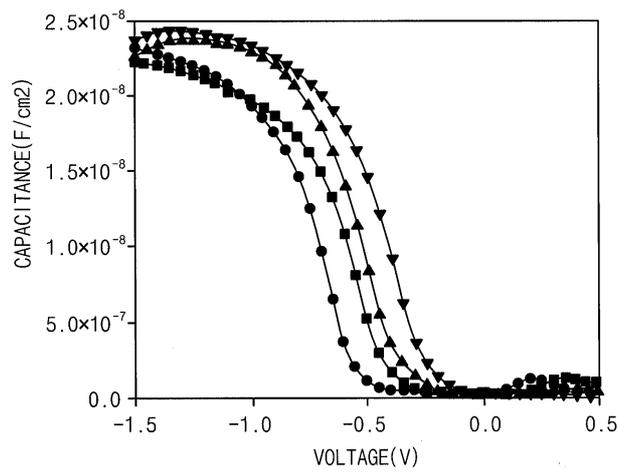
도면2h



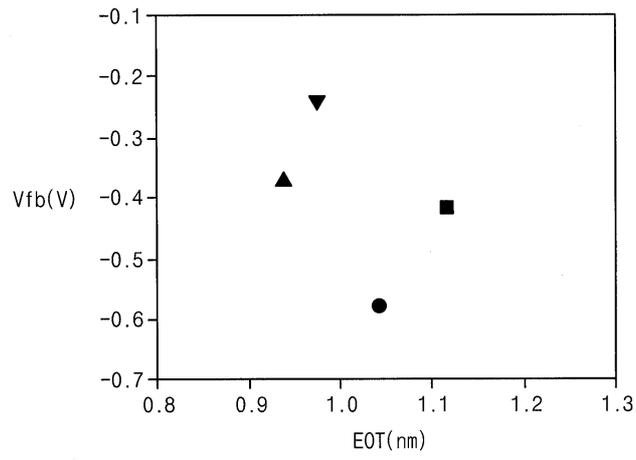
도면2i



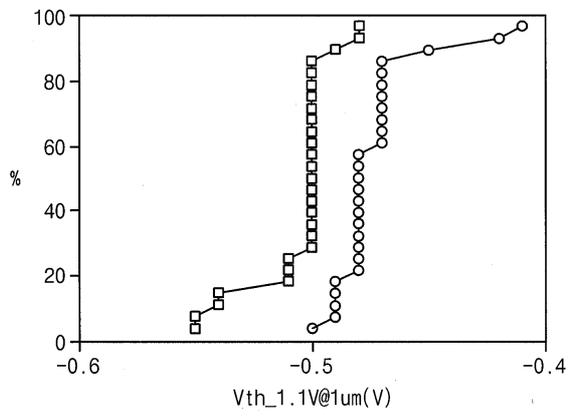
도면3



도면4



도면5



도면6

