

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

H01L 23/522 (2006.01)

H01L 23/532 (2006.01)

H01L 21/768 (2006.01)

[21] 申请号 200710001838.2

[43] 公开日 2007年7月18日

[11] 公开号 CN 101000904A

[22] 申请日 2007.1.5

[21] 申请号 200710001838.2

[30] 优先权

[32] 2006.1.10 [33] US [31] 11/328,981

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 尼古拉斯·C·弗勒

蒂莫西·约瑟夫·达尔顿

萨特扬纳拉扬纳·文卡塔·尼塔

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 王永刚

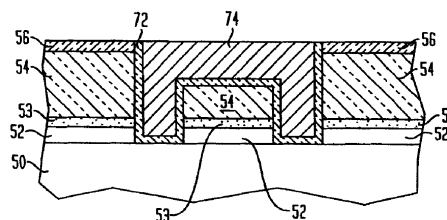
权利要求书 3 页 说明书 15 页 附图 6 页

[54] 发明名称

互连结构及其形成方法

[57] 摘要

本文提供了一种互连结构，其具有最小化学计量改变的有机硅酸盐玻璃层间介电材料和可选的完整有机粘附促进剂，其用在半导体器件中。由于与常规使用的那些结构相比，该互连结构的叠层的有效介电常数降低，因此该互连结构能够提供改善的器件性能、功能和可靠性，这是因为在灰化图形化材料之前，在完成阻挡层开口步骤期间，使用了沉积到电介质和可选的有机粘附促进剂上的牺牲聚合物材料。该牺牲膜在其中去除聚合物膜的随后的灰化步骤期间，保护电介质和可选的有机粘附促进剂不改变/消耗。



1.一种互连结构,包括:

有机硅酸盐玻璃(OSG)电介质,包括嵌入到其中的至少一个导电特征,其中与所述至少一个导电特征相邻的OSG电介质的壁部分具有基本上与OSG电介质剩余部分相同的化学计量和介电常数。

2.如权利要求1的互连结构,还包括位于所述OSG电介质的下表面上的扩散阻挡层。

3如权利要求2的互连结构,还包括位于所述扩散阻挡层和所述OSG电介质之间的有机粘附促进剂。

4.如权利要求2的互连结构,还包括位于与所述扩散阻挡层相对的所述OSG电介质上表面上的硬掩模,所述硬掩模选自由氧化物、氮化物、氧氮化物、包括原子Si、C、和H以及可选的O的有机材料构成的组。

5.如权利要求1的互连结构,其中所述OSG电介质具有小于3.0的介电常数且无孔。

6.如权利要求1的互连结构,其中所述OSG电介质具有小于3.0的介电常数且多孔。

7.如权利要求1的互连结构,其中所述OSG电介质包括Si、C、O和H的组分。

8.如权利要求2的互连结构,其中所述扩散阻挡层是氧化物、氮化物或者包括原子Si和C,与可选的O、N和/或H的电介质。

9.如权利要求3的互连结构,其中所述有机粘附促进剂是脂肪族或芳香族有机化合物,包括原子C、H、Si和O以及可选的F。

10.如权利要求1的互连结构,其中所述至少一个导电特征包括填充有Cu或CuAl合金的至少一个通路和线。

11.一种互连结构,包括:

衬底:

位于所述衬底表面上的扩散阻挡层,所述扩散阻挡层具有至少一

个开口；

位于所述扩散阻挡层上的有机粘附促进剂，所述有机粘附促进剂具有至少一个开口；以及

有机硅酸盐玻璃（OSG）电介质，位于所述扩散阻挡层上，所述OSG电介质包括嵌入其中的至少一个导电特征，其中与所述至少一个导电特征相邻的OSG电介质的壁部分具有基本上与OSG电介质的剩余部分相同的化学计量和介电常数。

12.如权利要求11的互连结构，还包括位于OSG电介质表面上的硬掩模。

13.一种形成互连结构的方法，包括：

提供包括在有机硅酸盐玻璃（OSG）电介质材料内限定至少一个通路和线的沟槽开口的结构，所述结构包括图形化的叠层，以及位于所述OSG电介质下方的未形成开口的扩散阻挡层，该叠层包括硬掩模、抗反射涂层和位于其上表面上的光致抗蚀剂；

在位于所述至少一个通路下方的所述扩散阻挡层中提供开口，其中在所述提供开口期间，在所述OSG电介质的壁部分上形成牺牲聚合物材料；

从所述结构去除所述光致抗蚀剂和所述抗反射涂层，其中在所述去除期间，还去除所述牺牲聚合物材料；和

至少用导电材料填充所述沟槽开口。

14.如权利要求13的方法，其中所述提供所述结构包括首先形成所述通路和然后形成所述线。

15.如权利要求13的方法，其中所述提供开口包括含有有机化学试剂的反应离子蚀刻工艺。

16.如权利要求15的方法，其中所述牺牲聚合物材料包括原子C和H，与可选的F原子。

17.如权利要求13的方法，其中所述从所述结构去除所述光致抗蚀剂和所述抗反射涂层包括氧等离子体工艺。

18.如权利要求13的方法，其中所述填充所述沟槽开口包括在沟

槽开口内形成衬里和在所述衬里上形成所述导电材料。

19.如权利要求 18 的方法，其中在形成所述导电材料之前，从所述通路的底部壁部分去除所述衬里。

20.如权利要求 13 的方法，还包括在所述 OSG 电介质和所述扩散阻挡层之间提供有机粘附促进剂。

互连结构及其形成方法

技术领域

本发明一般涉及一种集成电路(IC),且具体涉及一种互连结构,其包括多级互连结构,其中先进双镶嵌处理能实现目标的超低k(ULK)互连性能和增强的机械完整性(可靠性)。术语“超低k”或“ULK”指具有小于3.0介电常数的有机硅酸盐玻璃。本发明还提供了一种其中在处理期间不损伤有机硅酸盐玻璃(OSG)电介质的壁部分的互连结构的制造方法。

背景技术

通常,半导体器件包括形成包括芯片(例如芯片后端线(chip back end of line)或者“BEOL”)的集成电路的多个电路、薄膜封装和印刷电路板。集成电路(IC)能够用于计算机和电子设备,并且能包含在单个硅晶衬底上制造的几百万个晶体管和其它电路元件。对于功能器件,复杂的信号路径网络通常被布线以连接在器件表面上分布的电路元件。由于增加了集成电路的数目和复杂性,横跨器件的这些信号的有效布线变得更难。由此,由于多级或多层互连配置例如双镶嵌布线结构在复杂半导体芯片上大量晶体管之间提供高速信号布线图形方面的效率,越来越需要形成该多级或层互连配置。在这种互连结构中,金属孔垂直于硅衬底延伸且金属线平行于硅衬底延伸。

目前,在集成电路芯片上形成的互连结构由以指定为约1x的最小光刻特征尺寸制造的至少约2至8个布线级(称作“薄引线(thin wires)”)构成,且在上述级之上是等于薄引线最小宽度的约2x和/或约4x的宽度制造的约2至4个布线级(称作“粗引线(fatwires)”)。在一类结构中,用低介电常数(k)有机硅酸盐玻璃(OSG)介电层形成薄引线,该介电层包括Si、C、H和O的原子,且粗引线

由二氧化硅介电层制成，该介电层具有约为 4 的介电常数。

对于未来的技术节点，将多孔（OSG）材料结合到 Cu/ULK 互连结构中对于保持 ITRS 路标（roadmap）以提高性能是必要的。实质上，由于介电常数在 2.7 到 3.1 范围内的材料在制造（90nm）中或将要进入到制造（65nm）中，以持续将性能增强互连方案提供给各种 CMOS 技术，因此必须结合超出 65nm 节点的 ULK 材料。然而，一旦将这些介电常数小于 2.7 的材料暴露到抗蚀剂去除等离子体灰化化学试剂，其会非常易于发生等离子体引入的化学 / 物理改变（“损伤”），且其通常对级间扩散阻挡材料（SiC、SiCN、SiCNH 等）显示出差的粘附性。

例如在图 1A-1D 中示出了形成双镶嵌互连结构的典型现有技术工艺。图 1A 示出了在将图形化的光致抗蚀剂 20 提供到包括硬掩模 16 和上覆抗反射涂层 18 的材料叠层 15 上之后的互连结构。该互连结构还包括 ULK OSG 电介质 14、扩散阻挡层 12 和衬底层 10。衬底层 10 可包括其上具有一个或多个半导体器件的半导体衬底，或者其包括具有导电特征、即位于其中的布线和 / 或通路的一个下部互连之一。

图 1B 示出了在将图形（首先是通路然后是线）从图形化的光致抗蚀剂 20 转移到材料叠层 15 中和下部 ULK OSG 电介质 14、并在沟槽开口 24 的下部中提供有机填充材料 22 之后图 1A 的结构。沟槽开口 24 包括比下部区 B 宽的上部区 A。

图 1C 示出了在从互连结构去除图形化的光致抗蚀剂 20、ARC 18 和有机填充材料 22 的灰化步骤之后的图 1B 的结构。图 1D 示出了在利用在去除暴露部分的扩散阻挡层 12 方面具有选择性的蚀刻工艺对扩散阻挡层 12 开口之后的结构。注意，损伤了在沟槽开口 24 中 OSG 电介质 14 的壁部分。“损伤”意味着在暴露到灰化等离子体的沟槽开口 24 的 OSG 电介质 14 的壁部分从原始组分变为更多氧或氧氮之类的物质。图 1D 中将损伤的部分标记为元件 26。与 OSG 电介质 14 的剩余部分相比，损伤的部分 26 典型地具有不同的（即增加的）介电常数。

为了解决等离子体引进的“损伤”的问题，已经提出了几种替换的

抗蚀剂去除等离子体灰化化学试剂（降低等离子体）。例如见美国专利 No.6,630,406。但是，所有这些替换化学试剂都改变 OSG 介电材料，在一定程度上增加该膜的介电常数并降低整个互连性能（尽管对于给定的技术节点可能达到目标目标）。

另一种方案利用替代的集成方案（所谓的“先沟槽”）避免这个问题，从而在图形化部分线结构之后，去除所有抗蚀剂（用仍通过各种硬掩模材料保护的 OSG 电介质），且之后某种硬掩模材料（金属或非金属）用作图形转移层。例如，在美国专利 No.6,734,096 和美国专利申请序号 No.11/034,480 中可发现一个这种替代方案的更多细节。

尽管成功地解决了等离子体灰化引入的 ILD 变化的问题，但是这种集成方案有时提供狭窄的单或双镶嵌工艺窗且其通常非常昂贵。

在级间介电层（ILD）粘附到级间阻挡材料上的问题上，以几种方式解决，包括使用有机或无机粘附促进剂，其化学粘合到 ILD 和扩散阻挡材料，从而增加粘附强度以及叠层的整体机械完整度。但是，在有机粘合促进剂的情况下，使用各种灰化化学试剂同时可能最低限度地改变多孔 OSG ILD 膜会消耗粘附促进剂，弱化了叠层的机械强度并且从而降低了 Cu/ULK 互连结构的可靠性。

考虑到上面制造包括 OSG 电介质的互连结构的现有技术工艺的缺点，需要提供一种制造互连结构的新方法，其中保护在沟槽开口内部 OSG 电介质的壁部分，从而不会对其发生损伤。

发明内容

本发明提供了一种制造互连结构的方法，其中将牺牲聚合物层应用到 OSG 电介质暴露的壁部分上，且如果有的话，提供到有机粘附促进剂上，以解决上述的两个问题。常规的单和双镶嵌处理需要通过蚀刻硬掩模层和 OSG 膜来限定沟槽，后者对扩散阻挡层具有选择性。随后去除图形化的抗蚀剂材料（单、双或三层方案），且确保金属-X+1 和下部 X 级之间的金属接触的最终步骤要求蚀刻级间扩散阻挡材料。这种方法将导致上面提示的一些（或所有）问题。本发明的方法需要

改变其中进行抗蚀剂剥离和扩散阻挡层开口工艺的顺序，从而使将薄的聚合物层能够沉积到 OSG 电介质暴露的壁部分以及如果存在的话沉积到有机粘附促进剂的暴露的壁部分上，从而保护这些膜在随后的灰化工艺中不变化。

对于单镶嵌，直接进行改变，然而对于双镶嵌，这需要特别调整扩散阻挡层蚀刻工艺，以便于实现对暴露出的沟槽 ILD 材料足够的选择性（和可能暴露出的硬掩模，这取决于位于场中的通路填充有机材料在阻挡层/通路填充蚀刻工艺期间是否完全消耗），同时蚀刻通路填充材料和扩散阻挡层。这种工艺对于包括 SiCOH 基低 k 材料（多孔和/或无孔）的 OSG 材料和对于包括典型无机膜（氧化物、TEOS、氧氮化物、氮化物）的硬掩模材料可能可行。由于通路填充材料通常是有机，且扩散阻挡层是 SiC 型的（SiC、SiCH、SiCNH），因此可使用包括特别调整的氟:氧气比率（<4:1）的蚀刻化学试剂，以制造所需的双镶嵌沟槽剖面；能够通过变换扩散阻挡层开口和灰化步骤来沉积牺牲聚合物层，用于壁保护。

对于单和双镶嵌，该改变便于将薄的聚合物层沉积到沟槽的侧壁上，涂敷 OSG 电介质和如果存在的话，利用该薄层涂敷有机粘附促进剂。该薄层聚合物实现了两个关键的功能性优点，即：（1）保护 OSG 电介质暴露的壁部分不受随后的等离子体灰化的化学试剂以及因此的“损伤”的影响，和（2）保护有机粘附促进剂在灰化期间不消耗。以这种方式，降低了通过等离子体灰化化学试剂引入到 OSG 电介质上的物理和化学改变的程度，以实现提高的金属/ULK 互连性能，而且，由于相对没有损伤有机粘附促进剂，因此保持了该叠层的机械完整度。

本发明由此提供了一种例如双镶嵌型的互连结构，其中在扩散阻挡层开口步骤期间，将牺牲薄聚合物层沉积到 OSG 电介质暴露的壁部分和如果存在的话、沉积到有机粘附促进剂的暴露壁部分（包括侧壁和底部，例如水平表面）上，阻止在随后灰化图形化材料中消耗两种材料。通过保护至少 OSG 电介质的壁部分，保持了 OSG 电介质初

始的化学计量，即，形成了没有损伤的壁部分，该损伤的壁部分如图 1A-1D 中描述的现有技术工艺中的情况。注意，在其中有机粘附促进剂存在于 OSG 电介质和扩散阻挡层之间的实施例中，牺牲聚合物层还保护有机聚合物促进剂的暴露壁部分，使得在灰化和对扩散阻挡层形成开口之后，不损伤有机粘附促进剂的壁部分。

本发明还提供了一种与用常规的单或双镶嵌处理构建的互连结构对比改善了 RC 电性能的互连结构。而且，改善了 OSG 电介质 / 扩散阻挡叠层的机械完整度。

广而言之，本申请的互连结构包括：

OSG 电介质，包括嵌入其中的至少一个导电特征，其中与所述至少一个导电特征相邻的 OSG 电介质的壁部分具有基本上与 OSG 电介质的剩余部分相同的化学计量和介电常数。

本发明的互连结构还包括可选的位于 OSG 电介质一部分上表面上的硬掩模和位于 OSG 电介质一部分下表面上的扩散阻挡层。在本发明的一些实施例中，有机粘附促进剂存在于 OSG 电介质和扩散阻挡层之间。根据本发明，也不损伤下面的有机粘附促进层，并且，同样地，保持了扩散阻挡层和 OSG 电介质的完整度。

除了上述的互连结构之外，本发明还提供了该互连结构的制造方法。广而言之，本发明的方法包括：

提供包括在 OSG 电介质材料内限定至少一个通路和线的沟槽开口的结构，所述结构包括图形化的叠层，以及位于所述 OSG 电介质下方的未形成开口的扩散阻挡层，该叠层包括硬掩模、抗反射涂层和位于其上表面上的光致抗蚀剂；

在位于所述至少一个通路下方的所述扩散阻挡层中提供开口，其中在所述提供开口期间，在所述 OSG 电介质的壁部分上形成牺牲聚合物材料；

从所述结构去除所述光致抗蚀剂和所述抗反射涂层，其中在所述去除期间，还去除所述牺牲聚合物材料；和

至少用导电材料填充所述沟槽开口。

附图说明

图 1A-1D 是示出常规双镶嵌等离子体处理方案的图示说明（通过截面图）。

图 2A-2G 是示出本发明双镶嵌等离子体处理方案的图示说明（通过截面图）。

具体实施方式

现在将通过参考以下描述和伴随本申请的附图更详细地描述提供了双镶嵌工艺的本发明，该双镶嵌工艺能够实现最小的 OSG 电介质变化和增强的叠层完整度。注意，为了说明目的而提供了示出常规工艺和具有创造性的工艺的处理流程的本申请附图，并且，这些附图不是按比例画出的。

本发明涉及一种用于形成半导体器件的互连结构，用替换的单和双镶嵌处理顺序来构建，其中在去除抗蚀剂层之前在扩散阻挡层中形成开口。改变这两个步骤的顺序有利于改进目标金属 / ULK 互连电（RC）性能（降低的泄漏）和叠层的机械完整度。在扩散阻挡层上形成开口步骤期间，当将牺牲聚合层沉积到 OSG 电介质暴露的壁部分上，和如果存在的话，将其沉积在有机粘附促进剂的壁部分上时，可实现这两个目的。由此，在抗蚀剂层去除步骤期间，去除该牺牲层，使得 OSG 电介质和有机粘附促进剂不受损伤。

参考图 2A-2G，其通过截面图说明本发明的基本处理步骤。具体地，该具有创造性的方法从首先提供图 2A 中示出的结构 100 开始。图 2A 中示出的结构 100 包括衬底 50、在衬底 50 上的扩散阻挡层 52、位于扩散阻挡层 52 上方（与其直接接触或由有机粘附促进剂分开）的 OSG 电介质 54、在 OSG 电介质 54 上的硬掩模 56、位于硬掩模 56 上的抗反射涂层 58 和位于抗反射涂层 58 上的光致抗蚀剂 60。可选的有机粘附促进剂 53 存在于扩散阻挡层 52 和 OSG 电介质 54 之间。可选的粘附促进剂 53 有助于在 OSG 电介质和扩散阻挡层 52 之间形成牢

固的键合。可选的有机粘附促进剂还可位于 OSG 电介质 54 和硬掩模 56 之间。在本申请附图中未描述该后一实施例。

当与衬底 50 结合使用时，术语“衬底”包括半导体材料、绝缘材料、导电材料或包括多层结构的其任意组合。由此，例如，衬底 50 可以是半导体材料如 Si、SiGe、SiGeC、SiC、GaAs、InAs、InP 以及其它的 III / V 或 II / VI 族化合物半导体。半导体衬底 50 还可包括多层衬底，例如，Si/SiGe、Si/SiC、绝缘体上的硅 (SOI) 或者绝缘体上的硅锗 (SGOI)。

当衬底 50 是绝缘材料时，该绝缘材料可以是有机绝缘体、无机绝缘体或者包括多层的其组合。当衬底 50 是导电材料时，衬底 50 例如可包括多晶硅、元素金属、元素金属的合金、金属硅化物、金属氮化物和包括多层的其组合。

在一些实施例中，衬底 50 包括半导体材料和绝缘材料的组合、半导体材料和导电材料的组合或者半导体材料、绝缘材料和导电材料的组合。

当衬底 50 包括半导体材料时，可于其上制造一个或多个半导体器件如互补金属氧化物半导体 (CMOS) 器件。为了清楚起见，在本申请的附图中没有示出该一个或多个半导体器件。

不管使用何种类型的衬底 50，都在衬底 50 上形成扩散阻挡层 52 如氧化物、氮化物和 / 或包括原子 Si 和 C、N、O 和 H 可选的电介质。利用常规沉积工艺形成扩散阻挡层 52，该工艺例如包括化学气相沉积 (CVD)、等离子体增强化学气相沉积 (PECVD)、蒸镀、化学溶液沉积以及其它类似的沉积工艺。扩散阻挡层 52 的厚度根据所使用的材料类型、在形成扩散阻挡层中使用的材料数量以及所使用的沉积工艺而变化。典型地，扩散阻挡层 52 在沉积之后具有从约 20 到约 100nm 的厚度，更典型的厚度是从约 35 到约 50nm。

在一些实施例中，可选的有机粘附促进剂 53 形成于扩散阻挡层 52 和 OSG 电介质 54 之间，尽管是可选的，但是优选在层 52 和 54 之间使用有机粘附促进剂 53，这是因为这种层提供了扩散阻挡层 52 和

OSG 电介质 54 之间牢固的键合。当存在时，利用常规沉积工艺如旋涂、蒸发、CVD、PECVD、化学溶液沉积、浸涂、刷涂、浸渍和其它类似的沉积工艺，形成该可选的有机粘附促进剂 53。可选的有机粘附促进剂 53 典型地是脂肪族或芳香族有机化合物，包括原子 C、H、Si、O 以及可选的 F。能用在本发明中的合适的有机粘附促进剂 53 的示意性实例包括但不限于是：烷氧基硅烷、聚芳基醚 (polyarylene ether)、聚苯并恶唑等。应用到扩散阻挡层 52 上的可选有机粘附促进剂 53 的厚度典型地从约 10 到约 100nm，更典型的厚度是从约 20 到约 50nm。

OSG 电介质 54 包括介电常数为约 3.0 或更小的单层或多层介电材料。优选地，OSG 电介质 54 具有小于约 2.8 的介电常数，更加优选的介电常数是小于约 2.6。OSG 电介质 54 可以为多孔和 / 或无孔。当使用多孔电介质膜时，其介电常数小于相同电介质膜的无孔形式。优选地，OSG 电介质 54 是多孔材料。当使用多层电介质叠层时，可在多层叠层内的每层电介质之间形成如上所述的扩散阻挡层。

能够用于本发明的 OSG 电介质 54 的实例包括但不限于是：含硅材料，如也称作 C 掺杂的氧化物 (CDO) 以及有机硅酸盐玻璃 (OSG) 的 Si、C、O 和 H 组分 (SiCOH)。

OSG 电介质 54 通常使用等离子体增强化学气相沉积 (PECVD) 来沉积。除了 PECVD 之外，本发明还考虑使用化学气相沉积 (CVD)、高密度等离子体 (HDP) 沉积、脉冲 PECVD、旋转涂敷或其它相关方法形成 OSG 电介质 54。所沉积的 OSG 电介质 54 的厚度可变化；所沉积的 OSG 电介质 54 的典型范围为从约 50nm 到约 1 μ m，更典型的厚度是从约 100 到约 600nm。

典型地，OSG 电介质 54 是 SiCOH 电介质，使用在共同受让的美国专利 No.6,147,009、6,312,793、6,441,491、6,437,443、6,541,398、6,479,110 B2 和 6,497,963 中公开的处理技术来沉积，在此通过参考将其内容结合到本文。具体地，SiCOH 电介质膜通过将至少第一前体 (液体、气体或蒸汽) 提供到反应室中并然后利用在形成 SiCOH 电介质材料中有效的条件将由所述第一前体得到的膜沉积到合适的衬底

上来形成，该第一前体包括原子 Si、C、O 和 H 以及惰性载体如 He 或 Ar，反应室优选是 PECVD 反应室。本发明还进一步用氧化剂如 O₂、CO₂ 或其组合来混合第一前体，从而稳定反应室中的该反应剂并改善 OSG 电介质 54 的均匀度。

除了第一前体之外，可以使用包括原子 C、H、和可选的 O、F 和 N 的第二前体（液体、气体或蒸汽）。可选地，还可使用包括 Ge 的第三前体（液体、气体或蒸汽）。

优选地，第一前体选自环状结构的有机分子，包括 SiCOH 成分，如 1,3,5,7-四甲基环四硅氧烷（“TMCTS”或“C₄H₁₆O₄Si₄”）、八甲基环四硅氧烷（OMCTS）、二乙氧基甲硅烷（DEMS）、二甲基二甲氧硅烷（DMDMOS）、二乙基甲氧烷（DEDMOS）和相关的环状或非环状硅烷、硅氧烷等。

在形成 SiCOH 低 k 电介质中使用的第二前体是碳氢分子。尽管可使用任何碳氢分子，例如乙烯，但是优选第二前体选自由具有环形结构优选在分子中具有多于一个环或者具有依附于环的支链的碳氢分子构成的组。具体有用的是包含稠环的物质，其至少一个含有杂环原子，优选为氧。在这些物质中，最合适的是包括赋予显著环形应变的尺寸的环，即 3 或 4 原子和 / 或 7 或更多原子的环的那些物质。尤其吸引人的是公知为氧杂双环（oxabicyclics）那些化合物类型，如环戊烯氧化物（“CPO”或“C₅H₈O”）的。还有用的是含有支链叔丁基（t-丁基）和异丙基（i-丙基）基团依附于碳氢环的分子；该环可以是饱和的或者是非饱和的（含有 C=C 双键）和多环碳氢如双环庚二烯。第三前体可由锗烷氢化物或者包括 Ge 源的任何其它反应剂形成。

在本发明的优选实施例中，可用作 OSG 电介质 54 的 SiCOH 电介质膜可使用如下方法沉积：该方法包括提供平行板反应器的步骤，该平行板反应器具有在约 85cm² 和约 750cm² 之间的衬底吸附导电面积，和在约 1cm 到约 12cm 之间的衬底和上电极之间的间隙。以约 0.45MHz 和约 200MHz 之间的频率将高频 RF 功率施加到电极中的一个上。可选地，将附加的低频功率施加到电极中的一个上。

用于沉积步骤的条件可根据所需的 SiCOH 电介质膜的最终介电常数而变化。概括地，用于提供介电常数为 2.8 或更小的、包括元素 Si、C、O 和 H 的稳定介电材料的条件包括：将衬底温度设置在约 200°C 和约 425°C 之间；将高频 RF 功率密度设置在约 0.1W/cm² 和约 2.5W/cm² 之间；将第一液体前体流量设置在约 100mg/分钟和约 5000mg/分钟之间，可选地将第二液体前体流量设置在约 50mg/分钟至约 10,000mg/分钟之间；可选地将第三前体流量设置在约 25mg/分钟至约 4000mg/分钟之间；可选地，将惰性载气如氮气（和/或氩气）流量设置为约 50sccm 至约 5000sccm 之间；将反应室压力设置为在约 1000 毫毛和约 7000 毫毛之间的压力；和将高频 RF 功率设置在约 75W 和约 1000W 之间。可选地，可以以约 30W 和约 400W 之间的功率将低频功率附加到等离子体。当衬底吸盘的导电面积改变系数 X 时，施加到衬底吸盘上的 RF 功率也改变系数 X。

当在本发明中使用氧化剂时，其在约 10sccm 至约 1000sccm 之间的流量流入到 PECVD 反应室中。

虽然在上述实例中使用液体前体，但是本领域中公知，也可将有机硅气相前体（如三甲基硅烷）用于沉积。在 OSG 电介质 54 的沉积期间可包括在随后的固化步骤中引起在 OSG 电介质 54 内形成多孔的成孔剂（porogen）。OSG 电介质 54 的固化可以在沉积 OSG 电介质 54 之后，或者在沉积硬掩模 56 之后。

在本发明的优选实施例中，在本发明的这一点上，形成的 OSG 电介质 54 含有氢化氧化硅碳材料（SiCOH）的基质，其包括在共价键合的三维网络中的原子 Si、C、O 和 H 并具有不高于约 2.8 的介电常数。三重键合的网络（tri-bonded network）可包括具有 Si-O、Si-C、Si-H、C-H 和 C-C 键的共价键合三维环状结构。OSG 电介质 54 可包括 F 和 N，并且可选地具有部分被 Ge 原子替换的 Si 原子。OSG 电介质 54 可含有直径在约 0.3 至约 50 纳米之间的分子级孔隙（即，纳米尺寸的孔），且直径最优选在约 0.4 和约 10 纳米之间，从而将 OSG 电介质 54 的介电常数进一步降低至低于约 2.0 的值。OSG 电介质 54

的纳米尺寸孔占据该材料体积的约 0.5% 和约 50% 之间的体积。

当 OSG 电介质 54 是 SiCOH 电介质时，其典型地包括在约 5 和约 40 原子百分比之间的 Si；在约 5 和约 45 原子百分比之间的 C；在 0 和约 50 原子百分比之间的 O；和在约 10 和约 55 原子百分比之间的 H。

在形成 OSG 电介质 54 之后，然后在 OSG 电介质 54 上形成硬掩模 56。硬掩模 56 可在相同的反应器室内形成，中断或者不中断真空，与用于形成 OSG 电介质 54 相同。替换地，在形成硬掩模 56 中，可使用使用与 OSG 电介质 54 的沉积工艺不同的至少一种沉积工艺的不同反应器室。

硬掩模 56 包括氧化物、氮化物、氧氮化物或者无机 SiCOH 型材料，其包括原子 Si、C、H 和可选的 O。在此也考虑多层这些材料。该硬掩模 56 利用常规沉积工艺形成，例如包括 CVD、PECVD、蒸发、化学溶液沉积和其它类似的沉积工艺。刚沉积的硬掩模 56 的整个厚度可根据所使用的硬掩模类型、构成硬掩模 56 的层数和在其形成中所使用的技术而变化。典型地，硬掩模 56 具有从约 30 到约 150nm 的厚度，更典型的厚度是从约 30 到约 100nm。

在沉积硬掩模 56 之后，沉积抗反射涂层 (ARC) 58。使用与图 2A 中示出的其它层相同或不同、优选相同的反应器室沉积 ARC 58。替换地，可旋涂 ARC 58。ARC 58 优选包括常规有机抗反射涂敷材料，这是由于用有机 ARC 获得较大的蚀刻工艺窗口。ARC 58 典型地具有从约 40 到约 150nm 的厚度。

接下来，通过常规抗蚀剂材料的旋涂在 ARC 58 上形成光致抗蚀剂 60。尽管具体提及到旋涂，但是也可使用其它的沉积工艺如 CVD 或 PECVD。

本发明包括通路的第一转移工艺，其后是线转移工艺。这些工艺步骤将通过参考图 2B-2D 更加详细地描述。通路转移步骤包括通过光刻图形化光致抗蚀剂 60，以包括至少一个通路开口 62。光刻步骤包括将所涂敷的抗蚀剂材料暴露到辐射图形，并利用常规抗蚀剂显影剂显

影所暴露出的抗蚀剂材料。该至少一个通路开口 62 首先被转移到 ARC 58，然后转移到硬掩模 56，之后转移到 OSG 电介质 54，并且之后转移到可选的有机粘附促进剂 53，停止在扩散阻挡层 52 上。在图 2B 中，参考数字 64 表示通路。图形转移利用一个或多个蚀刻步骤实现，以下将更详细地对其进行描述。图形化的光致抗蚀剂 60 和 ARC 58 通常利用本领域非常公知的常规剥离工艺去除。

图 2C 示出了在上述的通路蚀刻工艺之后形成的后期光刻线级结构。这必然伴有在通过 PECVD 或者旋涂方法沉积无机材料（氧化物、氮化物、氧氮化物型材料）69 之后用平坦化有机填充材料 68 而填充通路 64。接下来，通过常规的沉积技术形成第二 ARC 58' 和第二光致抗蚀剂 60'。通过光刻图形化该第二光致抗蚀剂 60'，以包括线图形。该光刻步骤包括将所涂敷的抗蚀剂材料暴露到辐射图形，并利用常规抗蚀剂显影剂显影暴露出的抗蚀剂材料。在本发明中，将第二开口（或沟槽 62'）形成到第二光致抗蚀剂 60' 中，其用于形成线或沟槽 66。

图 2D 示出了在将线（沟槽）图形转移到下面的层之后、在剥离平坦化有机材料 68 和对扩散阻挡层 52 形成开口以停止在下部衬底 50 上之前形成的结构。根据本发明，蚀刻 ARC 58'、无机层 69 和平坦化有机材料 68 以转移线图形。然后将平坦化有机材料 68 用作掩膜层，将该线图形转移到电介质 54 中。在剥离（灰化）有机填充材料 68 和对阻挡层 52 形成开口之前，产生图 2D 中描述的结构。在将线 66 转移到电介质 54 中之后，从该结构去除第二光致抗蚀剂 60'、第二 ARC 58' 和无机材料 69。

通过常规沉积工艺形成上述的有机填充材料 68，该常规工艺例如包括旋涂、蒸发、CVD、PECVD、化学溶液沉积和其它类似的沉积技术。有机填充材料 68 包括脂肪族或芳香族有机化合物，其通常包括原子 C、H、O、Si 和 F。可用在本发明中的合适的有机填充材料 68 的实例包括但不限于：聚羟基苯乙烯体系。

图形转移（上述的通路和线蚀刻）包括使用在提供通路和线图形到 OSG 电介质 54 中有选择性的一种或多种蚀刻工艺。可使用干法蚀

刻工艺如反应离子蚀刻、等离子体蚀刻或离子束蚀刻。化学湿法蚀刻工艺也可用于在 OSG 电介质 54 内提供通路 64 和线 66。

在于 OSG 电介质 54 内形成通路 64 和线 66 之后，进行回蚀刻 (etch back) 工艺，该工艺减薄即凹进位于场中的有机填充材料 58 (在蚀刻所谓的三层 (抗蚀剂 / 无机材料 / 有机通路填充料) 材料期间事先去除图形化的光致抗蚀剂，同时从该结构完全去除有机填充材料 68 (见图 2D)。回蚀刻工艺包括使用在去除图形化的光致抗蚀剂 60 和有机填充材料 68 的材料方面具有选择性的任一种化学蚀刻工艺。例如，可将任一种氧 (CO、CO₂、O₂ 等)、氮 (N₂、NH₃ 等) 或含氢 (H₂、NH₃ 等) 气体或其任意组合作为进行回蚀刻工艺的蚀刻剂。

在本发明的这一点上，且例如如图 2E 所示，利用包括有机化学试剂的反应离子蚀刻工艺在通路 64 内部形成扩散阻挡层 52 的暴露表面的开口。典型地，反应离子蚀刻包括任一种含氟和含氧的化学试剂。在对扩散阻挡层 52 形成开口期间，同时在 OSG 电介质 54 和如果存在的话在有机粘附促进剂 63 的所有暴露出的壁部分上形成牺牲聚合物材料 70。用在本发明中的该牺牲聚合物材料 70 保护在通路和线开口内部的 OSG 电介质 54 的暴露壁部分以及如果存在的话还保护有机粘附促进剂 53 的壁部分。用在本发明中的该牺牲聚合物材料 70 包括原子 C 和 H，F 原子可选。可用在本发明中的这种聚合物材料的示意性实例包括但不限于：C_xH_y 或者 C_xH_yF_z 类型的种类 (其中 x、y、z 是非零整数)。

应用到 OLD 电介质 53 以及如果存在的话应用到有机粘附促进剂 53 的壁部分上的牺牲聚合物材料 70 的厚度通常从约几 nm 到约 20nm，更典型的厚度是从约几个 nm 到约 5nm。在去除剩余的图形化光致抗蚀剂 60 和 ARC 58 期间，聚合物材料层 70 的存在保护 OSG 电介质 54 和如果存在的话，保护有机粘附促进剂 53。即，牺牲聚合物层 70 确保了 OSG 电介质 54 的壁部分具有基本上与 OSG 电介质 54 的内部相同的化学计量组成。而且，牺牲聚合物材料 70 保持 OSG 电介质 54 / 粘附促进剂 53 叠层的完整度。

然后利用剥离工艺去除剩余的有机填充材料 68,其能够从该结构去除该有机材料层。由于该牺牲聚合物材料 70 还包括有机成分,因此,本发明的该步骤还从该结构去除了牺牲聚合物材料 70。获得的结构在图 2F 中示出。典型地,本发明的该步骤包括使用氧等离子体工艺,例如灰化工艺。氧等离子体工艺包括由含氧源提供氧等离子体。这种氧等离子体处理和条件对于本领域技术人员是非常公知的。典型地,使用下面的条件进行氧等离子体工艺:在室温或升高的衬底温度下,原位或外部含 O 等离子体 (O_2 、CO、 CO_2 等)的低、中或高压和低、中或高功率密度。

图 2G 示出了在将至少一个衬里 72 和导电材料 74 形成到图 2F 中示出的结构中之后形成的结构。该至少一个衬里 72 形成于上面产生的开口内部所有的暴露表面(垂直和水平)上。该至少一个衬里 72 通过如下任一种沉积工艺形成,该沉积工艺包括但不限于:CVD、PECVD、溅射、化学溶液沉积或者镀覆。该至少一个衬里 72 包括能够用作阻挡层以防止导电材料 74 穿过其扩散的任一种材料。这种阻挡材料的示意性实例包括难熔金属,如 Ta、Ti、W、Ru 或其氮化物例如 TaN、TiN、WN。该至少一个衬里 72 还可包括 TiNSi。该至少一个衬里 72 的厚度典型地从约 1 到约 60nm,更典型的该厚度从约 5 到约 40nm。

在一些实施例中,可以从通路 64 的底壁去除该至少一个衬里 72,以提供具有敞开的通路底部的互连结构。当需要敞开的通路底部结构时,可使用离子轰击或其它类似的定向蚀刻工艺。

接下来,在开口内部沉积导电材料 74。该导电材料 74 包括多晶硅、导电金属、包括至少一种导电金属的合金、导电金属硅化物或其组合物。优选地,导电材料 74 是导电金属如 Cu、W 或 Al。在一个很优选的实施例中,导电材料 74 由 Cu 或 CuAl 合金构成。利用常规的沉积工艺在开口内形成导电材料 74,该常规沉积工艺包括但不限于:CVD、PECVD、溅射、化学溶液沉积或镀覆。在沉积之后,可采用平坦化工艺以使导电材料 74 的上表面基本上与 OSG 电介质 54 或如所

示出的硬掩模 56 的上表面中的任一个共面。导电填充的开口在此可称作嵌入到 OSG 电介质 54 中的导电特征。

虽然已经特别示出并参考其优选实施例描述了本发明，但是本领域技术人员应该理解，可作出形式和细节上的前述改变，而不超出本申请的精神和范围。因此，希望本发明不限于在此描述并示出的确切形式和细节，而是落入到附属权利要求的范围之内。

图1A
(现有技术)

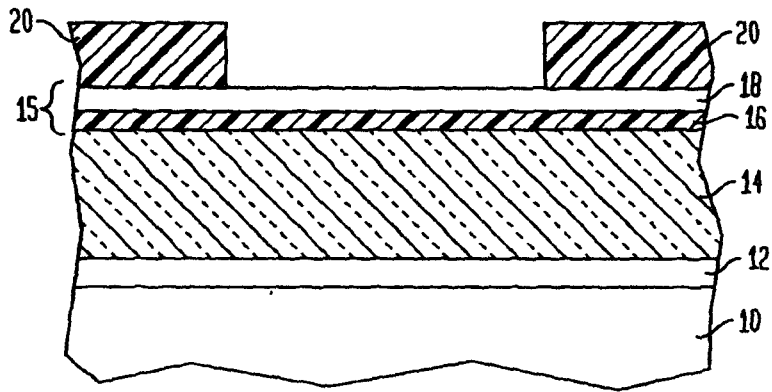


图1B
(现有技术)

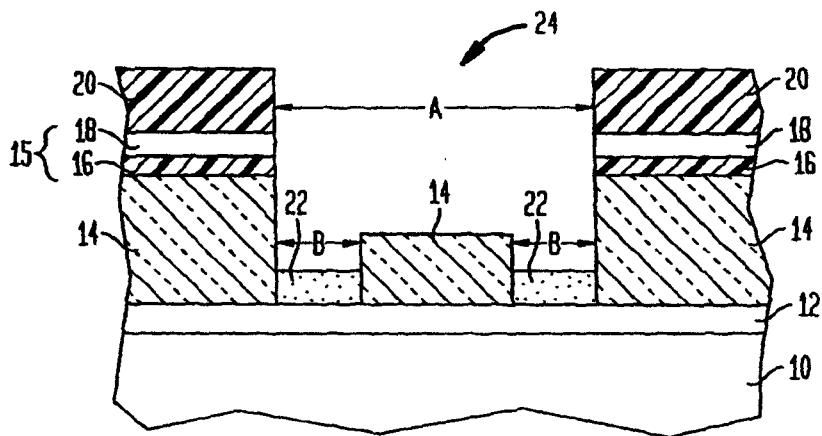


图1C
(现有技术)

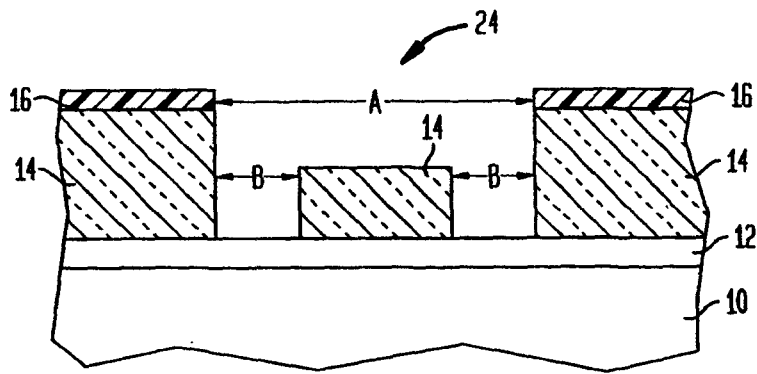


图1D
(现有技术)

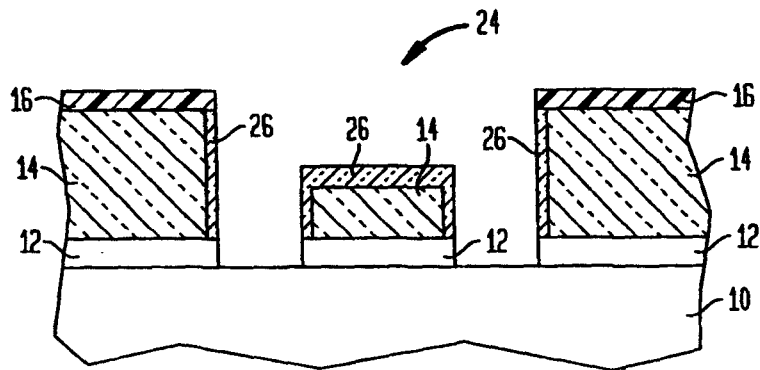


图 2A

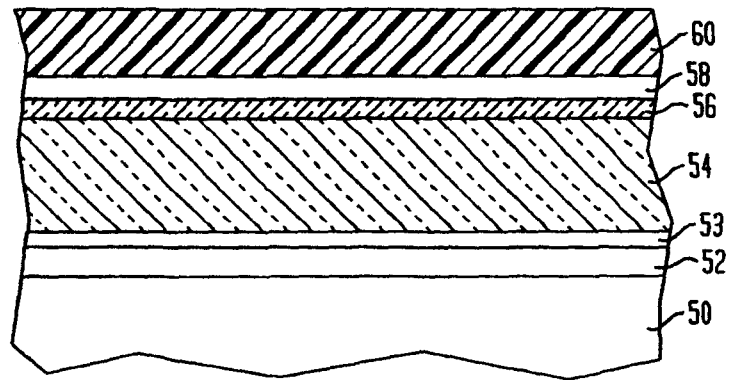


图 2B

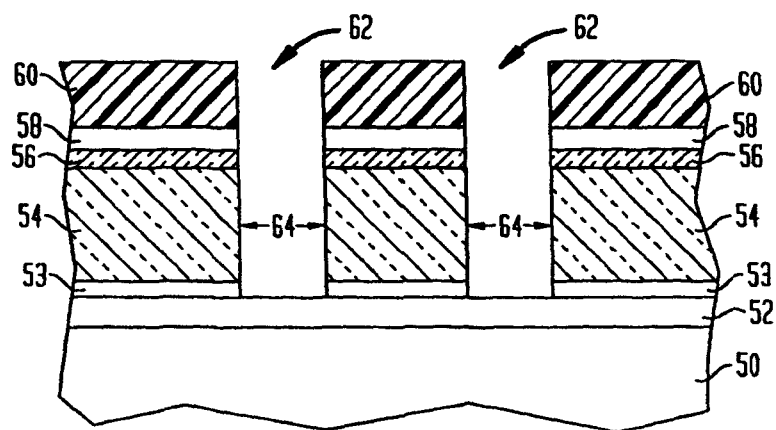


图2C

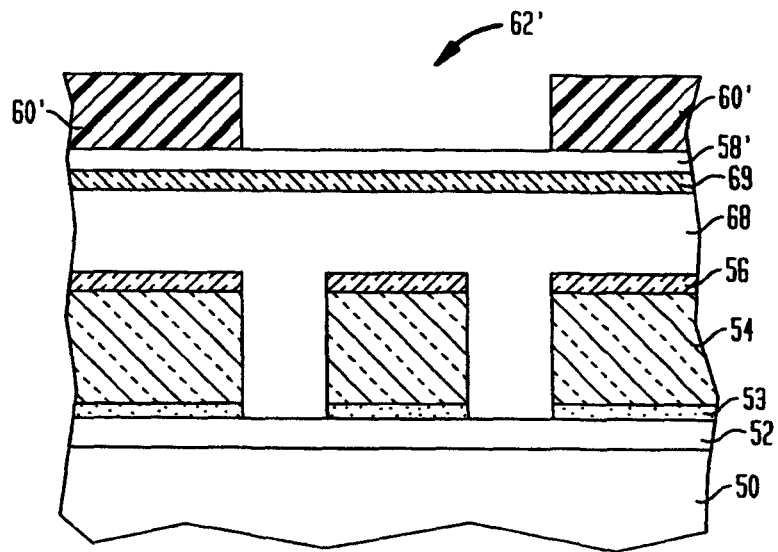


图2D

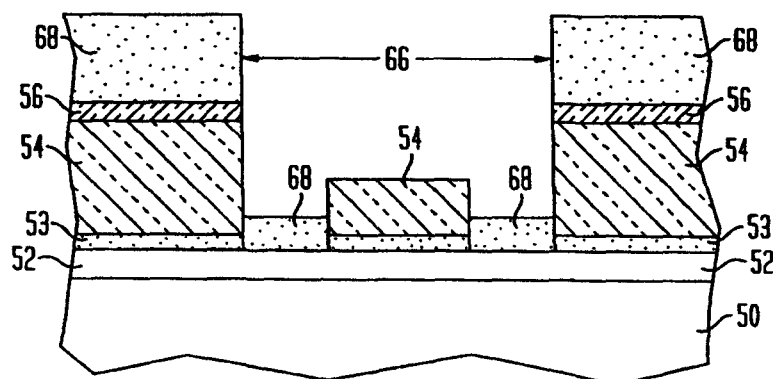


图 2E

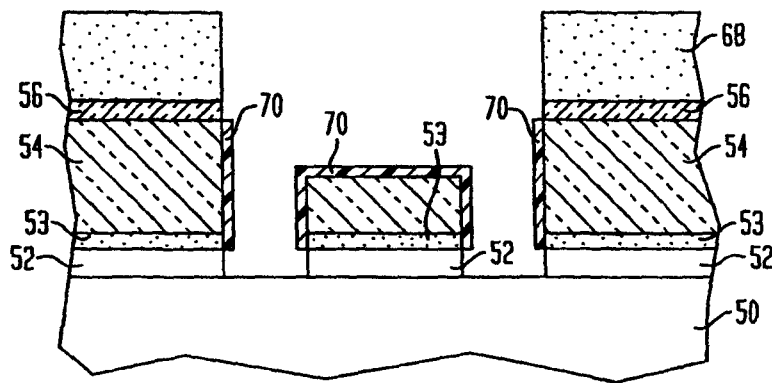


图 2F

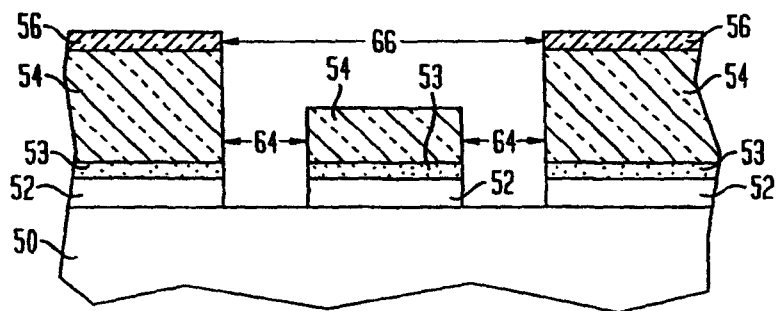


图 2G

