

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-28004
(P2008-28004A)

(43) 公開日 平成20年2月7日(2008.2.7)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 7 O L (全 20 頁)

(21) 出願番号 特願2006-196505 (P2006-196505)
 (22) 出願日 平成18年7月19日 (2006.7.19)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100092820
 弁理士 伊丹 勝
 (74) 代理人 100106389
 弁理士 田村 和彦
 (72) 発明者 伊東 幹彦
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝マイクロエレクトロニクスセン
 ター内
 (72) 発明者 小柳 勝
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝マイクロエレクトロニクスセン
 ター内

最終頁に続く

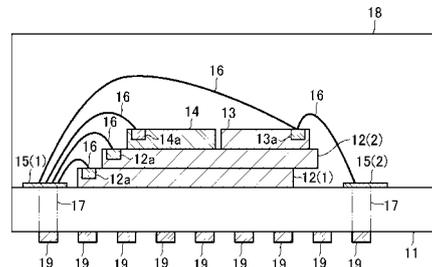
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体チップ及びメモリコントローラのチップ面積を削減して低コストで製造することが可能であり、同時にマルチチップパッケージにおけるチップ間の空間的制約を緩和した半導体装置を提供する。

【解決手段】半導体装置は、パッケージ基板11と、半導体チップ12と、その半導体チップ12を制御するメモリコントローラ13と、半導体キャパシタを有する電源チップ14とを備える。そして、半導体装置は、パッケージ基板11上に半導体チップ12(1)、12(2)が積載され更に、メモリコントローラ13と、電源チップ14とが半導体チップ12(2)上に積載されると共に、半導体キャパシタは、半導体チップ12(1)、12(2)に供給される電圧を安定化させるために用いられる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

基板と、
半導体チップと、
当該半導体チップを制御するメモリコントローラと、
キャパシタを有する電源チップと
を備える半導体装置であって、

前記基板上に前記半導体チップが積載され更に前記メモリコントローラと前記電源チップとが前記半導体チップ上に積載されると共に、前記キャパシタは、前記半導体チップに供給される電圧を安定化させるために用いられていること

を特徴とする半導体装置。

10

【請求項 2】

前記半導体チップと、前記メモリコントローラと、前記電源チップとの各々は、少なくとも一辺に電極を備え、

前記電極が、ボンディングが可能なように、前記半導体チップと、前記メモリコントローラと、前記電源チップとが積載されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記電極は、前記基板上に設けられた基板回路パターンとボンディングワイヤにより電氣的に接続されていることを特徴とする請求項 1 又は 2 記載の半導体装置。

20

【請求項 4】

複数の前記基板回路パターンに電氣的に接続されると共に、前記基板中に設けられた基板配線パターンを

備えることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の半導体装置。

【請求項 5】

前記電源チップは、当該電源チップの端部近傍から他の端部近傍に延びる配線パターンを備えることを特徴とする請求項 1 乃至 4 のいずれか 1 項記載の半導体装置。

【請求項 6】

前記電源チップは、

前記半導体チップ及び前記メモリコントローラの少なくともいずれか一方に電源を供給する電源供給部と、

前記電源供給部により供給される電源を制御する電源制御部と

を備えることを特徴とする請求項 1 乃至 5 のいずれか 1 項記載の半導体装置。

30

【請求項 7】

前記電源チップは、前記半導体チップ及び前記メモリコントローラの少なくともいずれか一方の電位を読み取り、前記読み取った電位のすべての値が予め定めた閾値を超えた場合に、制御信号を出力し、前記半導体チップ及び前記メモリコントローラの少なくとも一方の内部電位を初期化するパワーオンリセット部を備えることを特徴とする請求項 1 乃至 6 のいずれか 1 項記載の半導体装置。

【発明の詳細な説明】

40

【技術分野】**【0001】**

この発明は、電源チップ、半導体チップ、及びメモリコントローラを 1 つのパッケージ内に収容する半導体装置に関するものである。

【背景技術】**【0002】**

従来、1 チップ以上の半導体チップ、メモリコントローラ等を 1 つのパッケージに収容するマルチチップパッケージ (MCP) と呼ばれる技術がある。このマルチチップパッケージによるメモリシステムは、その実装面積を小さくすることができるため、今日広く利用されている。

50

【 0 0 0 3 】

このようなマルチチップパッケージにおいて、パッケージサイズの小型化が進んでいる。このため2つの問題が生じている。第1の問題点は、チップ面積をパッケージに納まるサイズにしなくてはならないということである。第2の問題点は、パッケージ内のチップとパッケージ基板回路パターンとの電氣的接続を行うボンディングワイヤに対し制約が多くなることである。これらの問題は、パッケージ基板上に配置される電源安定化用のキャパシタの存在により更に解決が困難となっており、ボンディングワイヤ及び基板回路パターンとキャパシタとの距離が短くなることにより、歩留りが低下し、その分コストが高くなっている。また、半導体チップ及びメモリコントローラにおいても素子の微細化は急速に進んでいるものの、微細なプロセスに要するコストは高い。

10

【 0 0 0 4 】

一方、内部回路を動作させるために必要な周辺回路、特に内部電位を生成する電源チップは、キャパシタ容量を必要とする等の理由により微細化が進んでいない。よって、そのような電源チップを微細プロセスにて製造するとコストが増大するという問題がある。

【 0 0 0 5 】

この問題に対して占有面積を縮小する様々な工夫が行われている（例えば、特許文献1）。特許文献1に開示された技術においては、ボンディングパッドをセル領域の上部に形成し、周辺回路においてボンディングパッド形成のために用意する領域を設けないことにより、チップ面積を削減することを可能としている。

20

【特許文献1】特開2003-100894号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

本発明は、半導体チップ及びメモリコントローラのチップ面積を削減して低コストで製造することが可能であり、同時にマルチチップパッケージにおけるチップ間の空間的制約を緩和した半導体装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

本発明の一態様に係る半導体装置は、基板と、半導体チップと、当該半導体チップを制御するメモリコントローラと、キャパシタを有する電源チップとを備える半導体装置であって、前記基板上に前記半導体チップが積載され更に前記メモリコントローラと前記電源チップとが前記半導体チップ上に積載されると共に、前記キャパシタは、前記半導体チップに供給される電圧を安定化させるために用いられていることを特徴とする。

30

【発明の効果】

【 0 0 0 8 】

この発明によれば、半導体チップ及びメモリコントローラのチップ面積を削減して低コストで製造することが可能であり、同時にマルチチップパッケージにおけるチップ間の空間的制約を緩和した半導体装置を提供することが可能となる。

【発明を実施するための最良の形態】

【 0 0 0 9 】

先ず、図18を参照して、従来一般的なマルチチップパッケージによる半導体装置（メモリシステム）の構成を説明する。例えば、従来半導体装置は、パッケージ基板101と、そのパッケージ基板101上に重ねて配置された半導体チップ102(1)、102(2)と、その半導体チップ102(2)の上に配置されたメモリコントローラ103とを備える。この半導体チップ102(1)、102(2)及びメモリコントローラ103には、それぞれ電氣的接続が可能なボンディングパッド102a、102a、103aが形成されている。また、半導体装置は、パッケージ基板101上に、基板回路パターン104(1)、104(2)と、キャパシタ105とを備える。これらボンディングパッド102a、103aと、基板回路パターン104(1)、104(2)とは、ボンディングワイヤ106により電氣的に接続されている。また、キャパシタ105の脚部と基板

40

50

回路パターン104(2)とは、基板配線パターン107により電氣的に接続されている。基板回路パターン104(1)或いは104(2)の少なくとも一方は、外部装置(図示略)と電氣的に接続され、各信号等を入出力される。すなわち、外部装置からの信号は、基板回路パターン104(1)、104(2)、基板配線パターン107及びボンディングワイヤ106を介して、半導体チップ102(1)、102(2)、メモリコントローラ103、及びキャパシタ105に供給される。

【0010】

上記のような従来技術にあつては、主にキャパシタ105の占有体積が問題であつた。

【0011】

以下、図面を参照して、本発明の一実施形態に係る半導体装置を説明する。

10

【0012】

[第1実施形態]

図1を参照して、本発明の第1実施形態に係る半導体装置を説明する。図1は、第1実施形態に係る半導体装置の概略図である。

【0013】

図1に示すように、本発明の第1実施形態に係る半導体装置は、パッケージ基板11と、そのパッケージ基板11上に重ねて配置された半導体チップ12(1)、12(2)と、その半導体チップ12(2)の上に配置されたメモリコントローラ13と、キャパシタの機能を内部に有する電源チップ14とを備える。半導体チップ12(1)、12(2)は、例えばNAND型フラッシュメモリ等の記憶装置であるが、特にこれに限定されるものではない。これら半導体チップ12(1)、12(2)、メモリコントローラ13、及び電源チップ14には、それぞれ電氣的接続が可能なボンディングパッド12a、12a、13a、14aが形成されている。これらボンディングパッド12a、13aが互いに重なって隠れてしまうことがないように(換言すれば、ボンディングが可能なように)、2つの半導体チップ12(1)、12(2)、電源チップ14の順に、階段状に積載され、メモリコントローラ13は、電源チップ14と並列して半導体チップ12(2)上に積載されている。また、半導体装置は、パッケージ基板11上に積載された上記構成を封止する封止材18を有し、パッケージ基板11の下面に、半田ボール19を設けている。

20

【0014】

この半導体装置は、パッケージ基板11の上面側の両端に、基板回路パターン15(1)、15(2)を備える。2つの半導体チップ12(1)、12(2)、メモリコントローラ13、及び電源チップ14の各々のボンディングパッド12a、12a、13a、14aは、基板回路パターン15(1)に、ボンディングワイヤ16により電氣的に接続されている。また、メモリコントローラ13のボンディングパッド13aと、基板回路パターン15(1)とは反対側の端部に位置する基板回路パターン15(2)との間は、ボンディングワイヤ16により電氣的に接続されている。また、基板回路パターン15(1)、15(2)と、半田ボール19との間は基板配線パターン17により電氣的に接続されている。

30

【0015】

基板回路パターン15(1)、15(2)は、外部装置(図示略)と電氣的に接続されており、信号が入力されている。すなわち、外部装置からの信号は、半田ボール19から基板回路パターン15(1)、15(2)及びボンディングワイヤ16を介して、半導体チップ12(1)、12(2)、メモリコントローラ13、電源チップ14に供給される。

40

【0016】

次に、図2を参照して、電源チップ14の構成を説明する。図2は、電源チップの構成を示す概略図である。

【0017】

図2に示すように、第1実施形態に係る電源チップ14は、電源が供給される電源電圧用パッド141と、接地された接地電圧用パッド142と、これら電源電圧用パッド14

50

1及び接地電圧用パッド142に接続された半導体キャパシタ143とにより構成されている。なお、電源電圧用パッド141及び接地電圧用パッド142は、図1におけるボンディングパッド14aに対応する。

【0018】

半導体キャパシタ143は、NチャンネルMOSトランジスタにより構成されており、そのゲート電極は、電源電圧用パッド141に接続され、そのソース電極及びドレイン電極は、接地電圧用パッド142に接続されている。

【0019】

このように、電源チップ14の半導体キャパシタ143を有する構成により、外部からの電源電圧が一時的に供給されない状態であっても、半導体キャパシタ143に蓄積された電荷により、半導体チップ12及びメモリコントローラ13の動作に伴い消費される電源電圧の低下を抑制し、これを安定化させることができる。

【0020】

本実施形態においては、従来例においてパッケージ基板上に単独で配置されていたキャパシタの代わりに、半導体チップ12(2)上に半導体キャパシタ143を有する電源チップ14を積載する構成としている。したがって、パッケージが小型化した際の半導体チップ及びメモリコントローラのチップ面積への制約を緩和することができる。

【0021】

さらには、上記第1実施形態の構成によれば、チップ間の空間的制約を緩和することができる。そして、この空間的制約の緩和により、製造時の歩留りが向上するので、低コストでマルチチップパッケージによる半導体装置(メモリシステム)を実現することが可能となる。なお、上記第一実施形態においては、2つの半導体チップ12(1)、12(2)を有する構成としたが、1つの半導体チップ12(1)(或いは12(2))のみを有する構成としてもよい。また、2つ以上の半導体チップを備える構成としてもよい。

【0022】

[第2実施形態]

次に、図3を参照して、本発明の第2実施形態に係る半導体装置の構成を説明する。図3は、本発明の第2実施形態に係る半導体装置の構成を示す側面図である。なお、第1実施形態と同一の構成は、同一符号を付し、その説明を省略する。

【0023】

図3に示すように、第2実施形態に係る半導体装置は、第1実施形態と異なり、電源チップ14'が半導体チップ12(2)上の全面に亘る大きさを有するように形成され、この電源チップ14'上にメモリコントローラ13が積載された構成である。また、2つの半導体チップ12(1)、12(2)と電源チップ14'は、各々のボンディングパッド12a、12a、14'aが重なって隠れてしまうことがないように(換言すれば、ボンディングが可能ないように)、階段上に、半導体チップ12(1)、半導体チップ12(2)、電源チップ14'、メモリコントローラ13の順に積載されている。

【0024】

上記のような第2実施形態に係る半導体装置の構成により、チップ間の空間的制約を緩和することができる。そして、この空間的制約の緩和により、製造時の歩留りが向上するので、低コストでマルチチップパッケージによる半導体装置(メモリシステム)を実現することができる。

【0025】

[第3実施形態]

次に、図4を参照して、本発明の第3実施形態に係る半導体装置の構成を説明する。図4は、本発明の第3実施形態に係る半導体装置の構成を示す側面図である。なお、第2実施形態と同一の構成は、同一符号を付し、その説明を省略する。

【0026】

図4に示すように、第3実施形態に係る半導体装置においては、ボンディングパッド12a、12a、13a、14aが重って隠れてしまうことがないように(換言すれば、ボ

10

20

30

40

50

ンディングが可能ないように)、パッケージ基板 11 上に、半導体チップ 12 (1)、電源チップ 14'、半導体チップ 12 (2)、メモリコントローラ 13 の順に、第 2 実施形態と異なる順番で階段状に積載されている。換言すると、電源チップ 14' は、半導体チップ 12 (1)、12 (2) の間に配置されている。

【0027】

上記のような第 3 実施形態に係る半導体装置の構成により、チップ間の空間的制約を緩和することができる。そして、この空間的制約の緩和により、製造時の歩留りが向上するので、低コストでマルチチップパッケージによる半導体装置(メモリシステム)を実現することができる。

【0028】

[第 4 実施形態]

次に、図 5 を参照して、本発明の第 4 実施形態に係る半導体装置の構成を説明する。図 5 は、本発明の第 4 実施形態に係る半導体装置の構成を示す側面図である。なお、第 3 実施形態と同一の構成は、同一符号を付し、その説明を省略する。

【0029】

図 5 に示すように、第 4 実施形態に係る半導体装置は、第 3 実施形態の構成に、さらに、半導体チップ及び電源チップが、各々 1 つずつ追加されている。すなわち、第 4 実施形態に係る半導体装置は、半導体チップ 12 (1) ~ 12 (3) と、メモリコントローラ 13 と、電源チップ 14' (1)、14' (2) とを有する構成である。これらは、パッケージ基板 11 上に、半導体チップ 12 (1)、電源チップ 14' (1)、半導体チップ 12 (2)、電源チップ 14' (2)、半導体チップ 12 (3) の順に、各々が有するボンディングパッド 12 a、13 a、14' a が互いに重なって隠れてしまうことがないように(換言すれば、ボンディングが可能ないように)階段状に積載され、その半導体チップ 12 (3) 上にメモリコントローラ 13 が配置されている。

【0030】

次に、半導体チップ 12 (1) ~ 12 (3)、メモリコントローラ 13、電源チップ 14' (1)、14' (2) 間の電氣的接続について説明する。半導体チップ 12 (1) ~ 12 (3) のボンディングパッド 12 a、12 a、12 a と、電源チップ 14' (1)、14' (2) のボンディングパッド 14' a、14' a とは、基板回路パターン 15 (1) にボンディングワイヤ 16 により電氣的に接続されている。また、メモリコントローラ 13 のボンディングパッド 13 a は、基板回路パターン 15 (2) に、ボンディングワイヤ 16 により電氣的に接続されている。

【0031】

上記のような第 4 実施形態に係る半導体装置の構成により、チップ間の空間的制約を緩和することができる。そして、この空間的制約の緩和により、製造時の歩留りが向上するので、低コストでマルチチップパッケージによるメモリシステムを実現することができる。

【0032】

なお、本実施形態のように 3 つの半導体チップ 12 (1) ~ 12 (3) に限られることはなく、4 つ以上であってもよい。また、2 つの電源チップ 14' (1)、14' (2) に限られることなく、3 つ以上であってもよい。

【0033】

[第 5 実施形態]

次に、図 6 を参照して、本発明の第 5 実施形態に係る半導体装置の構成を説明する。図 6 は、本発明の第 5 実施形態に係る半導体装置の構成を示す側面図である。なお、第 2 実施形態と同一の構成は、同一符号を付し、その説明を省略する。

【0034】

図 6 に示すように、第 5 実施形態に係る半導体装置は、第 2 実施形態と略同様の構成を有する。第 5 実施形態の半導体装置における第 2 実施形態と異なる構成は、半導体チップ 12 (1)、12 (2) と、電源チップ 14' との積載された位置関係にある。つまり、

10

20

30

40

50

半導体チップ12(1)、電源チップ14'、半導体チップ12(2)、メモリコントローラ13の順に、積載されている。半導体チップ12(1)、12(2)は、積載方向と平行方向に、ボンディングパッド12aが存在する側の端部を揃えて配置されている。一方、電源チップ14'は、その半導体チップ12(1)、12(2)の間に挟まれるように、かつそのボンディングパッド14'a及びボンディングパッド12aが露出してボンディングが可能なように、基板回路パターン15(2)方向にずらして配置されている。

【0035】

次に、半導体チップ12(1)、12(2)と、メモリコントローラ13と、電源チップ14'との間の電氣的接続について説明する。半導体チップ12(1)、12(2)のボンディングパッド12a、12aと、メモリコントローラ13のボンディングパッド13aは、基板回路パターン15(1)に、ボンディングワイヤ16により電氣的に接続されている。また、メモリコントローラ13のボンディングパッド13aと、電源チップ14'のボンディングパッド14'aは、反対側の基板回路パターン15(2)に、ボンディングワイヤ16により電氣的に接続されている。

10

【0036】

上記のような第5実施形態に係る半導体装置の構成により、一段目の半導体チップ12(1)と三段目の半導体チップ12(2)との間に、電源チップ14'が介在しているので、半導体チップ12(1)と半導体チップ12(2)と横方向の位置(ボンディングパッド12aが存在する側の端部)を揃えて積載させ、ボンディングワイヤ16により接続することができる。従って、上述した実施形態に比べ、チップ面積の制約を緩和することができる。

20

【0037】

また、通常このような構成には、スペーサと呼ばれるチップ間挿入物を半導体チップ12(1)、12(2)の間に配置していたため、スペーサの分だけコストが高くなっていた。本実施形態においては、そのスペーサの役割を電源チップ14'が果たすことにより、スペーサが不要となるため、更に低コストのマルチチップパッケージを実現することができる。

【0038】

また、上記第5実施形態による構成によれば、第1~4実施形態と同様に、チップ間の空間的制約を緩和することができる。そして、この空間的制約の緩和により、低コストでマルチチップパッケージによる半導体装置(メモリシステム)を実現することができる。

30

【0039】

[第6実施形態]

次に、図7を参照して、本発明の第6実施形態に係る半導体装置の構成を説明する。図7は、本発明の第6実施形態に係る半導体装置の構成を示す側面図である。なお、第5実施形態と同一の構成は、同一符号を付し、その説明を省略する。

【0040】

図7に示すように、第6実施形態に係る半導体装置は、第5実施形態と略同様の構成を有する。第6実施形態に係る半導体装置は、基板回路パターン15(1)と基板回路パターン15(2)とが、パッケージ基板11内に設けられた基板配線パターン17'により電氣的に接続されている点で、第5実施形態と異なる。

40

【0041】

次に、半導体チップ12(1)、12(2)と、メモリコントローラ13と、電源チップ14'との間の電氣的接続について説明する。半導体チップ12(1)、12(2)のボンディングパッド12a、12aは、基板回路パターン15(1)に、ボンディングワイヤ16により電氣的に接続されている。また、メモリコントローラ13のボンディングパッド13aと、電源チップ14'のボンディングパッド14'aは、基板回路パターン15(2)に、ボンディングワイヤ16により電氣的に接続されている。

【0042】

上記のような第6実施形態に係る半導体装置の構成により、第5実施形態と比較して、

50

ボンディングワイヤ16の長さを短くすることができる。したがって、ボンディングワイヤ16の長さに比例するインダクタンスが低減され、電源電位の変動を小さくすることが可能となる。

【0043】

また、上記第6実施形態による構成によれば、第1～5実施形態と同様に、チップ間の空間的制約を緩和することができる。そして、この空間的制約の緩和により、低コストでマルチチップパッケージによる半導体装置（メモリシステム）を実現することができる。

【0044】

[第7実施形態]

次に、図8を参照して、本発明の第7実施形態に係る半導体装置の構成を説明する。図8は、本発明の第7実施形態に係る半導体装置の構成を示す側面図である。なお、第7実施形態と同一の構成は、同一符号を付し、その説明を省略する。

10

【0045】

図8に示すように、第7実施形態に係る半導体装置は、第5実施形態の構成に、さらに、半導体チップ12及び電源チップ14が、各々1つずつ追加されている。すなわち、第7実施形態に係る半導体装置は、半導体チップ12(1)～12(3)と、メモリコントローラ13と、これらに挟まれる電源チップ14'(1), 14'(2)とを有する構成である。これらは、半導体チップ12(1)、電源チップ14'(1)、半導体チップ12(2)、電源チップ14'(2)、半導体チップ12(3)、メモリコントローラ13の順に、積載されている。半導体チップ12(1)～12(3)は、ボンディングパッド12aが存在する側の端部を積載方向と平行方向に揃えて配置されている。電源チップ14'(1), 14'(2)は、半導体チップ12(1), 12(2), 12(3)に挟まれるように、かつそのボンディングパッド14'a上及びボンディングパッド12aが露出してボンディングが可能ないように、基板回路パターン15(2)の方向にずらして配置されている。

20

【0046】

次に、上記積載された半導体チップ12(1)～12(3)と、メモリコントローラ13と、電源チップ14'(1), 14'(2)との間の電気的接続について説明する。半導体チップ12(1)～12(3)のボンディングパッド12a, 12a, 12aと、メモリコントローラ13のボンディングパッド13aは、基板回路パターン15(1)に、ボンディングワイヤ16により電気的に接続されている。また、メモリコントローラ13のボンディングパッド13aとは、電源チップ14'(2)のボンディングパッド14'aに、ボンディングワイヤ16により電気的に接続されている。また、電源チップ14'(1), 14'(2)のボンディングパッド14'a, 14'aは、基板回路パターン15(2)に、ボンディングワイヤ16により電気的に接続されている。

30

【0047】

上記のような第7実施形態の構成によれば、第1～6実施形態と同様に、チップ間の空間的制約を緩和することができる。そして、この空間的制約の緩和により、低コストでマルチチップパッケージによる半導体装置（メモリシステム）を実現することができる。

【0048】

40

[第8実施形態]

次に、図9を参照して、本発明の第8実施形態に係る半導体装置の構成を説明する。図9は、本発明の第8実施形態に係る半導体装置の構成を示す側面図である。なお、第7実施形態と同一の構成は、同一符号を付し、その説明を省略する。

【0049】

図9に示すように、第8実施形態に係る半導体装置は、第7実施形態と略同様の構成を有する。第8実施形態に係る半導体装置は、基板回路パターン15(1)と基板回路パターン15(2)とが、パッケージ基板11内に設けられた基板配線パターン17'により電気的に接続されている点で、第7実施形態と異なる。

【0050】

50

次に、上記積載された半導体チップ12(1)~12(3)と、メモリコントローラ13と、電源チップ14'(1),14'(2)との間の電氣的接続について説明する。

【0051】

半導体チップ12(1)~(3)のボンディングパッド12a,12a,12aは、基板回路パターン15(1)に、ボンディングワイヤ16により電氣的に接続されている。また、メモリコントローラ13のボンディングパッド13aは、電源チップ14'(2)のボンディングパッド14'aに、ボンディングワイヤ16により電氣的に接続されている。また、電源チップ14'(1),14'(2)のボンディングパッド14'a,14'aは、基板回路パターン15(2)に、ボンディングワイヤ16により電氣的に接続されている。

10

【0052】

上記のような第8実施形態に係る半導体装置の構成により、第7実施形態と比較して、ボンディングワイヤの長さを短くすることができる。したがって、ボンディングワイヤの長さに比例するインダクタンスが低減され、電源電位の変動を小さくすることが可能となる。

【0053】

また、上記第8実施形態による構成によれば、第1~7実施形態と同様に、チップ間の空間的制約を緩和することができる。そして、この空間的制約の緩和により、低コストでマルチチップパッケージによる半導体装置(メモリシステム)を実現することができる。

【0054】

20

[第9実施形態]

次に、図10及び図11を参照して、本発明の第9実施形態に係る半導体装置の構成を説明する。図10は、本発明の第9実施形態に係る半導体装置の構成を示す上面図である。

【0055】

図10に示すように、第9実施形態に係る半導体装置は、矩形のパッケージ基板21と、そのパッケージ基板21の上に、矩形の半導体チップ22(1),22(2)、メモリコントローラ23、電源チップ24が積載されている。なお、図示は省略するが、第9実施形態においても、第1~第8実施形態と同様に、封止材及び半田ボールが設けられている。

30

【0056】

パッケージ基板21上には、その一方の短辺端部に沿って、複数の基板回路パターン25(1),25(2)が設けられ、その他方の短辺端部に沿って複数の基板回路パターン25(5)が設けられている。また、パッケージ基板21上には、その一方の長辺端部に沿って、基板回路パターン25(3),25(4)が、設けられている。

【0057】

半導体チップ22(1),22(2)上には、その短辺端部に沿って、ボンディングパッド22a,22aが設けられている。

【0058】

メモリコントローラ23上には、その一方の長辺端部及び一方の短辺端部に沿って、ボンディングパッド23a,23bが設けられている。

40

【0059】

電源チップ24は、図11に示すように、一方の短辺端部に沿って、電源が供給される電源電圧用パッド241と、接地された接地電圧用パッド242とが設けられている。これら電源電圧用パッド241及び接地電圧用パッド242には、半導体キャパシタ243が接続されている。

【0060】

半導体キャパシタ243は、NチャンネルMOSトランジスタにより構成されており、そのゲート電極は、電源電圧用パッド241に接続され、そのソース電極及びドレイン電極は、接地電圧用パッド242に接続されている。

50

【 0 0 6 1 】

また、電源電圧用パッド 2 4 1 から接地電圧用パッド 2 4 2 を結ぶ直線の延長線上に第 1 の配線パッド 2 4 4 a が設けられている。また、長辺端部に沿って第 2 の配線パッド 2 4 4 b が設けられている。上記第 1 及び第 2 の配線パッド 2 4 4 a , 2 4 4 b 間は、配線パターン 2 4 5 により電氣的に接続されている。

【 0 0 6 2 】

次に、パッケージ基板 2 1 と、そのパッケージ基板 2 1 の上に積載された、矩形の半導体チップ 2 2 (1) , 2 2 (2)、メモリコントローラ 2 3、電源チップ 2 4 の配置について説明する。半導体チップ 2 2 (1) , 2 2 (2)、メモリコントローラ 2 3、電源チップ 2 4 は、それらのボンディングパッド 2 2 a , 2 3 a , 2 4 1 , 2 4 2 , 2 4 4 a , 2 4 4 b 等が、上述の実施形態と同様、ボンディングが可能ないようにずらして配置される。

10

【 0 0 6 3 】

半導体チップ 2 2 (1) は、そのボンディングパッド 2 2 a をパッケージ基板 2 1 の基板回路パターン 2 5 (1) , 2 5 (2) に隣接させる向きに、パッケージ基板 2 1 上に積載されている。

【 0 0 6 4 】

電源チップ 2 4 は、その電源電圧用パッド 2 4 1 , 接地電圧用パッド 2 4 2 , 及び第 1 配線パッド 2 4 4 a をパッケージ基板 2 1 の基板配線パターン 2 5 (5) と隣接させる向きにして、半導体チップ 2 2 (1) 上に積載されている。

20

【 0 0 6 5 】

半導体チップ 2 2 (2) は、そのボンディングパッド 2 2 a を半導体チップ 2 2 (1) のボンディングパッド 2 2 a に隣接させる向きに、電源チップ 2 4 上に積載されている。

【 0 0 6 6 】

メモリコントローラ 2 3 は、そのボンディングパッド 2 3 a を電源チップ 2 4 の配線パッド 2 4 4 a に隣接させる向きに、半導体チップ 2 2 (2) 上に積載されている。

【 0 0 6 7 】

次に、再び図 1 0 を参照してこれら半導体チップ 2 2 (1) , 2 2 (2)、メモリコントローラ 2 3、電源チップ 2 4 の間の電氣的接続について説明する。これらの間は、ボンディングワイヤ 2 6 により接続されている。ここで、ボンディングワイヤ 2 6 により、例えば、チップ「A」に設けられたボンディングパッド「a」とチップ「B」に設けられたボンディングパッド「b」とが電氣的に接続されている場合に、「A { a } - B { b }」と記載する。本実施形態のボンディングワイヤ 2 6 ([配線 1] ~ [配線 5]) による電氣的接続関係は、5 つの配線群 [配線 1] ~ [配線 5] から構成されている。上記記載を用いれば、以下に示す記載となる。

30

【 0 0 6 8 】

[配線 1] . . . 2 2 (1) { 2 2 a } - 2 1 { 2 5 (1) }
 2 2 (1) { 2 2 a } - 2 1 { 2 5 (2) }
 2 2 (2) { 2 2 a } - 2 1 { 2 5 (1) }
 2 2 (2) { 2 2 a } - 2 1 { 2 5 (2) }

40

[配線 2] . . . 2 3 { 2 3 b } - 2 1 { 2 5 (4) }

[配線 3] . . . 2 3 { 2 3 a } - 2 1 { 2 5 (5) }
 2 4 { 2 4 1 } - 2 1 { 2 5 (5) }
 2 4 { 2 4 2 } - 2 1 { 2 5 (5) }

[配線 4] . . . 2 4 { 2 4 4 b } - 2 1 { 2 5 (3) }

[配線 5] . . . 2 3 { 2 3 a } - 2 4 { 2 4 4 a }

上記のように構成された第 9 実施形態に係る半導体装置は、電源チップ 2 4 が、配線パターン 2 4 5 を有する構成であるので、長距離におよぶパッド間の接続にボンディングワイヤを用いる必要が低減される。例えば、図 1 0 においては、メモリコントローラ 2 3 のボンディングパッド 2 3 a から、配線パターン 2 4 5 を介して、基板回路パターン 2 5 (

50

3) に電氣的に接続することが可能となっている。

【0069】

したがって、隣接するボンディングワイヤ26が、接触してショートする等の危険性が、抑制される。また、ボンディングワイヤ26の長さを短くすることができるので、インダクタンスを低減することが可能となる。

【0070】

また、上記第9実施形態による構成によれば、第1～8実施形態と同様に、チップ間の空間的制約を緩和することができる。そして、この空間的制約の緩和により、低コストでマルチチップパッケージによる半導体装置(メモリシステム)を実現することができる。

【0071】

[第10実施形態]

次に、図12を参照して、本発明の第10実施形態に係る半導体装置の構成を説明する。図12は、本発明の第10実施形態に係る半導体装置の構成を示す上面図である。なお、第9実施形態と同一の構成は、同一符号を付し、その説明を省略する。

【0072】

第10実施形態に係る半導体装置の第9実施形態と異なる構成は、矩形のメモリコントローラ23'、電源チップ24'の構成、及びそれらの積載された位置関係である。

【0073】

メモリコントローラ23'は、矩形であって、その2つの長辺端部に沿ってそれぞれ配列されたボンディングパッド23'a, 23'b'と、その一方の短辺端部に沿って配列されたボンディングパッド23'cとを備えている。

【0074】

電源チップ24'は、矩形であって、その一方の長辺端部に沿って、複数の電源電圧用パッド241'、及び複数の接地電圧用パッド242'が形成されている。また、電源チップ24'の他方の長辺端部に沿って、複数の第1配線パッド244'aが形成されている。一方、電源チップ24'の一方の短辺端部に沿って、第2配線パッド244'bが形成されている。上記第1配線パッド244'aと第2配線パッド244'bとの間は、配線パターン245'により電氣的に接続されている。

【0075】

次に、パッケージ基板21と、そのパッケージ基板21の上に積載された、半導体チップ22(1), 22(2)、メモリコントローラ23'、電源チップ24'の配置について説明する。なお、各々のボンディングパッド22a, 23'a, 23'b, 23'c, 244'a, 244'b, 241', 242'等がボンディング可能なようずらして配置されているのは、前記実施形態と同様である。

【0076】

半導体チップ22(1)は、そのボンディングパッド22aをパッケージ基板21の基板回路パターン25(1), 25(2)に隣接させる向きに、パッケージ基板21上に積載されている。

【0077】

半導体チップ22(2)は、そのボンディングパッド22aを半導体チップ22(1)のボンディングパッド22aに隣接させる向きに、半導体チップ22(1)上に積載されている。

【0078】

電源チップ24'は、その配線パッド244'bをパッケージ基板21の基板配線パターン25(3)と隣接させる向きに、半導体チップ22(2)上に積載されている。換言すると、半導体チップ24'は、その電源電圧用パッド241'及び接地電圧用パッド242'を半導体チップ22(2)のボンディングパッド22aに隣接させる向きに、その配線パッド244'aをパッケージ基板21の基板配線パターン25(5)側に向けて、配置されている。

【0079】

10

20

30

40

50

キャパシタ 243' ' に接続されている。また、電源チップ 24' ' には、その他方の短辺端部に沿って第 1 配線パッド 244' ' a が設けられ、その一方の短辺端部に沿って第 2 配線パッド 244 b' ' が設けられている。これら第 1 配線パッド 244 a' ' と第 2 配線パッド 244 b' ' とは、配線パターン 245' ' により電氣的に接続されている。

【0087】

次に、パッケージ基板 21 と、そのパッケージ基板 21 の上に積載された、半導体チップ 22 (1), 22 (2)、メモリコントローラ 23' '、電源チップ 24' ' の配置について説明する。

【0088】

半導体チップ 22 (1) は、そのボンディングパッド 22 a をパッケージ基板 21 の基板回路パターン 25 (1), 25 (2) に隣接させる向きに、パッケージ基板 21 上に積載されている。

10

【0089】

半導体チップ 22 (2) は、そのボンディングパッド 22 a を半導体チップ 22 (1) のボンディングパッド 22 a に隣接させる向きに、半導体チップ 22 (1) 上に積載されている。

【0090】

電源チップ 24' ' は、その配線パッド 244' ' b を半導体チップ 22 (2) のボンディングパッド 22 a に隣接させる向きに、半導体チップ 22 (2) 上に積載されている。

20

【0091】

メモリコントローラ 23' ' は、そのボンディングパッド 23' ' b を電源チップ 24' ' の配線パッド 244' ' a に隣接させる向きに、半導体チップ 22 (2) 上に、電源チップ 24' ' と並列して積載されている。

【0092】

次に、これら半導体チップ 22 (1), 22 (2)、メモリコントローラ 23' '、電源チップ 24' ' の間の電氣的接続について説明する。これらの間は、ボンディングワイヤ 26 により接続されている。本実施形態のボンディングワイヤ 26 による電氣的接続関係は、以下に示す 5 つの配線群 [配線 1' '] ~ [配線 5' '] から構成されている。

【0093】

[配線 1' '] . . . 21 { 25 (1) } - 24' ' { 244' ' b }

[配線 2' '] . . . 22 (1) { 22 a } - 21 { 25 (2) }

22 (2) { 22 a } - 21 { 25 (2) }

24' ' { 241' ' } - 21 { 25 (2) }

24' ' { 242' ' } - 21 { 25 (2) }

[配線 3' '] . . . 23' ' { 23' ' c } - 21 { 25 (4) }

[配線 4' '] . . . 23' ' { 23' ' a } - 21 { 25 (5) }

[配線 5' '] . . . 23' ' { 23' ' b } - 24' ' { 244' ' a }

上記のように構成された第 1 1 実施形態に係る半導体装置は、電源チップ 24' ' が、配線パターン 245' ' を有する構成であるので、長距離におよぶパッド間の接続にボンディングワイヤ 26 を用いる必要が低減される。例えば、図 13 においては、メモリコントローラ 23' ' のボンディングパッド 23' ' b から、配線パターン 245' ' を介して、基板回路パターン 25 (1) に電氣的に接続することが可能となっている。

40

【0094】

したがって、隣接するボンディングワイヤ 26 が、接触してショートする等の危険性が、抑制される。又は、ボンディングワイヤ 26 によるインダクタンスを低減させることが可能となる。

【0095】

また、上記第 1 1 実施形態による構成によれば、第 1 ~ 10 実施形態と同様に、チップ間の空間的制約を緩和することができる。そして、この空間的制約の緩和により、低コス

50

トでマルチチップパッケージによる半導体装置（メモリシステム）を実現することができる。

【0096】

[第12実施形態]

次に、図15を参照して、本発明の第12実施形態に係る半導体装置の構成を説明する。図15は、本発明の第12実施形態に係る半導体装置の電源チップの構成を示す上面図である。なお、半導体装置の全体の構成は、第1～第11実施形態のいずれの形態であってもよい。

【0097】

第12実施形態に係る電源チップ24Aの構成は、外部からの電源を供給する上記電源チップとは異なり、内部電源を生成する機能を搭載している。図15に示すように、電源チップ24Aは、上記構成と同様に、電源電圧用パッド24A1と、接地電圧用パッド24A2と、それら電源電圧用パッド24A1及び接地電圧用パッド24A2に接続された半導体キャパシタ24A3を備える。また、電源チップ24Aは、上記構成に加え、電源電圧用パッド24A1、接地電圧用パッド24A2に接続された内部電位を生成する電源供給回路24A5と、その内部電位を制御する電源制御回路24A5とを備えている。また、電源制御回路24A4には、メモリコントローラ23からの制御信号をやり取りする制御信号パッド24A6が設けられており、電源供給回路24A4には、内部電源を供給する内部電源供給パッド24A7が設けられている。

10

【0098】

上記構成によれば、第12実施形態に係る半導体装置は、電源チップ24A内において、内部電源を生成して、半導体チップ22、及びメモリコントローラ23に供給する構成を有する。したがって、第12実施形態の半導体装置は、各半導体チップ及びメモリコントローラに電源制御回路24A4、電源供給回路24A5を設ける必要がない。したがって、半導体チップ及びメモリコントローラの面積を削減できる。更に、パッケージが小型化した際の空間的制約を緩和することができる。

20

【0099】

また、上記第12実施形態による構成によれば、チップ間の空間的制約を緩和することができる。そして、この空間的制約の緩和により、低コストでマルチチップパッケージによる半導体装置（メモリシステム）を実現することができる。

30

【0100】

[第13実施形態]

次に、図16を参照して、本発明の第13実施形態に係る半導体装置の構成を説明する。本発明の第13実施形態に係る半導体装置は、第12実施形態に係る電源チップ24Aの電源制御回路24A4にパワーオンリセット回路24A8を備えた構成である。図16は、本発明の第13実施形態に係る半導体装置のパワーオンリセット回路の構成を示す回路図である。なお、パワーオンリセット回路24A8は、半導体チップ22及びメモリコントローラ23の内部電位を初期化し、外部装置との信号のやり取りを可能とするものである。

【0101】

図16に示すように、本発明の第13実施形態に係る半導体装置のパワーオンリセット回路24A8は、複数のパワーオン検知回路24A9と、パワーオン検知回路24A9の出力側に設けられたインバータG1、G2、G3と、それらインバータG1、G2、G3の出力が入力されるNANDゲートG4と、NANDゲートG4からの信号が入力されるインバータG5とにより構成されている。なお、図16においては、3つのパワーオン検知回路24A9により構成されているが、さらに複数のパワーオン検知回路24A9を備える構成であってもよい。

40

【0102】

パワーオン検知回路24A9は、2つのPMOSトランジスタT2、T3と、NMOSトランジスタT4と、抵抗R4とにより構成されている。PMOSトランジスタT2、T

50

3のソース電極は、半導体チップ22、或いはメモリコントローラ23の内部電圧に、ボンディングワイヤ26を介して接続されている。なお、3つの各パワーオン検知回路24A9のソース電極が接続された電源電圧を、 V_{cc1} 、 V_{cc2} 、 V_{cc3} とする。

【0103】

トランジスタT2のドレイン電極は、トランジスタT2とトランジスタT3のゲート電極及びNMOSTランジスタT4のソース電極の一方の端子に共通接続されている。抵抗R1のもう一方の端子及びNMOSTランジスタT4のドレイン電極は、接地電位 V_{ss} に接続されている。また、PMOSTランジスタT3とNMOSTランジスタT4とのドレイン電極は、互いに接続されており、PMOSTランジスタT2、T3及びNMOSTランジスタT4のゲート電極は、PMOSTランジスタT2と抵抗R1とが接続されたノードN1に接続されている。

10

【0104】

次に、図17を参照して、パワーオンリセット回路24A8の動作を説明する。ここで、上記ノードN1の電位をb、各パワーオン検知回路24A9からの出力信号の電位をc、e、g、各インバータG1、G2、G3からの出力信号の電位をd、f、h、NANDゲートG4からの出力信号の電位をPWRONとする。

【0105】

図17に示すように、電源電位 V_{cc} が、オフ状態から次第に上がっていくと、半導体チップ22及びメモリコントローラ23内部電圧 V_{cc1} 、 V_{cc2} 、 V_{cc3} は、それに伴って、各々上昇していく。但し、その上昇率は、配線の抵抗、容量等により各半導体チップ22及びメモリコントローラ23毎に異なる。各々のパワーオン検知回路24A9のノードの電位bが、NMOSTランジスタT4の閾値よりも高くなると、トランジスタT4がオンして、電位c、e、gは「Low」に遷移する。全てのパワーオン検知回路24A9からの電位c、e、gが「Low」になると、電位d、f、hがすべて「High」となるので、電位PWRONは「Low」から「High」へ遷移する。

20

【0106】

この電位PWRONが電源チップ24から、半導体チップ22及びメモリコントローラ23へ出力されることにより、半導体チップ22及びメモリコントローラ23は、内部電位を初期化し、外部装置との信号のやり取りが可能となる。

【0107】

したがって、上記第13実施形態による構成によれば、半導体チップ22及びメモリコントローラ23にパワーオンリセット回路24A8を設ける必要がないため、半導体チップ及びメモリコントローラの面積を削減できる。更に、パッケージを小型化した際の空間的制約を緩和することができる。

30

【0108】

また、上記第13実施形態による構成によれば、第1～12実施形態と同様にチップ間の空間的制約を緩和することができる。そして、この空間的制約の緩和により、低コストでマルチチップパッケージによる半導体装置(メモリシステム)を実現することができる。

【図面の簡単な説明】

40

【0109】

【図1】本発明の第1実施形態に係る半導体装置の概略側面図である。

【図2】本発明の第1実施形態に係る半導体装置の電源チップの概略図である。

【図3】本発明の第2実施形態に係る半導体装置の概略側面図である。

【図4】本発明の第3実施形態に係る半導体装置の概略側面図である。

【図5】本発明の第4実施形態に係る半導体装置の概略側面図である。

【図6】本発明の第5実施形態に係る半導体装置の概略側面図である。

【図7】本発明の第6実施形態に係る半導体装置の概略側面図である。

【図8】本発明の第7実施形態に係る半導体装置の概略側面図である。

【図9】本発明の第8実施形態に係る半導体装置の概略側面図である。

50

【図10】本発明の第9実施形態に係る半導体装置の概略上面図である。

【図11】本発明の第9実施形態に係る半導体装置の電源チップの概略上面図である。

【図12】本発明の第10実施形態に係る半導体装置の概略上面図である。

【図13】本発明の第11実施形態に係る半導体装置の概略上面図である。

【図14】本発明の第11実施形態に係る半導体装置の電源チップの概略上面図である。

【図15】本発明の第12実施形態に係る半導体装置の電源チップの概略上面図である。

【図16】本発明の第13実施形態に係る半導体装置のパワーオンリセット回路の概略図である。

【図17】本発明の第13実施形態に係る半導体装置のパワーオンリセット回路の動作タイミングを示す波形図である。

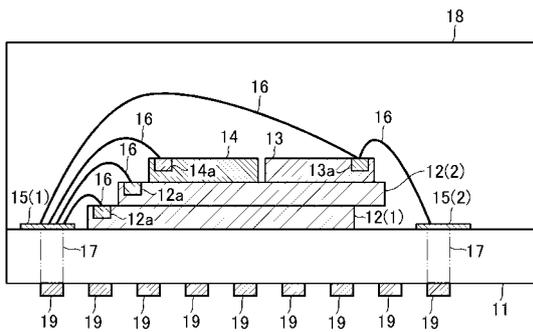
【図18】従来の半導体装置の概略側面図である。

【符号の説明】

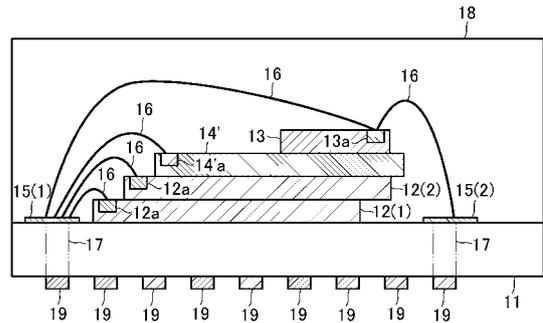
【0110】

11, 21...パッケージ基板、12, 22...半導体チップ、12a...ボンディングパッド、13, 23...メモリコントローラ、13a...ボンディングパッド、14, 14', 24, 24', 24'', 24A...電源チップ、141...電源電圧用パッド、142...接地電圧用パッド、143, 243, 243''...半導体キャパシタ、15, 25...基板回路パターン、16, 26...ボンディングワイヤ、17, 17', 25(1)~25(5)...基板配線パターン、18...封止材、19...半田ボール。

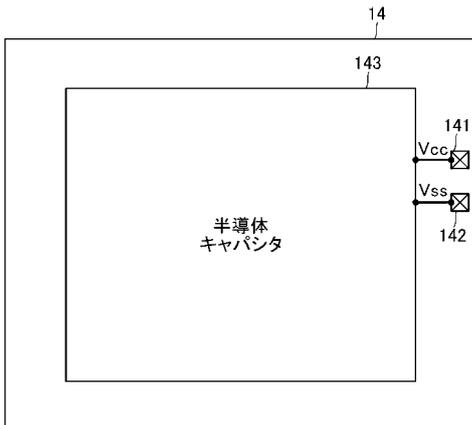
【図1】



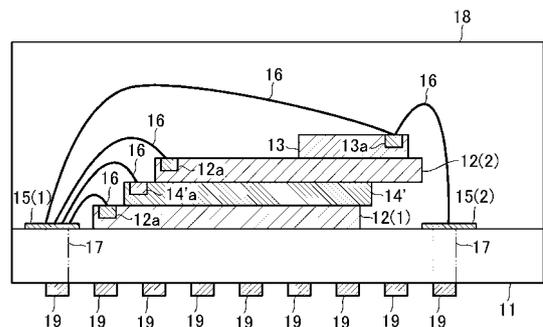
【図3】



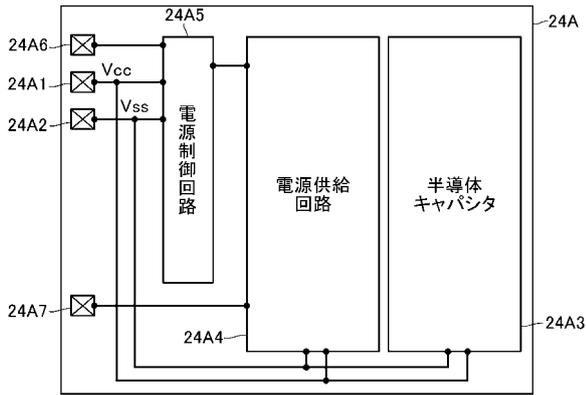
【図2】



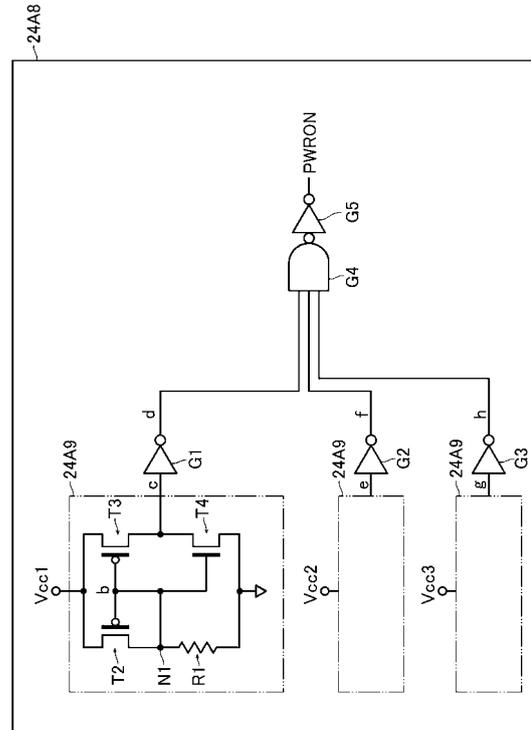
【図4】



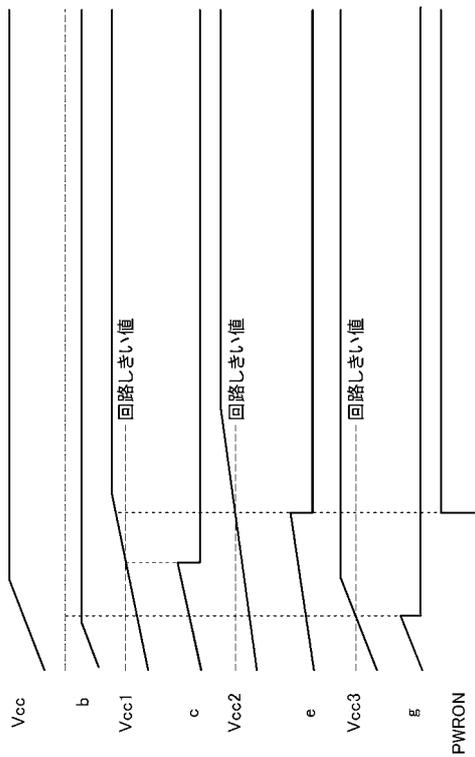
【 図 1 5 】



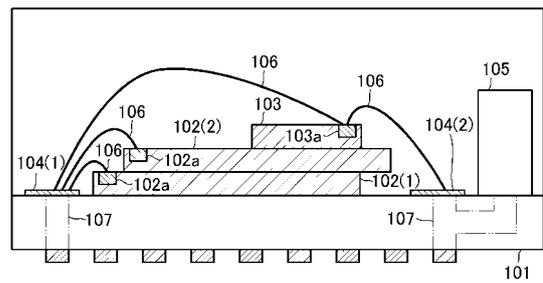
【 図 1 6 】



【 図 1 7 】



【 図 1 8 】



フロントページの続き

(72)発明者 松寺 克樹

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内