

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93124851

※申請日期：93.8.18

※IPC 分類：G02F 1/33(2006.01)

一、發明名稱：(中文/英文)

陣列基板、液晶顯示裝置及陣列基板之製造方法

ARRAY SUBSTRATE, LIQUID CRYSTAL DISPLAY, AND METHOD
OF MANUFACTURING ARRAY SUBSTRATE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東芝松下顯示技術股份有限公司

TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO., LTD.

代表人：(中文/英文)

米澤 敏夫

YONEZAWA, TOSHIO

住居所或營業所地址：(中文/英文)

日本國東京都港區港南4丁目1番8號

1-8, KONAN 4-CHOME, MINATO-KU, TOKYO 108-0075, JAPAN

國籍：(中文/英文)

日本 JAPAN

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 松浦 由紀
MATSUURA, YUKI
2. 石田 有親
ISHIDA, ARICHIKA

國 籍：(中文/英文)

- 1.2.均日本 JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2003年08月18日；特願2003-294583
- 2.

無主張專利法第二十七條第一項國際優先權：

- 1.
- 2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

等雜質，製成n型或p型之方法。

具體之液晶顯示裝置用之陣列基板之製造方法係於玻璃基板上形成非晶半導體層之後，將此非晶半導體層進行雷射光束退火，製成多晶半導體層之後進行圖案化。此後，於包含此多晶半導體層之玻璃基板上，將閘極絕緣膜成膜。

此時，若像素輔助電容未大於某程度，將無法保持此像素輔助電容，因此閘極絕緣膜之膜厚宜儘量薄。因此，製成在多晶半導體層上形成閘極絕緣膜，於此閘極絕緣膜形成閘極電極之層之構造。因此，形成此閘極電極之前，將光阻圖案化，藉由摻雜注入n型摻雜物(PH_3)，分別形成n-ch薄膜電晶體(TFT)之 n^+ 區域、像素電容及作為電路部之電容區域之電容部。

並且，於含有此等 n^+ 區域、像素電容及電路部之電容部之各別之閘極絕緣膜上將閘極電極成膜後，將成為p-ch薄膜電晶體(TFT)用之閘極電極圖案化之後，將p型摻雜物(B_2H_5)作為雜質注入，形成p-ch薄膜電晶體之 p^+ 區域。

接著，將n-ch薄膜電晶體側之閘極電極圖案化之後，將此等n-ch薄膜電晶體及p-ch薄膜電晶體分別退火之後，使此等n-ch薄膜電晶體之 n^+ 區域及p-ch薄膜電晶體之 p^+ 區域分別活化，其次於包含此等n-ch及p-ch薄膜電晶體之閘極電極之閘極絕緣膜上，將層間絕緣膜成膜。

並且，於此層間絕緣膜形成接觸孔洞，連通n-ch薄膜電晶體之 n^+ 區域及p-ch薄膜電晶體之 p^+ 區域之後，於包含此等接觸孔洞之層間絕緣膜上形成導電層。此後，將此導電層

圖案化，形成電性地連接於n-ch薄膜電晶體之 n^+ 區域及p-ch薄膜電晶體之 p^+ 區域之源極電極及汲極電極之構成係為人所知。此構成揭示於例如：特開2002-359252號公報(第7-10頁、圖8-圖9)。

於此液晶顯示裝置，作為閘極配線係採用鉬-鎢(MoW)或鉬-鉭(MoTa)等含鉬合金。而且，此液晶顯示裝置之閘極電極亦閘極配線之抽取線、像素電容配線及電路電容配線分別於一層一體地形成。

鉬合金具有耐熱性，作為可耐於 500°C 以上、 600°C 以下程度之熱活化之熱退火之材料而用於閘極電極。然而，由於膜厚300 nm之鉬合金之片電阻(Sheet Resistance)高達 $0.5 \Omega/\text{cm}^2$ ，因此若細線化，電阻將變高，故無法將閘極電極微細化。

為了使此閘極電極低電阻，使用比鉬合金低電阻之材料，例如：具有泛用性之鋁(Al)或鋁-銅(AlCu)等鋁合金亦可。然而，關於此鋁合金，由於在後續工序之熱活化之際之溫度高，因此配線容易短路，唯恐產生電致遷移(Electromigration)所造成之電阻劣化或斷線等所引起之可靠度劣化的問題。亦即，於熱活化之際，若以高溫將鋁或鋁合金退火，將產生突起物，配線間容易短路。因此，由製程的觀點考量，難以將閘極電極低電阻化。

並且，於採用鋁-釹(AlNd)之情況，即使以 500°C 以下的溫度退火，雖不發生可靠度等問題，但在加工精度及生產性仍有問題。亦即，若於採用此鋁-釹之情況細線化至 $2 \mu\text{m}$

以下，由於在濕式蝕刻難以控制線寬之變動，因此薄膜電晶體之閘極電極長度之變動變大。因此，成為此薄膜電晶體之電晶體特性變動的原因，故採用可控制此變動之乾式蝕刻進行加工。

【發明內容】

然而，以上述液晶顯示裝置之閘極電極為鋁-銨，將此閘極電極進行乾式蝕刻時，氯化鋁($AlCl_3$)等蝕刻產生物大量附著於乾式蝕刻裝置之處理室內壁面，故不易提升生產性。因此，在需要閘極電極細線化之製品，由加工的觀點考量，難以將鋁-銨作為閘極電極使用。故，具有難以將閘極電極細線化及低電阻化的問題。

本發明係有鑑於此點所實現者，其目的在於提供一種可將第一導電層細線化及低電阻化之陣列基板、液晶顯示裝置及陣列基板之製造方法。

有關本發明之態樣之陣列基板具備：

透光性基板；

複數多晶半導體層，其係設於此透光性基板之一主面者；

閘極絕緣膜，其係設於包含此等複數多晶半導體層之前述透光性基板之一主面者；

第一導電層，其係與前述複數多晶半導體層之任何之一對向而經由前述閘極絕緣膜設置者；及

第二導電層，其具備：配線部，其係設於此第一導電層之一主面，電性連接於此第一導電層者；及電容配線部，其係與前述複數多晶半導體層之任何其他對向而經由前述

閘極絕緣膜設置，在與此多晶半導體層之間形成電容者。

又，關於本發明之其他態樣之液晶顯示裝置具備：

陣列基板，其具有：透光性基板；複數多晶半導體層，其係設於此透光性基板之一主面者；閘極絕緣膜，其係設於包含此等複數多晶半導體層之前述透光性基板之一主面者；第一導電層，其係與前述複數多晶半導體層之任一對向而經由前述閘極絕緣膜設置者；及第二導電層，其具備：配線部，其係設於此第一導電層之一主面，電性連接於此第一導電層者；及電容配線部，其係與前述複數多晶半導體層之任何其他對向而經由前述閘極絕緣膜設置，在與此多晶半導體層之間形成電容者；

對向基板，其係與此陣列基板對向設置者；及

液晶，其係介插於此對向基板及前述陣列基板之間者。

又，有關本發明之其他態樣之陣列基板之製造方法，其係：

於透光性基板之一主面設置複數多晶半導體層；

於包含此等複數多晶半導體層之前述透光性基板之一主面設置閘極絕緣膜；

於此閘極絕緣膜之一主面設置第一導電層；

將此第一導電層圖案化，形成與前述複數多晶半導體層之任一對向之1對閘極電極；

將此等1對閘極電極之任何之一作為掩模，在與此閘極電極對向之前述多晶半導體層進行摻雜，作為p型開關元件之源極區域及汲極區域；

將此等1對閘極電極之任何其他作為掩模，在與此閘極電極對向之前述多晶半導體層，及前述閘極電極未對向設置之前述多晶半導體層之各個進行摻雜，形成n型開關元件之源極區域與汲極區域及輔助電容之電容部；

於包含前述1對閘極電極之前述閘極絕緣膜之一主面形成第二導電層；

將此第二導電層圖案化，形成前述1對閘極電極對向之一對配線部及與此等1對閘極電極未對向設置之前述多晶半導體層對向之前述輔助電容之輔助電容部。

【實施方式】

以下，參考圖1至圖10，說明有關本發明之第一實施型態之液晶顯示裝置之構成。

於圖1至圖10，作為平面顯示裝置之液晶顯示裝置1為薄膜電晶體方式液晶顯示裝置，具備大致矩形平板狀之陣列基板2。此陣列基板2具有玻璃基板3，其係作為大致透明矩形平板狀之絕緣基板之透光性基板。於此玻璃基板3之一主面之表面上，層疊以氮化矽膜或氧化矽膜等構成之未圖示之底塗層而成膜。

於此底塗層上，作為液晶顯示用之n型開關元件之複數n通道(n-ch)型薄膜電晶體(TFT)4係形成矩陣狀。並且，於此底塗層上，作為液晶顯示用之p型開關元件之複數p通道(p-ch)型薄膜電晶體(TFT)5及作為輔助電容之複數像素輔助電容6之各個係複數形成矩陣狀。

在此，此等薄膜電晶體4、5各個作為1像素構成要素而配

設。並且，此等薄膜電晶體4、5各個具備形成於底塗層上之作為多晶半導體層之多晶矽層11。此多晶矽層11係藉由利用作為非晶半導體之非晶矽之雷射退火所形成之多晶矽所構成。而且，此多晶矽層11具有通道區域12，其係設於此多晶矽層11之中央部之作為活性層者。於此通道區域12之兩側， n^+ 區域或 p^+ 區域之源極區域13及汲極區域14之各個係對向設置。

於分別包含此等通道區域12、源極區域13及汲極區域14之底塗層上，層疊具有絕緣性之氧化矽膜之閘極絕緣膜15而成膜。並且，在與通道區域12對向之閘極絕緣膜15上，層疊以作為第一導電層之第一金屬層72所構成之閘極電極16而成膜。第一金屬層72係藉由含有鉬(Mo)之合金，亦即鉬-鎢(MoW)所構成。在此，此等閘極電極16係經由閘極絕緣膜15而與各薄膜電晶體4、5之通道區域12對向，具有大致與此通道區域12之寬度尺寸相等之寬度尺寸。

於此等閘極電極16上，層疊並形成作為第二導電層之第二金屬層73所構成之作為閘極配線之配線部17。此等配線部17係分別對於各閘極電極16而電性連接，具有與各閘極電極16之寬度尺寸相等之寬度尺寸之閘極電極間配線。在此，此等配線部17係藉由電阻值比閘極電極16小之材質所構成。

另一方面，於連續於薄膜電晶體4、5之底塗層上，層疊並形成以多晶矽構成之像素輔助電容6。此像素輔助電容6係鄰接於p通道型薄膜電晶體5而設置，設置於經由此薄膜

電晶體5之n通道型薄膜電晶體4之相反側。

此像素輔助電容6配置在玻璃基板3上之與薄膜電晶體4、5相同之平面上。又，此像素輔助電容6具備以多晶矽構成之電容部22。此電容部22係藉由利用作為非晶半導體之非晶矽之雷射退火所形成之多晶矽而構成。又，此電容部22係採用與各薄膜電晶體4、5之多晶矽層11相同之工序所形成，並層疊於底塗層上。

於包含之電容部22之底塗層上，層疊閘極絕緣膜15而成膜。而且，在與電容部22對向之閘極絕緣膜15上，層疊並形成採用與各薄膜電晶體4、5之配線部17同一層之第二金屬層73所構成之電容配線部23。此電容配線部23係偏向p通道型薄膜電晶體5側之電容部22之寬度方向之一側而設置。換言之，此電容配線部23設置在比電容部22之寬度方向之中央部靠近p通道型薄膜電晶體5側之位置。

此等電容配線部23分別經由此等電容配線部23與電容部22之間之閘極絕緣膜15，於此等電容部22之間形成電容。在此，此等電容配線部23係採用與各薄膜電晶體4、5之配線部17同一工序及同一材質所形成。因此，此等電容配線部23具有比各薄膜電晶體4、5之配線部17之電阻值小的電阻值。

在分別包含此電容配線部23及各薄膜電晶體4、5之配線部17之閘極絕緣膜15上，層疊具有絕緣性之氧化矽膜之層間絕緣膜31而成膜。而且，於此等層間絕緣膜31及閘極絕緣膜15，複數接觸孔洞32、33、34、35、36係開口而設置，

其係作為分別貫通此等層間絕緣膜31及閘極絕緣膜15之導通部。

在此，接觸孔洞32、33分別設於n通道型薄膜電晶體4之閘極電極16兩側、此薄膜電晶體4之源極區域13及汲極區域14上。而且，接觸孔洞32係連通於n通道型薄膜電晶體4之源極區域13而開口，接觸孔洞33係連通於n通道型薄膜電晶體4之汲極區域14而開口。

接觸孔洞34、35分別設於p通道型薄膜電晶體5之閘極電極16兩側、此薄膜電晶體5之源極區域13及汲極區域14上。而且，接觸孔洞34係連通於p通道型薄膜電晶體5之源極區域13而開口，接觸孔洞35係連通於p通道型薄膜電晶體5之汲極區域14而開口。又，接觸孔洞36係連通於像素輔助電容6之電容部22而開口。

在連通於n通道型薄膜電晶體4之源極區域13之接觸孔洞32，層疊設置作為導電層之信號線之源極電極41。此源極電極41係經由接觸孔洞32，電性連接於n通道型薄膜電晶體4之源極區域13而導通。又，在連通於n通道型薄膜電晶體4之汲極區域14之接觸孔洞33，層疊設置作為導電層之信號線之汲極電極42。此汲極電極42係經由接觸孔洞33，電性連接於n通道型薄膜電晶體4之汲極區域14而導通。

在連通於p通道型薄膜電晶體5之源極區域13之接觸孔洞34，層疊設置作為導電層之信號線之源極電極43。此源極電極43係經由接觸孔洞34，電性連接於p通道型薄膜電晶體5之源極區域13而導通。又，在連通於p通道型薄膜電晶體5

之汲極區域14之接觸孔洞35，層疊設置作為導電層之信號線之汲極電極44。此汲極電極44係經由接觸孔洞33，電性連接於p通道型薄膜電晶體5之汲極區域14而導通。並且，在連通於像素輔助電容6之電容部22之接觸孔洞36，層疊並設置作為導電層之閘極抽取配線之抽取電極45。

另一方面，於包含各薄膜電晶體4、5之源極電極41、43及汲極電極42、44，及像素輔助電容6之抽取電極45之層間絕緣膜31上，以分別覆蓋此等薄膜電晶體4、5及像素輔助電容6之方式層疊保護膜51而成膜。而且，於此保護膜51，作為貫通此保護膜51之導通部之接觸孔洞52係開口而設置。此接觸孔洞52連通於像素輔助電容6之抽取電極45而開口。

於包含此接觸孔洞52之保護膜51上，層疊像素電極53而成膜。此像素電極53經由接觸孔洞52，電性連接於抽取電極45。亦即，此像素電極53經由抽取電極45，電性連接於像素輔助電容6之電容部22。又，此像素電極53係由任一之薄膜電晶體4、5所控制。並且，於包含此像素電極53之保護膜51上，層疊定向膜54而成膜。

另一方面，與陣列基板2對向而配設矩形平板狀之對向基板61。此對向基板61具備作為大致透明矩形平板狀之絕緣基板之透光性基板之玻璃基板62。於此玻璃基板62之與陣列基板2對向側之一主面，設置對向電極63。又。此對向電極63上，層疊定向膜64而成膜。而且，液晶65夾持於此對向基板61之定向膜64與陣列基板2之定向膜54之間。

其次，說明上述第一實施型態之陣列基板之製造方法。

首先，以CVD(Chemical Vapor Deposition：化學氣相沈積法)，在玻璃基板3上，將膜厚50 nm之作為非晶半導體之非晶矽之非晶矽膜成膜。此後，於此玻璃基板3上之非晶矽膜照射準分子雷射光束(雷射退火)，使結晶化，將此非晶矽膜製成作為多晶半導體層之多晶矽膜71。此時，此多晶矽膜71之膜厚宜在40 nm以上、80 nm以下的範圍。

其次，藉由摻雜將二硼烷(B_2H_5)注入此多晶矽膜71，以光微影工序製成島狀。此時，注入此多晶矽膜71之硼濃度設定在 $10^{16}/cm^3$ 以上、 $10^{17}/cm^3$ 以下。再者，藉由於此多晶矽膜71注入硼，可控制各薄膜電晶體4、5之臨限值電壓。

並且，以PE(Plasma Enhanced：電漿輔助)-CVD法，於包含各島狀多晶矽膜71之玻璃基板3上，將膜厚100 nm之閘極絕緣膜15成膜。

其次，如圖2所示，於此閘極絕緣膜15上，將成為各薄膜電晶體4、5之閘極電極16之膜厚300 nm之鉬-鎢合金(MoW)成膜，形成第一導電層之第一金屬層72。此時，此第一金屬層72之片電阻為 $0.5 \Omega/cm^2$ 。再者，除了鉬-鎢(MoW)以外，亦可成膜並形成鉬-鈿(MoTa)，以作為第一金屬層72。

此後，以光微影工序，將第一金屬層72除去p通道型薄膜電晶體5之閘極電極16兩側之源極區域13及汲極區域14部分之部分之未圖示之光阻圖案化，以含有氟及氧之混合氣體，將此薄膜電晶體5之多晶矽層11兩側進行電漿蝕刻。此時，此p通道型之閘極電極16之配線寬在 $1.0 \mu m$ 以上、 $2.0 \mu m$

以下。

而且，進行此電漿蝕刻之後，以有機鹼液將閘極絕緣膜15上之光阻剝離。

在此狀態，如圖3所示，將電漿蝕刻後殘留之第一金屬層72作為掩模，於p通道型薄膜電晶體5之成為源極區域13及汲極區域14之部分，藉由摻雜將p型摻雜物之二硼烷(B_2H_5)注入。在此，此二硼烷之摻雜係為了降低多晶矽層11之電阻值，取得與金屬之歐姆接觸。再者，此二硼烷對於多晶矽層11之注入係加速電壓為50 keV，摻雜量為 10^{15} cm^{-2} 。

其次，以光微影工序，於第一金屬層72之n通道型薄膜電晶體4之成為閘極電極16之部分及p通道型薄膜電晶體5之部分，將未圖示之光阻圖案化，將此等n通道型薄膜電晶體4之成為源極區域13及汲極區域14之部分，及成為輔助電容6之部分，分別以含有氟及氧之混合氣體進行電漿蝕刻。此時，此n通道型薄膜電晶體4之閘極電極16之配線寬在 $1.0 \mu\text{m}$ 以上、 $2.0 \mu\text{m}$ 以下。

而且，進行此電漿蝕刻之後，以有機鹼液將閘極絕緣膜15上之光阻剝離。

此後，如圖4所示，以光微影工序，於第一金屬層72之n通道型薄膜電晶體4之成為閘極電極16之部分及p通道型薄膜電晶體5之部分，分別將光阻70圖案化，將n通道型薄膜電晶體4之源極區域13及汲極區域14，及成為狀輔助電容6之電容部22之多晶矽層11，藉由摻雜將n型摻雜物之磷化氫(PH_3)注入。再者，此磷化氫對於多晶矽層11之注入係加速

電壓為 70 keV，摻雜量為 10^{15} cm^{-2} 。

在此，使 n 通道型薄膜電晶體 4 為 LDD (Lightly Doped Drain：低摻雜汲極) 構造時，亦可進一步再度將此 n 通道型薄膜電晶體 4 之成為閘極電極 16 之部分之第一金屬層 72 蝕刻，縮小寬度尺寸之後，將 n 型摻雜物低摻雜，形成 n⁻區域。

此時，此 n 通道型薄膜電晶體 4 之成為閘極電極 16 之第一金屬層 72 作為同一掩模，分別可達成高摻雜及低摻雜，因此可縮短 LDD 區域長度，同時可提升此 n 通道型薄膜電晶體 4 之電晶體特性 (離子特性)。

此後，將 n 通道型薄膜電晶體 4 及 p 通道型薄膜電晶體 5 分別之源極區域 13 及汲極區域 14，及像素輔助電容 6 之電容部 22，分別以 400°C 以上、500°C 以下之溫度進行熱退火處理，將此等源極區域 13、汲極區域 14 及電容部 22 活化。此時，p 通道型薄膜電晶體 5 之 p⁺ 區域之源極區域 13 及汲極區域 14 分別之片電阻為 $3 \text{ k } \Omega / \text{cm}^2$ ，n 通道型薄膜電晶體 4 之 n⁺ 區域之源極區域 13 及汲極區域 14 分別之片電阻為 $2 \text{ k } \Omega / \text{cm}^2$ 。

其次，如圖 5 所示，於各薄膜電晶體 4、5 之包含閘極電極 16 之閘極絕緣膜 15 上，以低電阻材料，將連結此等薄膜電晶體 4、5 之閘極電極 16 間之配線部 17 及像素輔助電容 6 之電容配線部 23 之第二導電層之第二金屬層 73 成膜，此第二金屬層 73 直接形成於閘極絕緣膜 15 上。

此時，作為第二金屬層 73，其係由下層為鈦 (Ti)/鋁-銅 (AlCu)/鈦 (Ti) 之各膜厚為 50 nm/300 nm/75 nm 之 3 層構造之疊層膜。並且，此第二金屬層 73 之片電阻為 $0.12 \text{ } \Omega / \text{cm}^2$ 。再

者，作為此第二金屬層73，亦可為鈦(Ti)/氮化鈦(TiN)/鋁-銅(AlCu)/鈦(Ti)/氮化鈦(TiN)之5層構造，或將鋁-銅變更為純鋁之構造(例如：Ti/Al/Ti)，或鋁-鈹(AlNd)/鉬(Mo)等。

此後，如圖6所示，以光微影工序，將第二金屬層73圖案化，使成為連繫第一金屬層72之閘極電極16間之配線部17及電容配線部23。此時，此第二金屬層73含有鋁(Al)或鋁-銅(AlCu)時，進行利用氯化金屬類氣體之乾式蝕刻。又，此第二金屬層73含有鋁-鈹(AlNd)時，進行濕式蝕刻。

其次，如圖7所示，以PE-CVD法，於包含此等配線部17及電容配線部23之閘極絕緣膜15上，將膜厚600 nm之矽氧化物成膜，形成層間絕緣膜31。

接著，如圖8所示，以光微影工序，形成分別連通於各薄膜電晶體4、5之源極區域13及汲極區域14，及像素輔助電容6之電容部22之接觸孔洞32、33、34、35、36。

此後，於分別包含此等接觸孔洞32、33、34、35、36之層間絕緣膜31上，以濺鍍法，將例如：膜厚50 nm之鉬(Mo)及膜厚500 nm之鋁(Al)之疊層體成膜，以作為信號線配線之導電層74。

接著，如圖9所示，以光微影工序將導電層74蝕刻，形成源極電極41、43、汲極電極42、44及抽取電極45。此時，以鋁(Al)或鋁-銅(AlCu)等金屬形成此導電層74時，以氯氣蝕刻，進行圖案化。

並且，如圖10所示，於包含此等源極電極41、43、汲極電極42、44及抽取電極45之層間絕緣膜31上之全面，以

PE-CVD法，將膜厚500 nm之氮化矽膜成膜，形成保護膜51。

接著，以光微影工序將此保護膜51蝕刻，於此保護膜51，形成導通於像素輔助電容6之抽取電極45之接觸孔洞52，此時，作為此蝕刻係採用四氟化碳(CF₄)氣體及氧氣之電漿蝕刻。

此後，於包含此接觸孔洞52之保護膜51上，以濺鍍將透明導電膜成膜並形成像素電極53之後，進行光微影工序及蝕刻工序，將此像素電極53圖案化成像素形狀。此時，此像素電極53之蝕刻係採用薈酸(HOOC-COOH)。

在此，如以往，將n通道型薄膜電晶體及p通道型薄膜電晶體之薄膜電晶體2層化，並連繫低電阻金屬之配線部時，作為形成第二金屬層之工序，除了成膜工序、光微影工序及蝕刻工序以外，作為形成電容部之工序，追加光微影工序、n⁺摻雜工序及電阻剝離工序，因此工序數增加，生產性劣化。

特別是若欲以多晶矽所構成之電容部、閘極絕緣膜及閘極電極形成像素輔助電容，於形成此閘極電極之前，必須於作為電容部之多晶矽層，藉由摻雜注入作為n型摻雜物之磷化氫(PH₃)。

因此，如上述第一實施型態，像素輔助電容6作為以多晶矽構成之電容部22、閘極絕緣膜15、低電阻配線之第二金屬層73所構成之電容配線23，使形成此像素輔助電容6之電容部22所需之n⁺摻雜，同時與n通道型薄膜電晶體4之源極區域13及汲極區域14之形成在同一工序進行。

結果，可刪減以往必要之電容形成工序，亦即光微影工序、 n^+ 摻雜工序及光阻剝離工序。故，可將工序數抑制在最小限度而將閘極電極16細線化及低電阻化，因此作為液晶顯示裝置1，可高精細化、高開口率化及低耗電化，同時可形成內建記憶體電路或至今TAB安裝之驅動電路之液晶顯示裝置1。

又， n 通道型薄膜電晶體4及 p 通道型薄膜電晶體5分別製成閘極電極16及配線部17之2層構造。結果，於必須在熱活性前形成之閘極電極16，使用耐熱性材料，於像素輔助電容6之電容配線部23之牽繞長度較長之部分，使用低電阻材料，並於熱活化後形成第二金屬層73。因此，可將此等薄膜電晶體4、5分別之閘極電極16之配線電阻微細化及低電阻化。

故，藉由將此等薄膜電晶體4、5之閘極電極16製成2層化，並且變更像素輔助電容6之構造，可持續將陣列基板2之工序數之增加抑制在最小限度，可將此等薄膜電晶體4、5之閘極電極16低電阻化。

其次，參考圖11至圖19，說明本發明之第二實施型態之液晶顯示裝置之構成。

此圖11至圖19所示之液晶顯示裝置1，基本上與圖1至圖10所示之液晶顯示裝置1相同，在於包含閘極電極16之閘極絕緣膜15上形成第一層間絕緣膜81之後，於此第一層間絕緣膜81，形成作為連通於各閘極電極16之導通部之接觸孔洞82、83之後，於包含此等接觸孔洞82、83之第一層間絕

緣膜81上，將第二金屬層73成膜。

換言之，此液晶顯示裝置1係將層間絕緣膜31分成第一層間絕緣膜81及第二層間絕緣膜84之2層而進行成膜，於此第一層間絕緣膜81及第二層間絕緣膜84之間形成第二金屬層73。亦即，此液晶顯示裝置1係於形成第一金屬層72之後，經由第一層間絕緣膜81而形成第二金屬層73。

此第一層間絕緣膜81係層疊於包含各閘極電極16之閘極絕緣膜15上而成膜，而且於此等各閘極電極16上之第一層間絕緣膜81上，設置接觸孔洞82、83，其係朝向對於面向垂直之方向貫通第一層間絕緣膜81者。此等接觸孔洞82、83具有與各閘極電極16之寬度尺寸相等之寬度尺寸。而且，於此等接觸孔洞82、83形成配線部17，此等配線部17分別對於各閘極電極16電性地連接。

於包含此等配線部17及電容配線部23之第一層間絕緣膜81上，層疊第二層間絕緣膜84而成膜。而且，於此等第二層間絕緣膜84、第一層間絕緣膜81及閘極絕緣膜15，複數接觸孔洞32、33、34、35、36係開口，其係朝向正交於面向之垂直方向之上下方向，分別貫通此等第二層間絕緣膜84、第一層間絕緣膜81及閘極絕緣膜15者。

其次，說明上述第二實施型態之陣列基板之製造方法。

再者，於閘極絕緣膜15上形成閘極電極16為止之工序，與上述第一實施型態之圖2至圖4所示工序相同。

而且，如圖12所示，以PE-CVD法，於包含各閘極電極16之閘極絕緣膜15上，將膜厚50 nm之氧化矽物成膜，形成第

一層間絕緣膜81。此時，此第一層間絕緣膜81之膜厚係在像素輔助電容6之電容比製品規格之值大而決定。

其次，如圖13所示，以光微影工序，於第一層間絕緣膜81形成為了與各閘極電極16接合之接觸孔洞82、83。

此後，如圖14所示，於包含此等接觸孔洞82、83之第一層間絕緣膜81上，以低電阻材料膜，將連結各閘極電極16間之配線部17及成為像素輔助電容6之電容配線部23之第二金屬層73成膜之後，如圖15所示，進行光微影工序之後，進行蝕刻。在此，此等光微影工序及蝕刻工序係與上述第一實施型態相同。

並且，如圖16所示，於包含各配線部17及電容配線部23之第一層間絕緣膜81上，將膜厚600 nm之氧化矽物成膜，形成第二層間絕緣膜84。

此後，如圖17所示，以光微影工序，形成貫通此第二層間絕緣膜84、第一層間絕緣膜81及閘極絕緣膜15之複數接觸孔洞32、33、34、35、36。

並且，如圖18所示，於分別包含此等接觸孔洞32、33、34、35、36之第二層間絕緣膜84上，將成為信號線配線之導電層74成膜之後，以光微影工序將此導電層74蝕刻，形成源極電極41、43、汲極電極42、44及抽取電極45。

其次，如圖19所示，於包含此等源極電極41、43、汲極電極42、44及抽取電極45之層間絕緣膜31上之全面，以PE-CVD法將氮化矽成膜，並形成保護膜51。

此後，以光微影工序，將此保護膜51蝕刻，形成接觸孔

洞52之後，於包含此接觸孔洞52之保護膜51上，形成像素電極53。

如上述，根據上述第二實施型態，使層間絕緣膜31成為第一層間絕緣膜81及第二層間絕緣膜84之2層構造，因此相較於上述第一實施型態，增加形成接觸孔洞82、83之工序。但蝕刻第二金屬層73之際，第一金屬層72之閘極電極16係由第一層間絕緣膜81所保護，因此無須使用高選擇率蝕刻，因此第二金屬層73之蝕刻加工變得容易。

於蝕刻第一金屬層72之閘極電極16時，閘極絕緣膜15過度蝕刻30 nm，因此，以閘極電極16及閘極絕緣膜15形成高性能之薄膜電晶體4、5時，若此閘極絕緣膜15薄，成為像素輔助電容6之部分之閘極絕緣膜15之膜厚變薄。亦雷射退火形成多晶矽膜71時，唯恐此多晶矽膜71表面形成突起。因此，像素輔助電容6之電容部22之部分之閘極絕緣膜15之膜厚薄時，唯恐在多晶矽膜71所形成之電容部22與第二金屬層73所形成之電容配線部23之間無法充分絕緣，此等電容部22與電容配線部23之間會漏電。結果，唯恐於液晶顯示裝置1產生點缺陷，良率下降。

故，於上述第二實施型態，閘極絕緣膜15之膜厚較薄(例如：90 nm以下)之液晶顯示裝置1之情況，尤其可提升生產性。

再者，於上述各實施型態，亦可使像素輔助電容6之電容部22與電容配線部23之間之電容為驅動液晶顯示裝置1之電路部電容。

作為第一金屬層72，亦可採用含有鉬(Mo)之合金，亦即鉬-鎢(MoW)及鉬-鉭(MoTa)之任一構成。

作為第二金屬層73，亦可採用含有鋁(Al)之合金，亦即鋁(Al)及鋁-銅(AlCu)之至少任何一方，及鉬(Mo)、鈦(Ti)及氮化鈦(TiN)之至少任一之疊層膜所構成。

【產業上之利用可能性】

根據本發明，可將工序數抑制在最小限度，將閘極配線細線化及低電阻化，因此可形成具有一種薄膜電晶體之液晶顯示裝置，該薄膜電晶體係可達成高開口率化、低耗電化，同時內建記憶體電路及以往TAB安裝之驅動電路。

【圖式簡單說明】

圖1係表示有關本發明之第一實施型態之液晶顯示裝置之說明剖面圖。

圖2係表示在同上液晶顯示裝置之透光性基板上形成第一導電層之狀態之說明剖面圖。

圖3係表示將成為同上液晶顯示裝置之p通道型薄膜電晶體之源極區域及汲極區域之部分摻雜之狀態之說明剖面圖。

圖4表示將成為同上液晶顯示裝置之n通道型薄膜電晶體之源極區域及汲極區域之部分，及成為輔助電容之電容部之部分摻雜之狀態之說明剖面圖。

圖5係表示在同上液晶顯示裝置之包含閘極電極之閘極絕緣膜上形成第二導電層之狀態之說明剖面圖。

圖6係表示將同上液晶顯示裝置之第二導電層圖案化之

狀態之說明剖面圖。

圖7係表示在同上液晶顯示裝置之包含配線部及電容配線部之閘極絕緣膜上形成層間絕緣膜之狀態之說明剖面圖。

圖8係表示在同上液晶顯示裝置之層間絕緣膜形成接觸孔洞之狀態之說明剖面圖。

圖9係表示將在同上液晶顯示裝置之包含接觸孔洞之層間絕緣膜上形成之導電層圖案化之狀態之說明剖面圖。

圖10係表示在同上液晶顯示裝置之包含源極電極、汲極電極及抽取電極之層間絕緣膜上形成保護膜之狀態之說明剖面圖。

圖11係表示有關本發明之第二實施型態之液晶顯示裝置之說明剖面圖。

圖12係表示在同上液晶顯示裝置之包含閘極電極之閘極絕緣膜上形成第一層間絕緣膜之狀態之說明剖面圖。

圖13係表示在同上液晶顯示裝置之第一層間絕緣膜形成接觸孔洞之狀態之說明剖面圖。

圖14係表示在同上液晶顯示裝置之包含接觸孔洞之第一層間絕緣膜上形成第二金屬層之狀態之說明剖面圖。

圖15係表示將同上液晶顯示裝置之第二金屬層圖案化之狀態之說明剖面圖。

圖16係表示在同上液晶顯示裝置之包含配線部及電容配線部之閘極絕緣膜上形成第二層間絕緣膜之狀態之說明剖面圖。

圖 17 係表示在同上液晶顯示裝置之第二層間絕緣膜形成接觸孔洞之狀態之說明剖面圖。

圖 18 係表示將在同上液晶顯示裝置之包含接觸孔洞之第二層間絕緣膜上形成之導電層圖案化之狀態之說明剖面圖。

圖 19 係表示在同上液晶顯示裝置之包含源極電極、汲極電極及抽取電極之第二層間絕緣膜上形成保護膜之狀態之說明剖面圖。

【主要元件符號說明】

1	液晶顯示裝置
2	陣列基板
3、62	玻璃基板
4	n通道型薄膜電晶體
5	p通道型薄膜電晶體
6	像素輔助電容
11	多晶矽層
12	通道區域
13	源極區域
14	汲極區域
15	閘極絕緣膜
16	閘極電極
17	配線部
22	電容部
23	電容配線部

31	層間絕緣膜
32-36、52、82、83	接觸孔洞
41、43	源極電極
42、44	汲極電極
45	抽取電極
51	保護膜
53	像素電極
54、64	定向膜
61	對向基板
63	對向電極
65	液晶
71	多晶矽膜
72	第一金屬層
73	第二金屬層
74	導電層
81	第一層間絕緣膜
84	第二層間絕緣膜

五、中文發明摘要：

本發明係於包含複數島狀多晶矽膜(71)之玻璃基板(3)上形成閘極絕緣膜(15)。將成膜於閘極絕緣膜(15)上之第一金屬層(72)圖案化，於作為薄膜電晶體(4、5)部分之與多晶矽層(11)對向之閘極絕緣膜(15)上設置閘極電極(16)。於包含閘極電極(16)之閘極絕緣膜(15)上形成第二金屬層(73)。於薄膜電晶體(4、5)之閘極電極(16)上層疊配線部(17)。

六、英文發明摘要：

十一、圖式：

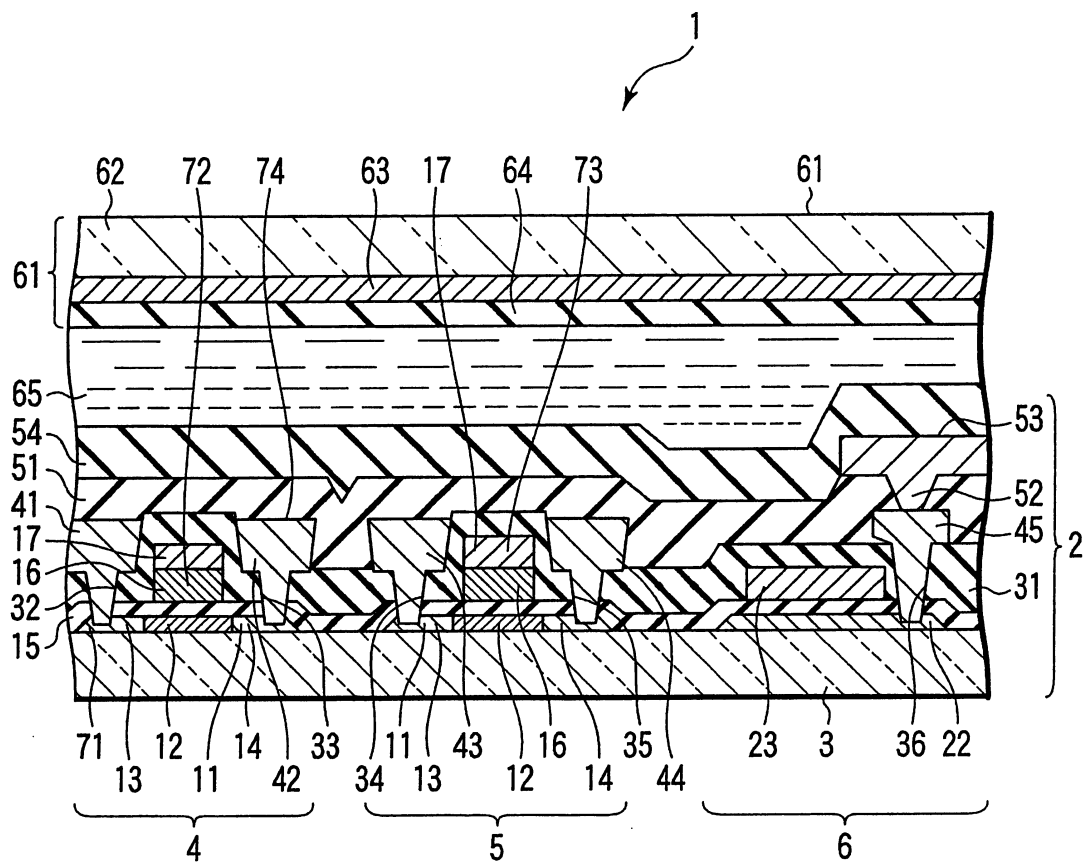


圖1

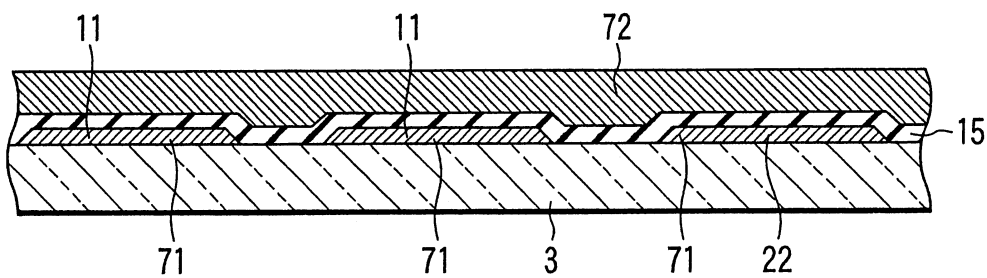


圖2

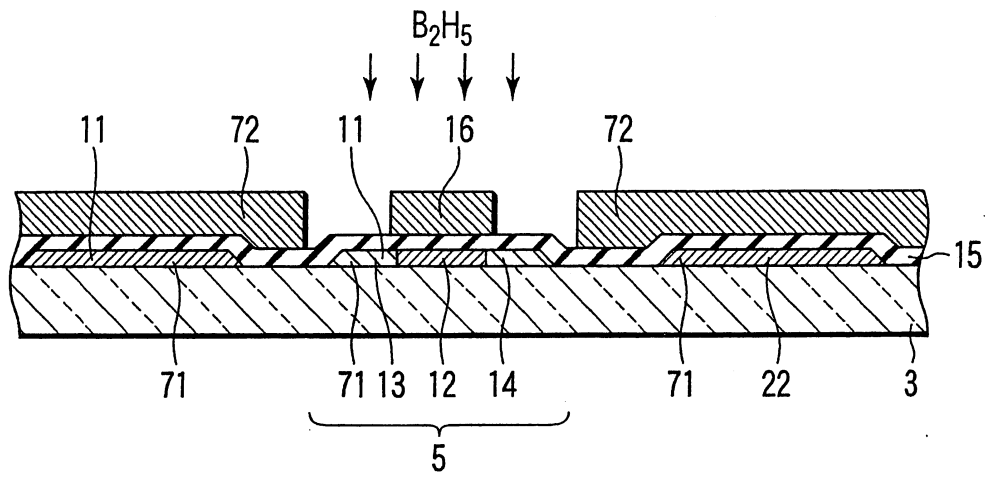


圖3

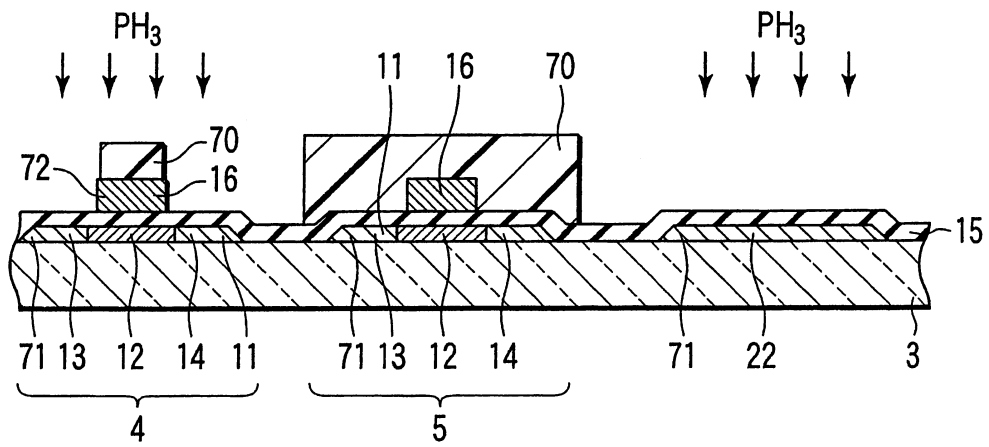


圖4

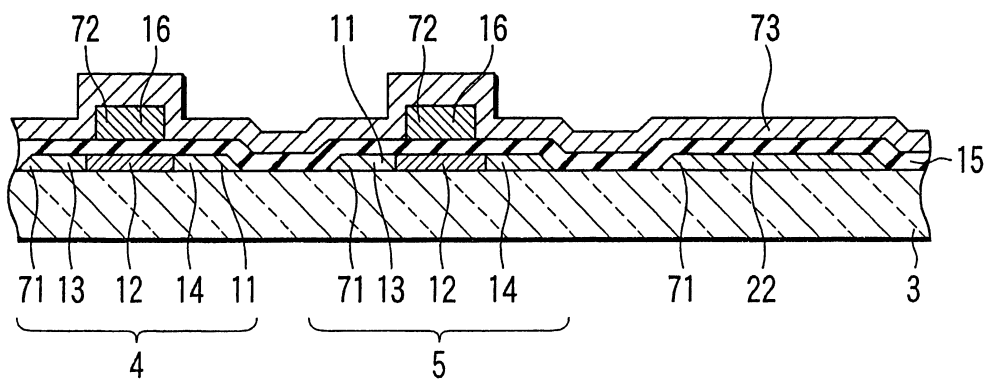


圖5

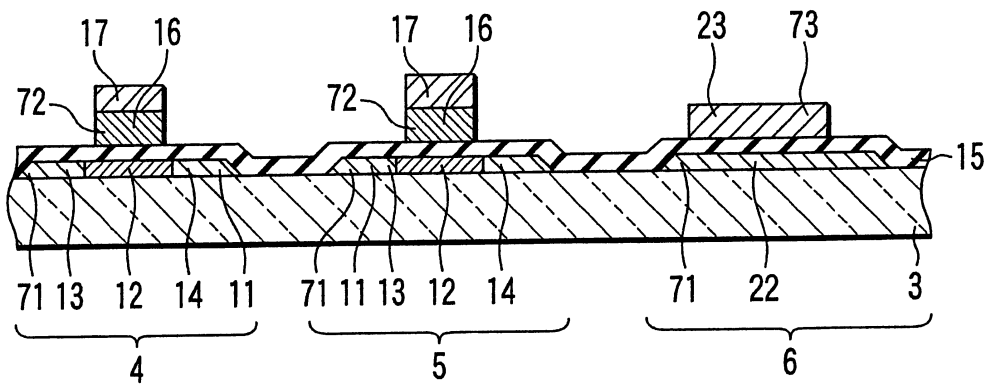


圖 6

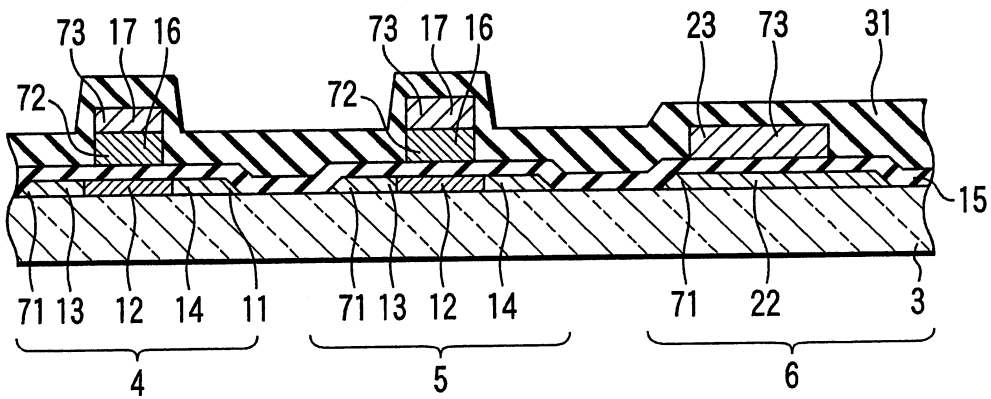


圖 7

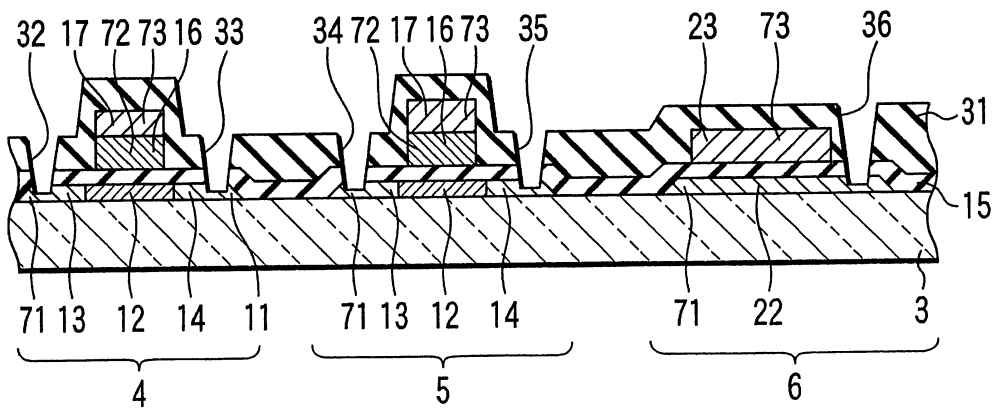


圖 8

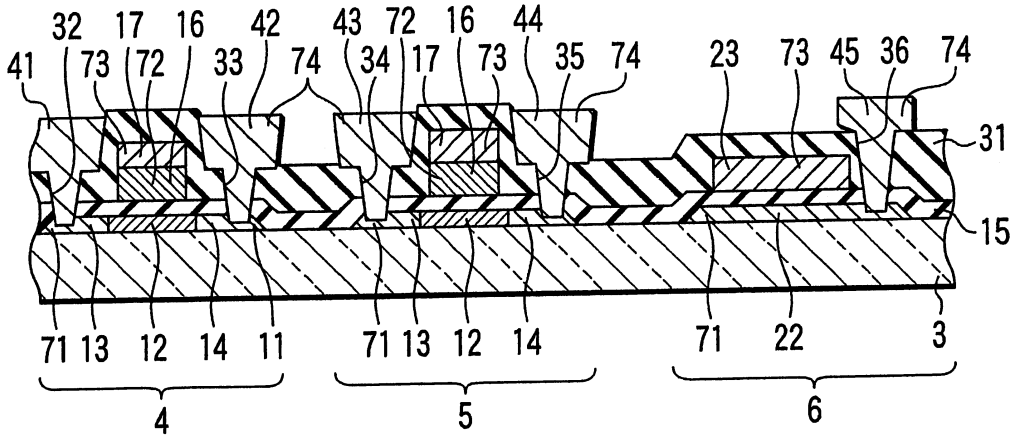


圖9

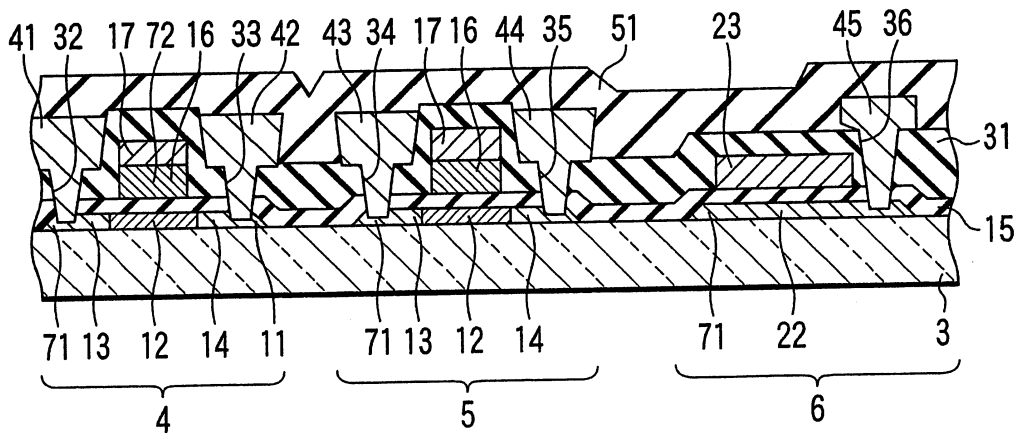


圖10

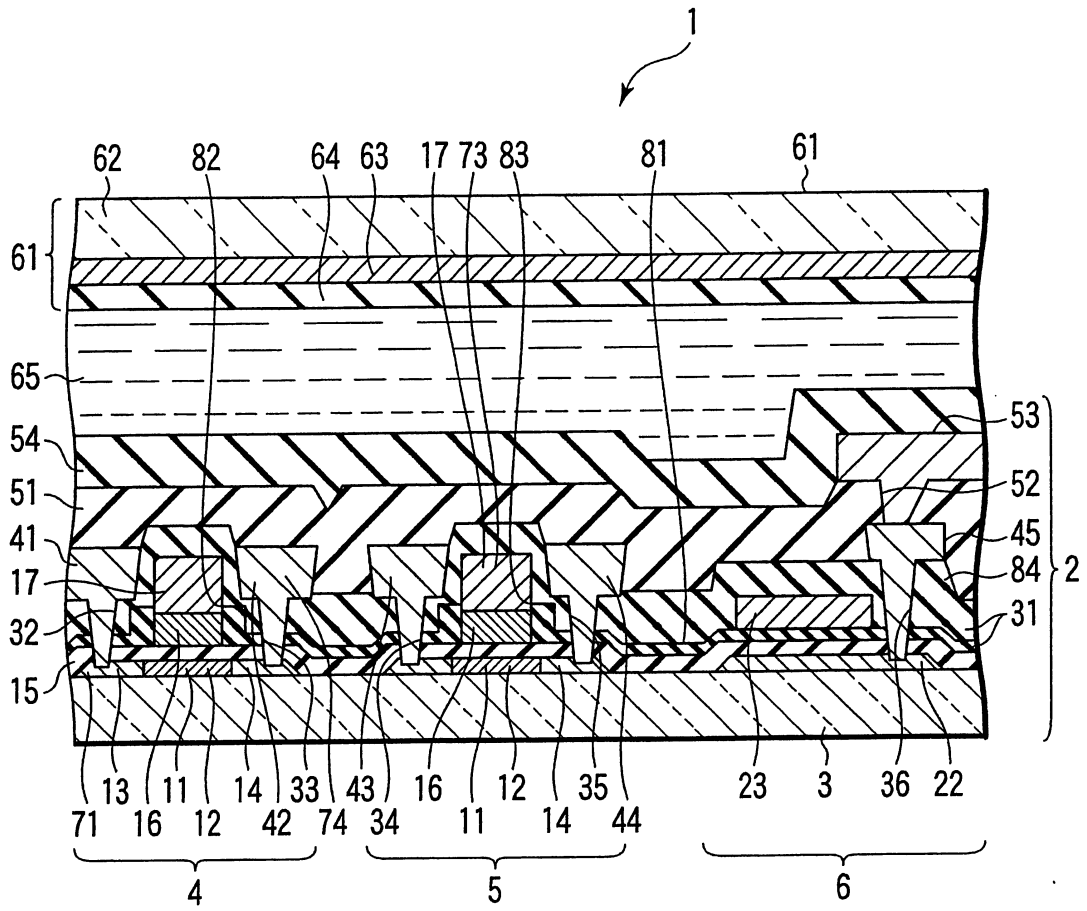


圖 11

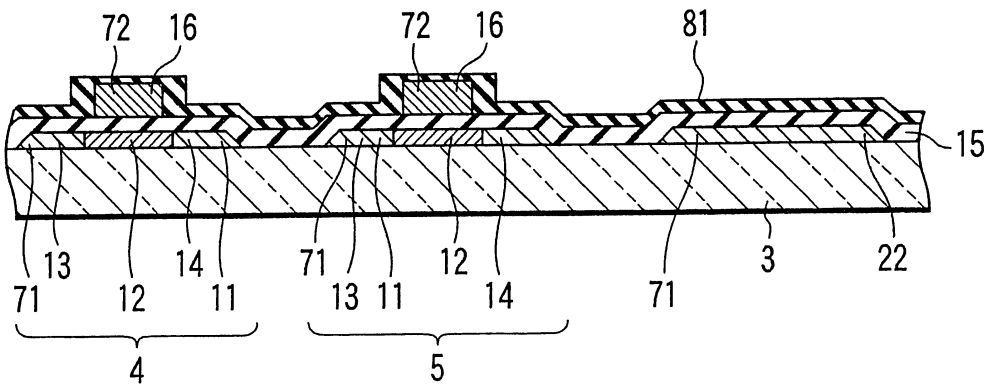


圖 12

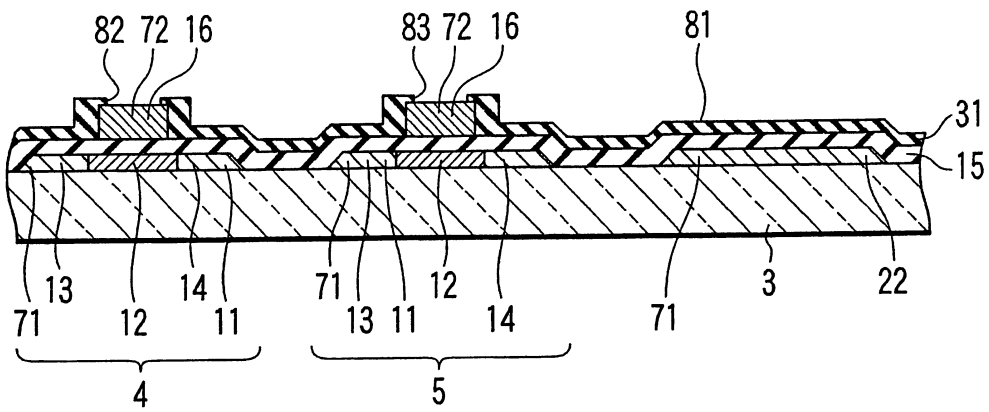


圖 13

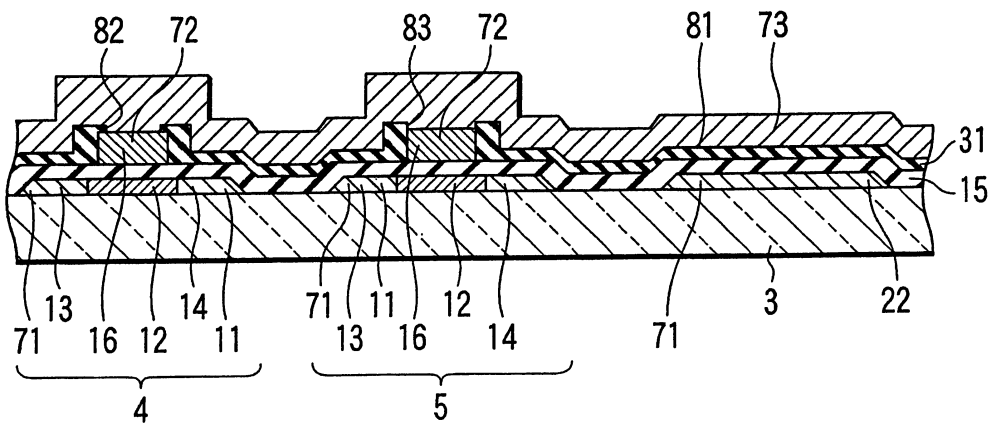


圖 14

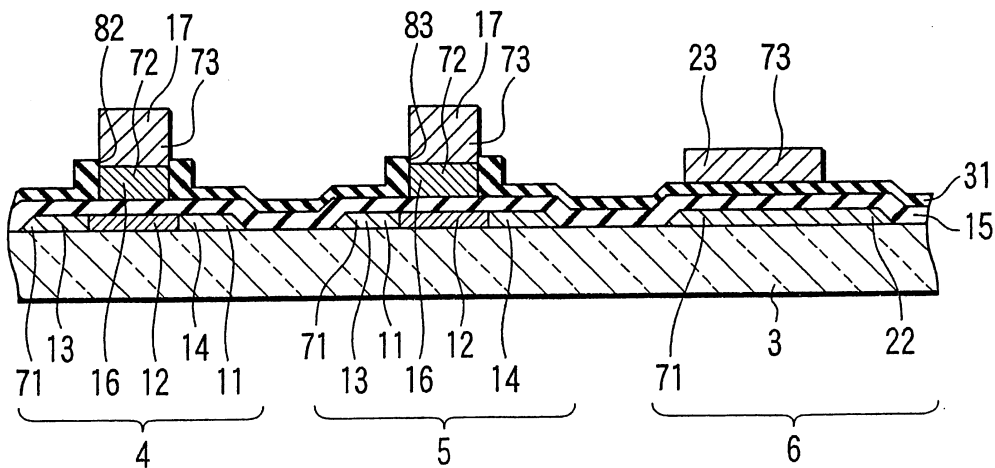


圖 15

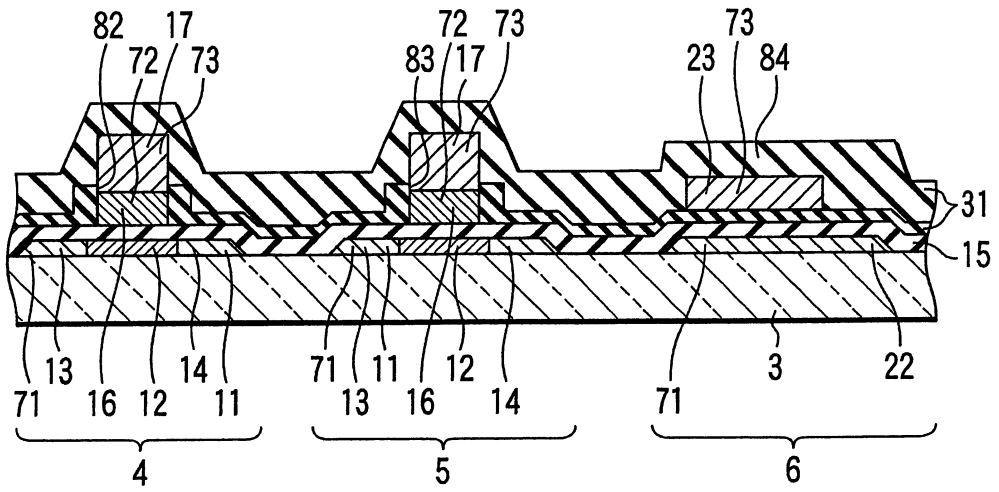


圖16

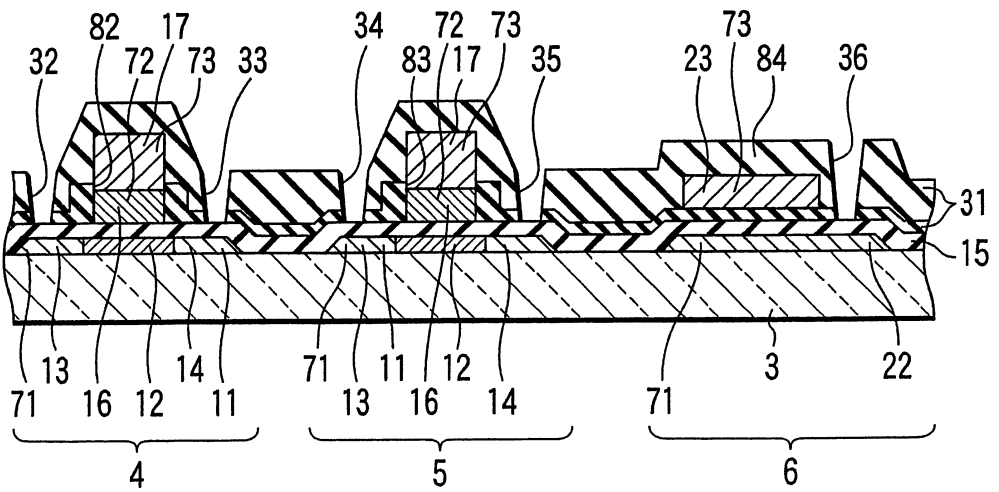


圖17

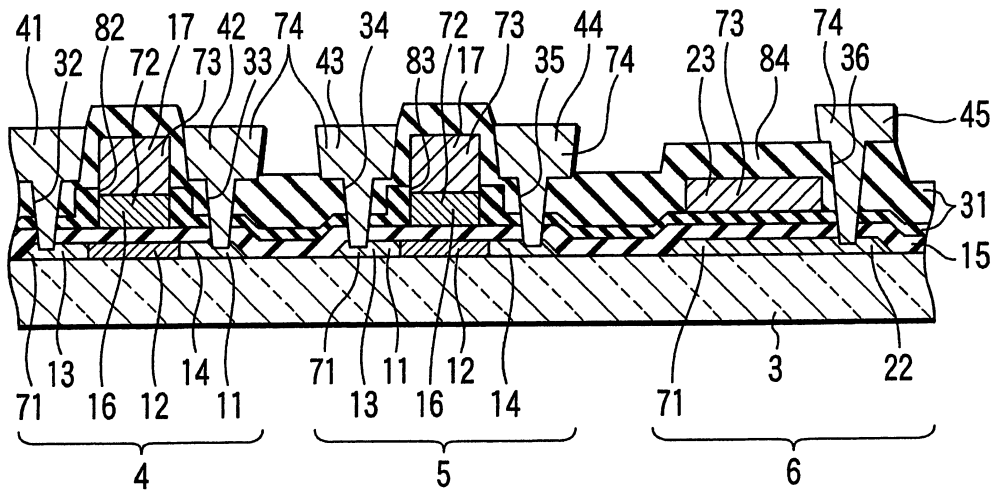


圖 18

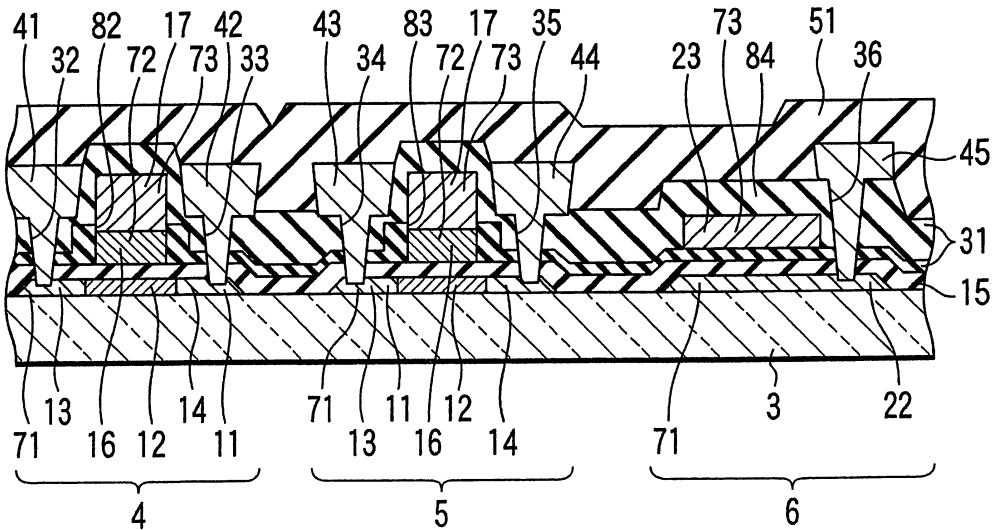


圖 19

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

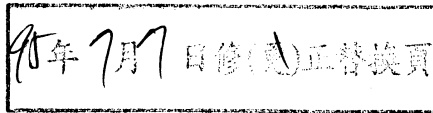
(二)本代表圖之元件符號簡單說明：

1	液晶顯示裝置
2	陣列基板
3、62	玻璃基板
4	n通道型薄膜電晶體
5	p通道型薄膜電晶體
6	像素輔助電容
11	多晶矽層
12	通道區域
13	源極區域
14	汲極區域
15	閘極絕緣膜
16	閘極電極
17	配線部
22	電容部
23	電容配線部
31	層間絕緣膜
32-36、52	接觸孔洞
41、43	源極電極
42、44	汲極電極
45	抽取電極
51	保護膜

53	像素電極
54、64	定向膜
61	對向基板
63	對向電極
65	液晶
71	多晶矽膜
72	第一金屬層
73	第二金屬層
74	導電層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)



九、發明說明：

【發明所屬之技術領域】

本發明係有關具備開關元件之陣列基板、液晶顯示裝置及陣列基板之製造方法。

【先前技術】

近年來，液晶顯示裝置不只是單純驅動電路之X驅動器電路及Y驅動器電路，至今已將一種系統液晶產品化，其係甚至在作為透光性基板之玻璃基板一主面上，置入TAB(Tape Automated Bonding：自動捲帶式晶粒接合)安裝之DAC(數位-類比轉換器)電路等外部電路，或者內建SRAM或DRAM等記憶體機能或光感測器等。

此種液晶顯示裝置需要作為高性能開關元件之薄膜電晶體，同時要求低耗電化且高開口率化。為了使此液晶顯示裝置高性能化及高開口率化，需要將作為第一金屬層之閘極配線或信號配線細線化，為了內建低耗電化(H共同反轉驅動)或DA轉換器等之電路，必須降低MOS電容部之平能帶電壓(Vfb)。

若將此等閘極配線或信號配線細線化，此等閘極配線或信號配線之配線電阻將變高，因此耗電增加，電路電源邊限減少，故需要低電阻之配線材料。在此，所謂細線化，其係使以往3 μm 以上、5 μm 以下之配線寬，變細至0.5 μm 以上、2 μm 以下。

於MOS電容部使用多晶半導體層時，為了降低此MOS電容部之平能帶電壓，採用在多晶半導體層注入磷(P)或硼(B)

十、申請專利範圍：

1. 一種陣列基板，其係具備：

透光性基板；

複數多晶半導體層，其係設於此透光性基板之一主面者；

閘極絕緣膜，其係設於包含此等複數多晶半導體層之前述透光性基板之一主面者；

第一導電層，其係與前述複數多晶半導體層之任何之一對向而經由前述閘極絕緣膜設置者；及

第二導電層，其具備：配線部，其係設於此第一導電層之一主面，電性連接於此第一導電層者；及電容配線部，其係與前述複數多晶半導體層之任何其他對向而經由前述閘極絕緣膜設置，在與此多晶半導體層之間形成電容者；且

第二導電層比第一導電層電阻值小。

2. 如請求項1之陣列基板，其中

第一導電層係含有鈾之合金；

第二導電層係含有鋁之合金。

3. 如請求項1之陣列基板，其中

第一導電層係由鈾-鎢及鈾-鈿之任一構成；

第二導電層係以鋁及鋁-銅之至少任何一方及鈾、鈦及氮化鈦之至少任一之疊層膜所構成。

4. 如請求項1之陣列基板，其中

與電容配線部對向之多晶半導體層係摻入p型摻雜物

及n型摻雜物之任一。

5. 一種液晶顯示裝置，其係具備：

請求項1至4中任一項之陣列基板；

與此陣列基板對向設置之對向基板；及

介插於此對向基板與前述陣列基板之間之液晶。

6. 一種陣列基板之製造方法，其係：

於透光基板之一主面設置複數多晶半導體層；

於包含此等複數多晶半導體層之前述透光性基板之一主面設置閘極絕緣膜；

於此閘極絕緣膜之一主面設置第一導電層；

將此第一導電層圖案化，形成與前述複數多晶半導體層之任一對向之1對閘極電極；

將此等1對閘極電極之任何之一作為掩模，在與此閘極電極對向之前述多晶半導體層進行摻雜，作為p型開關元件之源極區域及汲極區域；

將此等1對閘極電極之任何其他作為掩模，在與此閘極電極對向之前述多晶半導體層，及前述閘極電極未對向設置之前述多晶半導體層之各個進行摻雜，形成n型開關元件之源極區域與汲極區域及輔助電容之電容部；

於包含前述1對閘極電極之前述閘極絕緣膜之一主面形成第二導電層；

將此第二導電層圖案化，形成前述1對閘極電極對向之一對配線部及與此等1對閘極電極未對向設置之前述多晶半導體層對向之前述輔助電容之輔助電容部之各個。

7. 如請求項6之陣列基板之製造方法，其中
於包含複數閘極電極之閘極絕緣膜之一主面直接形成第二導電層。
8. 如請求項6之陣列基板之製造方法，其中
於包含複數閘極電極之閘極絕緣膜之一主面形成層間絕緣膜；
於此層間絕緣膜形成連通於前述複數閘極電極之複數導通部；
於包含此等複數導通部之前述層間絕緣膜上形成第二導電層，使此第二導電層電性連接於前述複數閘極電極。