

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5165954号  
(P5165954)

(45) 発行日 平成25年3月21日(2013.3.21)

(24) 登録日 平成24年12月28日(2012.12.28)

(51) Int.Cl.		F I		
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	3 O 1 V	
HO 1 L 29/78	(2006.01)	HO 1 L 29/78	3 O 1 G	
HO 1 L 29/423	(2006.01)	HO 1 L 29/58	G	
HO 1 L 29/49	(2006.01)	HO 1 L 29/78	3 O 1 X	

請求項の数 3 (全 8 頁)

(21) 出願番号	特願2007-195492 (P2007-195492)	(73) 特許権者	000002325
(22) 出願日	平成19年7月27日(2007.7.27)		セイコーインスツル株式会社
(65) 公開番号	特開2009-32905 (P2009-32905A)		千葉県千葉市美浜区中瀬1丁目8番地
(43) 公開日	平成21年2月12日(2009.2.12)	(74) 代理人	100154863
審査請求日	平成22年4月14日(2010.4.14)		弁理士 久原 健太郎
		(74) 代理人	100142837
			弁理士 内野 則彰
		(74) 代理人	100123685
			弁理士 木村 信行
		(72) 発明者	橋谷 雅幸
			千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内
		審査官	井上 弘巨

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型半導体基板に形成された、ゲート幅方向に側面と底面を有するトレンチ部と、  
ゲート絶縁膜を介して前記トレンチ部の内部およびプレーナー部上面に形成されたゲート電極と、  
前記ゲート電極の一方の側に形成された第2導電型のソース領域と、  
前記ゲート電極の他方の側に形成された第2導電型のドレイン領域と、  
を備え、

前記ソース領域と前記ドレイン領域のゲート電極近傍の一部の表面を他の表面よりも低い位置に配置すると共に前記ソースおよびドレイン領域の拡散深さも前記低い位置に配置された表面の下方部分においては前記他の表面の下方部分よりも深くなっている、

前記プレーナー部のソース領域およびドレイン領域表面のコンタクトとゲート電極との距離は、前記トレンチ部のソース領域およびドレイン領域表面のコンタクトとゲート電極との距離よりも短いことを特徴とする半導体装置。

【請求項2】

第1導電型半導体基板と、  
前記第1導電型半導体基板の表面近傍に離間して配置された第2導電型のソース領域およびドレイン領域と、

前記ソース領域およびドレイン領域の間に配置された第1のチャンネル領域となる平坦な

10

20

プレーナー部と、

前記プレーナー部に沿って配置された、その側面および底面が第2のチャンネル領域となる、一定の深さを有するトレンチ部と、

前記プレーナー部および前記トレンチ部の表面に設けられたゲート絶縁膜と、

前記ゲート絶縁膜の上に設けられたゲート電極と、

を備え、

前記ソース領域およびドレイン領域のうち前記トレンチ部を介して向き合う部分の表面は他の部分の表面よりも低い位置に配置するとともに、前記ソースおよびドレイン領域の拡散深さも前記トレンチ部を介して向き合う部分においては他の部分よりも深くなっている、

10

前記プレーナー部のソース領域およびドレイン領域表面のコンタクトとゲート電極との距離は、前記トレンチ部のソース領域およびドレイン領域表面のコンタクトとゲート電極との距離よりも短いことを特徴とする半導体装置。

【請求項3】

前記低い位置に配置された前記ソース領域およびドレイン領域の表面に配線のためのコンタクトを有することを特徴とする請求項1あるいは2に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高駆動能力を要するMOSトランジスタを含む半導体装置およびその製造方法に関する。

20

【背景技術】

【0002】

MOSトランジスタは電子技術において中核を担う電子素子であって、MOSトランジスタの小型化と高駆動能力化を図ることは、重要である。MOSトランジスタを高駆動能力化する方法の1つとして、ゲート幅を広くしてオン抵抗を低減させる方法があるが、ゲート幅を広くするとMOSトランジスタの占有面積が大きくなるという問題がある。その解決のために、横型MOS構造のMOSトランジスタの専有面積の増加を抑えながらゲート幅を広くする技術が提案されている。(例えば、特許文献1参照)

以下、図4を用いて、従来の半導体装置について説明する。図4(a)の斜視図に示したように、ウェル17にトレンチ部8を設け、ゲート絶縁膜9を介してトレンチ部の上面と内部にゲート電極10を形成したものである。ウェル17の表面部分において、ゲート電極10の一方の側にはソース領域12が設けられており、他方の側にはドレイン領域13が設けられている。図4(b)は、図4(a)の切断面A-Aに沿ったプレーナー部の断面図であり、図4(c)は、図4(a)の切断面B-Bに沿った断面図である。図4(c)に示したように、トレンチ部8内にゲート電極10が形成されているため、ゲート電極10がゲート絶縁膜9に接している曲線のB-B方向の総延長がゲート幅となる。

30

【0003】

このように、ゲート部を凸部と凹部を有するトレンチ構造にすることによって、表面でのゲート電極10の幅に対して、実効的なゲート幅を広くすることができ、これによって、MOSトランジスタの耐圧を低下させずに単位面積あたりのオン抵抗を低減することができる。

40

【特許文献1】特開2006-49826公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

以上に述べた半導体装置の構造では、実際の駆動能力が想定した駆動能力に達しないという問題のあることが発明者により見出された。さらに、ゲート長によって、駆動能力は異なり、ゲート長が短くなると、駆動能力が低下する傾向を示すことが分かった。

【0005】

50

この現象は、ソースドレイン間に生じたチャンネルのうち、図4(d)に示した経路A(トレンチ部8が形成されていない部分であるプレーナ部)に電流が多く流れ、ソースとドレインを結ぶ向きであるチャンネルに平行なトレンチ部8の側面を流れる経路Bやトレンチ部8の底面を介して流れる経路Cにはあまり電流が流れないことが原因であると推察できる。そのため、ゲート長が短いほど、経路Aに電流が集中するようになり、このことが、ゲート長が短くなると駆動能力が低下する原因であると考えられる。

【0006】

そこで本発明の目的は、トレンチ構造を有する半導体装置の駆動能力を向上させることにある。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明は次の手段を用いた。

(1) 第1導電型半導体基板に形成された、ゲート幅方向に側面と底面を有するトレンチ部と、ゲート絶縁膜を介して前記トレンチ部の内部およびプレーナ部上面に形成されたゲート電極と、前記ゲート電極の一方の側に形成された第2導電型のソース領域と、前記ゲート電極の他方の側に形成された第2導電型のドレイン領域を備えた半導体装置において、前記ソース領域と前記ドレイン領域のゲート電極近傍の一部の表面を他の表面よりも低い位置に配置すると共に前記ソースおよびドレイン領域の拡散深さも前記低い位置に配置された表面の下方部分においては前記他の表面の下方部分よりも深くなっていることを特徴とする半導体装置とした。

(2) 第1導電型半導体基板と、前記第1導電型半導体基板の表面近傍に離間して配置された第2導電型のソース領域およびドレイン領域と、前記ソース領域およびドレイン領域の間に配置された第1のチャンネル領域となる平坦なプレーナ部と、前記プレーナ部に沿って配置された、その側面および底面が第2のチャンネル領域となる、一定の深さを有するトレンチ部と、前記プレーナ部および前記トレンチ部の表面に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極とからなる半導体装置であって、前記ソース領域およびドレイン領域のうち前記トレンチ部を介して向き合う部分の表面は他の部分の表面よりも低い位置に配置するとともに、前記ソースおよびドレイン領域の拡散深さも前記トレンチ部を介して向き合う部分においては他の部分よりも深くなっていることを特徴とする半導体装置とした。

(3) 第1導電型の半導体基板を用意する工程と、ソース領域およびドレイン領域となる領域のうちのそれぞれ一部を前記半導体基板の表面から除去し、凹部を形成する工程と、チャンネルとなる領域に側面と底面を有するトレンチを形成してプレーナ部とトレンチ部を配置する工程と、前記トレンチ部の側面と底面および前記プレーナ部の表面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上にゲート電極を形成する工程と、前記ゲート電極を挟んで前記凹部の周囲に第2導電型のソース領域とドレイン領域を形成する工程とからなる半導体装置の製造方法とした。

【発明の効果】

【0008】

本発明によれば、上述の半導体装置のソース領域およびドレイン領域は、ゲート電極近傍の少なくとも一部において、LOCOS法によって形成させた厚膜酸化膜を除去することで表面の一部が他よりも低く形成することが可能となる。これによって、トレンチ部トランジスタのゲート電極に対して深い位置までソース領域およびドレイン領域が形成されることとなるため、ゲート幅方向の凹部上部での電流集中を緩和させ、電流を凹部内部まで分散させ、深さ方向にも流すことが可能となることから、半導体装置の駆動能力を向上させることが可能となる。

【発明を実施するための最良の形態】

【0009】

以下、本発明の実施の形態を図面に基づいて説明する。

【0010】

10

20

30

40

50

図1は本発明に係る半導体装置の第1の実施例の製造方法を示す模式的断面図による工程順のフローである。

【0011】

図1(A)において、第1導電型半導体基板、例えばP型半導体基板1、例えばホウ素添加した抵抗率 $20\ \text{cm}$ から $30\ \text{cm}$ の不純物濃度の半導体基板に、酸化膜2、例えば膜厚数百の熱酸化膜を形成した後、窒化膜3を例えば膜厚数千の厚さに堆積する。なお、本実施例では基板はP型としたが、基板の導電型は本発明の本質とは関係ない。これに、図1(B)に示すように、レジスト膜4でパターニングを行ってLOCOS法による酸化膜形成のための窒化膜3の除去を行う。ここでの窒化膜はその後の工程のLOCOS法による厚膜酸化膜形成に用いる。続いて、レジスト膜4を保持したままレジスト膜5を形成し、チャンネルカット領域の低濃度拡散層を形成するための不純物添加を行う。例えば燐を好ましくは $1 \times 10^{11}\ \text{atoms/cm}^2$ から $1 \times 10^{13}\ \text{atoms/cm}^2$ のドーズ量でイオン注入する。ここでの不純物は砒素を用いることも可能である。

10

【0012】

その後、図1(C)に示すように、レジスト膜4およびレジスト膜5を除去した後、引き続き、LOCOS法によりLOCOS酸化膜を形成する。ここでは、 $1000 \sim 1200$ で数時間熱酸化することにより、例えば酸化膜厚 $500\ \text{nm} \sim 1\ \mu\text{m}$ の酸化膜に熱酸化成長させ、同時にチャンネルカット領域の低濃度拡散層6を形成する。続いて、図1(D)に示すように、窒化膜3を除去したのち、LOCOS酸化膜を除去するためにレジスト膜7を用いてパターニングする。ここでのレジスト膜7に替え、窒化膜あるいは多結晶ポリシリコンをマスクとしてパターニングすることも可能である。次に、レジスト膜7および酸化膜2を除去すると、図1(E)に示す構造となる。これにより、あとからソースおよびドレインとなる領域の表面の一部を他よりも低くした凹部を有する構造が得られる。引き続き、図1(F)に示すように、第1導電型半導体基板にトレンチ構造8を例えば数百nmから数 $\mu\text{m}$ の深さに形成する。

20

【0013】

その後、図1(G)に示すように、ゲート絶縁膜9、例えば膜厚数百～数千の熱酸化膜を形成した後、ゲート絶縁膜9上に多結晶シリコンゲート膜を好ましくは膜を $100\ \text{nm} \sim 500\ \text{nm}$ の厚さに堆積し、ブリッジポジションあるいはイオン注入法により不純物を導入して抵抗率を下げてゲート電極10とする。ここでの導電型は例えば第1導電型でも第2導電型でもよい。さらにレジスト膜11でゲート電極10のパターニングをおこなうことで、図1(H)に示すような構造が整う。こうして、MOSトランジスタのチャンネルとなる領域が概ね決定される。図1(H)ではトレンチ部のチャンネルとなる領域しか示していないが、プレーナー部のチャンネルとなる領域もゲート電極10のパターニングにより同時に形成される。

30

【0014】

引き続き、図1(I)に示すように、セルフアライン法でソース領域およびドレイン領域を形成するための不純物添加を行う。ソース領域およびドレイン領域の不純物添加は例えば砒素を好ましくは $1 \times 10^{15}\ \text{atoms/cm}^2$ から $1 \times 10^{16}\ \text{atoms/cm}^2$ のドーズ量でイオン注入する。さらに、ここでのソース領域およびドレイン領域への不純物の導入は、トレンチ構造8を有しない同一チップ内のMOSトランジスタと同一条件で同時におこなうことが可能である。この工程までで、トレンチ構造8を有するMOSトランジスタの形態が整う。その後、図1(J)に示すように、 $800 \sim 1000$ で数時間熱処理することで、ソース領域12およびドレイン領域13を形成する。本実施例においては、ゲート電極近傍のソース領域およびドレイン領域の表面の一部が他の部分よりも低くなっているため、ソース領域およびドレイン領域を形成する不純物も従前より深くまで分布することとなり、トレンチ部側面あるいはトレンチ部底部を流れる電流を増加させることが可能となる。

40

【0015】

上述までの方法で製造された、トレンチ構造を有するMOSトランジスタの構造について、より詳細に図2を用いて説明する。

50

## 【 0 0 1 6 】

図 2 (A) は第 1 の実施例の平面図である。図 2 (B) は図 2 (A) の A - A 断面図であり、図 2 (C) は図 2 (A) の B - B 断面図である。

## 【 0 0 1 7 】

本発明における半導体装置は、ゲート幅方向に複数配置されたトレンチ部 8 内部に形成されたゲート電極とトレンチ部ではないチャネル領域上であるプレーナー部に形成されたゲート電極をあわせもち、図 2 (A) の A - A 断面図である図 2 (B) に示すのがトレンチ部トランジスタ 1 8 で、図 2 (A) の B - B 断面図である図 2 (C) に示すのがプレーナー部トランジスタ 1 9 とする。図 2 (A) においてはゲート電極 1 0 の下層にはトレンチ部をなぞるようにゲート絶縁膜 9 が存在する。

10

## 【 0 0 1 8 】

第 1 の実施例を示す図 2 (A) では、ゲート電極 1 0 近傍でのソース領域 1 2 およびドレイン領域 1 3 のすくなくとも一部の表面で他よりも低くするためLOCOS法による厚膜酸化膜の除去領域 1 4 はソース領域 1 2 およびドレイン領域 1 3 に連続して多く存在しており、トレンチ部トランジスタ 1 8 のゲート電極 1 0 のゲート長さ方向端を囲むように形成する。さらに、この実施例では、配線コンタクトのトレンチ部コンタクト 1 5、およびプレーナー部コンタクト 1 6 はゲート電極 1 0 近傍の表面が他よりも低いソース領域 1 2 およびドレイン領域 1 3 に配置する。

## 【 0 0 1 9 】

図 3 は本発明に係る半導体装置の第 2 の実施例を示す平面図である。図 3 では、ソース領域 1 2 およびドレイン領域 1 3 のすくなくとも一部の表面が他よりも低い厚膜酸化膜除去部 1 4 は、選択的にトレンチ部トランジスタ 1 8 のゲート電極 1 0 のゲート長さ方向の延長線上に形成する。これに付随して配線コンタクトもトレンチ部コンタクト 1 5、またはプレーナー部コンタクト 1 6 の配置位置を変える。たとえば、プレーナー部コンタクト 1 6 は寄生抵抗などを小さくするためにゲート電極 1 0 からの距離はトレンチ部コンタクト 1 5 より縮小しておく。図 3 においてもゲート電極 1 0 の下層にはトレンチ部をなぞるようにゲート絶縁膜 9 が存在する。

20

## 【 図面の簡単な説明 】

## 【 0 0 2 0 】

【 図 1 】 本発明に係る半導体装置の第 1 の実施例の製造方法を示す模式的断面図による工程順フローである。

30

【 図 2 】 本発明に係る第 1 の実施例のトレンチ構造を有するMOSトランジスタの詳細を示す平面図および断面図である。

【 図 3 】 本発明に係る第 2 の実施例のトレンチ構造を有するMOSトランジスタの詳細を示す平面図である。

【 図 4 】 従来技術によるトレンチ構造を有するMOSトランジスタの斜視図および断面図とチャネルを流れる電流の経路を示す模式図である。

## 【 符号の説明 】

## 【 0 0 2 1 】

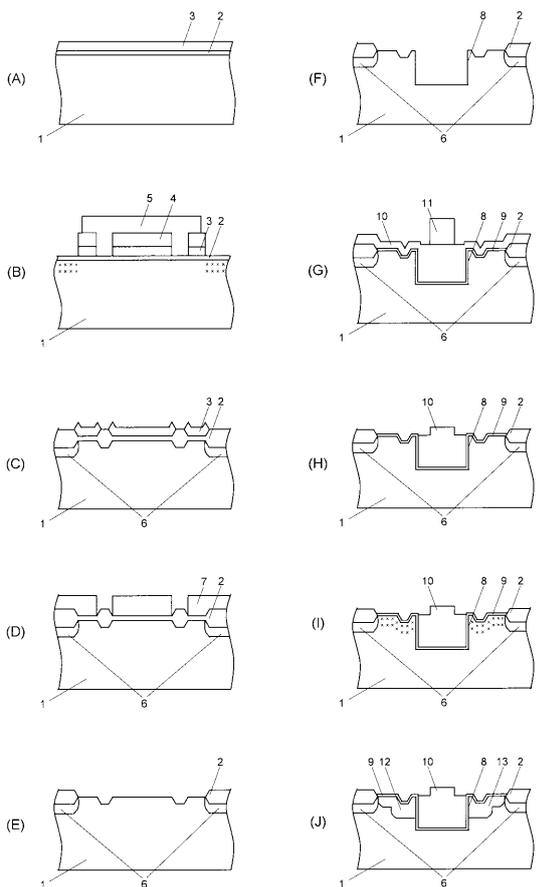
- 1 半導体基板
- 2 酸化膜
- 3 窒化膜
- 4、5、7、11 レジスト膜
- 6 チャネルカット領域低濃度拡散層
- 8 トレンチ部
- 9 ゲート絶縁膜
- 10 ゲート電極
- 12 ソース領域
- 13 ドレイン領域
- 14 LOCOS酸化膜の除去領域

40

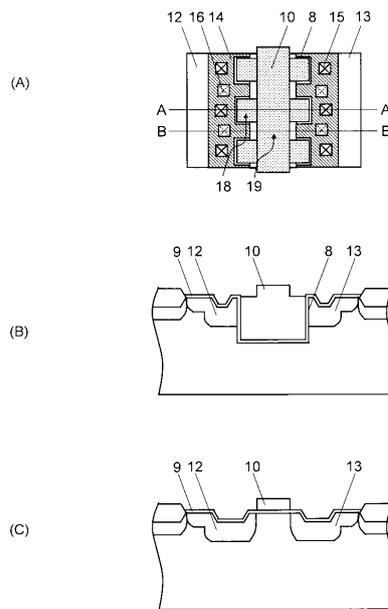
50

- 1 5 トレンチ部コンタクト
- 1 6 プレーナー部コンタクト
- 1 7 ウェル
- 1 8 トレンチ部トランジスタ
- 1 9 プレーナー部トランジスタ

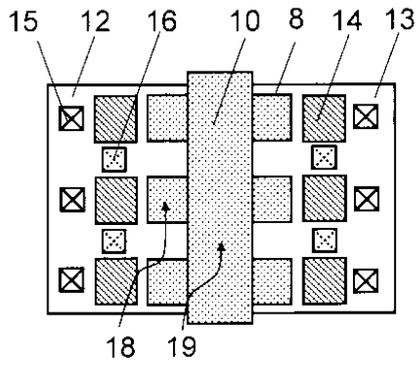
【図1】



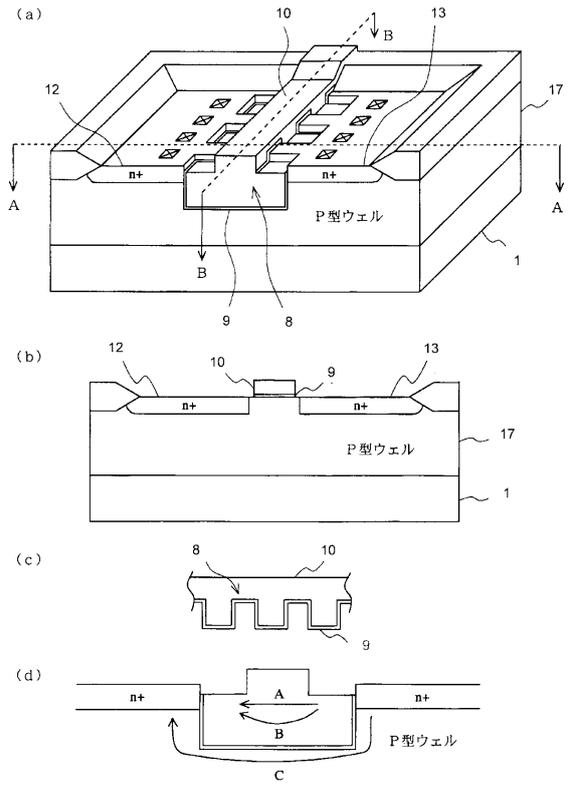
【図2】



【図3】



【図4】



---

フロントページの続き

- (56)参考文献 特開平08 - 264764 (JP, A)  
特開平10 - 065150 (JP, A)  
特開2006 - 019518 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336  
H01L 29/423  
H01L 29/49  
H01L 29/78