



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 23/48 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년12월27일 10-0661424 2006년12월19일
---	-------------------------------------	--

(21) 출원번호	10-2005-0129903(분할)	(65) 공개번호	10-2006-0086835
(22) 출원일자	2005년12월26일	(43) 공개일자	2006년08월01일
심사청구일자	2005년12월26일		
(62) 원출원	특허10-1997-0009768	심사청구일자	2002년03월20일
	원출원일자 : 1997년03월21일		

(30) 우선권주장 JP-P-1996-00066637 1996년03월22일 일본(JP)

(73) 특허권자 가부시끼가이샤 르네사스 테크놀로지  
일본 100-6334 도쿄도 지요다구 마루노우찌 2-쵸메 4-1

(72) 발명자 미야자끼 준이찌  
일본 도쿄도 아끼시마시 미호리쵸 2-7-3-302

아끼야마 유끼하루  
일본 도쿄도 고가네이시 누꾸이끼따마쵸 2-10-19-203

시바모또 마사노리  
일본 사이따마켄 우라와시 다이몬 1164-1 205

구다이시 도모아끼  
일본 도쿄도 고다이라시 오가와니시마쵸 5-2-20-203

안쵸, 이찌로  
일본 도쿄도 고가네이시 누꾸이미나쵸 4-5-5

니시 구니히코  
일본 도쿄도 고크분지시 기따마쵸 4-13-20

니시무라 아사오  
일본 도쿄도 고크분지시 혼쵸 4-13-12-405

다나카 히데끼  
일본 가나가와켄 사가미하라시 미나미하시모또 3-5-17-904

기모또 료스께  
일본 도쿄도 하무라시 하네까미 2-8-6

쵸보사끼 구니히로  
일본 도쿄도 히노시 히가시히라야마 2-29-22

하세베 아끼오  
일본 도쿄도 히가시무라야마시 온따쵸 1-59-2

(74) 대리인                      장수길  
    구영창  
    이중희

심사관 : 홍근조

전체 청구항 수 : 총 48 항

**(54) 반도체장치 및 그 제조방법**

**(57) 요약**

반도체 집적회로장치에 관한 것으로서, 탄성구조체를 고정밀도로 안정하게 배선기판에 탑재하고 반도체칩의 접촉공정을 안정하게 하여 제조효율이 높은 조립을 실행할 수 있도록 하기 위해서, 볼 그리드 어레이형식의 반도체 패키지로서 본딩패드가 형성된 반도체칩, 반도체칩에 접촉되는 일래스토머, 일래스토머에 접촉되고 반도체칩의 본딩패드에 한쪽끝이 접속되는 배선이 형성된 플렉시블 배선기판, 플렉시블 배선기판의 주면상에 형성되는 뿔납레지스트 및 다른쪽끝에 접속되는 뿔납범프로 구성하였다.

이러한 구성에 의해, 탄성구조체를 보다 고정밀도로 안정하게 공극없이 베이스재에 탑재할 수 있고, 또 탄성구조체의 치수형상이 안정하므로 반도체칩의 접촉공정도 안정하고 제조효율이 높은 조립을 실행하는 것이 가능하게 된다는 효과가 얻어진다.

**대표도**

도 28

**특허청구의 범위**

**청구항 1.**

반도체칩의 주면상에 탄성구조체를 거쳐서 배선기판을 마련하고, 상기 배선기판의 배선의 한쪽끝부를 상기 반도체칩의 주면상의 외부단자와 전기적으로 접속시키고 또한 상기 배선기판의 배선의 다른쪽끝부를 범프전극과 전기적으로 접속시켜서 이루어지는 반도체 집적회로장치로서,

상기 배선기판의 배선은 상기 배선기판의 기판베이스재에 한쪽이 고정되고 다른쪽이 개방되도록 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 2.**

반도체칩의 주면상에 탄성구조체를 거쳐서 배선기판을 마련하고, 상기 배선기판의 배선의 한쪽끝부를 상기 반도체칩의 주면상의 외부단자와 전기적으로 접속시키고 또한 상기 배선기판의 배선의 다른쪽끝부인 랜드부를 범프전극과 전기적으로 접속시켜서 이루어지는 반도체 집적회로장치로서,

상기 배선기판의 배선은 상기 배선의 노치중단측에 있어서의 배선부분의 유효면적을 크게 형성시키고 있는 것을 특징으로 하는 반도체 집적회로장치.

**청구항 3.**

제2항에 있어서,

상기 노치중단층의 배선부분은 대향하는 배선의 랜드부에 연결되거나 배선의 빈영역으로 종방향 또는 횡방향으로 연장시키거나 또는 인접하는 배선끼리를 연결시켜서 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항 4.

반도체칩의 주면상에 탄성구조체를 거쳐서 배선기판을 마련하고, 상기 배선기판의 배선의 한쪽끝부를 상기 반도체칩의 주면상의 외부단자와 전기적으로 접속시키고 또한 상기 배선기판의 배선의 다른쪽끝부를 범프전극과 전기적으로 접속시켜서 이루어지는 반도체 집적회로장치로서,

상기 배선기판의 배선구조는 상기 배선의 폭치수를 상기 배선기판의 기판베이스재의 끝부로부터 배선 선단을 향해 점차 가늘게 하고, 상기 기판베이스재의 끝부에 있어서 발생하는 구부림 응력 $\sigma_0$ 에 대해서 상기 기판베이스재의 끝부와 배선 선단부의 중간에서 발생하는 최대응력 $\sigma_1$ 로 했을 때의 구부림 응력비 $\alpha$ 가

$$\alpha = \sigma_1 / \sigma_0$$

으로 나타내어지는 경우에 상기 구부림 응력비 $\alpha$ 가 1.2 ~ 1.5로 되도록 상기 배선의 치수 및 형상을 설정시켜서 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항 5.

제4항에 있어서,

상기 배선기판의 배선구조는 상기 배선의 폭치수를 상기 배선기판의 기판베이스재의 끝부로부터 배선 선단을 향해 점차 가늘게 하고, 소정의 위치로부터 일정한 폭치수로 되도록 형성하고, 테이퍼길이를 L1, 배선길이를 L2, 테이퍼폭을 b1, 배선폭을 b2로 했을 때의 구부림 응력비 $\alpha$ 가

$$\alpha = b_1 \times (L_2 - L_1) / (b_2 \times L_2)$$

로 나타내어지는 경우에 상기 구부림 응력비 $\alpha$ 가 1.2 ~ 1.5로 되도록 상기 배선의 치수 및 형상을 설정시켜서 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항 6.

반도체칩의 주면상에 탄성구조체를 거쳐서 배선기판을 마련하고, 상기 배선기판의 배선의 한쪽끝부를 휘어진 상태로 상기 반도체칩의 주면상의 외부단자와 전기적으로 접속시키고 또한 상기 배선기판의 배선의 다른쪽끝인 랜드부를 범프전극과 전기적으로 접속시켜서 이루어지는 반도체 집적회로장치로서,

상기 배선기판의 배선구조는 Cu를 심재로 해서 표면에 Au도금을 실시해서 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항 7.

(a) 여러개의 반도체 소자와 그의 주면상의 행방향의 외부단자를 갖는 반도체칩을 마련하는 공정,

(b) 제1의 어레이의 범프랜드, 제2의 어레이의 범프랜드, 상기 제1의 어레이의 범프랜드와 상기 제2의 어레이의 범프랜드 사이에 위치한 개구부가 마련된 배선기판재 및 상기 개구부를 통해 적어도 하나의 제1의 어레이의 범프랜드와 적어도 하나의 제2의 어레이의 범프랜드 사이의 브리지 접속을 각각 형성하는 여러개의 리이드를 갖는 배선기판을 마련하는 공정,

(c) 상기 개구부가 상기 행방향의 외부단자 상에 위치되도록 상기 반도체칩의 주면상에 상기 배선기판을 위치시키는 공정, 및

(d) 상기 개구부상의 각각의 부분에서 상기 여러개의 리이드를 절단하고, 각각 상기 개구부를 통해서 상기 외부단자 중 대응하는 외부단자상에 상기 여러개의 리이드의 각각을 접촉하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 8.

제7항에 있어서,

(e) 상기 개구부를 통해 상기 행방향의 외부단자와 상기 외부단자에 접촉된 여러개의 리이드를 포팅방법으로 밀봉하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 9.

제7항에 있어서,

상기 여러개의 리이드의 각각은 상기 개구부 상의 브리지 부분에 배치된 노치를 갖고,

상기 공정 (d)에 있어서, 상기 여러개의 리이드의 각각은 상기 노치에서 절단되는 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 10.

제7항에 있어서,

상기 외부단자의 최소 간격은 상기 범프랜드의 최소 간격보다 작은 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 11.

제7항에 있어서,

상기 (c) 공정에 있어서, 상기 배선기판은 상기 탄성층을 거쳐서 상기 반도체칩의 주면상에 위치되는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 12.

제7항에 있어서,

(e) 상기 제1 및 제2의 어레이의 범프랜드의 각각의 범프랜드 상에 각각 범프전극을 마련하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 13.

제11항에 있어서,

상기 여러개의 리이드의 각각은 상기 개구부 상의 브리지 부분에 배치된 노치를 갖고,

상기 공정 (d)에 있어서, 상기 여러개의 리이드의 각각은 상기 노치에서 절단되는 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 14.

제13항에 있어서,

(e) 상기 개구부를 통해 상기 행방향의 외부단자와 상기 외부단자에 접촉된 여러개의 리이드를 포팅방법으로 밀봉하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 15.

제14항에 있어서,

(f) 상기 제1 및 제2의 어레이의 범프랜드의 각각의 범프랜드 상에 각각 범프전극을 마련하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 16.

제11항에 있어서,

상기 외부단자의 최소 간격은 상기 범프랜드의 최소 간격보다 작은 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 17.

(a) 여러개의 반도체 소자와 그의 주변상의 행방향의 외부단자를 갖는 반도체칩을 마련하는 공정,

(b) 여러개의 범프랜드, 여러개의 앵커배선, 상기 여러개의 범프랜드와 상기 여러개의 앵커배선 사이에서 개구부를 갖는 배선기판재 및 상기 개구부를 통해 상기 여러개의 범프랜드와 상기 여러개의 앵커배선 사이의 브리지 접속을 각각 형성하는 여러개의 리이드를 갖는 배선기판을 마련하는 공정,

(c) 상기 개구부가 상기 행방향의 외부단자 상에 위치되도록 상기 반도체칩의 주변상에 상기 배선기판을 위치시키는 공정, 및

(d) 상기 개구부상의 각각의 그 부분에서 상기 여러개의 리이드를 절단하고, 상기 개구부를 통해서 상기 외부단자의 대응하는 하나 상에 상기 여러개의 리이드의 각각을 각각 접착하는 공정을 포함하고,

상기 개구부의 에지에 평행한 방향에서 상기 앵커의 각각의 폭은 상기 개구부의 에지에서 대응하는 리이드의 폭보다 큰 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 18.**

제17항에 있어서,

상기 (c) 공정에 있어서, 상기 배선기판은 탄성층을 거쳐서 상기 반도체칩의 주면상에 위치되는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 19.**

제18항에 있어서,

상기 여러개의 리이드의 각각은 상기 개구부 상의 브리지 부분에 배치된 노치를 갖고,

상기 공정 (d)에 있어서, 상기 여러개의 리이드의 각각은 상기 노치에서 절단되는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 20.**

제19항에 있어서,

(e) 상기 각각의 범프랜드 상에 범프전극을 각각 마련하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 21.**

제20항에 있어서,

(f) 상기 개구부를 통해 상기 행방향의 외부단자와 상기 외부단자에 접촉된 여러개의 리이드를 포팅방법으로 밀봉하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 22.**

제19항에 있어서,

(e) 상기 개구부를 통해 상기 행방향의 외부단자와 상기 외부단자에 접촉된 여러개의 리이드를 포팅방법으로 밀봉하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 23.**

제22항에 있어서,

(f) 상기 범프랜드의 각각의 범프랜드 상에 각각 범프전극을 마련하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 24.**

여러개의 반도체 소자와 그 주면상에 형성된 여러개의 외부단자를 갖는 반도체칩,

상기 여러개의 외부단자를 노출시키도록 상기 반도체칩의 주면상에 마련된 탄성층,

상기 탄성층 상에 마련되고, 상기 여러개의 외부단자를 노출시키고 상기 절연 테이프의 에지에 의해 규정되는 개구부를 갖는 절연 테이프, 및

상기 절연 테이프의 표면에 마련되고, 각각이 상기 절연 테이프 상에 배치된 제1의 부분과 상기 절연 테이프의 에지를 가로질러 연장하고 상기 절연 테이프의 개구부내인 제2의 부분을 갖고, 상기 제2의 부분의 각각이 상기 외부단자 중 대응하는 외부단자와 전기적으로 접속되는 여러개의 리이드를 포함하고,

상기 여러개의 리이드의 각각은 코어재로서 구리 리이드를 포함하고,

상기 여러개의 리이드의 각각의 구리 리이드는 그의 표면에 도금된 금도금을 갖고,

상기 여러개의 리이드의 각각의 제2의 부분의 길이는 상기 절연 테이프에서 상기 외부단자 중 대응하는 외부단자까지의 직선 거리보다 긴 것을 특징으로 하는 반도체 장치.

### 청구항 25.

제24항에 있어서,

상기 구리 리이드와 금 도금 사이에는 다른 금속재가 존재하지 않는 것을 특징으로 하는 반도체 장치.

### 청구항 26.

제24항에 있어서,

상기 여러개의 리이드는 상기 탄성층과 상기 절연 테이프 사이에 배치되고,

상기 여러개의 범프진극은 상기 절연 테이프내에 형성된 구멍을 거쳐서 상기 여러개의 리이드 중 대응하는 외부단자와 각각 접촉하는 것을 특징으로 하는 반도체 장치.

### 청구항 27.

제24항에 있어서,

상기 여러개의 리이드의 각각은 평면적으로 보아 대략 직선 패턴을 형성하고 단면에서 보아 구부러진 패턴을 형성하도록 배치되는 것을 특징으로 하는 반도체 장치.

### 청구항 28.

제24항에 있어서,

상기 여러개의 리이드는 상기 탄성층과 상기 절연 테이프 사이에 배치되는 것을 특징으로 하는 반도체 장치.

### 청구항 29.

제28항에 있어서,

상기 여러개의 리이드의 각각은 평면적으로 보아 대략 직선 패턴을 형성하고 단면에서 보아 구부러진 패턴을 형성하도록 배치되는 것을 특징으로 하는 반도체 장치.

### 청구항 30.

제29항에 있어서,

상기 여러개의 범프전극은 상기 절연 테이프내에 형성된 구멍을 거쳐서 상기 여러개의 리이드 중 대응하는 리이드와 각각 접촉하는 것을 특징으로 하는 반도체 장치.

### 청구항 31.

제30항에 있어서,

상기 구리 리이드와 금 도금 사이에는 다른 금속재가 존재하지 않는 것을 특징으로 하는 반도체 장치.

### 청구항 32.

제28항에 있어서,

상기 구리 리이드와 금 도금 사이에는 다른 금속재가 존재하지 않는 것을 특징으로 하는 반도체 장치.

### 청구항 33.

(a) 여러개의 반도체 소자와 그 주면상에 행방향의 외부단자를 갖는 반도체칩을 마련하는 공정,

(b) 여러개의 범프렌드, 여러개의 앵커배선, 상기 범프렌드와 상기 앵커배선 사이에 개구부가 마련된 배선기판재 및 상기 개구부를 통해 상기 여러개의 범프렌드의 각각의 하나와 상기 여러개의 앵커배선 중 대응하는 앵커배선 사이의 브리지 접속을 각각 형성하는 여러개의 리이드를 갖는 배선기판을 마련하는 공정,

(c) 상기 개구부가 상기 행방향의 외부단자 상에 위치되도록 상기 반도체칩의 주면상에 상기 배선기판을 위치시키는 공정 및

(d) 상기 개구부상의 각각의 부분에서 상기 여러개의 리이드를 절단하고, 상기 개구부를 통해서 상기 외부단자 중 대응하는 외부단자상에 상기 리이드를 각각 접촉하는 공정을 포함하고,

상기 개구부의 에지에 평행한 방향에서 상기 앵커의 각각의 폭은 상기 개구부의 에지에서 상기 대응하는 리이드의 폭보다 크고, 상기 개구부의 동일측상에 인접하여 배치된 앵커배선은 서로 접속되는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 34.

제33항에 있어서,

상기 (c) 공정에 있어서, 상기 배선기판은 탄성층을 거쳐서 상기 반도체칩의 주면상에 위치되는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 35.**

제34항에 있어서,

상기 여러개의 리이드의 각각은 상기 개구부 상의 브리지 부분에 배치된 노치를 갖고,

상기 공정 (d)에 있어서, 상기 여러개의 리이드의 각각은 상기 노치에서 절단되는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 36.**

제35항에 있어서,

(e) 각각의 상기 범프랜드 상에 범프전극을 각각 마련하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 37.**

제36항에 있어서,

(f) 상기 개구부를 통해 상기 행방향의 외부단자와 상기 외부단자에 접촉된 여러개의 리이드를 포팅방법으로 밀봉하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 38.**

제35항에 있어서,

(e) 상기 개구부를 통해 상기 행방향의 외부단자와 상기 외부단자에 접촉된 여러개의 리이드를 포팅방법으로 밀봉하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 39.**

제38항에 있어서,

(e) 각각의 상기 범프랜드 상에 범프전극을 각각 마련하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 40.**

제33항에 있어서,

상기 공정 (b)에 있어서, 상기 여러개의 범프랜드와 상기 여러개의 앵커배선은 상기 배선기판의 개구부의 대향측의 양쪽에서 상기 배선기판의 주면상에 분산되는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 41.**

제40항에 있어서,

상기 공정 (b)에 있어서, 상기 배선기판내의 개구부는 장방형이고,

상기 공정 (c)에 있어서, 상기 배선기판은 탄성층을 거쳐서 상기 반도체칩의 주면상에 위치되는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 42.**

제41항에 있어서,

상기 여러개의 리이드의 각각은 상기 개구부 상의 브리지 부분에 배치된 노치를 갖고,

상기 공정 (d)에 있어서, 상기 여러개의 리이드의 각각은 상기 노치에서 절단되는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 43.**

제42항에 있어서,

(e) 각각의 상기 범프랜드 상에 범프전극을 각각 마련하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 44.**

제43항에 있어서,

(f) 상기 개구부를 통해 상기 행방향의 외부단자와 상기 외부단자에 접촉된 여러개의 리이드를 포팅방법으로 밀봉하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 45.**

제40항에 있어서,

상기 공정 (b)는 탄성층을 마련하는 공정을 더 포함하고,

상기 공정 (c)에 있어서, 상기 배선기판은 상기 탄성층을 거쳐서 상기 반도체칩의 주면상에 위치되는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 46.**

제45항에 있어서,

상기 여러개의 리이드의 각각은 상기 개구부 상의 브리지 부분에 배치된 노치를 갖고,

상기 공정 (d)에 있어서, 상기 여러개의 리이드의 각각은 상기 노치에서 절단되는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 47.

제46항에 있어서,

(e) 각각의 상기 범프랜드 상에 범프전극을 각각 마련하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 48.

제47항에 있어서,

(f) 상기 개구부를 통해 상기 행방향의 외부단자와 상기 외부단자에 접촉된 여러개의 리이드를 포팅방법으로 밀봉하는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로장치에 관한 것으로서, 특히 소형, 경량, 박형화의 기능이 활발화되고 있는 휴대전화기나 핸드형 퍼스널컴퓨터등의 휴대기기에 적용해서 유효한 기술에 관한 것이다.

최근, 전자기기의 고기능화, 고성능화와 함께 소형, 경량, 박형화의 기능이 활발화되어 오고 있다. 이것은 최근의 휴대전화기나 핸드형의 퍼스널컴퓨터등의 휴대기기의 급증에 의한 바가 크다. 또, 개인이 조작하는 기기의 사람과 기계(man-machine)의 인터페이스적 역할이 증가하고, 취급의 용이성이나 조작성이 점점 중요시되어 오고 있다. 금후, 본격적인 멀티미디어시대의 도래와 함께 이 경향은 한층더 강해질 것이라고 고려된다.

이러한 상황속에서 반도체칩의 고밀도화, 고집적화의 진전은 멈출줄을 모르고 반도체칩의 대형화나 다전극화가 진행되어 패키지는 급격하게 대형화되어 오고 있다. 이 때문에, 한쪽에서는 패키지의 소형화를 진행시키기 위해 단자리이드의 협피치화도 가속되어 이것과 동시에 패키지의 실장도 급격하게 어려워지고 있다.

그래서, 최근 반도체칩과 동일면적의 초다핀, 고밀도 패키지가 제안되고 있고, 예를 들면 닷케이BP사, 1994년 5월 1일 발행의 「닷케이 마이크로 디바이스」 P98~P102, 마찬가지로 1995년 2월 1일 발행의 「닷케이 마이크로 디바이스」 P96~P97, 공업조사회, 평성 7년 4월 1일 발행의 「전자재료」 P22~P28등의 문헌에 기재되는 패키지기술등을 들 수 있다.

이들의 패키지기술에 있어서의 구조의 1에는 예를 들면 상기 「전자재료」의 도 6에 기재된 바와 같이 반도체칩의 표면상에 일래스토머(탄성체)를 거쳐서 플렉시블 배선기판이 마련되고, 상기 플렉시블 배선기판의 배선의 한쪽끝측인 리이드가 상기 반도체칩의 표면상의 본딩패드와 전기적으로 접속되고 또한 상기 플렉시블 배선기판의 배선의 다른쪽끝인 범프랜드가 뎀납범프와 전기적으로 접속되는 패키지구조로 되어 있다.

이 패키지구조는 외형치수가 반도체칩과 대략 동일하고 또는 필요에 따라서 칩의 주위에 부착하는 보호틀의 분만큼 큰 정도이고, 뎀납범프가 형성된 플렉시블 배선기판이 사용되고 있다. 이 배선기판의 배선패턴은 한쪽에 Au 도금이 실시된 Cu 박으로 형성되고, 칩의 패드와 접속되는 선단부는 Cu박이 에칭되어 Au만의 리이드패턴으로 되어 있다. 이 플렉시블 배선기판을 반도체칩의 표면에 일래스토머로 접촉한 후에 Au리이드를 반도체칩의 본딩패드에 접속하는 구조로 되어 있다.

**발명이 이루고자 하는 기술적 과제**

그러나, 상기와 같은 패키지구조에 있어서 본 발명자가 검토한 결과에 의하면, 다음과 같은 것이 고려된다. 예를 들면, 상기의 패키지구조에 있어서의 플렉시블 배선기판은 -P(Tape Carrier Package)로 대표되는 폴리이미드 테이프의 표면에 Cu배선패턴을 형성한 구조이고, 배선기판의 배선면측에 일래스토머를 형성하는 구조를 채용하고 있으므로, 플렉시블 배선기판상의 배선패턴의 요철이 요인으로 되어 일래스토머를 균일하게 안정하게 탑재하는 것이 어렵게 되어 있다.

즉, 일래스토머를 플렉시블 배선기판상에 도포 또는 부착할 때 배선패턴의 볼록부의 양측부근에 일래스토머가 충전되지 않는 공극이 형성되거나 또 일래스토머의 치수형상이 안정하지 못하기 때문에 반도체칩의 접착공정도 안정하게 실행할 수 없다는 문제점이 발생하는 것도 고려된다.

또, 범프전극은 상기 배선기판의 테이프측에 형성된다. 즉, 상기 범프전극은 상기 테이프에 형성된 관통구멍을 거쳐서 상기 배선에 접속되어 있다. 이 테이프는 예를 들면 50 $\mu$ m로 비교적 두꺼우므로 범프전극간 피치가 상기 테이프두께보다 작아지면 관통구멍의 에스펙트비가 커져서 범프전극과 배선이 미접속으로 될 우려가 있다. 따라서, 패키지의 다핀화가 제한될 우려가 있다.

그래서, 본 발명의 하나의 목적은 탄성구조체를 고정밀도로 안정하게 배선기판에 탑재하고, 반도체칩의 접착공정을 안정하게 하여 제조효율이 높은 조립을 실행할 수 있는 반도체 집적회로장치를 제공하는 것이다.

본 발명의 하나의 목적은 패키지의 다핀화를 촉진하는 기술을 제공하는 것이다.

본 발명의 하나의 목적은 여러개의 배선층구조의 채용에 의해 내잡음성 등의 면에서 우수한 전기특성을 얻을 수 있는 반도체 집적회로장치를 제공하는 것이다.

본 발명의 하나의 목적은 탄성구조체의 성분으로 인한 배선의 오염을 방지하는 것이다.

본 발명의 하나의 목적은 반도체칩의 손상방지, 반도체칩의 신뢰성향상, 또 탄성구조체와 반도체칩의 접속불량, 배선기판의 평탄도의 악화, 신뢰성의 저하를 방지하는 것이다.

본 발명의 하나의 목적은 유연하게 개조된 특수한 와이어본더를 필요로 하지 않고, 또 본딩공구의 궤적을 단순화해서 본딩시의 택트타임단축의 효과를 얻는 것이다.

본 발명의 하나의 목적은 배선의 절단시에 있어서의 문제를 해결하는 것이다.

본 발명의 하나의 목적은 패시베이션 또는 그 아래의 반도체칩으로의 손상을 저감하고, 또 배선의 오염방지에 의한 본딩성을 향상시키는 것이다.

본 발명의 하나의 목적은 배선과 기판베이스재간의 접착강도를 증가시키고 안정된 노치절단성을 얻는 것이다.

본 발명의 하나의 목적은 배선기판의 휘어짐을 억제하고, 또 접착재에 의한 접착성을 향상시키고, 또 내습성이나 신뢰성이 우수한 패키지를 구성하는 것이다.

본 발명의 하나의 목적은 탄성구조체의 홈매립성을 향상시키고, 또 한쪽에만 있던 지지부를 여러개로 하는 것에 의해서 메탈마스크의 강도를 높일 수 있고, 또 봉지재 흐름방지용 댐의 형성에 의해 한층더 홈매립성을 향상시키는 것이다.

본 발명의 하나의 목적은 내부리이드의 본딩기술에 있어서 접합성을 향상시키고, 또 반도체칩에 대한 손상을 방지하는 것이다.

본 발명의 하나의 목적은 구부림 응력비를 고려한 배선설계에 의해 본딩공구의 리턴없이 본딩공구를 수직으로 내려뜨리는 것만으로 적합한 S자형상을 형성하는 것이다.

본 발명의 하나의 목적은 배선자체의 크랙을 발생시키지 않고 또 반도체칩으로의 본딩손상을 경감하는 것이다.

본 발명의 하나의 목적은 탄성구조체 저분자량 성분의 블리드를 억제하고 또 표면이 평탄화되는 것에 의해 탄성구조체 형성시에 공극을 감는 불합리를 회피하는 것이다.

본 발명의 하나의 목적은 반도체 집적회로장치의 제조방법에 있어서 범프전극을 접속하기 위한 구멍직경 가공정밀도를 향상시키는 것이다.

본 발명의 하나의 목적은 반도체 집적회로장치의 제조방법에 있어서 작은 범프전극을 양호하게 접합할 수 있고, 또 범프전극의 배열피치를 작게 할 수 있고 보다 고밀도인 출력단자를 갖는 반도체 패키지를 구성하는 것이다.

본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에서 명확하게 될 것이다.

### 발명의 구성

본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

즉, 본 발명의 하나의 반도체 집적회로장치는 반도체칩의 주면상에 탄성구조체를 거쳐서 배선기판을 마련하고, 상기 배선기판의 배선의 한쪽끝측인 리이드부를 상기 반도체칩의 주면상의 외부단자와 전기적으로 접속시키고 또한 상기 배선기판의 배선의 다른쪽끝측인 랜드부를 범프전극과 전기적으로 접속시켜서 이루어지는 반도체 집적회로장치에 적용하고, 상기 배선기판은 기판베이스재(테이프)의 주면상에 상기 배선이 형성되고 상기 기판베이스재의 주면의 반대측에 상기 탄성구조체를 배치시킨 패키지구조로 하는 것이다.

또, 범프전극을 상기 배선측에 형성한다.

또, 상기 범프전극을 상기 배선상에 형성하고 또한 상기 배선베이스재보다 얇은 두께의 절연막상에 마련된 관통구멍을 거쳐서 상기 배선과 접속한다.

또, 상기 반도체칩의 외부단자를 반도체칩의 중앙부 또는 외주부에 배치시키고, 상기 반도체칩의 외부단자에 상기 배선기판의 배선을 거쳐서 접속되는 상기 범프전극을 상기 반도체칩의 외주보다 내측, 외측 또는 내측과 외측의 양영역에 배치시키도록 한 것이다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 반도체칩의 외부단자측에 있어서의 상기 탄성구조체의 끝부와 상기 배선기판의 기판베이스재의 끝부의 치수를 상기 탄성구조체의 성분에서 설정하는 것이다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 반도체 집적회로장치의 외주부측에 있어서의 상기 배선기판의 기판베이스재의 끝부와 상기 탄성구조체의 끝부의 거리를 M2, 상기 반도체칩의 끝부와 상기 기판베이스재의 끝부의 거리를 M1로 하는 경우에,

$$M1 > M2 > 0$$

의 관계를 만족시키는 범위에서 상기 M2와 상기 M1을 설정하는 것이다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 배선기판의 배선을 상기 배선기판의 기판베이스재와의 고정부분과 상기 반도체칩의 외부단자에 접속되는 선단부분을 적어도 상기 배선의 폭이상 변위된 형상으로 형성하는 것이다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 배선기판의 배선을 상기 배선기판의 기판베이스재에 한쪽이 고정된 한쪽만이 들보형상인 구조로 형성하는 것이다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 반도체칩상의 표면보호막의 개구부의 끝부를 적어도 본딩공구를 내려뜨리는 측에 있어서 상기 본딩공구를 내려뜨렸을 때 상기 배선이 상기 표면보호막에 간섭하지 않는 범위의 치수로 설정하는 것이다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 배선기판의 배선을 상기 배선의 노치 종단측에 있어서의 배선부분의 유효면적을 크게 형성하는 것이다. 특히, 상기 노치 종단측의 배선부분을 대향하는 배선의 랜드부에 연결하거나 배선의 빈영역으로 중방향 또는 횡방향으로 연장시키거나 또는 인접하는 배선끼리를 연결시키도록 한 것이다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 탄성구조체를 상기 반도체칩의 외형치수에 비해 적어도 상기 탄성구조체에 형성되는 외주부 돌기폭분 이상으로 전체 둘레에 걸쳐서 큰 범위로 형성하는 것이다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 탄성구조체를 상기 반도체칩의 외부단자상에 접촉하지 않도록 분할해서 형성하는 경우에 상기 분할된 탄성구조체의 대향하는 공간의 각각의 끝부를 홈형상으로 형성하는 것이다. 특히, 상기 탄성구조체의 각각의 끝부에 형성되는 홈을 여러개로 형성하거나 상기 분할된 탄성구조체의 대향하는 공간의 각각의 끝부의 홈에는 봉지공정시에 미리 봉지재 흐름방지용 댐을 형성하도록 한 것이다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 반도체칩의 외부단자와 상기 배선기판의 배선의 접속구조를 미리 상기 반도체칩의 외부단자에 스테드범프를 형성하고, 상기 스테드범프를 거쳐서 상기 반도체칩의 외부단자와 상기 배선기판의 배선을 접속하는 것이다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 반도체칩의 외부단자와 상기 배선기판의 배선의 접속구조를 미리 상기 배선기판의 배선을 둘러싸도록 댐납을 공급하고, 상기 댐납을 거쳐서 상기 반도체칩의 외부단자와 상기 반도체칩의 외부단자를 접속하는 것이다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 반도체칩의 외부단자와 상기 배선기판의 배선의 접속구조를 상기 배선기판의 배선을 상부에서 둘러싸는 댐납 또는 Au볼의 스테드범프를 사용해서 상기 스테드범프를 거쳐서 상기 배선기판의 배선과 상기 반도체칩의 외부단자를 접속하는 것이다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 반도체칩의 외부단자와 상기 배선기판의 배선의 접속구조를 Al, 댐납 또는 Au와이어를 사용해서 상기 배선기판의 배선과 상기 반도체칩의 외부단자를 접속하는 것이다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 배선기판의 배선구조를 상기 배선의 폭치수를 상기 배선기판의 기판베이스재의 끝부에서 배선선단쪽으로 점차 가늘게 하고, 상기 기판베이스재의 끝부에 있어서 발생하는 구부림 응력 $\sigma_0$ 에 대해서 상기 기판베이스재의 끝부와 배선선단부의 중간에서 발생하는 최대응력 $\sigma_1$ 로 했을 때의 구부림 응력비 $\alpha$ 가

$$\alpha = \sigma_1 / \sigma_0$$

또, 특히 소정의 위치에서 일정한 폭치수로 되도록 형성하고, 테이퍼길이를 L1, 배선길이를 L2, 테이퍼폭을 b1, 배선폭을 b2로 했을 때의 구부림 응력비 $\alpha$ 가

$$\alpha = b_1 \times (L_2 - L_1) / (b_2 \times L_2)$$

로 나타내어지는 경우에 상기 구부림 응력비 $\alpha$ 가 1.2 ~ 1.5로 되도록 상기 배선의 치수 및 형상을 설정하는 것이다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 배선기판의 배선구조를 도전재료를 심재로 해서 표면에 Au도금을 실시하는 것이다.

또, 상기 배선기판의 배선구조를 Cu를 심재로 해서 표면에 Au도금을 실시하고 적어도 칩의 외부전극과 접속되는 한쪽끝측을 S자형상으로 한다.

또, 본 발명의 하나의 반도체 집적회로장치는 상기 배선기판의 상기 배선측에 평탄화용의 절연막을 형성시키고, 상기 절연막상에 탄성구조체를 배치하는 것이다.

또, 본 발명의 하나의 반도체 집적회로장치의 제조방법은 상기 기판베이스재(테이프)상에 배선이 형성된 배선기판의 이면(테이프측)상에 탄성구조체를 형성하는 공정, 상기 배선기판과 대향하도록 상기 탄성구조체의 표면에 반도체칩을 접촉하는 공정, 상기 배선의 한쪽끝부를 상기 반도체칩의 외부단자에 접속하는 공정, 상기 배선의 주면상에 상기 기판베이스재보

다 얇은 절연막을 형성하는 공정, 범프전극이 집합되는 상기 배선의 다른쪽끝부에 대응하는 위치에 있어서 상기 절연막에 개구부를 형성하는 공정 및 상기 개구부를 거쳐서 상기 배선의 다른쪽끝부에 접합시켜서 범프전극을 형성하는 공정으로 이루어지는 것이다.

[발명의 실시 형태]

이하, 본 발명의 실시형태를 도면에 따라서 상세하게 설명한다.

실시형태 1

도 1은 본 발명의 실시형태 1인 반도체 집적회로장치를 도시한 평면도, 도 2는 도 1의 A-A'절단선에 있어서의 단면도, 도 3 및 도 4는 반도체 집적회로장치의 실장기판으로의 실장상태를 도시한 평면도 및 단면도, 도 5는 반도체 집적회로장치의 조립공정을 도시한 흐름도, 도 6~도 58, 도 76~도 81은 본 실시형태 1의 반도체 집적회로장치의 특징과 본 발명자가 검토한 비교예인 반도체 집적회로장치의 비교설명을 위한 도면이고, 이들 도면의 설명은 후술하는 각각의 기술항목마다 설명한다.

우선, 도 1 및 도 2에 의해 본 실시형태 1의 반도체 집적회로장치의 구성을 설명한다.

본 실시형태 1의 반도체 집적회로장치는 예를 들면 40핀의 볼 그리드 어레이형식의 반도체 패키지로 되고, 주면상에 여러 개의 반도체소자 및 여러개의 본딩패드가 형성된 반도체칩(1), 본딩패드의 형성부분을 제외한 반도체칩(1)의 주면상에 접촉되는 일래스토머(2)(탄성구조체), 일래스토머(2)의 주면상에 접촉되고 반도체칩(1)의 본딩패드에 한쪽끝이 접속되는 배선이 형성된 플렉시블 배선기판(3)(배선기판), 플렉시블 배선기판(3)의 주면상에 형성되는 뱀납레지스트(4)(절연막) 및 뱀납레지스트(4)의 주면상에 형성되고 이 뱀납레지스트(4)의 개구부를 거쳐서 배선의 다른쪽끝에 접속되는 뱀납범프(5)(뱀납전극)으로 구성되고, 반도체칩(1)의 본딩부분이 수지등의 봉지재(6)에 의해 피복된 패키지구조로 되어 있다.

반도체칩(1)은 예를 들면 도 1에 도시한 바와 같이 센터패드구조로 되고 긴쪽방향의 중앙부에 여러개의 본딩패드(7)(외부단자)가 일렬형상으로 형성되고, 이들 본딩패드(7)는 불균일한 간격으로 나열되어 있다. 이 반도체칩(1)에는 예를 들면 실리콘등의 반도체기판상에 기억회로, 논리회로등의 소정의 집적회로가 형성되고 이들 회로의 외부단자로서 AI등의 재료로 이루어지는 본딩패드(7)이 마련되어 있다.

일래스토머(2)는 예를 들면 실리콘수지등의 탄성재료로 구성되고, 반도체칩(1)의 주면상에 대해서 본딩패드(7)이 형성된 부분을 제외하도록 칩(1)의 긴쪽방향의 양쪽끝부에 2분할해서 형성되고 접촉재(8)를 거쳐서 칩(1)의 주면에 접촉되어 있다. 이 일래스토머(2)는 온도특성시험등에 있어서 주로 반도체칩(1)과 패키지실장기판의 열팽창계수가 다른 것에 기인하는 뱀납범프(5)에 대한 응력집중을 완화시키기 위해 마련되어 있다.

플렉시블 배선기판(3)은 예를 들면 도 2에 도시한 바와 같이 이 플렉시블 배선기판(3)의 베이스재로 되는 테이프(9)(기판 베이스재)와 이 테이프(9)의 주면상에 접촉재(9')에 의해 접촉되는 배선(10)으로 구성되고, 배선(10)의 한쪽끝부인 리이드(11)이 반도체칩(1)의 본딩패드(7)에 접속되고 다른쪽끝부인 범프랜드(12)가 뱀납범프(5)에 접속된다. 이 플렉시블 배선기판(3)에 있어서는 테이프(9)의 이면측(배선(10)의 형성면과 반대측)이 일래스토머(2)에 접촉되고, 또 배선(10)의 주면측에는 뱀납레지스트(4)가 형성되어 있다.

이 플렉시블 배선기판(3)을 구성하는 테이프(9)는 예를 들면 폴리이미드수지등의 재료로 구성되고, 또 배선(10)에는 예를 들면 Cu등의 재료가 심재로서 사용된다. 이 배선(10)의 한쪽끝부인 리이드(11)의 부분은 심재의 표면을 피복하도록 Ni도금층이 형성되고, 또 이 Ni도금층의 표면을 피복하도록 Au도금층이 형성되어 있다.

뱀납레지스트(4)는 예를 들면 감광성 에폭시수지등에 의한 절연재료로 구성되고, 플렉시블 배선기판(3)의 배선(10)의 주면상에 이 뱀납레지스트(4)의 개구부를 거쳐서 뱀납범프(5)가 배선(10)의 범프랜드에 접속되는 접속부분을 제외한 소정의 범위에 형성되어 있다.

뱀납범프(5)는 예를 들면 Pb(60%)-Sn(40%) 뱀납, Pb-Sn등을 주성분으로 하는 합금뱀납등의 재료로 구성되고, 플렉시블 배선기판(3)을 구성하는 배선(10)의 범프랜드(12)에 접속되어 있다. 이 뱀납범프(5)는 반도체칩(1)의 본딩패드(7)의 양측의 영역에 각각 2열로 나열해서 마련되어 있다.

이상과 같이 구성되는 반도체 집적회로장치는 예를 들면 도 3 및 도 4에 도시한 바와 같이 DRAM등의 칩사이즈 패키지(13)의 반도체 집적회로장치로서, 메모리컨트롤러등을 탑재한 QFP형 패키지(14)의 반도체 집적회로장치와 함께 메모리 카드등의 예를 들면 유리·에폭시로 이루어지는 실장기판(15)에 탑재되고, 외부접속단자(16)을 통해서 휴대전화기나 핸드형의 퍼스널컴퓨터등의 휴대기기에 삽입 인출가능하게 장착되도록 되어 있다.

다음에, 본 실시형태 1의 작용에 대해서 먼저 도 5의 프로세스 흐름에 따라서 반도체 패키지의 조립공정의 개요를 설명한다.

우선, 반도체 패키지의 조립에 앞서서 예를 들면 테이프(9)상에 배선(10)이 형성되고 이 배선(10)의 일부를 에칭해서 형성된 리이드(11)을 갖는 플렉시블 배선기판(3), 일래스토머(2), 소정의 집적회로가 형성되고, 외부단자로서의 본딩패드(7)이 마련된 반도체칩(1), 봉지재(6), 플럭스, 땀납볼(17)을 형성하는 땀납등을 준비한다.

이 플렉시블 배선기판(3)은 예를 들면 TAB(테이프 오토메이션 본딩)테이프의 기술에 대표되도록 폴리이미드수지로 이루어지는 테이프(9) 상에 얇은 Cu등의 금속박을 접착재(9')등으로 접착하고, 사진기술을 사용해서 금속박상에 필요한 패턴을 포토레지스트에 의해 형성한 후 에칭에 의해 필요한 배선패턴(10)(리이드(11)도 포함한다)을 형성하고, 또 예를 들면 전해도금법에 의해 그 표면에 Ni, Au의 도금층을 실시하는 것에 의해 만들 수 있다.

그리고, 플렉시블 배선기판(3)의 테이프(9)상에 예를 들면 일래스토머(2)를 인쇄에 의해 50~150 $\mu$ m의 두께로 형성하고, 또 그 일래스토머(2)의 표면에 예를 들면 실리콘계의 접착재(8)를 도포하고 인쇄한다(스텝501, 502). 여기에서, 일래스토머(2)는 반드시 인쇄하지는 않고 미리 막형상으로 형성한 것을 소정의 형상으로 절단하여 접착재(8)로 테이프(9)의 이면에 접착해도 좋다.

또, 플렉시블 배선기판(3)의 배선(10)의 한쪽끝의 리이드(11)과 반도체칩(1)의 본딩패드(7)의 상대위치가 일치하도록 위치맞춤을 하고, 반도체칩(1)을 플렉시블 배선기판(3)의 테이프(9)상에 인쇄된 일래스토머(2)에 접착해서 부착한다(스텝 503).

그리고, 반도체칩(1)과 플렉시블 배선기판(3)의 테이프(9)가 일래스토머(2)를 거쳐서 부착된 상태로 반전시키고, 리이드 본딩공정에 있어서 본딩공구(18)에 의해 리이드(11)을 도 2의 단면에 도시한 바와 같이 S자형상으로 변형시키면서 반도체칩(1)의 본딩패드(7)상으로 내려뜨리고, 예를 들면 초음파 열압착등의 수법에 의해 리이드(11)과 본딩패드(7)의 접촉을 실행한다(스텝504).

계속해서, 봉지공정에 있어서 반도체칩(1)의 본딩패드(7)과 플렉시블 배선기판(3)의 리이드(11)의 리이드본딩부분을 예를 들면 에폭시수지등의 봉지재(6)를 디스펜서(19)에서 도포해서 수지봉지하고, 반도체칩(1)과 플렉시블 배선기판(3)의 접합부의 신뢰성을 높인다(스텝505).

그 후, 플렉시블 배선기판(3)의 절단공정에 있어서, 반도체칩(1)의 에지에서 약간 외측에 있어서 테이프(9)의 외부 가장자리부를 절단하여 CSP(칩 사이즈 패키지 또는 칩 스케일 패키지)의 패키지외형을 형성한다(스텝506).

또, 땀납범프(5)의 범프부착공정에 있어서, 땀납볼(17)을 대응하는 플렉시블 배선기판(3)의 배선(10)의 범프랜드(12)에 접합해서 땀납범프(5)를 형성하고, 마지막으로 선별, 마킹을 거쳐 본 실시형태1의 반도체 패키지의 조립공정이 완료된다(스텝507, 508).

또한, 이 반도체패키지의 조립공정에 있어서, 테이프절단공정(스텝506)과 범프부착공정(스텝507)은 반대라도 상관없다.

이것에 의해, 본 실시형태 1의 경우에는 반도체칩(1)의 중앙부에 본딩패드(7)를 1열로 집중배치하고, 이 본딩패드(7)에서 플렉시블 배선기판(3)의 배선(10)을 거쳐서 접속되는 반도체칩(1)의 외주보다 내측의 영역에 땀납범프(5)가 마련된 반도체 패키지구조로 되어 있다.

다음에, 본 실시형태 1의 반도체 집적회로장치의 패키지구조의 특징을 본 발명자가 검토한 기술로서의 패키지구조와의 비교에 의해, 도 6~도 58에 따라서 구조 및 프로세스등을 포함시켜 차례로 설명한다.

1. 표면배선구조(배선기판의 테이프측에 일래스토머가 형성되고 배선측에 범프전극이 형성되는 구조) :

이 표면배선구조의 기술설명에 있어서, 도 6은 표면배선구조를 도시한 주요부 단면도, 도 7은 이면배선구조(배선기판의 테이프층에 범프전극이 형성되고 배선층에 일래스토머가 형성되는 구조)를 도시한 주요부 단면도, 도 8은 양면배선을 도시한 주요부 단면도이다.

본 실시형태 1의 패키지구조는 도 6에 확대해서 도시한 바와 같이 플렉시블 배선기판(3)의 테이프(9)층(반도체칩(1)층)에 일래스토머(2)가 접착되고 또한 배선(10)층에 뱀납레지스트(4) 및 범프전극(5)가 형성된 소위 표면배선구조로 되어 있다. 이에 반해, 본 발명자가 검토한 기술에 있어서는 도 7에 도시한 바와 같이 반대로 배선(10)층에 일래스토머(2)가 접착되고 테이프(9)층에 뱀납범프(5)가 형성된 소위 이면배선구조로 되어 있다. 또한, 도 6에 있어서, 배선(10)의 한쪽끝부인 리이드(11)의 표면 및 다른쪽끝부인 랜드(12)의 표면에는 Au도금(11a)가 예를 들면 전계도금에 의해 형성되어 있다.

상기 이면배선구조에 있어서는 뱀납범프(5)를 접합하기 위한 관통구멍(12b)는 예를 들면 폴리이미드수지등의 재료의 테이프(9)를 펀치등으로 뚫어서 형성하는데 반해 본 실시형태 1의 표면배선구조에서는 배선(10)의 주면에 감광성 에폭시수지등의 재료로 이루어지는 뱀납레지스트(4)를 도포하고, 원하는 위치에 원하는 크기의 접속구멍(12a)를 노출, 현상등의 사진법등에 의해 형성하므로, 다음과 같은 이점을 기대할 수 있다.

[1] 뱀납범프(5)용의 개구부를 뱀납레지스트(4)의 노출, 현상에 의해 형성하므로, 이면배선구조의 플렉시블 배선기판(3)의 테이프(9)에 기계가공에 의해 개구부를 뚫는 경우에 비해 더 구멍직경 가공정밀도를 향상시킬 수 있다.

[2] 테이프(9)는 실용적인 두께로서 50 $\mu$ m정도가 최소인데 반해, 뱀납레지스트(4)는 도포조건에 따라 10~20 $\mu$ m정도의 두께에서 안정하게 도포할 수 있으므로, 보다 작은 뱀납볼(17)을 양호하게 접합할 수 있게 된다.

예를 들면, 테이프(9)의 두께보다 작은 30 $\mu$ m정도 직경의 뱀납범프를 형성하는 경우, 상기 이면배선구조에서는 관통구멍의 에스펙트비가 너무 커져서 접속불량을 발생할 우려가 있다. 표면배선구조에서는 에스펙트비를 낮게 할 수 있으므로 이것에 대응할 수 있다.

[3] 표면배선구조는 이면배선구조에 비해 뱀납범프(5)의 배열피치를 작게 할 수 있으므로, 보다 고밀도인 뱀납범프(5)의 출력단자를 갖는 반도체패키지를 구성할 수 있게 된다.

[4] 테이프(9)의 이면의 평탄한 면에 일래스토머(2)를 배치하므로, 일래스토머(2)를 보다 고정밀도로 안정하게 공극 없이 테이프(9)에 탑재(도포 또는 부착)할 수 있다. 또, 일래스토머(2)의 치수형상이 안정되므로, 반도체칩(1)의 접착공정도 안정하고 제조효율이 높은 조립을 실행할 수 있다.

이상과 같이, 이면배선구조의 기술에 있어서는 플렉시블 배선기판(3)의 테이프(9)로의 개구부의 형성, 플렉시블 배선기판(3)의 배선(10)과 일래스토머(2)의 접착성등의 과제가 생기지만, 본 실시형태 1에 있어서는 이들 과제를 표면배선구조를 채용하는 것에 의해 해결할 수 있다.

또, 플렉시블 배선기판(3)의 배선구조에 있어서는 도 6과 같이 한쪽면만 배선구조인 것 이외에 예를 들면 도 8에 도시한 바와 같은 양면배선구조, 즉 테이프(9)의 양면에 2층배선을 갖는 플렉시블 배선기판(3)을 사용하는 것도 가능하고, 또 3층 배선 이상의 여러층 배선구조에 걸쳐서 널리 적용가능하다.

이 도 8의 예에서는 예를 들면 제1 배선(20)을 신호배선, 제2 배선(21)을 접지면으로 하고, 제2 배선(21)과 뱀납범프(5) 또는 제1 배선(20)과의 전기적인 접속은 비어홀(22)를 거쳐서 실행된다. 이와 같은 구조에서는 내잡음성 등의 면에서 우수한 전기특성을 얻을 수 있다는 이점이 있다.

## 2. 일래스토머에 대한 테이프의 차양의 최적화 :

이 일래스토머에 대한 테이프의 차양의 최적화의 기술설명에 있어서, 도 9는 윈도우개구부를 도시한 평면도, 도 10은 도 9의 윈도우개구부를 도시한 단면도, 도 11은 윈도우개구부 및 반도체칩의 에지부의 치수설명을 위한 단면도이다.

본 실시형태 1의 패키지구조에 있어서는 도 9에 도시한 바와 같이 플렉시블 배선기판(3)의 주면에 뱀납범프(5)가 매트릭스배치로 나열된 BGA(볼 그리드 어레이)구조로 되어 있다. 이 예에서는 도 10에 도시한 바와 같이 반도체칩(1)은 센터패드배열이고 중앙부에 세로로 윈도우개구부(23)이 마련되고 최종구조에서는 이 부분과 반도체칩(1)의 주변에지를 봉지재(6)으로 수지봉지해서 내습성이나 신뢰성이 높은 구조로 되어 있다.

그러나, 본 발명자가 검토한 기술에 있어서는 일래스토머(2)의 끝부(윈도우개구부(23)측)를 테이프(9)의 에지까지 근접시키는 즉 도 11의 반도체칩(1)의 본딩패드(7)측에 있어서의 일래스토머(2)의 끝부와 테이프(9)의 끝부의 치수L1을 작게 하면, 일래스토머(2)의 블리드성분이나 휘발성분에 의한 리이드(11)의 오염이 발생한다.

반대로, 치수L1을 크게 즉 테이프(9)의 에지보다 너무 후퇴시키면, 일래스토머(2)의 끝부와 뿔납범프(5)의 치수L2가 작아져 가장 내측의 뿔납범프(5)의 아래에 일래스토머(2)가 없어지므로, 뿔납범프(5)의 높이편차가 악화되거나 윈도우개구부(23)의 봉지영역이 넓어져 봉지재(6)이 채워지기 어렵게 된다는 것이 고려된다.

이에 대해, 본 실시형태1에 있어서는 적절한 치수L1을 선택해서 일래스토머(2)의 끝부를 테이프(9)의 끝부와 뿔납범프(5) 사이의 최적의 장소에 배치하는 것에 의해, 이들 문제를 동시에 해결할 수 있다.

즉, 윈도우개구부(23)에 관해서는 상술한 바와 같은 문제점이 있으므로 치수를 다음과 같이 규정하고 있다. 예를 들면, 이 예에서는 일래스토머(2)의 인쇄정밀도는  $\pm 100\mu\text{m}$  정도인 것으로 한다. 따라서, 치수L1을  $100\mu\text{m}$  이하로 하면 인쇄어긋남에 의해 테이프(9)에서 새어나오게 되므로, 최소라도 인쇄정밀도( $100\mu\text{m}$ ) 이상은 필요하다.

또, 일래스토머(2)의 블리드성분이나 휘발성분에 의한 리이드(11)의 오염성은 실적(實績)으로서  $300\mu\text{m}$  정도 거리를 두면 문제없기 때문에 예를 들면 최소값  $300\mu\text{m}$ 로 하고 있지만, 오염성, 블리드성이 낮은 일래스토머(2)를 사용하거나 또는 오염분의 세정등의 대책을 강구하면 최소값  $100\mu\text{m}$ 에 가까운 설계가 가능하게 된다.

이상에 의해, 본 실시형태 1과 같이 적절한 치수L1을 선택하는 것에 의해, 일래스토머(2)의 블리드성분이나 휘발성분에 의한 리이드(11)의 오염을 방지함과 동시에 뿔납범프(5)의 높이편차를 안정하게 하여 윈도우개구부(23)의 봉지영역을 용이하게 채울 수 있다.

### 3. 패키지의 외형치수 최적화 :

이 패키지의 외형치수 최적화의 기술설명에 있어서, 도 11은 상술한 윈도우개구부 및 반도체칩의 에지부의 치수설명을 위한 단면도, 도 12는 인쇄후의 일래스토머의 오목부를 도시한 단면도, 도 13은 반도체칩 부착후의 테이프의 휘어짐을 도시한 단면도이다.

예를 들면, 본 발명자가 검토한 기술에서는 도 11에 있어서 패키지의 외주부측에 있어서의 반도체칩(1)의 끝부와 플렉시블 배선기판(3)의 테이프(9)의 끝부의 거리를 M1, 일래스토머(2)의 끝부와 테이프(9)의 끝부의 거리를 M2로 하면,

[1]  $M1 < 0$ 인 경우, 패키지 최외주가 반도체칩(1)로 되므로, 조립공정, 소켓의 삽입인출, 트레이반송 도중등에 반도체칩(1)의 크랙을 유발시킬 가능성이 크다.

[2]  $M1 < 0, M2 > 0$ 인 경우, 반도체칩(1)의 회로면이 밖으로 나오므로, 신뢰성에 문제가 있고 또 이것을 방지하기 위해 봉지를 실행하는 것도 가능하지만, 공정의 증가로 이어진다.

[3]  $M1 - M2 < 0$ 인 경우, 도 12에 도시한 인쇄후의 일래스토머(2)의 주변돌기가 도 13에 도시한 바와 같이 반도체칩(1)의 접착부에 걸리고, 부착시의 접착불량, 플렉시블 배선기판(3)의 평탄도의 악화, 신뢰성의 저하의 원인으로 된다.

[4]  $M2 = 0$ 인 경우, 일래스토머(2)를 절단할 필요가 있고 절단이 어렵다는 등의 문제가 발생한다.

이에 대해, 본 실시형태 1에 있어서는 반도체칩(1)의 끝부 또는 일래스토머(2)의 끝부와 테이프(9)의 끝부의 거리의 관계를  $M1 > M2 > 0$ 으로 하는 것에 의해 상기의 문제점을 해결할 수 있다. 즉, 도 11의 패키지의 에지부를 도시한 치수설명도에 있어서 최종 외형을 결정하는 테이프절단공정의 절단오차는  $100\mu\text{m}$  정도이므로, 일래스토머(2)에 절단지그가 필요로 되지 않도록 하기 위해서는 M2를  $100\mu\text{m}$  이상 확보하는 것이 바람직하다.

그러나, 일래스토머(2)를 인쇄에 의해 형성하고 베이크에 의해 경화한 후의 단면형상은 도 12에 도시한 바와 같이 되고, 어느정도 요변성(搖變性)이 높은 재료에 있어서는 인쇄후의 판분리시에 마스크로 끌어당겨져 주변부가 높아지는 경향이 있다. 예를 들면, 반도체칩(1)의 끝부가 일래스토머(2)의 끝부보다 작은  $M1 < M2$ 와 같은 조건에서 반도체칩(1)을 부착하면, 도 13에 도시한 바와 같이 테이프(9)의 표면이 일래스토머(2)의 단면형상을 따라서 휘어지는 문제가 발생한다.

이것을 방지하기 위해서는  $M1 > M2$ 로 해서 일래스토머(2)의 주변의 높은 부분을 반도체칩(1)보다 밖으로 돌출시키는 것이 효과적이고, 예를 들면 돌기의 폭이  $200\mu\text{m}$  전후인 것에서  $(M1-M2)$ 가  $240\mu\text{m}$ 이고, 절단성의 거리  $M2 = 100\mu\text{m}$ 인 것에서 거리  $M1$ 은  $360\mu\text{m}$ 정도가 바람직하다.

이와 같이 외주의 테이프(9)를 절단하는 것에 의해, 외형오차가 적고 또 반도체칩(1)의 다소의 크기의 변경에 대해서도 소켓, 트레이등의 주변지그의 변경을 실행하지 않아도 된다는 이점이 있다.

이상과 같이, 본 실시형태 1에 있어서는 반도체칩(1)의 크랙, 깨짐(broken)의 발생을 회피할 수 있고 절단공정의 절단마진을 향상시킬 수 있다. 또, 반도체칩(1)의 회로면을 모두 일래스토머(2)의 아래에 배치할 수 있고, 내습성의 향상, 외주부로의 봉지를 실행할 필요가 없다는 등의 이점이 있다.

#### 4. 평면S자 리이드 :

이 평면S자 리이드의 기술설명에 있어서, 도 14는 평면S자 리이드를 도시한 평면도, 도 15는 도 14의 화살표 B방향에서 본 단면도, 도 16은 도 14의 화살표 A방향에서 본 단면도, 도 17은 표준S자 리이드형성시의 본딩공구의 궤적을 도시한 단면도, 도 18은 평면S자 리이드형성시의 본딩공구의 궤적을 도시한 단면도이다.

여기에서 S자형상이라는 것은 배선(10)의 한쪽끝부인 리이드(11)의 길이가 칩(1)의 패드(7)과 테이프(9)의 에지부(11b) 사이의 직선거리보다 실질적으로 길게 되어 있는 상태를 말하고, 리이드(11)에 걸리는 응력을 저감할 수 있는 구조를 말한다.

예를 들면, 본 발명자가 검토한 표준S자 리이드(24)의 형성기술에 있어서는 도 14중에 점선으로 나타낸 바와 같은 직선형상의 노치리이드 또는 빔리이드이고 본딩후에 도 15중의 가는선으로 도시된 바와 같이 열변형에 견디기에 충분한 늘어짐부(S자형상)를 형성하기 위해서는 도 17에 도시한 바와 같이 리이드(11)을 한번 반도체칩(1)상에 거의 닿을때까지 내려뜨리고, 횡방향으로 어긋난 후에 본딩패드(7)상으로 재차 내려뜨려서 접합한다는 특수한 본딩공구 궤적(25)을 따르는 움직임이 필요하고 전용의 와이어본더가 필요로 되는 것이 고려된다.

이에 대해, 본 실시형태 1에 있어서는 플렉시블 배선기판(3)의 테이프(9)상에 배선(10)을 형성할 때 배선(10)의 리이드(11)은 직선은 아니고, 미리 도 14에 도시한 바와 같이 배선(10)이 부착되어 있는 부분과 선단의 본딩부분이 적어도 리이드(11)의 폭 이상 어긋나 있는 S자형상의 평면 S자 리이드(26)에 작성해 두는 것에 의해 상기의 과제를 해결할 수 있다.

이와 같이 평면S자 리이드(26)으로 하면, 도 18에 도시한 일반적인 와이어본더에서의 단순한 내려뜨림에 의한 본딩공구 궤적(25)에 의해 도 15에 도시한 바와 같이 팽팽하게 된 리이드형상으로 되지만, 도 16에 도시한 바와 같이 원래의 평면S자형상에 의한 늘어짐부가 생기므로, 안정된 적합한 S자형상의 평면S자 리이드(26)을 형성할 수 있다.

이것에 의해, 유연하게 개조된 특수한 와이어본더를 필요로 하지 않고, 안정된 S자형상의 평면S자 리이드(26)을 형성할 수 있고 또 본딩공구 궤적(25)도 단순화할 수 있으므로, 본딩시의 택트타임 단축의 효과도 기대할 수 있다.

#### 5. 빔리이드 :

이 빔리이드의 기술설명에 있어서, 도 19는 노치리이드 및 빔리이드를 설명하기 위한 평면도, 도 20은 도 19의 A부에 있어서의 노치리이드를 도시한 평면도, 도 21은 빔리이드를 도시한 평면도이다.

예를 들면, 본 발명자가 검토한 기술에 있어서는 도 19에 있어서의 리이드(11)의 확대도인 도 20에 도시한 바와 같이 절단부에 V자형상의 잘래냄부등의 노치(27)이 생긴 리이드(11)이고, 본딩시에 노치(27)의 약간 내측을 본딩공구(18)에 의해 내려뜨려 노치(27)의 부분에서 리이드(11)을 절단하고 있다. 그러나, 플렉시블 배선기판(3)의 제조공정에 있어서의 배선(10)의 에칭편차등에 의해 노치(27)의 굵기가 변화하여 본딩시에 절단할 수 없다는 문제가 발생한다.

또, 절단되었다고 해도 원하는 노치(27)과 다른 부분에서 잘려지거나 또는 너무 가늘게 되어 플렉시블 배선기판(3)의 도금공정전에 잘려져 버려 도금이 되지 않는 등의 문제점이 발생하는 것이 고려된다.

이에 대해, 본 실시형태 1에 있어서는 도 21에 도시한 바와 같이 플렉시블 배선기판(3)의 테이프(9)에 한쪽끝을 고정하고, 절단측인 노치(27)이 생긴 쪽을 개방한 한쪽만이 들보형상인 구조 소위 빔리이드(28)로 하는 것에 의해 상기 리이드(11)의 절단시의 문제점을 해결할 수 있다.

6. 본딩패드의 주변의 패시베이션 치수 :

이 본딩패드의 주변의 패시베이션막 치수의 기술설명에 있어서, 도 22는 리이드본딩부를 도시한 단면도, 도 23은 리이드 본딩부를 도시한 평면도, 도 24는 도 22의 A부에 있어서의 공구의 착지점을 확대해서 도시한 단면도, 도 25는 패시베이션 개구치수를 개량한 본딩부를 도시한 단면도, 도 26은 쌍방향 리이드의 본딩부를 도시한 평면도이다.

DRAM등으로 대표되는 메모리칩은 알파선에 의한 소프트웨어를 방지하기 위해 칩상에 폴리이미드계 수지로 형성된 패시베이션막(29)가 형성되어 있다.

예를 들면, 본 발명자가 검토한 기술에 있어서 도 22, 도 23, 도 24에 도시한 바와 같은 본딩시퀀스에 있어서는 본딩공구 궤적(25)로 도시한 바와 같이 한번 반도체칩(1)상에 거의 닿을때까지 리이드(11)을 내려뜨리고 나서 횡방향으로 어긋나게 하고 반도체칩(1)의 본딩패드(7)상으로 재차 내려뜨려서 접합하므로, 1회재의 내려뜨림에 의해 반도체칩(1)상의 패시베이션(29) 또는 그 아래의 반도체칩(1)에 손상을 받거나 리이드(11)의 하면의 본딩부에 패시베이션(29)의 성분이 부착해서 오염되어 본딩성을 악화시키는 등의 문제가 발생하는 것이 고려된다.

이에 대해, 본 실시형태 1에 있어서는 상기 도 22, 도 23, 도 24에 도시한 본딩패드(7)의 개구부에서 패시베이션(29)의 본딩패드(7)측의 에지까지의 거리L3을 적어도 본딩공구(18)을 내려뜨리는 측에 있어서 리이드(11)이 패시베이션(29)에 간섭하지 않는 범위로 패시베이션 개구부(30)을 확대하고 도 25와 같이 개량하면 상기와 같은 문제점을 해결할 수 있다.

즉, 도 24에 있어서 예를 들면 메모리등의 반도체칩(1)의 예에서는 치수L3은 약 25 $\mu$ m정도이다. 또, 본딩패드(7)의 사이즈는 예를 들면 100 $\mu$ m각, 본딩공구(18)의 선단치수는 그것과 동등 또는 그 이하정도인 것에서 도 25에 있어서의 패시베이션(29)의 후퇴량L3은 예를 들면 125 $\mu$ m 이상정도가 바람직하다.

이상에 의해, 반도체칩(1)상의 패시베이션(29) 또는 반도체칩(1)에 손상을 주거나 리이드(11)의 하면의 본딩부에 패시베이션(29)의 성분이 부착해서 오염되는 일 없어 적합한 본딩성을 실현할 수 있다.

또, 도 26과 같이 리이드(11)이 쌍방향에서 연장하고 있는 경우에도 적어도 본딩공구(18)을 내려뜨리는 측에 있어서 본딩패드(7)의 개구부에서 패시베이션(29)의 본딩패드(7)측의 에지까지의 거리를 확대하는 것에 의해 마찬가지로 대응할 수 있다. 또한, 이 에지간의 확대는 반도체칩(1)의 회로면이 노출되지 않을 정도로 반대측에 적용해도 문제로 되는 일은 없다.

7. 앵커배선의 개선 :

이 앵커배선의 개선의 기술설명에 있어서 도 27은 표준앵커배선을 도시한 평면도, 도 28은 개선앵커배선을 도시한 평면도이다.

예를 들면, 본 발명자가 검토한 기술에 있어서 도 27에 도시한 노치(27)의 종단측의 표준앵커배선(31)의 패턴에 있어서는 노치(27)이 설계값보다 굵게 형성된 경우 등에 있어서 노치(27)의 부분에서는 잘려지지 않고 그 앞의 표준앵커배선(31)에 있어서의 배선(10)과 테이프(9)의 접착강도가 항복해서 표준앵커배선(31)의 부분이 테이프(9)에서 떨어져 버리는 등의 불합리가 고려된다.

이것에 대해서, 본 실시형태 1에 있어서는 도 28에 도시한 바와 같이 종단측의 앵커배선의 부분의 유효면적을 크게 하는 확대앵커배선(32)로 하는 것에 의해 배선(10)과 테이프(9) 사이의 접착강도를 증가시켜 안정된 노치(27)의 절단성을 얻을 수 있다.

즉, 도 28에 있어서 확대앵커배선(32)의 개선예를 나타내면,

[1] 확대앵커배선(32)를 대향하는 배선(11)의 범프랜드(12)에 연결하고,

- [2] 배선(11)의 빈 공간에 확대앵커배선(32)을 종방향으로 연장하고,
- [3] 배선(11)의 빈 공간에 확대앵커배선(32)을 횡방향으로 연장하고,
- [4] 인접하는 확대앵커배선(32)끼리를 연결하는

등의 예가 있고, 모두 확대앵커배선(32)의 부분의 실질면적을 증가시키는 것에 의해 배선(10)과 테이프(9) 사이의 접촉강도의 증가에 의해 노치(27)의 절단성을 안정하게 할 수 있다.

8. 와이드 일래스토머구조 :

이 와이드 일래스토머구조의 기술설명에 있어서 도 29는 표준일래스토머의 구조를 도시한 사시도, 도 30은 표준일래스토머에서의 반도체칩의 부착상태를 도시한 사시도, 도 31은 와이드 일래스토머의 구조를 도시한 사시도, 도 32는 와이드 일래스토머에서의 반도체칩의 부착상태를 도시한 사시도, 도 33은 와이드 일래스토머에서의 반도체칩의 부착상태를 도시한 단면도이다.

예를 들면, 본 발명자가 검토한 기술에 있어서, 일래스토머(2)는 반도체칩(1)의 본딩패드(7)의 양측에 2분할해서 접촉되고, 도 29, 도 30에 도시한 바와 같은 표준일래스토머(33)에 의한 구조에서는 상기 도 13과 같이 일래스토머(2)의 면적이 반도체칩(1)보다 작은 구조에서는 주변의 돌기의 영향을 받아서 플렉시블 배선기판(3)의 휘어짐이 발생하고, 이 휘어짐이 땀납범프(5)의 형성시 및 기판실장시 등에 문제로 되는 것이 고려된다.

이에 대해, 본 실시형태 1에 있어서 도 31에 도시한 바와 같은 반도체칩(1)의 외형보다 큰 와이드 일래스토머(34)에 의한 구조에서는 반도체칩(1)의 부착후는 도 32, 도 33에 도시한 바와 같이 와이드 일래스토머(34)의 주변의 돌기가 반도체칩(1)의 밖으로 나와 실질적으로 와이드 일래스토머(34)의 평탄한 부분에 반도체칩(1)이 접촉되므로, 플렉시블 배선기판(3)의 휘어짐이 작게 억제된다.

또, 도 33에 도시한 바와 같이 접착재(8)의 도포영역이 넓게 취해지므로, 접착재(8)이 골고루 퍼지지않아 접촉되지 못하는 부분이 거의 발생하지 않게 되고, 또 반도체칩(1)의 주위에 접착재(8)이 골고루 스며나와 접착재 스며나옴부(35)가 생기므로, 주변봉지를 하지 않아도 내습성이나 신뢰성이 우수한 패키지를 구성할 수 있다.

즉, 와이드 일래스토머(34)의 주변의 돌기의 폭은 재료의 물성값에 따라 다르지만, 예를 들면 200~300 $\mu$ m정도이고 따라서 본 실시형태 1에서는 도 33에 도시한 바와 같이 반도체칩(1)의 칩사이즈보다 적어도 돌기폭분 이상 전체 둘레에 걸쳐 큰 범위에서 와이드 일래스토머(34)를 형성해 둔다.

또, 충분히 넓게 와이드 일래스토머(34)를 형성하면 평탄도는 향상하지만, 반도체칩(1)의 바로 외주에서 테이프(9)를 절단하려고 하면 절단선(36)에서 와이드 일래스토머(34)마다 테이프(9)를 절단하여 패키지외형을 규정할 필요가 있다.

이상과 같이 반도체칩(1)의 외형보다 큰 와이드 일래스토머(34)를 사용하는 것에 의해, 플렉시블 배선기판(3)의 휘어짐을 작게 억제할 수 있음과 동시에 반도체칩(1)의 접착성을 안정하게 하여 패키지의 내습성이나 신뢰성을 향상시킬 수 있다.

9. 일래스토머의 홈매립기술 :

이 일래스토머의 홈매립기술의 설명에 있어서, 도 31, 도 32는 상기에서 설명한 와이드 일래스토머의 구조, 반도체칩의 부착상태를 도시한 사시도, 도 34는 표준일래스토머에서의 반도체칩의 부착후의 구조를 도시한 사시도, 도 35는 그 단면도, 도 36은 와이드 일래스토머에서의 반도체칩의 부착후의 구조를 도시한 사시도, 도 37은 그 단면도, 도 38은 메탈마스크인쇄의 개념을 도시한 단면도, 도 39는 표준일래스토머의 메탈마스크를 도시한 평면도, 도 40은 와이드 일래스토머의 메탈마스크를 도시한 평면도, 도 41은 여러개의 지지용 와이드 일래스토머의 인쇄형상을 도시한 평면도, 도 42는 와이드 일래스토머의 홈매립을 위한 포팅위치를 도시한 평면도이다.

예를 들면, 본 발명자가 검토한 기술에 있어서 도 34, 도 35에 도시한 바와 같은 표준일래스토머(33)의 구조에서는 일래스토머(2)를 도 38에 도시한 바와 같은 메탈마스크(37)에 의한 인쇄로 구성하는 경우, 도 40에 도시한 메탈마스크(37)의 인쇄영역 개구부(38)의 지지부(39)가 반드시 존재하므로, 테이프 지지부 아래에 반도체칩(1)과 일래스토머(2)의 벽으로 둘러싸여지는 홈(40)(공간)이 남는 구조로 되어 있다.

따라서, 이와 같은 반도체칩(1)과 일래스토머(2)의 공간에 홈(40)이 남는 구조에서 윈도우 개구부(23)을 수지봉지하면 봉지재(6)이 이 홈(40)에서 누출되어 버리므로, 미리 이 부분을 따로 포팅하는 등의 방법에 의해 충전(filling)하고 나서 윈도우 개구부(23)을 봉지할 필요가 생긴다.

이와 같이 메탈마스크(37)의 인쇄의 개념은 예를 들면 표준일래스토머(33)의 경우에는 도 39, 와이드 일래스토머(34)의 경우에는 도 40에 도시한 바와 같은 인쇄할 부분에만 인쇄영역 개구부(38)을 갖는 메탈마스크(37)을 피인쇄물인 플렉시블 배선기판(3)의 소정의 위치에 위치결정해서 배치하고, 스퀴지(41)에 의해 인쇄물인 일래스토머(2)를 메탈마스크(37)의 두께만큼 도포하는 것에 의해 원하는 범위에 소정 두께의 일래스토머(2)를 형성하는 것이다.

따라서, 본 실시형태 1에 있어서는 상기 설명한 도 31과 같은 와이드 일래스토머(34)를 도 40에 도시한 바와 같은 메탈마스크(37)로 인쇄하고, 이 경우에 메탈마스크(37)의 인쇄영역 개구부(38)의 지지부(39)를 가늘게 한 것에 의해 일래스토머(2)를 인쇄하는 것에 의해 반도체칩(1)과 일래스토머(2)의 벽으로 둘러싸여진 홈(40)을 가늘게 할 수 있다. 예를 들면, 메탈마스크(37)의 지지부(39)의 강도에 의해 규정되는 홈(40)의 폭의 최소값은 약 200 $\mu$ m정도이다.

또, 이 일래스토머(2)의 주면에 접착재(8)를 도포해서 반도체칩(1)을 부착한 구조의 경우, 상기 설명한 도 32, 그리고 도 36, 도 37에 도시한 바와 같이 충분한 양의 접착재(8)를 도포해 두면, 부착시의 압력에 의해 여분인 접착재(8)이 이 홈(40)을 채우고 윈도우 개구부(23)을 닫은 공간으로 할 수 있으므로, 충전없이 윈도우 개구부(23)의 봉지를 할 수 있다.

또, 홈매립성을 향상시키기 위해서는 메탈마스크(37)의 지지부(39)를 가늘게 해서 홈(40)을 좁게 하면 좋지만, 메탈마스크(37)의 강도가 저하하는 문제가 부작용으로 된다. 그래서, 도 41에 도시한 바와 같이 각각의 한쪽에만 있던 지지부(39)를 여러개로 하는 것에 의해, 홈(40)의 폭은 변하지 않고 홈(40)의 갯수는 증가하지만 메탈마스크(37)의 강도를 향상시키는 것도 가능하다.

또, 홈매립성을 향상시킬 목적으로 도 42에 도시한 바와 같이 반도체칩(1)의 부착직전에 일래스토머(2)의 홈(40)의 포팅 위치(42)에 미리 수지, 접착재 등을 예를 들면 포팅해서 봉지재 흐름방지용 댐을 형성해 두면 더욱 홈매립성을 향상시킬 수 있다.

또, 검토한 기술과 같이 반도체칩(1)의 부착, 본딩후 윈도우 개구부(23)의 봉지전에 포팅에 의해 충전하는 경우라고 해도 홈(40)의 폭을 좁게 해 두면 봉지성은 비약적으로 향상시킬 수도 있다.

이상에 의해, 특히 메탈마스크(37)의 지지부(39)를 가늘게 해서 일래스토머(2)의 홈(40)을 가늘게 하는 것에 의해 홈매립성을 향상시킬 수 있고, 또 여러개의 홈(40)으로 하거나 미리 포팅위치(42)에 봉지재 흐름방지용 댐을 형성해 두는 것에 의해 한층더 홈매립성의 향상을 가능하게 할 수 있다.

## 10. 내부리이드 본딩기술 :

이 내부리이드 본딩기술의 설명에 있어서 도 43은 표준리이드 본딩에 의한 본딩부를 도시한 단면도, 도 44는 스테드범프를 사용한 본딩부를 도시한 단면도, 도 45 및 도 46은 뿔납을 사용한 리이드접속을 도시한 단면도 및 평면도, 도 47 및 도 48은 뿔납 또는 Au볼을 사용한 리이드접속을 도시한 단면도 및 사시도, 도 49는 AI 또는 뿔납와이어를 사용한 접속을 도시한 단면도, 도 50은 Au와이어를 사용한 접속을 도시한 단면도이다.

예를 들면, 본 발명자가 검토한 기술에 있어서 도 43에 도시한 바와 같은 본딩구조에서는 Au도금을 성장시킨 리이드(11)를 본딩패드(7)에 직접 고정시키고 초음파 열압착하고 있다. 이 경우, 본딩조건이 나쁘거나 또는 본딩공구(18)의 형상이 나쁘면 본딩강도가 저하하거나 본딩패드(7) 또는 그 아래 등에 손상을 받는 등의 문제가 발생하는 것이 고려된다.

이에 대해, 본 실시형태 1에 있어서는 다음과 같은 본딩형태에 있어서의 수단을 채용하는 것에 의해, 상기와 같은 본딩조건, 본딩공구(18)의 형상 등이 원인으로 되는 접합성이나 손상등의 문제를 해결할 수 있다.

즉, 도 44는 스테드범프(43)를 사용한 예이다. 이 예에서는 반도체칩(1)의 본딩패드(7)에 미리 도금법 또는 불본딩법 등의 방법으로 형성한 스테드범프(43)를 갖는 반도체칩(1)을 사용하는 것이 특징이고, 이 스테드범프(43)에 의해 접합성을 향상시키고 또 손상을 방지하는 구성으로 되어 있다.

또, 도 45, 도 46은 뿔납(44)를 사용한 리이드(11)의 접속예이고, 리이드(11)을 뿔납(44)로 둘러싸는 접속형태를 도시한다. 이 예는 반도체칩(1)의 AI등으로 이루어지는 본딩패드(7)와 CSP의 기판으로 되는 TAB등의 테이프(9)의 전극을 접속하는 접속구조의 기술이다. 이 때의 뿔납(44)의 공급방법으로서 뿔납(44)를 테이프(9)의 리이드(11)을 둘러싸도록 이미 개재시킨 테이프(9)를 사용해서 반도체칩(1)의 본딩패드(7)와 접속시키는 방법이 있다.

이 때의 접속방법으로서 본더를 사용해서 가공, 가열하는 것에 의해 접속시키는 방법에 있어서는 TAB 등의 테이프(9)에 개재시킨 뿔납(44)의 형상을 반도체칩(1)의 본딩패드(7)에 접하는 면을 가능한한 평탄하게 해 두는 것이 바람직하다. 또, 리플로 노(爐)를 사용한 접속방법에서는 뿔납페이스트 또는 플럭스를 반도체칩(1)의 본딩패드(7)의 면에 TAB등의 테이프(9)의 뿔납(44)와 접하도록 개재시킨다.

다음에, 뿔납페이스트를 사용해서 뿔납(44)를 공급하는 경우에는 뿔납페이스트를 반도체칩(1)의 본딩패드(7)의 면에 인쇄 또는 주사기(syringe)를 사용해서 개재시킨다. 이때, TAB등의 테이프(9)는 미리 접착되어 있는 나중엔 접착하든 어느 쪽이라도 상관없지만, 반도체칩(1)에 테이프(9)를 접착했을 때 테이프(9)의 리이드(11)이 뿔납(44)와 접하는 것이 전제로 된다.

또, 도 47, 도 48은 뿔납 또는 Au불(45)등의 스테드범프를 사용해서 TAB등의 테이프(9)의 리이드(11)을 위쪽부터 둘러싸는 형식으로 반도체칩(1)의 본딩패드(7)상에 접속시키는 것을 특징으로 한 접속기술이다.

또, 도 49는 AI 또는 뿔납와이어(46)을 사용해서 플렉시블 배선기판(3)의 배선(10)과 반도체칩(1)의 본딩패드(7)를 접속한 예이다. 또, 도 50은 Au와이어(47)을 사용해서 플렉시블 배선기판(3)의 배선(10)과 반도체칩(1)의 본딩패드(7)를 접속한 예이다. 이와 같은 접속예에서는 TAB등의 내부리이드 본딩이 아니라 일반적인 와이어본딩의 개념으로 접속을 가능하게 할 수 있다.

11. 공구의 리턴이 없는 S자형성이 가능한 리이드설계기술 :

이 공구의 리턴이 없는 S자형성이 가능한 리이드설계기술의 설명에 있어서 도 17은 상기 설명한 표준S자 리이드형성시의 본딩공구의 궤적을 도시한 단면도, 도 51은 리이드설계를 설명하기 위한 사시도, 도 52는 본딩후의 리이드변형을 도시한 사시도, 도 53은 리이드치수와 구부림 응력비의 관계를 도시한 설명도, 도 76~도 80은 구부림 응력비에 따른 리이드변형 형상을 도시한 단면도이다.

예를 들면, 본 발명자가 검토한 기술에 있어서 상기 평면S자 리이드(26)의 형성기술에서도 설명한 바와 같이 상기 도 17에 도시한 바와 같은 리이드(11)의 S자형성을 위해서는 본딩공구(18)의 횡어긋남, 즉 공구의 리턴을 포함하는 특수한 본딩공구 궤적(25)이 필요하다.

이에 대해, 본 실시형태 1에 있어서는 도 51에 도시한 바와 같은 리이드(11)의 치수에 있어서 예를 들면 도 53에 도시한 치수로 하면, 구부림 응력비 $\alpha$ 는 원하는 1.2~1.5의 범위로 되고, 공구의 리턴없이 본딩공구(18)을 수직으로 내려뜨리는 것만으로 도 52에 도시한 바와 같은 적합한 리이드(11)의 S자형상을 형성할 수 있다. 도 52에 있어서, (48)은 테이프단, (49)는 테이프측 코너, (50)은 칩측 코너를 나타낸다.

예를 들면, 실시형태의 ①의 예에서는 테이프길이 $L1 = 100\mu\text{m}$ , 배선길이 $L2 = 380\mu\text{m}$ , 테이프폭 $b1 = 65\mu\text{m}$ , 리이드폭 $b2 = 38\mu\text{m}$ , 리이드두께 $h = 18\mu\text{m}$ 의 치수에 있어서 구부림 응력비 $\alpha = 1.26$ 으로 된다. 마찬가지로, ②의 예에서는 1.25, ③의 예에서는 1.26, ④의 예에서는 1.31, ⑤의 예에서는 1.46으로 된다.

이에 대해, 검토한 기술에 있어서는 예를 들면 ①의 예에서는 테이프길이 $L1 = 100\mu\text{m}$ , 배선길이 $L2 = 280\mu\text{m}$ , 테이프폭 $b1 = 60\mu\text{m}$ , 리이드폭 $b2 = 38\mu\text{m}$ , 리이드두께 $h = 18\mu\text{m}$ 의 치수에 있어서 구부림 응력비 $\alpha$ 가 1.2~1.5의 범위 외인 1.02로 되고, ②의 예에서는 1.13으로 된다.

이와 같이, 구부림 응력비 $\alpha$ 가 1.2~1.5의 범위에서는 배선동작시에 리이드(11)의 중간부에 구부림 응력이 집중하므로, 완만하게 휘 양호한 배선상태로 된다. 한편, 검토한 기술과 같이 구부림 응력비 $\alpha$ 가 1.2미만인 경우에는 리이드(11)의 테이프단(48)에 구부림 응력이 집중하므로 팽팽하게 당긴 상태로 되고, 또 1.5를 초과한 경우에는 리이드(11)의 중간부에만 구부림 응력이 집중해서 곡률반경이 작은 상태로 되므로 양호한 배선상태라고는 할 수 없다.

여기에서, 구체적으로 구부림 응력비 $\alpha$ 에 따른 리이드변형 형상을 도 76~도 80에 도시한다. 우선, 도 76에 도시한 배선전의 초기리이드형상에 대해서 본딩공구(18)를 수직으로 내려뜨릴 뿐인 경우에 예를 들면  $\alpha < 0.9$ 의 배선동작시에는 리이드(11)의 테이프단(48)에 구부림 응력이 집중하므로, 도 77에 도시한 바와 같은 극단으로 팽팽하게 당겨진 배선형태로 된다. 이 때문에, 배선후의 온도사이클시에 리이드(11)에 높은 반복응력이 걸리므로 피로수명이 극단으로 짧아진다.

또, 본 발명자가 검토한 기술과 같이  $0.9 \leq \alpha < 1.2$ 의 배선동작시에는 리이드(11)의 테이프단(48)에 구부림 응력이 집중하므로, 도 78에 도시한 바와 같은 약간 팽팽하게 당겨진 배선상태로 된다. 이 때문에, 배선후의 온도사이클시에 리이드(11)에 높은 반복응력이 걸리므로 피로수명이 짧아진다.

이에 대해, 본 실시형태 1과 같이  $1.2 \leq \alpha \leq 1.5$ 의 배선동작 시에는 리이드(11)의 중간부에 구부림 응력이 집중하므로, 도 79에 도시한 바와 같은 완만하게 휜 배선상태로 된다. 이 때문에, 배선후의 온도사이클시에 리이드(11)에 높은 반복응력이 작용하지 않으므로 피로수명이 길어진다.

또, 구부림 응력비를 높게 한  $1.5 < \alpha$ 의 배선동작시에는 리이드(11)의 중간부에만 구부림 응력이 집중하므로, 도 80에 도시한 바와 같은 곡률반경이 작은 배선상태로 된다. 이 때문에, 구부림부의 초기강도가 저하하므로 배선후의 온도사이클시의 피로수명이 짧아진다.

이 결과, 본 실시형태 1과 같이  $1.2 \leq \alpha \leq 1.5$ 의 범위에서 구부림 응력비를 설정하는 것에 의해, 배선형상이 완만하게 휘어진 최적한 배선상태로 되고 또한 리이드(11)의 온도사이클수명도 길게 할 수 있다.

이 구부림 응력비 $\alpha$ 의 정의는 본딩공구(18)에 의해 리이드(11)을 본딩패드(7)의 바로 위에서 밀어올리는 동작을 실행했을 때, 리이드(11)의 테이프측 코너(49)에서 발생한 응력 $\sigma_1$ 을 리이드(11)의 테이프단(48)에서 발생하는 응력 $\sigma_0$ 으로 나눈 값이다. 즉, 구부림 응력비 $\alpha$ 는 테이프형상을 특징으로 한 리이드(11)의 치수에서 다음식으로 나타낼 수 있다.

$$\alpha = \sigma_1 / \sigma_0 = b_1 \times (L_2 - L_1) / (b_2 \times L_2)$$

이상에 의해, 구부림 응력비 $\alpha$ 를  $1.2 \sim 1.5$ 로 되도록 리이드(11)의 치수, 형상을 설계하는 것에 의해, 상기의 평면S자 리이드(26)의 기술과 마찬가지로 와이어본더에서의 단순한 내려뜨림 궤적에 의해 안정된 적합한 S자형상의 배선상태를 형성할 수 있다. 따라서, 유연하게 개조된 특수한 와이어본더를 필요로 하지 않고 본딩공구 궤적(25)도 단순화할 수 있으므로, 본딩시의 텍트타임의 단축효과도 기대할 수 있다.

## 12. Ni가 도금되어 있지 않은 리이드 :

이 Ni가 도금되어 있지 않은 리이드의 기술설명에 있어서, 도 54는 리이드접속의 접속부를 도시한 단면도, 도 55는 리이드의 굴곡부를 도시한 확대단면도, 도 56은 Ni가 도금되어 있지 않은 리이드의 굴곡부를 도시한 확대단면도, 도 57은 리이드의 압착부를 도시한 확대단면도, 도 58은 Ni가 도금되어 있지 않은 리이드의 압착부를 도시한 확대단면도이다.

예를 들면, 본 발명자가 검토한 기술에 있어서 순Au 리이드 대신에 Cu코어리이드로서 표면에 Ni도금, 또 그 표면에 Au도금을 실시하는 리이드(11)의 단면구조의 경우에는 Ni도금층이 딱딱하여 깨지기 쉬우므로, S자리이드형상을 얻도록 하면 도 55와 같이 리이드(11)의 굴곡부에서 크랙(51)이 발생하거나 도 57과 같이 본딩패드(7) 또는 그 아래에 손상(52)를 부여하는 등의 문제가 발생하는 것이 고려된다. 또한, Ni도금은 Cu원자가 Au도금표면으로 확산하는 것을 방지하는 배리어층으로서 형성된다.

이에 대해, 본 실시형태 1에 있어서는 S자리이드형상을 얻기 위해서 Ni도금을 없앤 리이드(11)을 사용하는 것에 의해 경도와 깨지기 쉬운 특성이 모두 낮아지므로, 리이드자체의 크랙(51)이 거의 발생하지 않게 되는 것 이외에 대본딩면인 반도체칩(1)로의 손상(52)도 경감시킬 수 있다.

즉, 도 54와 같은 리이드(11)의 접속상태에 있어서, 이 도 54의 A부를 확대한 도 55에 도시한 바와 같이 Cu코어(53) + Ni도금(54) + Au도금(55)의 구성의 리이드(11)에서는 도시한 바와 같이 굴곡부의 곡률반경이 작아지면 크랙(51)을 발생시키기 쉽고, 한편 도 56에 도시한 바와 같이 리이드(11)의 표면을 Ni도금(54)없이 예를 들면 Au도금(55)만으로 하면 도 55의 경우와 동일한 곡률일 때라도 리이드(11)의 굴곡부에 크랙(51)은 거의 발생하지 않게 된다.

또, 도 54의 B부를 확대해서 도시한 도 57의 리이드(11)의 압착부에 있어서도 Cu코어(53) + Ni도금(54) + Au도금(55)의 구성의 리이드(11)에서는 도시한 바와 같이 본딩패드(7)의 주변에 손상(52)를 발생시키기 쉽고, 한편 도 58에 도시한 바와 같이 리이드(11)의 표면을 Ni도금(54) 없이 예를 들면 Au도금(55)만으로 하면 동일한 리이드본딩조건에서 접합한 경우에도 손상(52)는 거의 발생하지 않게 된다.

이상에 의해, 리이드(11)의 구성을 Cu코어(53)등의 심재로 Au도금(55)등의 도금층만을 형성하는 것에 의해, S자리이드형상을 얻으면서 리이드(11)로의 크랙(51)의 발생을 억제함과 동시에 반도체칩(1)로의 손상(52)를 경감시킬 수 있게 된다.

따라서, 본 실시형태 1의 반도체 집적회로장치에 의하면 반도체칩(1)과 거의 동일사이즈의 CSP패키지기술에 있어서, 상기에 있어서 본 발명자가 검토한 패키지구조와의 비교에 의해 차례로 설명한 바와 같이 1. 표면배선구조, 2. 일래스토머에 대한 테이프의 차양 최적화, 3. 패키지의 외형치수 최적화, 4. 평면S자 리이드, 5. 범리이드, 6. 본딩패드의 주변PIQ 치수, 7. 앵커배선의 개선, 8. 와이드 일래스토머구조, 9. 일래스토머의 홈매립기술, 10. 내부리이드 본딩기술, 11. 공구의 리턴이 없는 S자형성이 가능한 리이드설계기술, 12. Ni가 도금되어 있지 않은 리이드의 각각의 기술항목에 있어서 우수한 효과를 얻을 수 있다.

또한, 본 실시형태 1에서는 1. 표면배선구조를 전제로 해서 도면 및 그 기술내용을 설명했지만, 2~12까지의 기술항목에 대해서는 표면배선구조에 한정되는 것은 아니고 상기 도 7에 도시한 이면배선구조 등의 일반적인 패키지구조에 대해서도 적용가능한 기술이고, 따라서 일반적인 패키지구조에 적용해도 상기 항목마다 설명한 마찬가지로의 효과를 얻는 것을 기대할 수 있다.

또, 본 실시형태 1의 패키지구조(도 1, 도 2)에 있어서는 일래스토머(2)가 반도체칩(1)의 외형보다 큰 경우에 대해서 설명했지만, 반대로 도 81에 도시한 바와 같이 일래스토머(2)가 반도체칩(1)의 외형보다 작은 경우에는 반도체칩(1), 일래스토머(2)의 측면부분을 봉지재(6)에 의해 피복한 패키지구조로 형성하는 것에 의해 내습성등의 향상을 가능하게 할 수 있다.

## 실시형태 2

도 59 및 도 60은 본 발명의 실시형태 2인 반도체 집적회로장치에 있어서 이면배선 뿔납레지스트구조를 도시한 단면도 및 사시도이다.

본 실시형태 2의 반도체 집적회로장치는 상기 실시형태 1과 마찬가지로 볼 그리드 어레이형식의 반도체 패키지로 되고, 상기 실시형태 1과의 상이점은 표면배선구조를 전제로 한 기술이 아니라 이면배선구조를 전제로 해서 그것을 개선하기 위한 기술이고, 예를 들면 도 59, 도 60에 도시한 바와 같이 반도체칩(1)의 주면상에 접착되는 일래스토머(2)(탄성구조체)와 일래스토머(2)의 주면상에 접착되는 플렉시블 배선기판(3)(배선기판)의 구조에 있어서 플렉시블 배선기판(3)의 이면상에 뿔납레지스트(56)(절연막)이 형성되어 있다.

즉, 플렉시블 배선기판(3)은 이 플렉시블 배선기판(3)의 베이스재로 되는 테이프(9)(기판베이스재)와 이 테이프(9)의 이면상에 접착되는 배선(10)으로 구성되고, 배선(10)의 이면측이 뿔납레지스트(56)을 거쳐서 일래스토머(2)에 접착된 구조로 되어 있다. 이 뿔납레지스트(56)은 예를 들면 상기 실시형태 1과 마찬가지로 감광성 에폭시수지등에 의한 절연재료로 구성되어 있다.

여기에서, 본 실시형태 2의 반도체 집적회로장치의 패키지구조의 특징을 본 발명자가 검토한 기술로서의 패키지구조와의 비교에 의해 구조 및 프로세스등을 포함해서 설명한다.

예를 들면, 본 발명자가 검토한 기술로서 상기 실시형태 1에 있어서 도 7에 도시한 이면배선구조에서는 플렉시블 배선기판(3)의 배선(10)의 주면상에 직접 일래스토머(2)가 형성되므로, 일래스토머(2)의 저분자량 성분등이 직접 리이드(11)로 블리드하여 리이드(11)의 본딩점까지 스며든 경우에는 그 오염에 의해 극단으로 본딩성(배선접합강도)이 저하하는 등의 문제가 발생한다.

또, 직접 리이드(11)의 도금면과 비교해서 리이드(11) 사이에서 배선(10)이 에치아웃된 테이프(9)의 면은 이 테이프(9)와 배선(10) 사이의 접착성을 향상시키는 의미도 있고 테이프(9)의 면이 거칠어져 있기 때문에 블리드가 매우 심하고, 표면장력의 효과도 부가되어 리이드(11)의 에지부에서 가장 블리드가 심한 경향에 있다.

또, 배선(10)이 있는 부분과 없는 부분에 의한 배선(10)의 요철이 있는 면에 일래스토머(2)를 형성하는 이면배선구조에 있어서는 배선(10)과 배선(10)의 틈등에 공극이 남기 쉬어 신뢰성상 문제로 된다는 것도 고려된다.

이에 대해, 본 실시형태 2에 있어서는 플렉시블 배선기관(3)의 제작공정에 있어서 배선(10)의 형성후에 배선(10)상에 뿔납레지스트(56)을 형성하는 것에 의해, 직접 일래스토머(2)가 배선(10)에 접하는 것을 방지할 수 있다. 마찬가지로, 테이프(9)의 면 거칠어짐으로의 일래스토머(2)의 접착도 방지할 수 있다. 이것에 의해, 일래스토머(2)의 저분자량 성분의 블리드를 억제할 수 있다.

또, 플렉시블 배선기관(3)의 요철이 있는 배선(10)의 면에 뿔납레지스트(56)을 도포하는 것에 의해, 배선(10)의 표면이 평탄화되고 일래스토머(2)를 형성할 때의 공극의 감김등의 불합리도 회피할 수 있다.

따라서, 본 실시형태 2의 반도체 집적회로장치에 의하면 이면배선구조를 전체로 한 CSP의 반도체 패키지기술에 있어서 플렉시블 배선기관(3)의 배선(10)상에 뿔납레지스트(56)을 형성하는 것에 의해, 리이드(11)의 오염을 방지하여 본당성의 저하를 억제하고 또 공극이 없는 신뢰성이 높은 패키지구조를 얻을 수 있다.

### 실시형태 3

도 61은 본 발명의 실시형태 3인 반도체 집적회로장치를 반도체칩 이면에서 본 평면도, 도 62는 평면도, 도 63은 단면도, 도 64는 도 63의 A부를 도시한 확대단면도, 도 65는 배선기관의 배선구조를 설명하기 위한 평면도이다.

본 실시형태 3의 반도체 집적회로장치는 상기 실시형태 1 및 2와 같은 본당패드가 칩의 중앙부근에 형성된 구조의 반도체 패키지 대신에 도 61~도 65에 도시한 바와 같이 칩의 주변에 패드가 형성되는 구조의 반도체칩(1a)을 사용하고, 또 이 칩(1a)의 본당패드에 접속되는 뿔납범프(5a)가 반도체칩(1a)의 외주보다 내측의 영역에 배치되는 패키지구조로 되어 있다. 또한, 본 실시형태 3에 있어서도 상기 실시형태 1에 있어서 설명한 1. 표면배선구조에서부터 12. Ni가 도금되어 있지 않은 리이드까지의 기술, 또 실시형태 2에서 설명한 이면배선 뿔납레지스트구조의 각각의 기술항목의 특징이 도입된 구조로 되어 있다.

즉, 본 실시형태 3의 반도체 집적회로장치는 예를 들면 24핀의 볼 그리드 어레이형식의 반도체 패키지로 되고, 여러개의 본당패드(7a)(외부단자)가 형성된 반도체칩(1a)의 주면상에 일래스토머(2a)(탄성구조체), 테이프(9a)상에 배선(10a)가 형성된 플렉시블 배선기관(3a)(배선기관), 뿔납레지스트(4a)(절연막)가 마련되고, 이 뿔납레지스트(4a)의 개구부에 뿔납범프(5a)(범프전극)가 형성되고, 본당패드(7a)의 형성부분, 일래스토머(2a) 및 플렉시블 배선기관(3a)의 측면부분이 봉지재(6a)에 의해 피복된 패키지구조로 되어 있다.

반도체칩(1a)는 예를 들면 도 65에 도시한 바와 같이 주변패드구조로 되고, 반도체칩(1a)의 외주부를 따라서 여러개의 본당패드(7a)가 사각형상으로 나열해서 형성되어 있다. 이 반도체칩(1a)의 본당패드(7a)에 한쪽끝의 리이드(11a)가 접속되는 플렉시블 배선기관(3a)의 배선(10a)를 거쳐서 이 배선(10a)의 다른쪽끝의 범프랜드(12a)에 접합되는 뿔납범프(5a)가 전기적으로 접속되어 있다. 이 뿔납범프(5a)는 반도체칩(1a)의 본당패드(7a)의 배열위치보다 내측의 영역에 6행×4열로 나열해서 마련되어 있다.

따라서, 본 실시형태 3의 반도체 집적회로장치에 있어서도 팬 인-주변패드의 반도체 패키지구조로서의 차이는 있지만, 상기 실시형태 1 및 2에서 설명한 바와 같은 각각의 기술항목에 있어서 마찬가지로 우수한 효과를 얻을 수 있다. 특히, 이 팬 인의 패키지구조에 있어서는 상기 실시형태 1 및 2와 마찬가지로 반도체칩(1a)와 거의 동일사이즈의 CSP의 반도체 패키지로 할 수 있다.

### 실시형태 4

도 66은 본 발명의 실시형태 4인 반도체 집적회로장치를 반도체칩 이면에서 본 평면도, 도 67은 평면도, 도 68은 단면도, 도 69는 도 68의 A부를 도시한 확대단면도, 도 70은 배선기관의 배선구조를 설명하기 위한 평면도이다.

본 실시형태 4의 반도체 집적회로장치는 상기 실시형태 1 및 2와 같은 범프전극이 칩 영역내에 배치되는 구조의 반도체 패키지 대신에 도 66~도 70에 도시한 바와 같이 주변패드구조의 반도체칩(1b)을 사용하고, 또 이 반도체칩(1b)의 본당패드

에 접속되는 뿔뿔뿔뿔(5b)가 반도체칩(1b)의 외주보다 외측의 영역에 배치되는 패키지구조로 되어 있다. 또한, 본 실시형태 4에 있어서도 상기 실시형태 1에 있어서 설명한 1. 표면배선구조에서부터 12. Ni가 도금되어 있지 않은 리이드까지의 기술, 또 실시형태 2에서 설명한 이면배선 뿔뿔뿔뿔구조의 각각의 기술항목의 특징이 도입된 구조로 되어 있다.

즉, 본 실시형태 4의 반도체 집적회로장치는 예를 들면 80핀의 볼 그리드 어레이형식의 반도체 패키지로 되고, 여러개의 본딩패드(7b)(외부단자)가 형성된 반도체칩(1b)의 주면상에 일래스토머(2b)(탄성구조체), 테이프(9b)상에 배선(10b)가 형성된 플렉시블 배선기판(3b)(배선기판), 뿔뿔뿔뿔(4b)(절연막)가 마련되고, 이 뿔뿔뿔뿔(4b)의 개구부에 뿔뿔뿔뿔(5b)(뿔뿔뿔뿔)가 형성되고, 본딩패드(7b)의 형성부분이 봉지재(6b)에 의해 피복되고 반도체칩(1b)의 측면부분에 지지링(57b)가 마련된 패키지구조로 되어 있다.

반도체칩(1b)는 예를 들면 도 70에 도시한 바와 같이 주변패드구조로 되고, 반도체칩(1b)의 외주부를 따라서 여러개의 본딩패드(7b)가 사각형상으로 나열해서 형성되어 있다. 이 반도체칩(1b)의 본딩패드(7b)에 한쪽끝의 리이드(11b)가 접속되는 플렉시블 배선기판(3b)의 배선(10b)를 거쳐서 이 배선(10b)의 다른쪽끝의 뿔뿔뿔(12b)에 접합되는 뿔뿔뿔(5b)가 전기적으로 접속되어 있다. 이 뿔뿔뿔(5b)는 반도체칩(1b)의 본딩패드(7b)의 배열위치보다 외측의 영역에 사각형상으로 2열로 나열해서 마련되어 있다.

따라서, 본 실시형태 4의 반도체 집적회로장치에 있어서도 팬 아웃-주변패드의 반도체 패키지구조로서의 차이는 있지만, 상기 실시형태 1 및 2에서 설명한 바와 같은 각각의 기술항목에 있어서 마찬가지로 우수한 효과를 얻을 수 있다. 특히, 이 팬 아웃의 패키지구조에 있어서는 상기 실시형태 1 및 2에 비해서 반도체 패키지의 사이즈는 커지지만 다핀화에 대응한 패키지구조로 할 수 있다.

#### 실시형태 5

도 71은 본 발명의 실시형태 5인 반도체 집적회로장치를 반도체칩 이면에서 본 평면도, 도 72는 평면도, 도 73은 단면도, 도 74는 도 73의 A부를 도시한 확대단면도, 도 75는 배선기판의 배선구조를 설명하기 위한 평면도이다. 또한, 도 75는 배선의 둘러침을 명확하게 하기 위해 본딩패드, 뿔뿔뿔의 수등을 일부 생략해서 간략화하여 도시하고 있다.

본 실시형태 5의 반도체 집적회로장치는 상기 실시형태 1 및 2와 같은 칩 영역내에 뿔뿔뿔이 배치되는 구조의 반도체 패키지 대신에 도 71~도 75에 도시한 바와 같이 주변패드구조의 반도체칩(1c)을 사용하고, 또 이 반도체칩(1c)의 본딩패드에 접속되는 뿔뿔뿔(5c)가 반도체칩(1c)의 내측과 외측의 양쪽영역에 배치되는 패키지구조로 되어 있다. 또한, 본 실시형태 5에 있어서도 상기 실시형태 1에 있어서 설명한 1. 표면배선구조에서부터 12. Ni가 도금되어 있지 않은 리이드까지의 기술, 또 실시형태 2에서 설명한 이면배선 뿔뿔뿔구조의 각각의 기술항목의 특징이 도입된 구조로 되어 있다.

즉, 본 실시형태 5의 반도체 집적회로장치는 예를 들면 110핀의 볼 그리드 어레이형식의 반도체 패키지로 되고, 여러개의 본딩패드(7c)(외부단자)가 형성된 반도체칩(1c)의 주면상에 일래스토머(2c)(탄성구조체), 테이프(9c)상에 배선(10c)가 형성된 플렉시블 배선기판(3c)(배선기판), 뿔뿔뿔(4c)(절연막)가 마련되고, 이 뿔뿔뿔(4c)의 개구부에 뿔뿔뿔(5c)(뿔뿔뿔)가 형성되고, 본딩패드(7c)의 형성부분이 봉지재(6c)에 의해 피복되고 반도체칩(1c)의 측면부분에 지지링(57c)가 마련된 패키지구조로 되어 있다.

반도체칩(1c)는 예를 들면 도 75(실제의 배치는 도 72)에 도시한 바와 같이 주변패드구조로 되고, 반도체칩(1c)의 외주부를 따라서 여러개의 본딩패드(7c)가 사각형상으로 나열해서 형성되어 있다. 이 반도체칩(1c)의 본딩패드(7c)에 한쪽끝의 리이드(11c)가 접속되는 플렉시블 배선기판(3c)의 배선(10c)를 거쳐서 이 배선(10c)의 다른쪽끝의 뿔뿔(12c)에 접합되는 뿔뿔(5c)가 전기적으로 접속되어 있다. 이 뿔뿔(5c)는 반도체칩(1c)의 본딩패드(7c)의 배열위치보다 내측의 영역에 6행×5열로 나열되고 또한 외측의 영역에 사각형상으로 2열로 나열해서 마련되어 있다.

따라서, 본 실시형태 5의 반도체 집적회로장치에 있어서도 반도체 패키지구조로서의 차이는 있지만, 상기 실시형태 1 및 2에서 설명한 바와 같은 각각의 기술항목에 있어서 마찬가지로 우수한 효과를 얻을 수 있다. 특히, 이 팬 인/아웃의 패키지구조에 있어서는 상기 실시형태 1 및 2에 비해서 반도체 패키지의 사이즈는 커지지만 다핀화에 대응한 패키지구조로 할 수 있다.

이상, 본 발명자에 의해 이루어진 발명을 발명의 실시형태 1~5에 따라서 구체적으로 설명했지만, 본 발명은 상기 실시형태에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지 변경가능한 것은 물론이다.

예를 들면, 상기 실시형태 1~5의 기술을 필요에 따라 조합할 수 있다.

또, 반도체 패키지의 외부접속단자로서의 뿔납뿔프, 이 뿔납뿔프에 전기적으로 접속되는 반도체칩의 외부단자인 본딩패드의 수에 대해서는 상기 실시형태에서 설명한 것에 한정되는 것은 아니고, 반도체칩상에 형성되는 집적회로등의 패키지 사양에 따라서 적절히 변경가능하다.

또, 탄성구조체로서의 일래스토머, 배선기판으로서의 플렉시블 배선기판의 테이프, 배선 및 리이드의 도금, 절연막으로서의 뿔납레지스트, 뿔프전극으로서의 뿔납뿔프 등의 재료에 대해서도 각각의 특성을 구비하고 있는 다른 재료를 사용하는 경우등에 대해서도 적용가능한 것은 물론이다.

예를 들면, 뿔납레지스트로서는 아크릴계 수지와 에폭시계 수지의 혼합수지 또는 그것에 충전제(filler)를 첨가한 것 또는 멜라민, 아크릴, 폴리스티롤, 폴리이미드 이외에 폴리우레탄, 실리콘등의 재료를 들 수 있고, 납땜온도에 견디고 동시에 플럭스와 세정용제에 바래지는 것에 견디는 성질을 갖고 있는 것이 필요로 된다.

### 발명의 효과

본원에 있어서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면 다음과 같다.

[1] 배선기판의 기판베이스재의 이면측에 탄성구조체를 배치하고 또한 기판베이스재의 주면상에 형성된 배선의 주면상에 절연막을 형성하는 표면배선구조를 채용하는 것에 의해 기판베이스재 이면의 평탄한 면에 탄성구조체를 배치하므로, 탄성구조체를 보다 고정밀도로 안정하게 공극없이 베이스재에 탑재할 수 있고, 또 탄성구조체의 치수형상이 안정하므로 반도체칩의 접착공정도 안정하고 제조효율이 높은 조립을 실행하는 것이 가능하게 된다.

[2] 배선기판의 배선을 여러개의 배선층구조로 하는 것에 의해 신호배선층과 전원, 접지배선층을 다른 층으로 분리할 수 있으므로, 내잡음성등의 면에서 우수한 전기특성을 얻는 것이 가능하게 된다.

[3] 반도체칩의 외부단자를 중앙부 또는 주변부에 배치하고 또한 이 외부단자에 접속되는 뿔프전극을 반도체칩의 외주보다 내측, 외측 또는 그 양쪽의 영역에 배치할 수 있으므로, 여러가지 타입, 각종 패키지구조에 적용하는 것이 가능하게 된다.

[4] 반도체칩의 외부단자측에 있어서의 탄성구조체의 끝부와 배선기판의 기판베이스재의 끝부의 치수를 탄성구조체의 성분에 따라서 설정하는 것에 의해, 탄성구조체에 대한 기판베이스재의 차양을 최적화할 수 있으므로, 뿔프전극의 높이편차를 악화시키거나 탄성구조체의 개구부 봉지영역이 넓어지는 것에 의한 봉지재가 거의 채워지지 않게 되는 일없이 탄성구조체의 블리드성분이나 휘발성분에 의한 배선의 오염을 방지하는 것이 가능하게 된다.

[5] 반도체 집적회로장치의 외주부측에 있어서의 배선기판의 기판베이스재의 끝부와 탄성구조체의 끝부의 거리M2, 반도체칩의 끝부와 기판베이스재의 끝부의 거리M1의 관계를  $M1 > M2 > 0$ 의 범위로 설정하는 것에 의해 패키지의 외형치수를 최적화할 수 있으므로, 패키지 최외주가 반도체칩으로 되는 일이 없기 때문에 조립공정, 소켓 삽입인출, 트레이반송도중등에 칩랙을 유발할 가능성이 작아져서 반도체칩의 회로면이 밖으로 나오는 일이 없어 신뢰성을 향상시킬 수 있고, 또 인쇄후의 탄성구조체의 주변돌기가 반도체칩의 접착부에 걸리는 일이 없으므로 부착시의 접착불량, 배선기판의 평탄도의 악화, 신뢰성의 저하를 방지하는 것이 가능하게 된다.

[6] 배선기판의 배선을 기판베이스재와의 고정부분과 반도체칩의 외부단자에 접속되는 선단부분이 적어도 배선의 폭 이상 변위된 형상으로 형성하는 것에 의해 평면적으로 S자배선으로 할 수 있으므로, 일반적인 와이어본더에서의 단순한 내러티브 궤적에 의해 원래의 평면 S자형상에 의한 늘어짐부가 생기므로 안정된 적합한 S자형상 리이드를 형성할 수 있고, 유연하게 개조된 특수한 와이어본더를 필요로 하지 않고 안정된 리이드의 S자형상을 형성할 수 있고, 또 본딩공구의 궤적도 단순화할 수 있으므로 본딩시의 택트타임의 단축도 가능하게 된다.

[7] 배선기판의 배선을 기판베이스재에 한쪽이 고정된 한쪽만이 들보형상인 구조로 형성하는 것에 의해 빔배선으로 할 수 있으므로, 노치가 있는 배선과 같이 노치의 굽기가 변화해서 본딩시에 절단할 수 없고, 절단되었다고 해도 원하는 노치와는 다른 부분에서 잘려지거나 또는 너무 가늘게 되어 배선기판의 도금공정전에 잘려져 버려서 도금이 되지 않는 등의 문제를 해결하는 것이 가능하게 된다.

[8] 반도체칩상의 표면보호막의 개구부의 끝부를 본딩공구를 내려뜨렸을 때 배선이 표면보호막에 간접하지 않는 범위의 치수로 설정하는 것에 의해, 내려뜨림에 의해 반도체칩상의 표면보호막 또는 반도체칩에 손상을 받거나 리이드하면의 본딩부에 표면보호막의 성분이 부착해서 오염되어 본딩성을 악화시키는 등의 문제를 해결하는 것이 가능하게 된다.

[9] 배선기관의 배선의 노치종단측에 있어서의 배선을 대향하는 배선의 랜드부에 연결하거나 배선의 빈영역으로 종방향 또는 횡방향으로 연장하거나 또는 인접하는 배선끼리를 연결하는 것에 의해 배선부분의 유효면적을 크게 할 수 있으므로, 배선과 기관베이스재간의 접촉강도를 증가시키고 안정된 노치절단성을 얻는 것이 가능하게 된다.

[10] 탄성구조체를 반도체칩의 외형치수에 비해 적어도 탄성구조체에 형성되는 외주부 돌기폭분 이상으로 전체 둘레에 걸쳐서 큰 범위로 형성하는 것에 의해 와이드 탄성구조체 구조로 할 수 있으므로, 반도체칩의 부착후는 탄성구조체 주변의 돌기가 반도체칩의 밖으로 나와 실질적으로 탄성구조체의 평탄한 부분에 접촉되기 때문에 배선기관의 휘어짐이 작게 억제되고, 또 접촉재의 도포영역이 넓게 취해지므로 접촉재가 골고루 퍼지지 않아 접촉되지 못하는 부분이 발생하지 않고, 반도체칩의 주위로 골고루 스며나오므로 주변봉지를 하지 않아도 내습성이나 신뢰성이 우수한 패키지를 구성하는 것이 가능하게 된다.

[11] 탄성구조체를 반도체칩의 외부단자상에 접촉하지 않도록 분할해서 형성하는 경우에 이 분할된 탄성구조체의 대향하는 공간의 각각의 끝부를 홈형상으로 형성하는 것에 의해, 탄성구조체의 홈매립기술에 있어서 메탈마스크 지지부를 가늘게 하고 탄성구조체의 홈을 가늘게 할 수 있으므로, 탄성구조체의 홈매립성을 향상시키는 것이 가능하게 된다.

[12] 탄성구조체의 각각의 끝부에 형성되는 홈을 여러개로 형성하는 것에 의해, 이 홈을 형성하는 메탈마스크의 강도를 높이는 것이 가능하게 된다.

[13] 분할된 탄성구조체의 대향하는 공간의 각각의 끝부의 홈에 미리 봉지재 흐름방지용 댐을 형성하는 것에 의해, 봉지공정에 있어서의 홈매립성을 더욱 향상시키는 것이 가능하게 된다.

[14] 미리 반도체칩의 외부단자에 스테드범프를 형성하고 이 스테드범프를 거쳐서 반도체칩의 외부단자와 배선기관의 배선을 접속하는 것에 의해, 내부리이드의 본딩기술에 있어서 접합성이나 손상등의 문제를 해결하고 스테드범프에 의해 접합성을 향상시키고 또 손상을 방지하는 것이 가능하게 된다.

[15] 미리 배선기관의 배선을 둘러싸도록 뿔납을 공급하고 이 뿔납을 거쳐서 반도체칩의 외부단자와 반도체칩의 외부단자를 접속하는 것에 의해, 본딩기술에 있어서의 접합성의 향상 및 손상의 억제가 가능하게 된다.

[16] 배선기관의 배선을 상부부터 둘러싸는 뿔납, Au등의 스테드범프를 사용하고 이 스테드범프를 거쳐서 배선기관의 배선과 반도체칩의 외부단자를 접속하는 것에 의해, 본딩기술에 있어서의 접합성의 향상 및 손상의 억제가 가능하게 된다.

[17] Al, 뿔납 또는 Au와이어를 사용해서 배선기관의 배선과 반도체칩의 외부단자를 접속하는 것에 의해, 접합성이나 손상등의 문제를 해결하고 TAB와 같은 내부 리이드 본딩이 아니라 일반적인 와이어본딩의 개념에 의한 접속을 실현하는 것이 가능하게 된다.

[18] 배선기관의 배선의 폭치수를 배선기관의 기관베이스재의 끝부에서 배선선단쪽으로 점차 가늘게 하고, 소정의 위치에서 일정한 폭치수로 되도록 형성하여 구부림 응력 $\beta$ 를 1.2~1.5로 되도록 배선의 치수 및 형상을 설정하는 것에 의해, 본딩공구의 리턴없이 본딩공구를 수직으로 내려뜨리는 것만으로 적합한 S자형상을 형성할 수 있으므로, 유연하게 개조된 특수한 와이어본더를 필요로 하지 않고 안정된 리이드의 S자형상을 형성할 수 있고, 또 본딩공구의 궤적도 단순화할 수 있으므로 본딩시의 택트타임의 단축도 가능하게 된다.

[19] 배선기관의 배선구조를 도전재료를 심재로 해서 표면에 Au도금만을 실시하는 것에 의해 예를 들면 Cu등의 도전재료의 심재와 Au도금 사이에 Ni도금을 실시하는 경우에 비해 리이드의 경도와 깨워지기 쉬운 특성이 모두 낮아지므로 리이드 자체의 크랙이 거의 발생하지 않게 되는 것 외에 대본딩면인 반도체칩으로의 손상도 경감하는 것이 가능하게 된다.

[20] 배선기관의 기관베이스재의 이면상에 배선을 형성하고 또한 이 배선의 이면상에 절연막을 형성해서 절연막의 이면측에 탄성구조체를 배치하는 것에 의해 이면배선절연막구조로 할 수 있으므로, 직접 탄성구조체가 배선에 접하는 것을 방

지할 수 있고 또한 기관베이스재의 면거칠어짐으로의 탄성구조체의 접촉도 방지할 수 있으므로 탄성구조체의 저분자량 성분의 블리드를 억제할 수 있고, 또 요철이 있는 배선면에 절연막을 도포하는 것에 의해 표면이 평탄화되고 탄성구조체형성시의 공극의 감김등의 불합리를 회피하는 것이 가능하게 된다.

[21] 표면배선구조에 있어서 절연막의 개구부를 절연막재료의 도포범위를 규정하는 것에 의해서 형성하는 것에 의해, 이면배선구조의 배선기관의 기관베이스재에 기계가공에 의해 개구부를 개방한 경우에 비해서 한층더 구멍직경 가공정밀도의 향상이 가능하게 된다.

[22] 표면배선구조에 있어서 절연막의 두께를 절연막재료의 도포조건을 규정하는 것에 의해서 설정하는 것에 의해, 기관베이스재에 비해 한층더 얇은 두께로 안정하게 도포하고 작은 직경으로 고밀도로 배치되는 범프랜드의 형성을 할 수 있으므로, 더 작은 범프전극을 양호하게 접합하는 것이 가능하게 된다.

[23] 표면배선구조는 이면배선구조와 비교해서 범프전극의 배열피치를 작게 할 수 있으므로, 보다 고밀도인 출력단자를 갖는 반도체 패키지를 구성하는 것이 가능하게 된다.

### 도면의 간단한 설명

도 1은 본 발명의 실시형태 1인 반도체 집적회로장치를 도시한 평면도,

도 2는 본 발명의 실시형태 1에 있어서 도 1의 A-A'절단선에 있어서의 단면도,

도 3은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치의 실장기관으로의 실장상태를 도시한 평면도,

도 4는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치의 실장기관으로의 실장상태를 도시한 단면도,

도 5는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치의 조립공정을 도시한 흐름도,

도 6은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치의 주요부 단면도,

도 7은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치와 본 발명자가 검토한 반도체 집적회로장치의 비교설명을 하기 위한 주요부 단면도,

도 8은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치의 1변형예인 양면배선을 도시한 주요부 단면도,

도 9는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치의 윈도우 개구부를 도시한 평면도,

도 10은 도 9의 윈도우 개구부에 대응하는 단면도,

도 11은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치의 윈도우 개구부 및 반도체칩의 에지부의 치수를 설명하기 위한 단면도,

도 12는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치의 인쇄후의 일래스토머의 오목부를 도시한 단면도,

도 13은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 반도체 칩 부착후의 테이프의 휘어짐을 도시한 단면도,

도 14는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 평면S자 리이드를 도시한 평면도,

도 15는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 도 14의 화살표 B방향에서 본 단면도,

도 16은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 도 14의 화살표 A방향에서 본 단면도,

도 17은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 표준S자 리이드형성시의 본딩공구의 궤적을 도시한 단면도,

도 18은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 평면S자 리이드형성시의 본딩공구의 궤적을 도시한 단면도,

도 19는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 노치리이드 및 빔리이드를 설명하기 위한 평면도,

도 20은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 도 19의 A부에 있어서의 노치리이드를 도시한 평면도,

도 21은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 빔리이드를 도시한 평면도,

도 22는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 리이드본딩부를 도시한 단면도,

도 23은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 리이드본딩부를 도시한 평면도,

도 24는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 도 22의 A부에 있어서의 공구의 착지점을 확대해서 도시한 단면도,

도 25는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 패시베이션 개구치수를 개량한 본딩부를 도시한 단면도,

도 26은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 쌍방향 리이드의 본딩부를 도시한 평면도,

도 27은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 표준앵커배선을 도시한 평면도,

도 28은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 개선앵커배선을 도시한 평면도,

도 29는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 표준일래스토머의 구조를 도시한 사시도,

도 30은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 표준일래스토머에서의 반도체칩의 부착상태를 도시한 사시도,

도 31은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 와이드 일래스토머의 구조를 도시한 사시도,

도 32는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 와이드 일래스토머에서의 반도체칩의 부착상태를 도시한 사시도,

도 33은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 와이드 일래스토머에서의 반도체칩의 부착상태를 도시한 단면도,

도 34는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 표준일래스토머에서의 반도체칩의 부착후의 구조를 도시한 사시도,

도 35는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 표준일래스토머에서의 반도체칩의 부착후의 구조를 도시한 단면도,

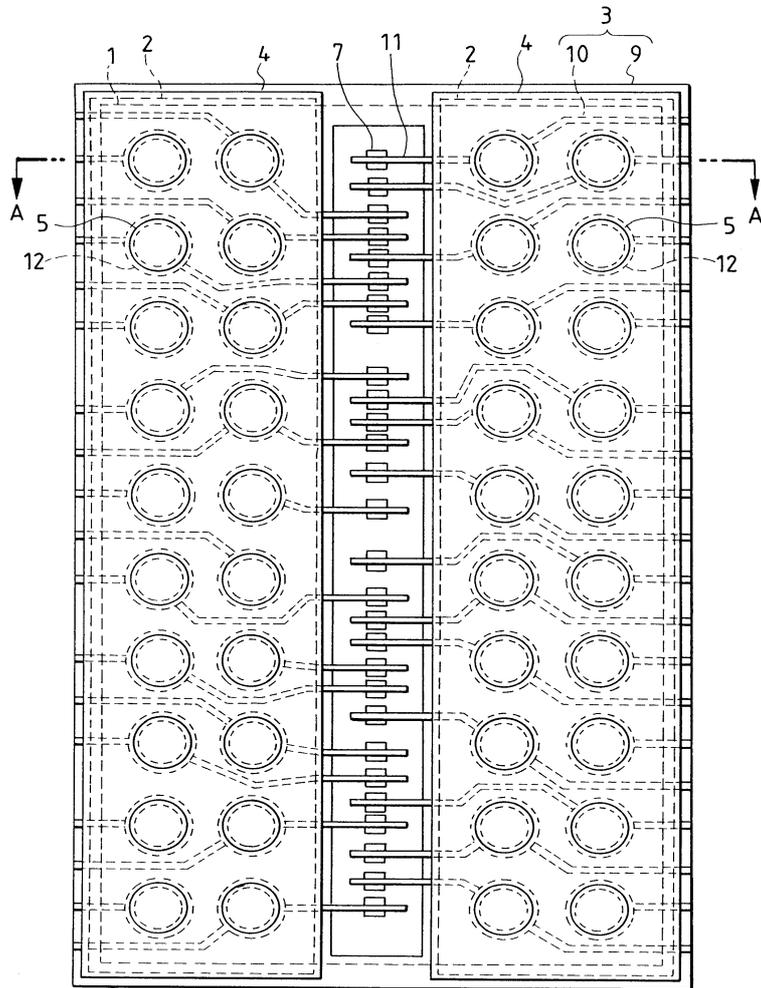
도 36은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 와이드 일래스토머에서의 반도체칩의 부착후의 구조를 도시한 사시도,

- 도 37은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 와이드 일래스토머에서의 반도체칩의 부착후의 구조를 도시한 단면도,
- 도 38은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 메탈마스크인쇄의 개념을 도시한 단면도,
- 도 39는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 표준일래스토머의 메탈마스크를 도시한 평면도,
- 도 40은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 와이드 일래스토머의 메탈마스크를 도시한 평면도,
- 도 41은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 여러개의 지지용 와이드 일래스토머의 인쇄형상을 도시한 평면도,
- 도 42는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 와이드 일래스토머의 홈매립을 위한 포팅위치를 도시한 평면도,
- 도 43은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 표준리이드본딩에 의한 본딩부를 도시한 단면도,
- 도 44는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 스텝드범프를 사용한 본딩부를 도시한 단면도,
- 도 45는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 뿔납을 사용한 리이드접속을 도시한 단면도,
- 도 46은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 뿔납을 사용한 리이드접속을 도시한 평면도,
- 도 47은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 뿔납 또는 Au볼을 사용한 리이드접속을 도시한 단면도,
- 도 48은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 뿔납 또는 Au볼을 사용한 리이드접속을 도시한 사시도,
- 도 49는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 AI 또는 뿔납와이어를 사용한 접속을 도시한 단면도,
- 도 50은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 Au와이어를 사용한 접속을 도시한 단면도,
- 도 51은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 리이드설계를 설명하기 위한 사시도,
- 도 52는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 본딩후의 리이드변형을 도시한 사시도,
- 도 53은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 리이드치수와 구부림 응력비의 관계를 도시한 설명도,
- 도 54는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 리이드접속의 접속부를 도시한 단면도,
- 도 55는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 리이드의 굴곡부를 도시한 확대단면도,
- 도 56은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 Ni가 도금되어 있지 않은 리이드의 굴곡부를 도시한 확대단면도,
- 도 57은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 리이드의 압착부를 도시한 확대단면도,

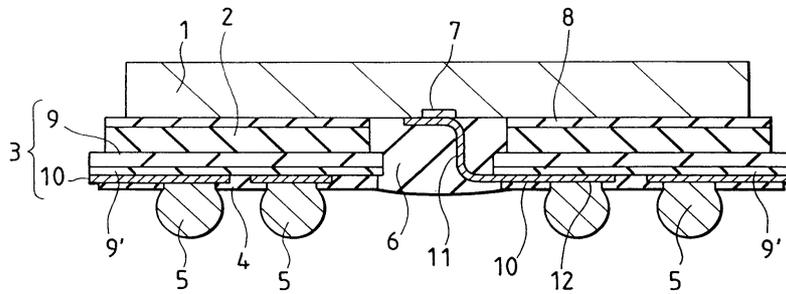
- 도 58은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 Ni가 도금되어 있지 않은 리이드의 압착부를 도시한 확대단면도,
- 도 59은 본 발명의 실시형태 2인 반도체 집적회로장치의 구조를 도시한 단면도,
- 도 60은 본 발명의 실시형태 2인 반도체 집적회로장치의 구조를 도시한 사시도,
- 도 61은 본 발명의 실시형태 3인 반도체 집적회로장치를 반도체칩 이면에서 본 평면도,
- 도 62는 본 발명의 실시형태 3인 반도체 집적회로장치를 도시한 평면도,
- 도 63은 본 발명의 실시형태 3인 반도체 집적회로장치를 도시한 단면도,
- 도 64는 본 발명의 실시형태 3에 있어서의 반도체 집적회로장치에 있어서 도 63의 A부를 도시한 확대단면도,
- 도 65는 본 발명의 실시형태 3에 있어서의 반도체 집적회로장치에 있어서 배선기판의 배선구조를 설명하기 위한 평면도,
- 도 66은 본 발명의 실시형태 4인 반도체 집적회로장치를 반도체칩 이면에서 본 평면도,
- 도 67은 본 발명의 실시형태 4인 반도체 집적회로장치를 도시한 평면도,
- 도 68은 본 발명의 실시형태 4인 반도체 집적회로장치를 도시한 단면도,
- 도 69는 본 발명의 실시형태 4에 있어서의 반도체 집적회로장치에 있어서 도 68의 A부를 도시한 확대단면도,
- 도 70은 본 발명의 실시형태 4에 있어서의 반도체 집적회로장치에 있어서 배선기판의 배선구조를 설명하기 위한 평면도,
- 도 71은 본 발명의 실시형태 5인 반도체 집적회로장치를 반도체칩 이면에서 본 평면도,
- 도 72는 본 발명의 실시형태 5인 반도체 집적회로장치를 도시한 평면도,
- 도 73은 본 발명의 실시형태 5인 반도체 집적회로장치를 도시한 단면도,
- 도 74는 본 발명의 실시형태 5에 있어서의 반도체 집적회로장치에 있어서 도 73의 A부를 도시한 확대단면도,
- 도 75는 본 발명의 실시형태 5에 있어서의 반도체 집적회로장치에 있어서 배선기판의 배선구조를 설명하기 위한 평면도,
- 도 76은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치와 본 발명자가 검토한 반도체 집적회로장치의 비교설명에 있어서 구부림 응력비에 따른 리이드변형 형상을 도시한 단면도,
- 도 77은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 구부림 응력비에 따른 리이드변형 형상을 도시한 단면도,
- 도 78은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 구부림 응력비에 따른 리이드변형 형상을 도시한 단면도,
- 도 79는 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 구부림 응력비에 따른 리이드변형 형상을 도시한 단면도,
- 도 80은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 구부림 응력비에 따른 리이드변형 형상을 도시한 단면도,
- 도 81은 본 발명의 실시형태 1에 있어서의 반도체 집적회로장치에 있어서 패키지구조의 변형예를 도시한 단면도.

도면

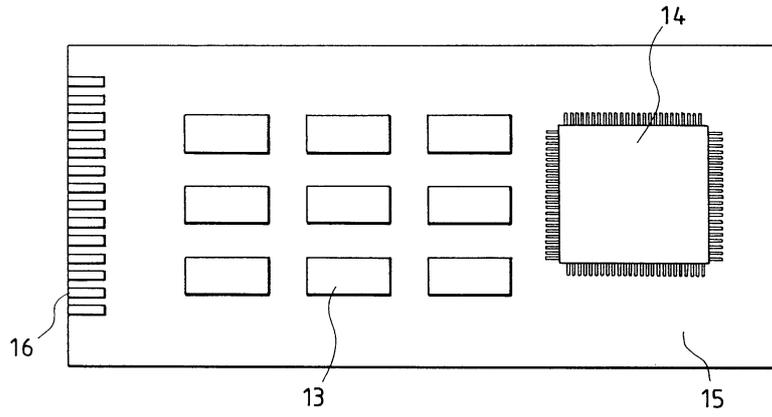
도면1



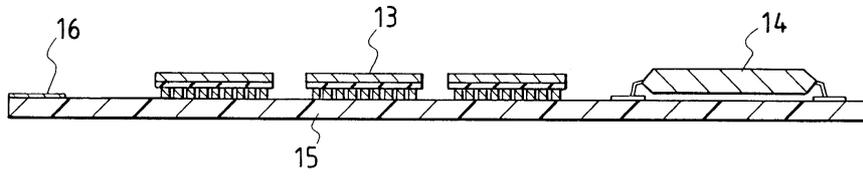
도면2



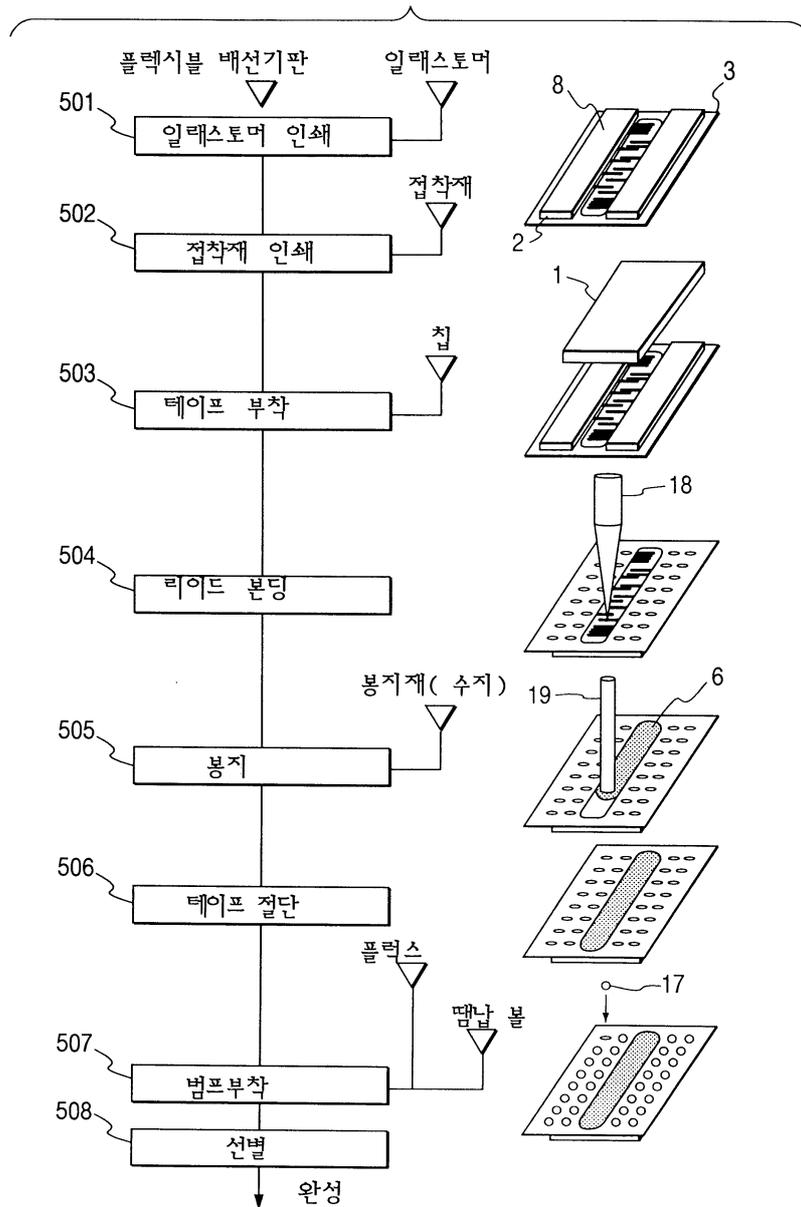
도면3



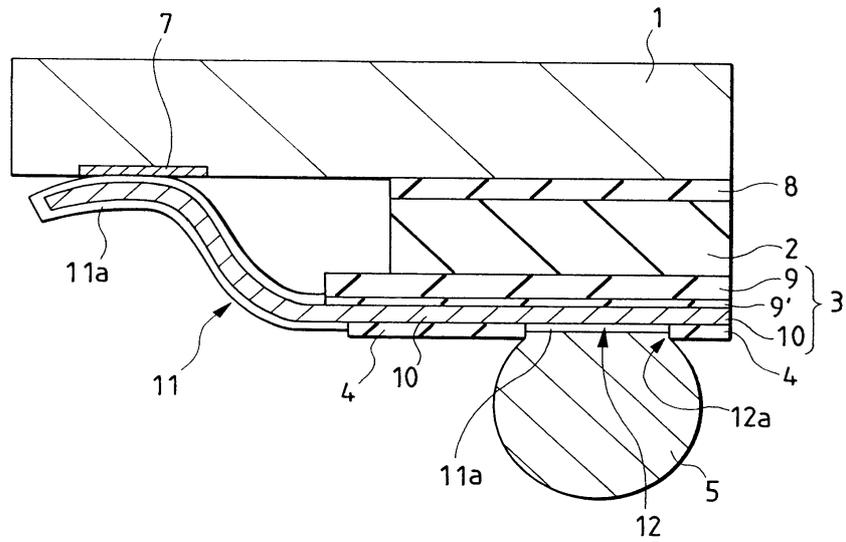
도면4



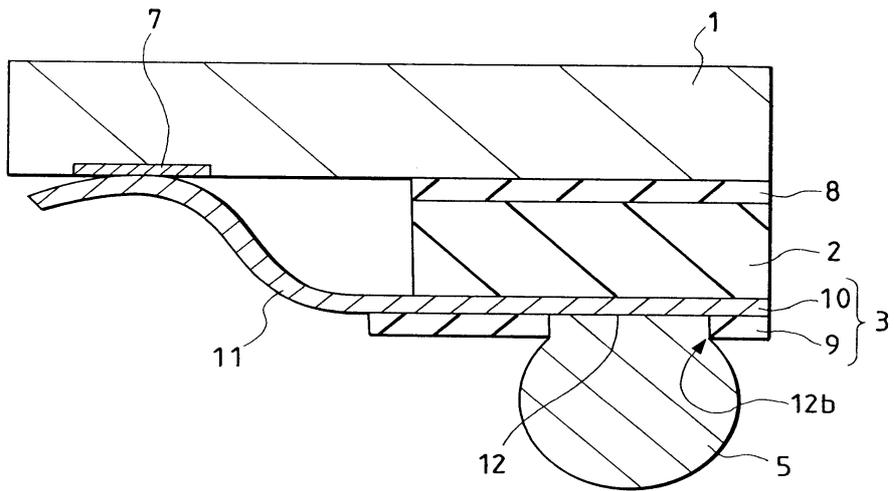
도면5



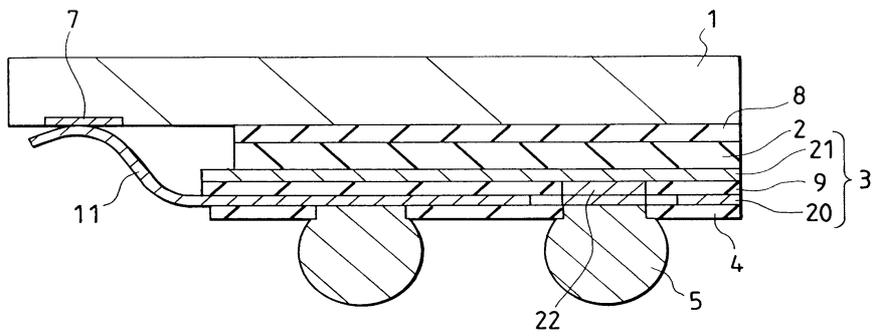
도면6



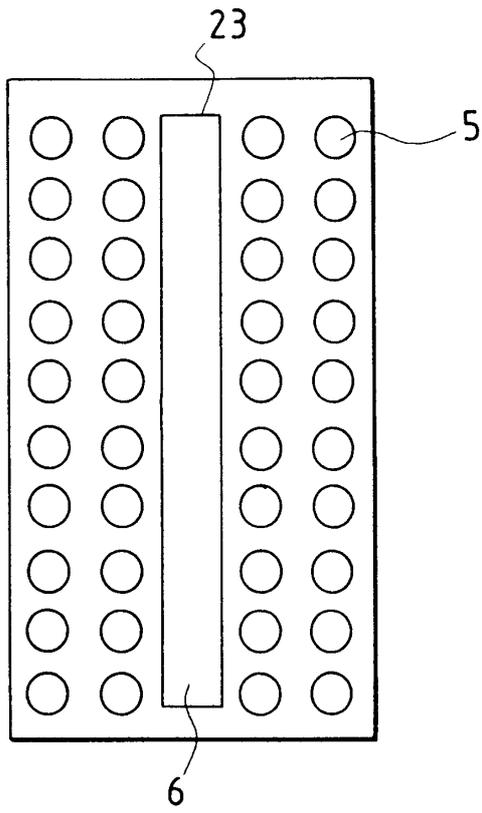
도면7



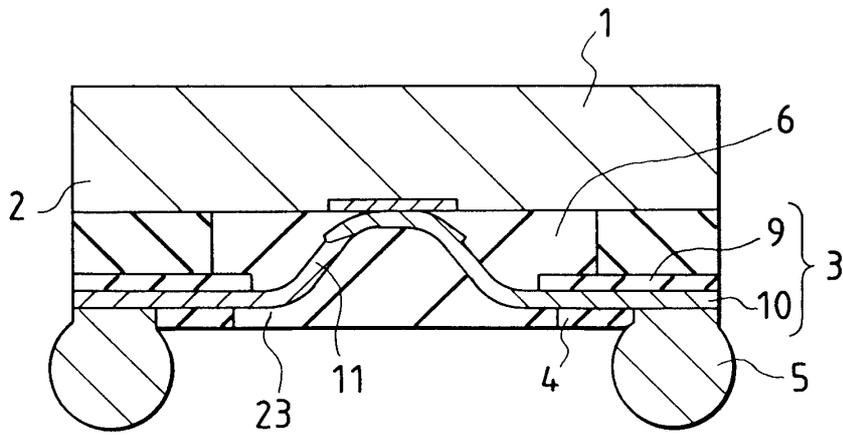
도면8



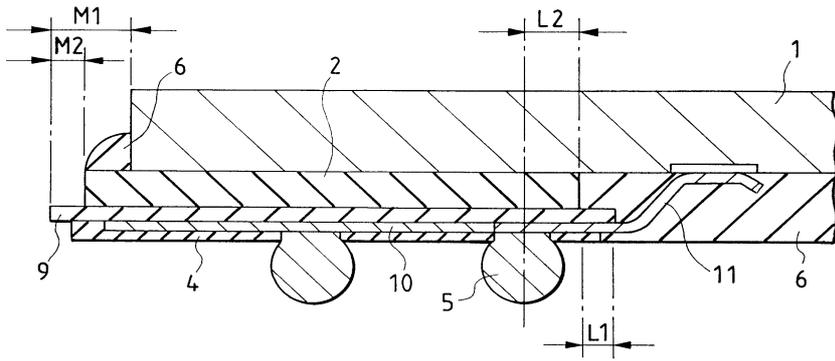
도면9



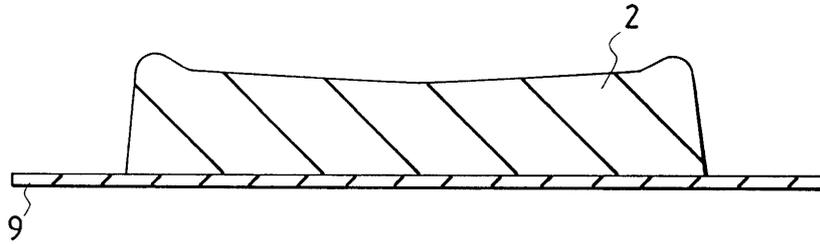
도면10



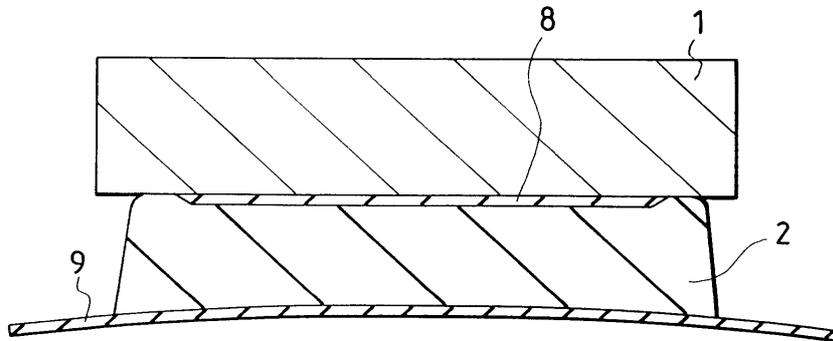
도면11



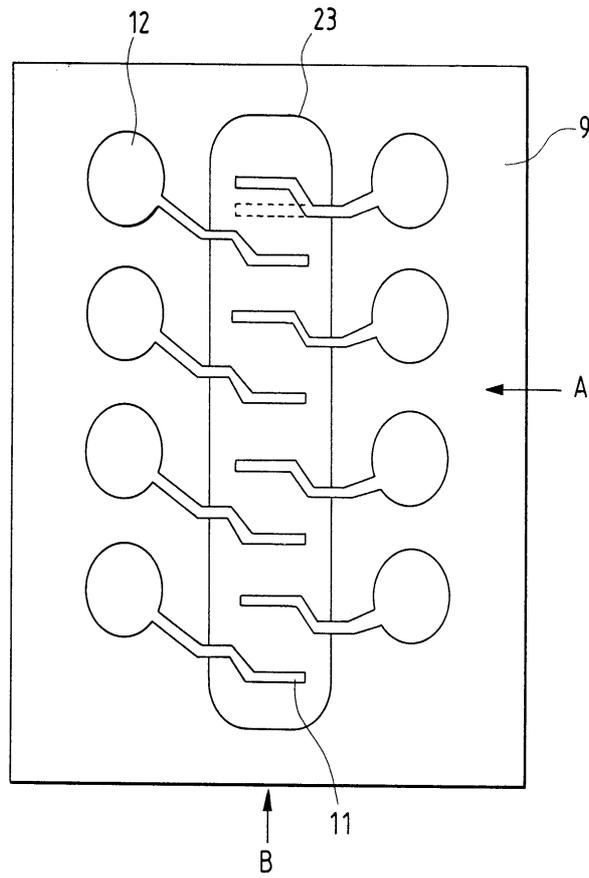
도면12



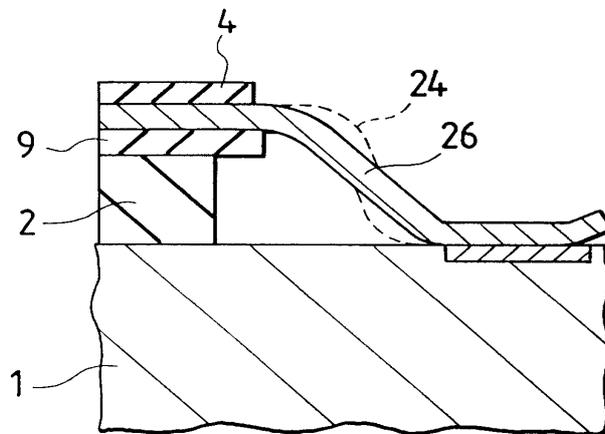
도면13



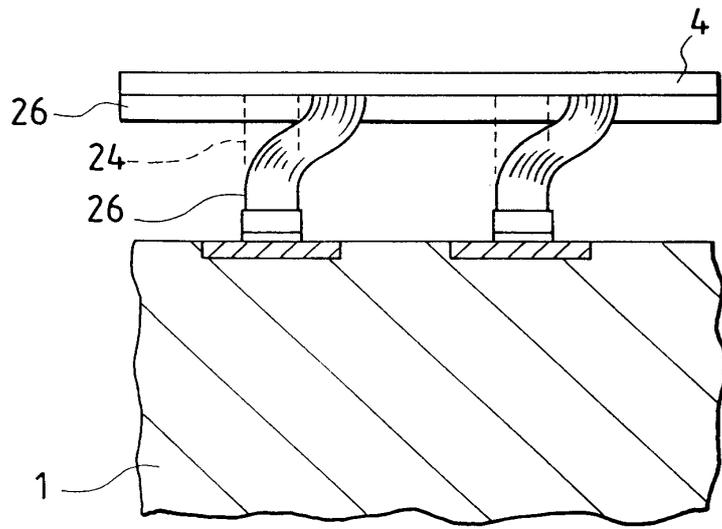
도면14



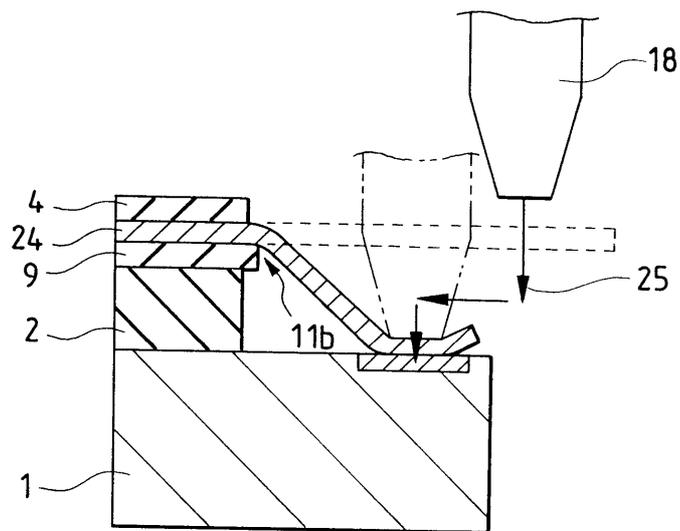
도면15



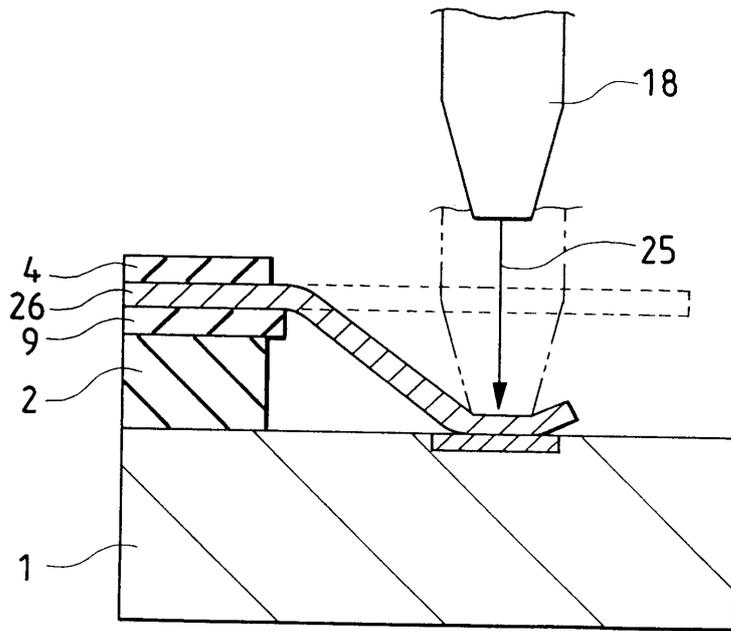
도면16



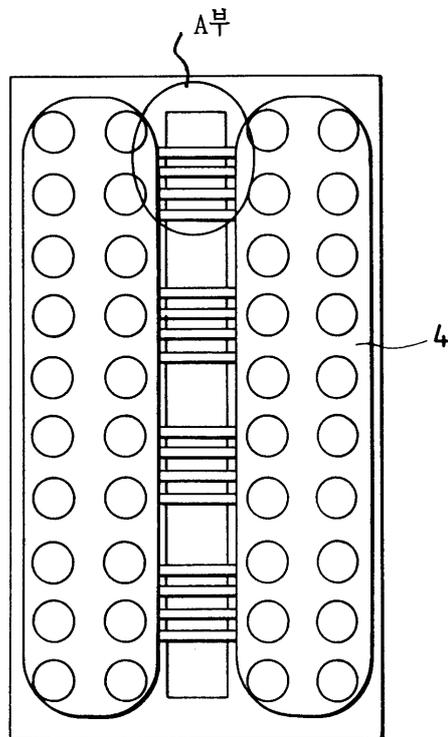
도면17



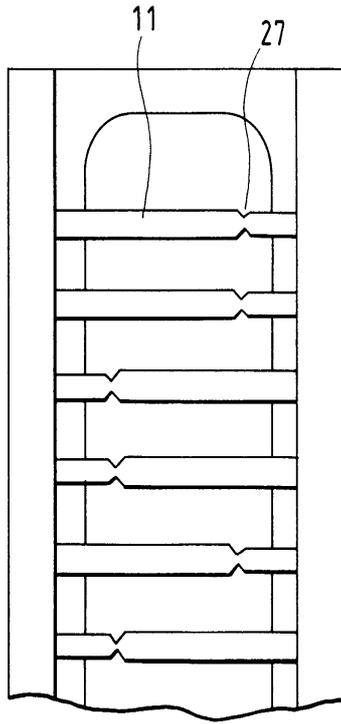
도면18



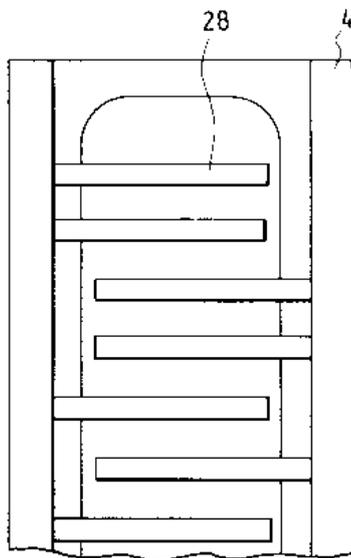
도면19



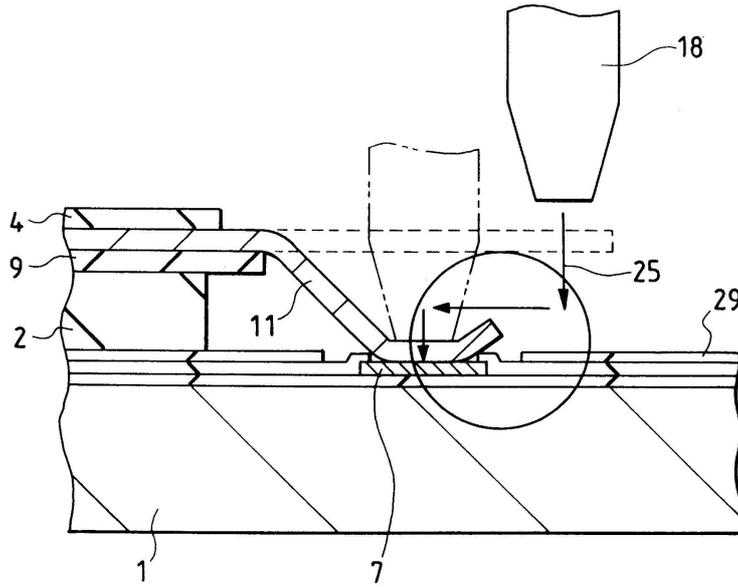
도면20



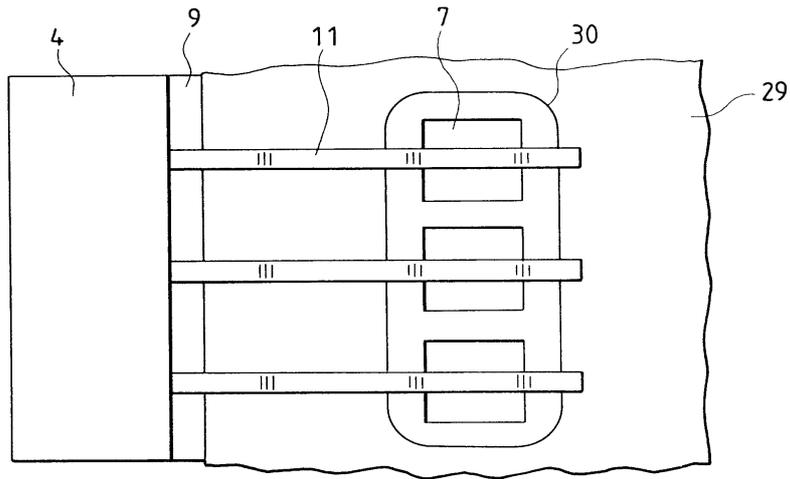
도면21



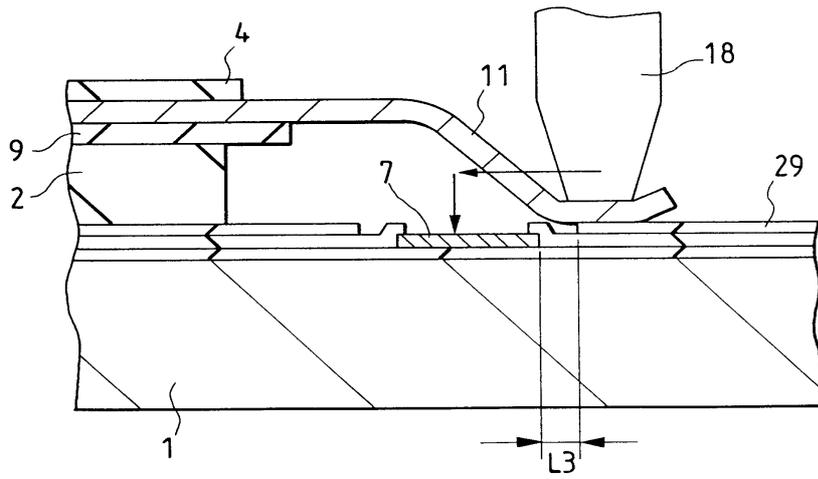
도면22



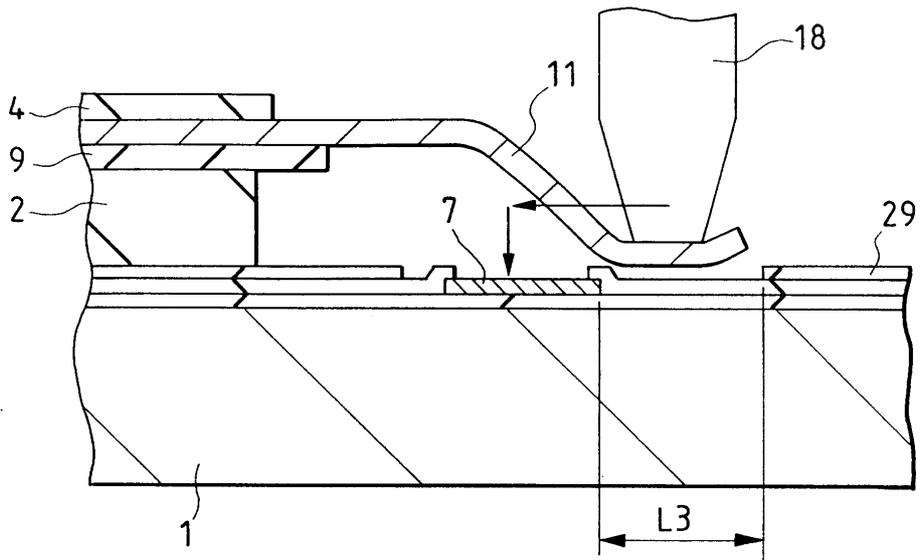
도면23



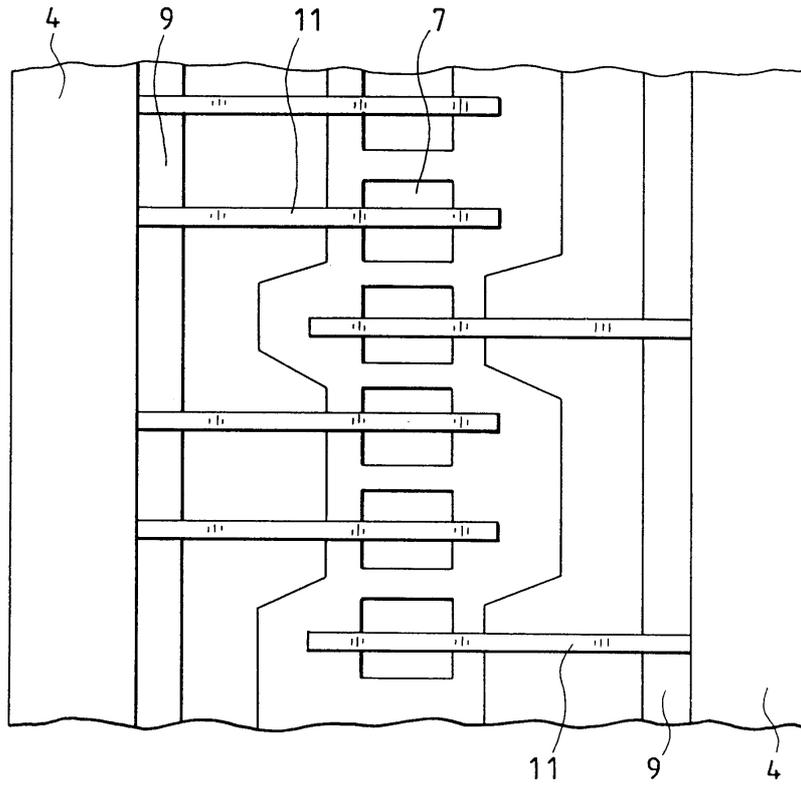
도면24



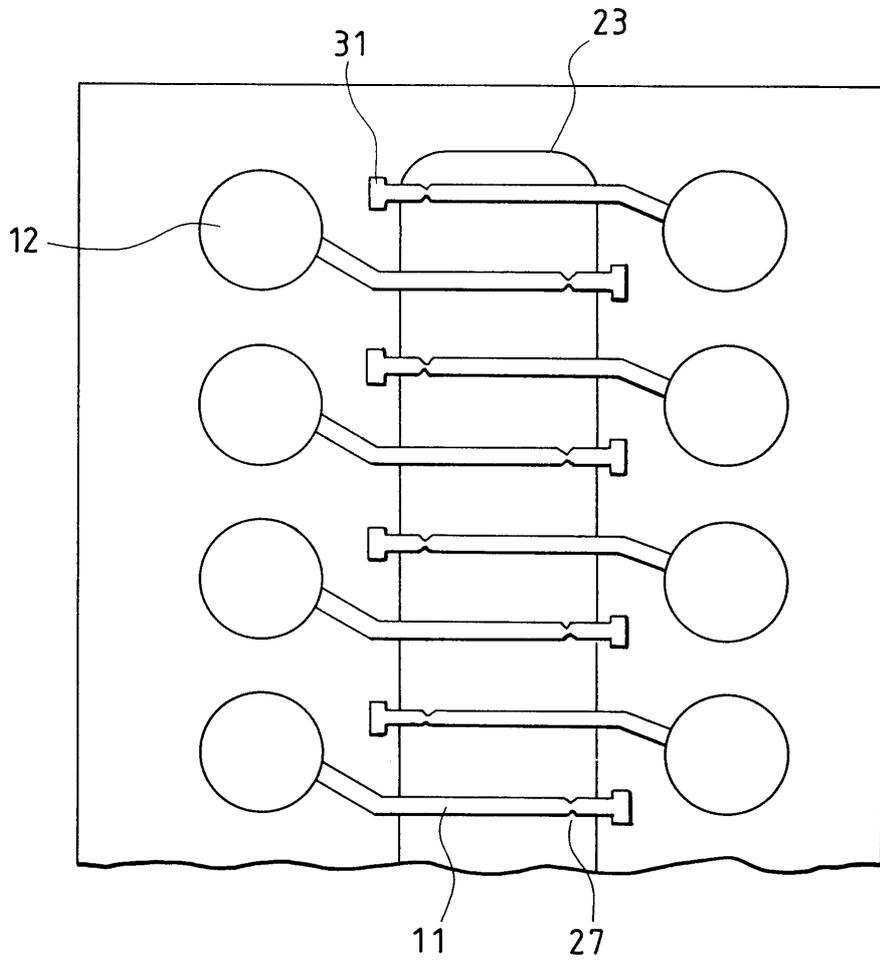
도면25



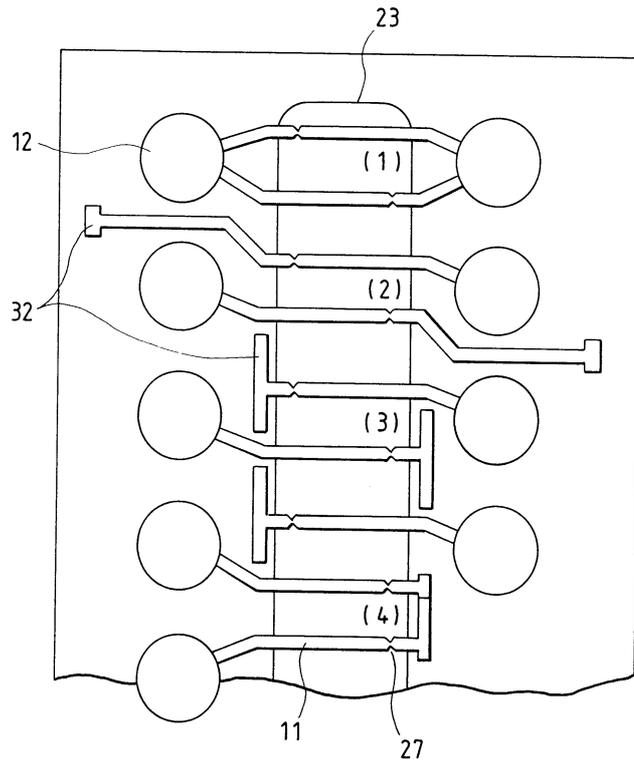
도면26



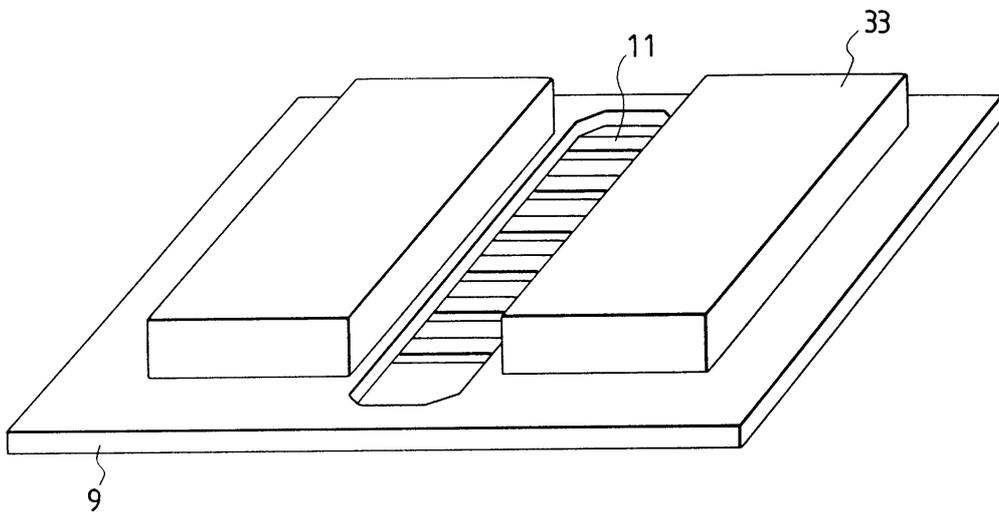
도면27



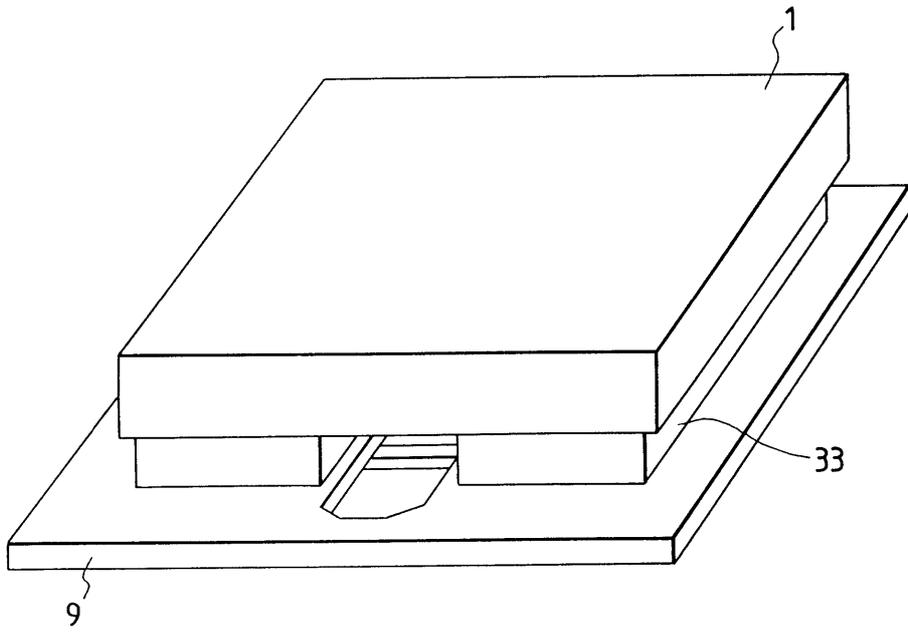
도면28



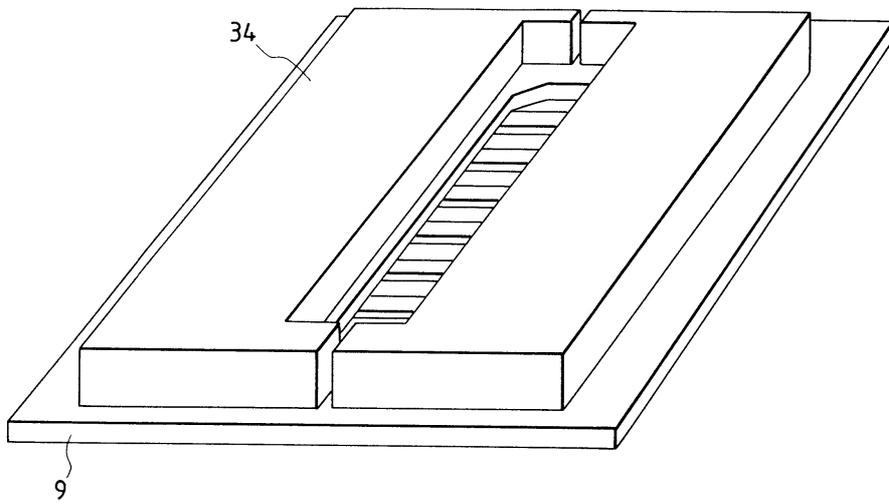
도면29



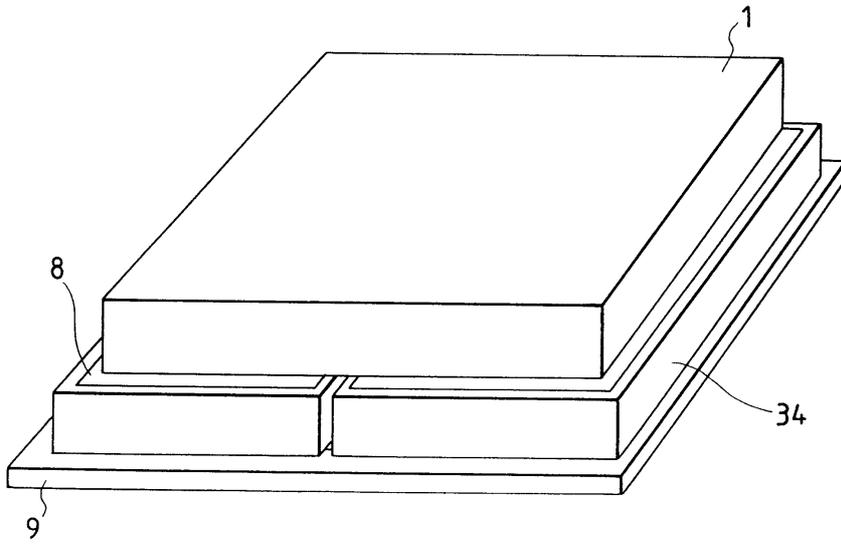
도면30



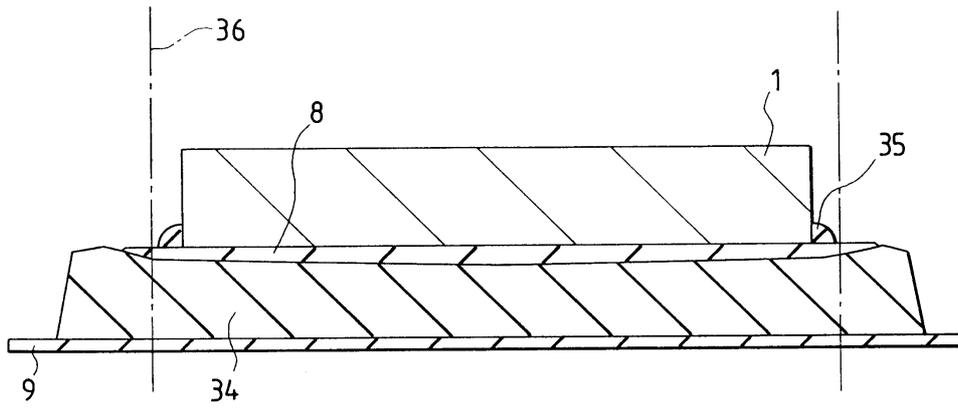
도면31



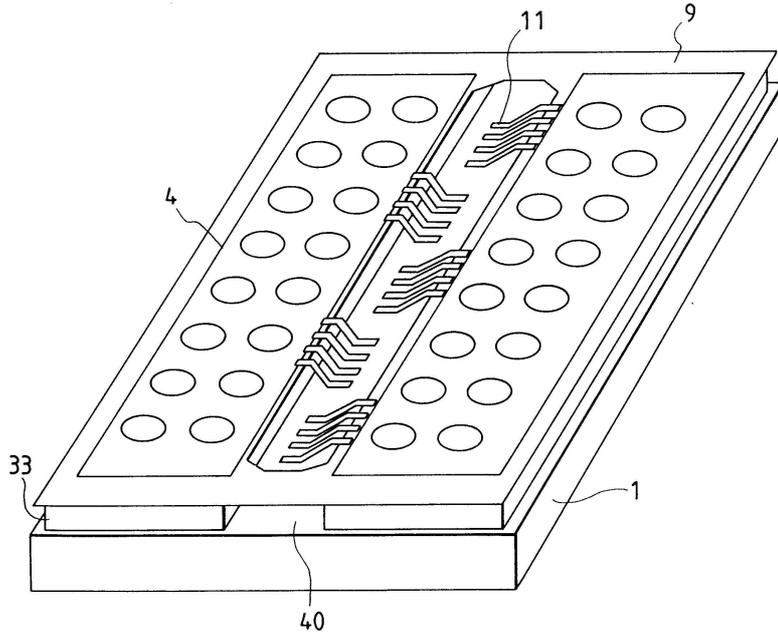
도면32



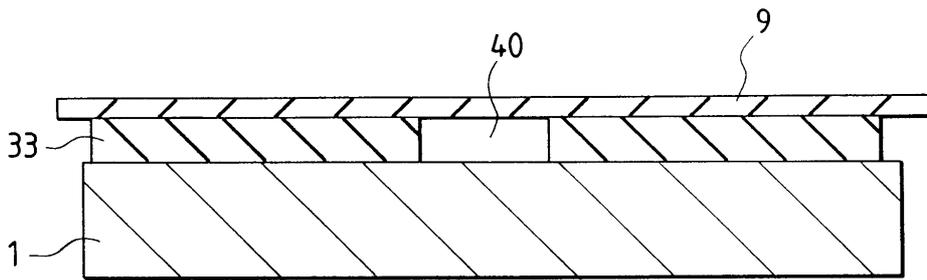
도면33



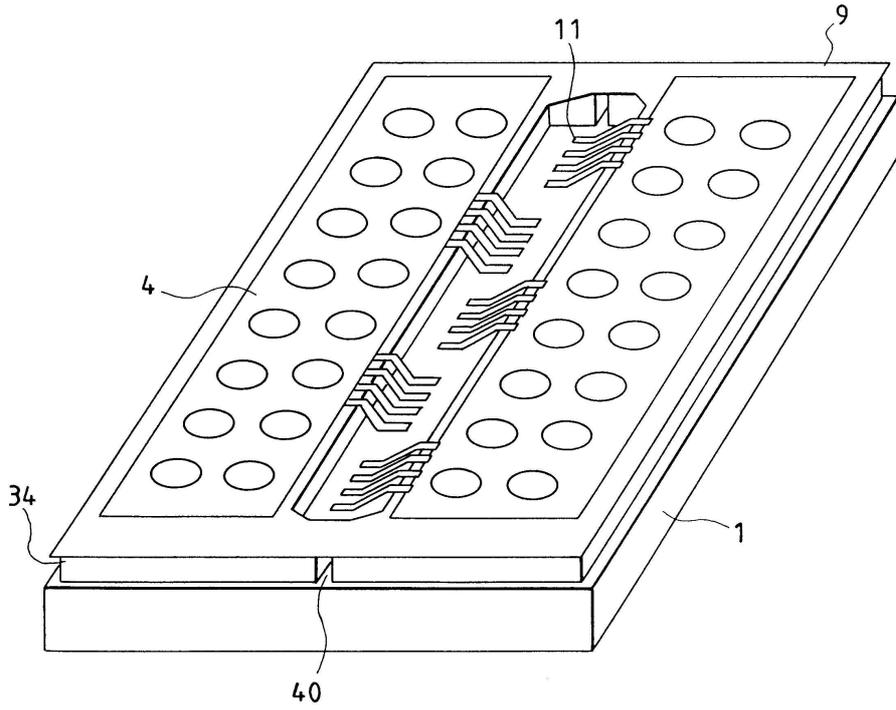
도면34



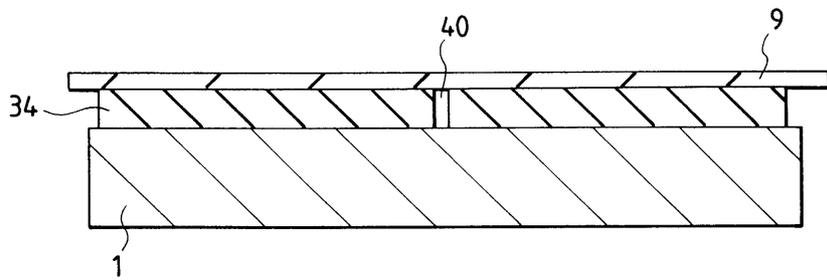
도면35



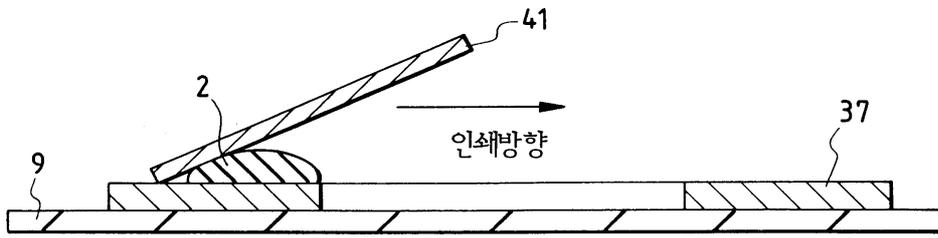
도면36



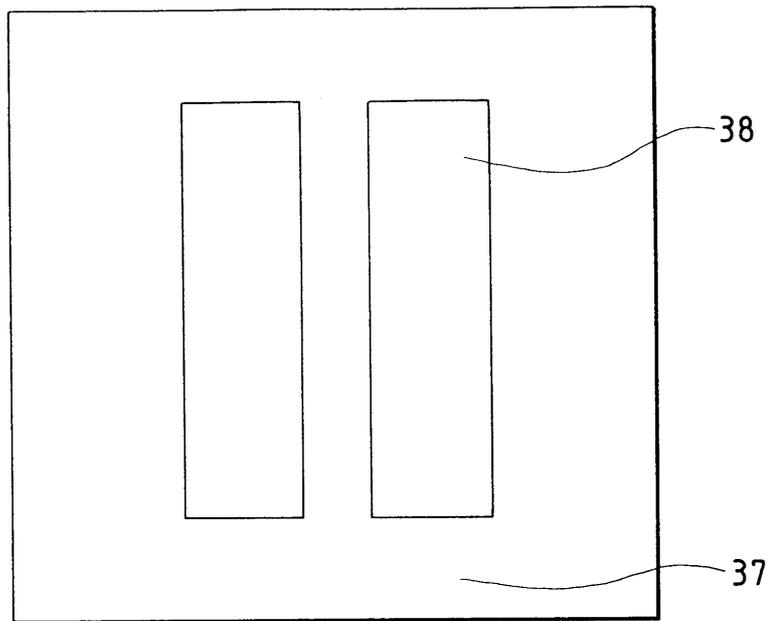
도면37



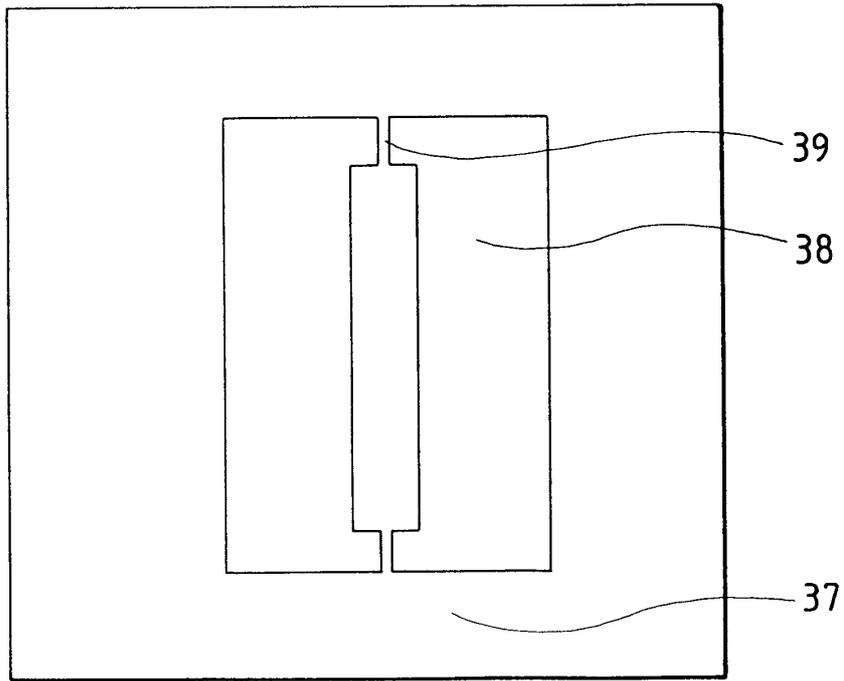
도면38



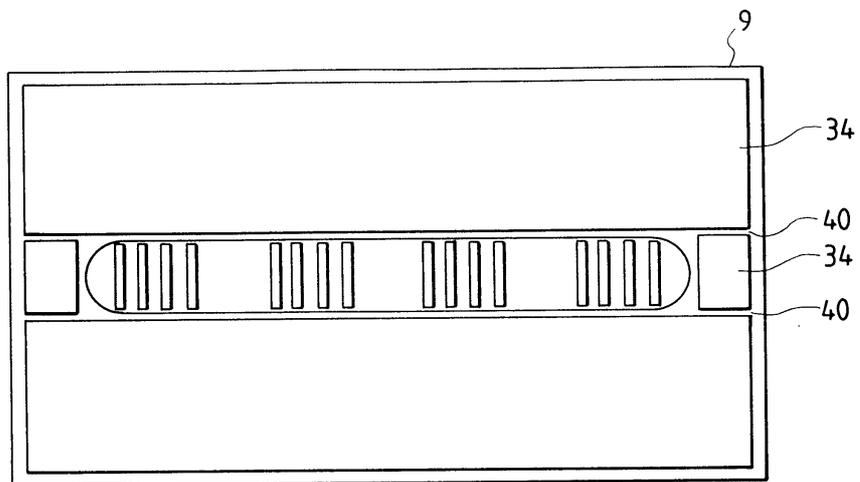
도면39



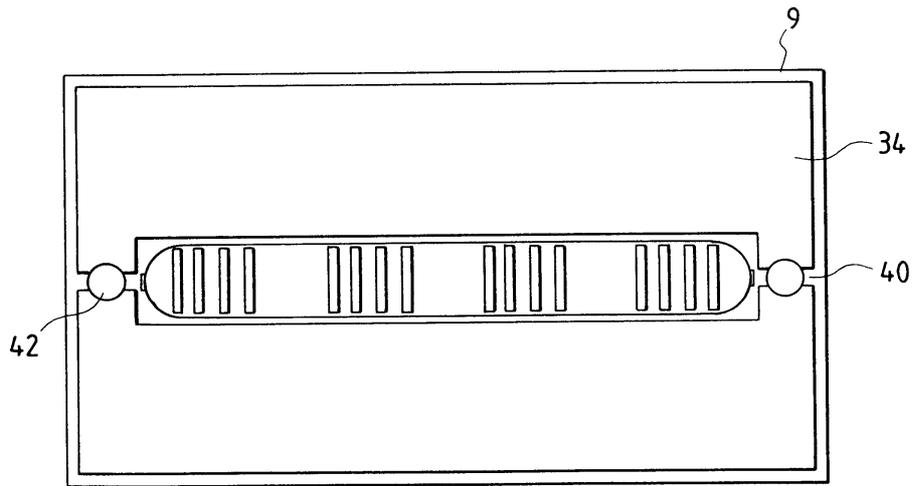
도면40



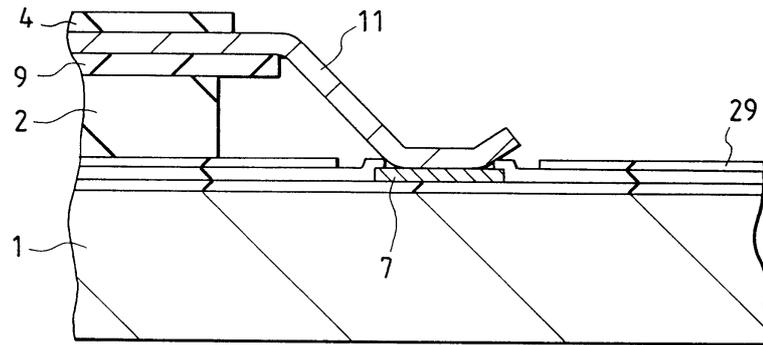
도면41



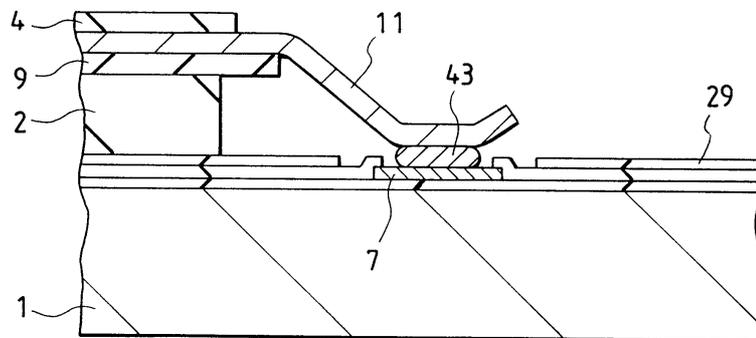
도면42



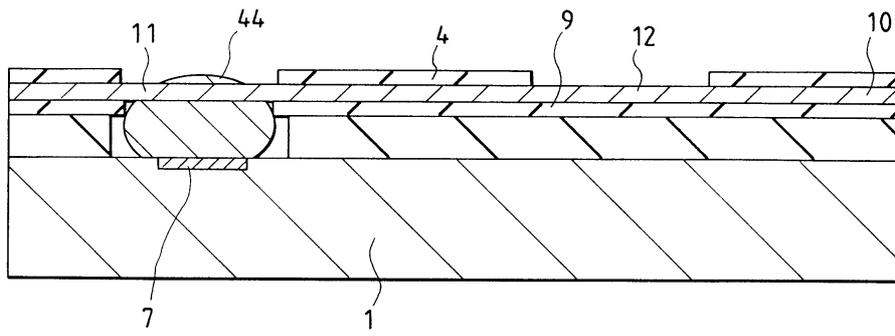
도면43



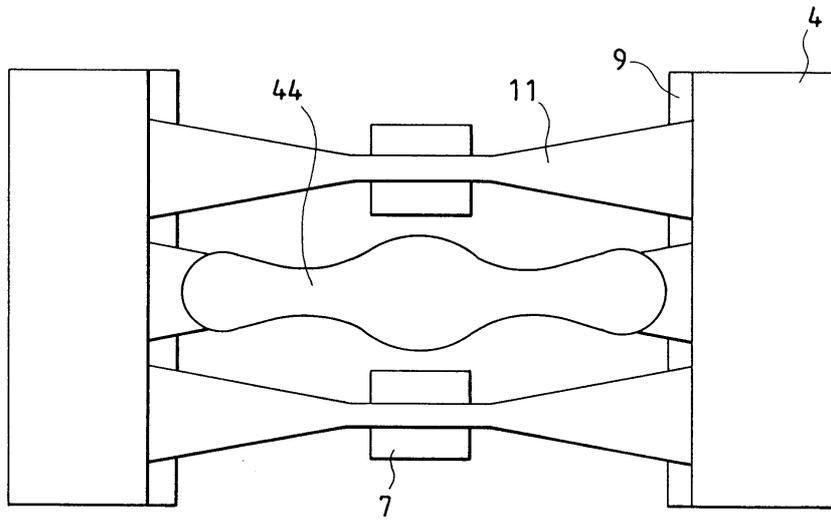
도면44



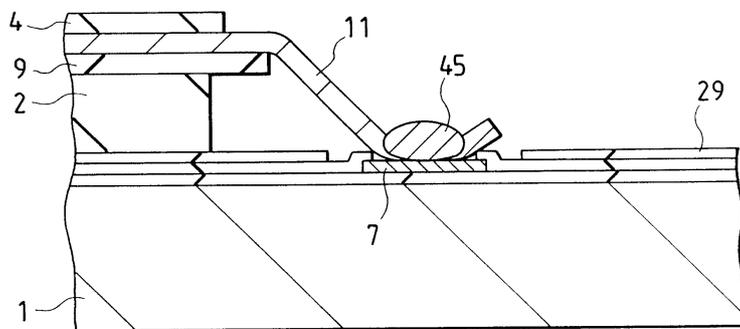
도면45



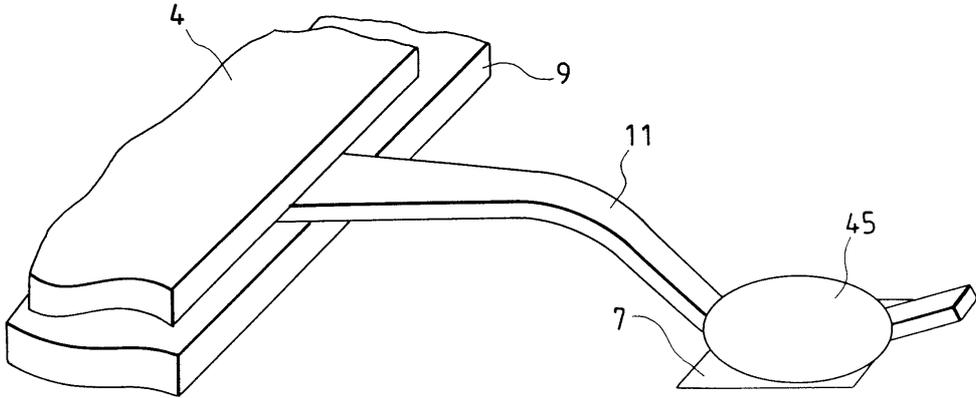
도면46



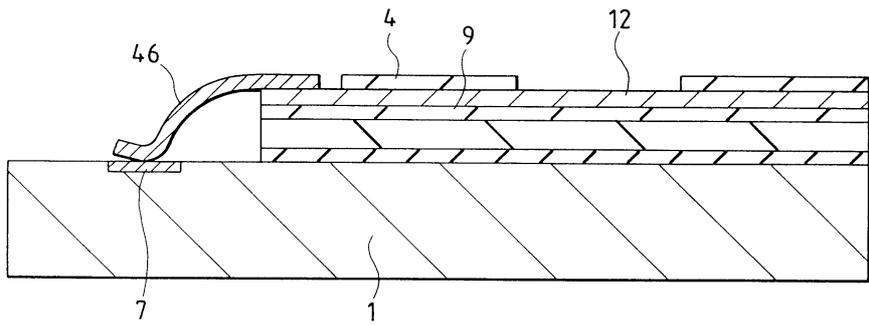
도면47



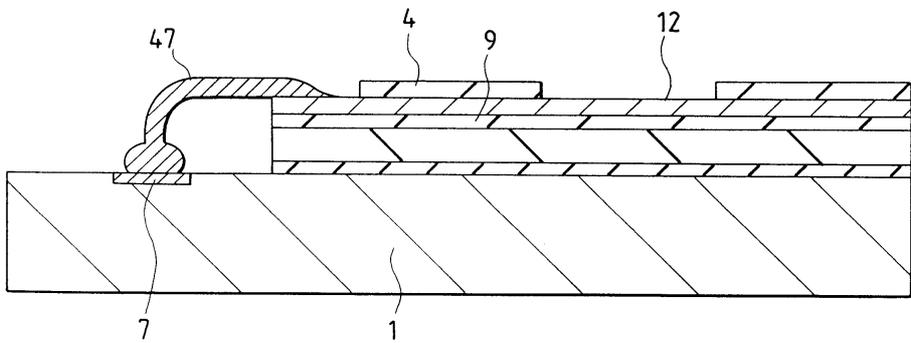
도면48



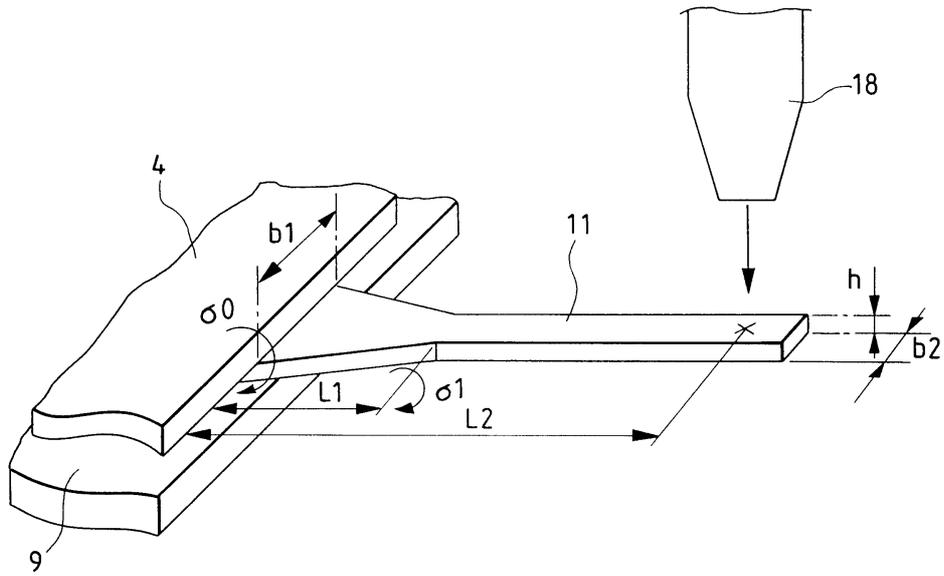
도면49



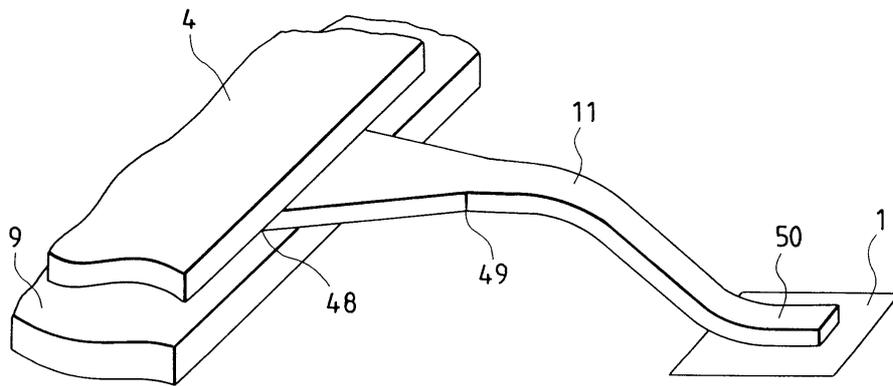
도면50



도면51



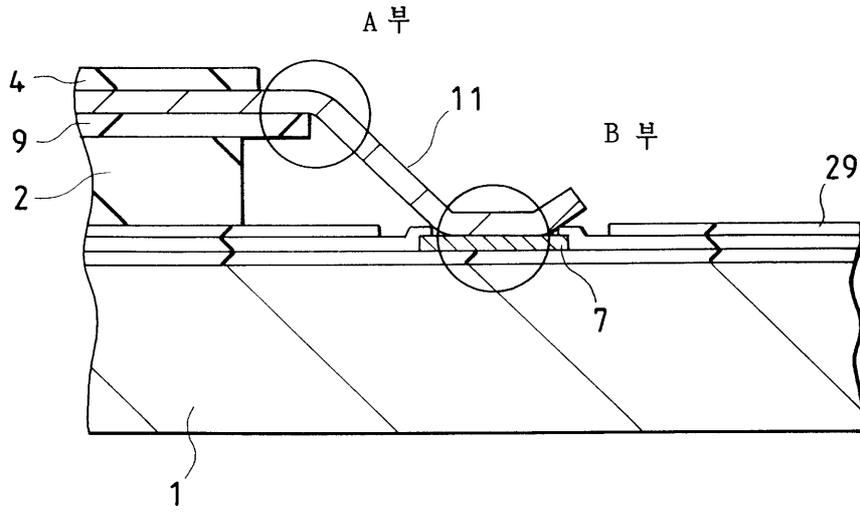
도면52



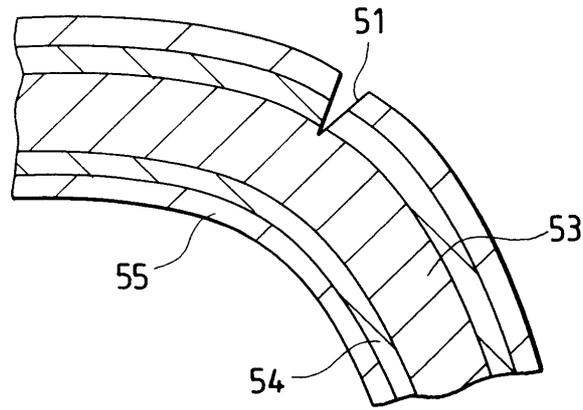
도면53

레이드 처수 기호	L1	L2	b1	b2	h	$\alpha$	
기호의 의미	레이드 길이 $\mu m$	배선길이 $\mu m$	테이퍼폭 $\mu m$	레이드폭 $\mu m$	레이드 두께 $\mu m$	구부림 응력비	
단위						1	
검토한기술	①	100	280	60	38	18	1.02
	②	80	280	60	38	18	1.13
실시형태	①	100	380	65	38	18	1.26
	②	80	380	60	38	18	1.25
	③	100	380	65	38	18	1.26
	④	100	430	65	38	18	1.31
	⑤	100	480	70	38	18	1.46

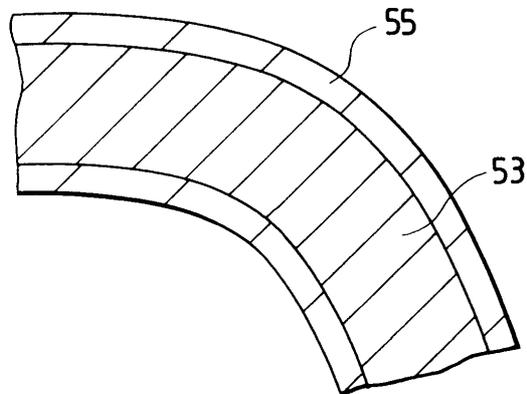
도면54



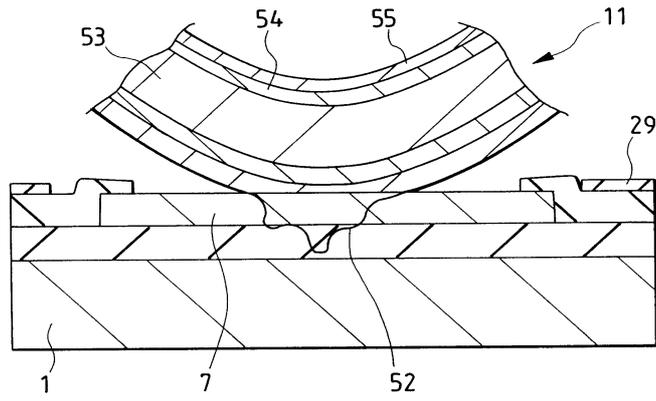
도면55



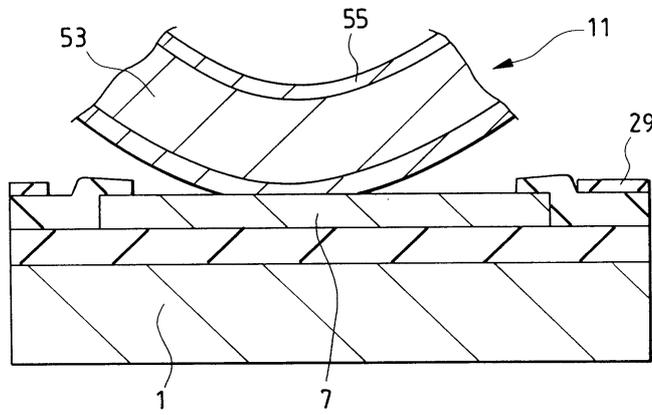
도면56



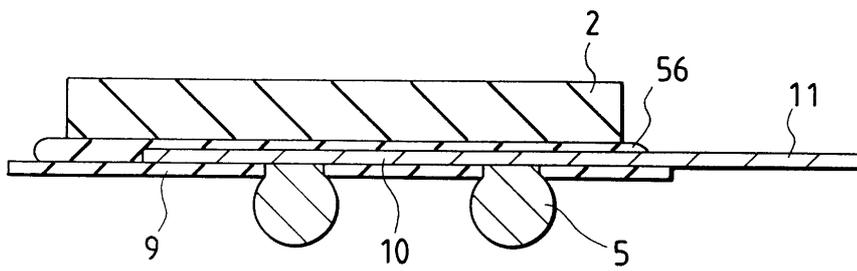
도면57



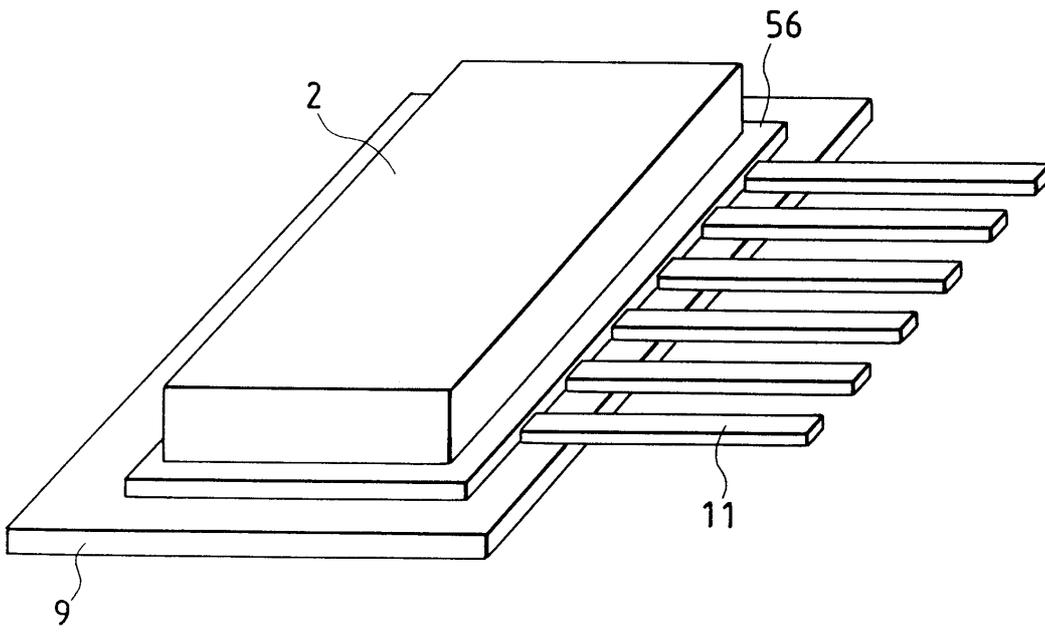
도면58



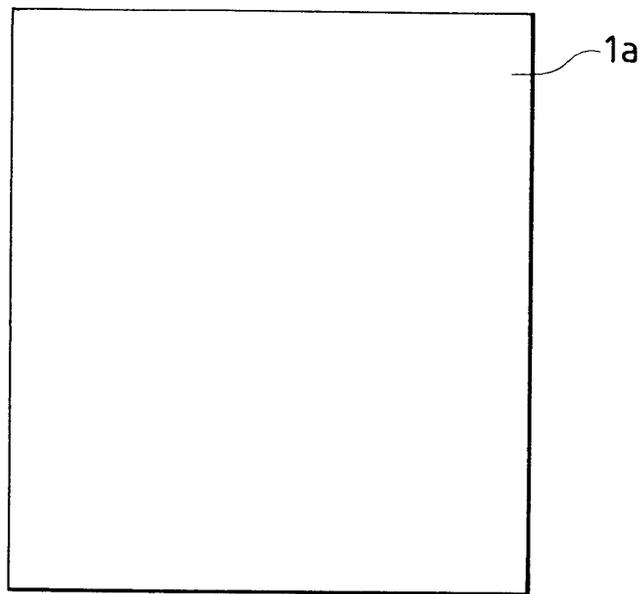
도면59



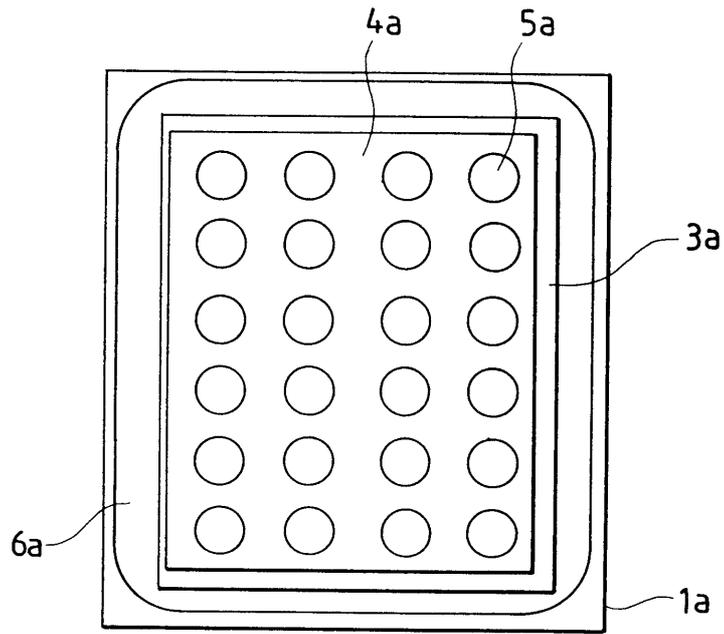
도면60



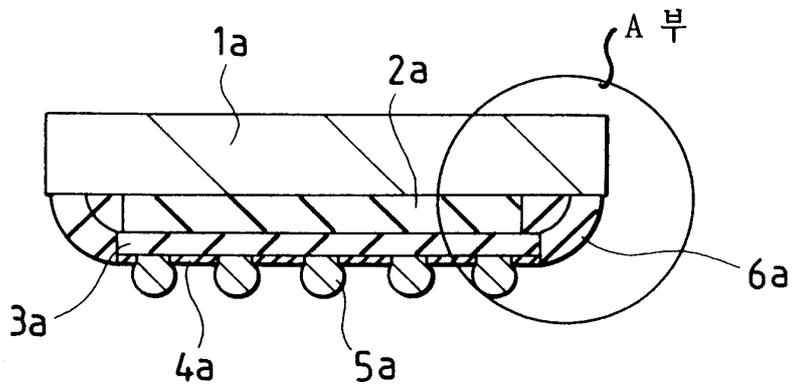
도면61



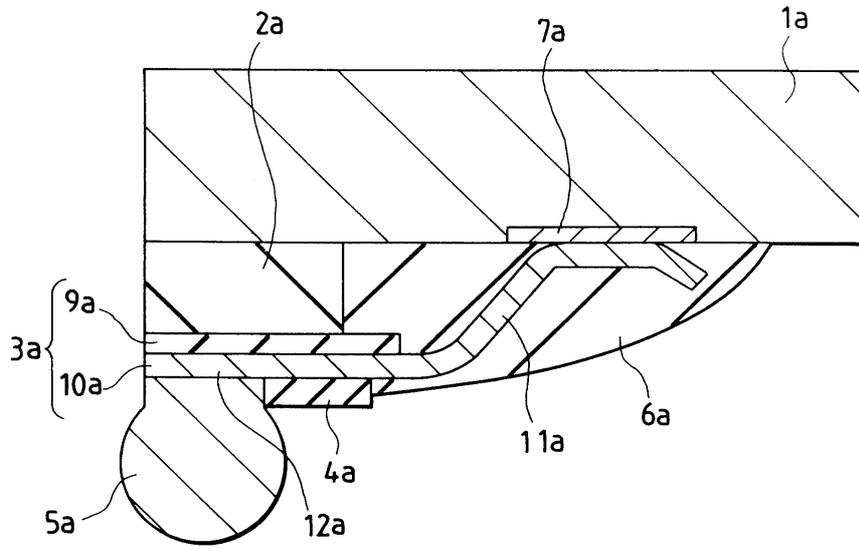
도면62



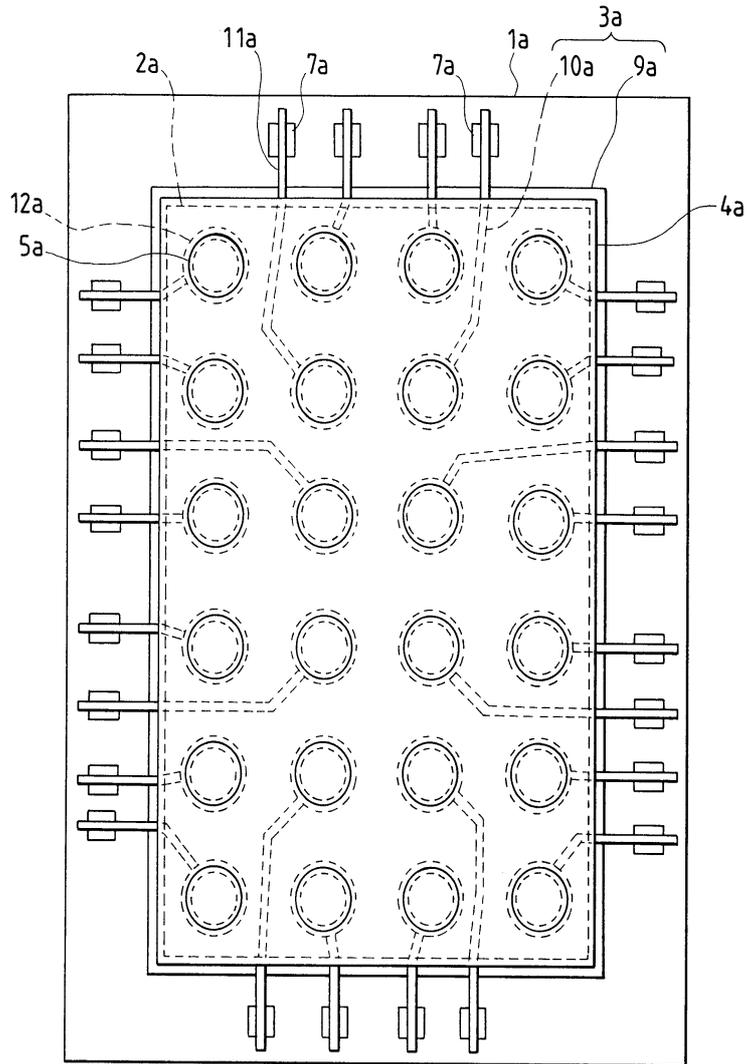
도면63



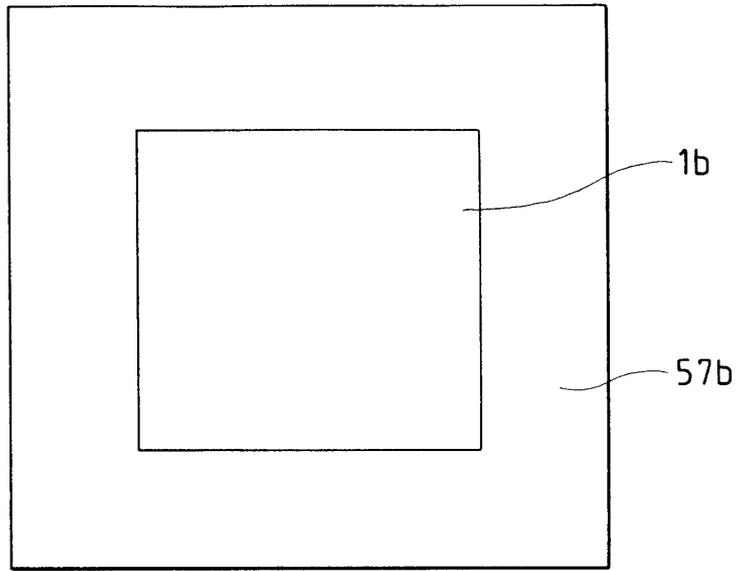
도면64



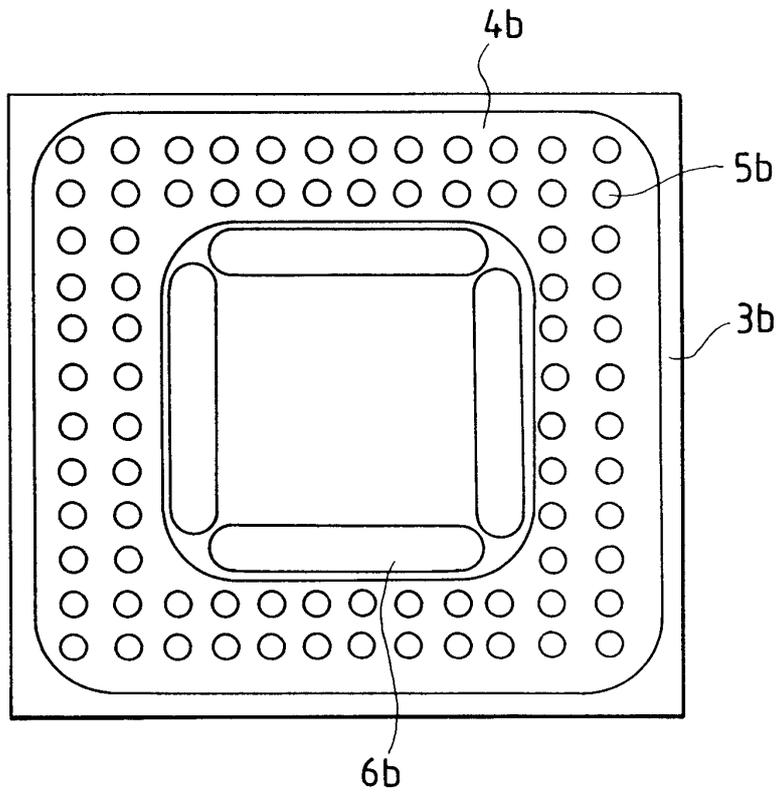
도면65



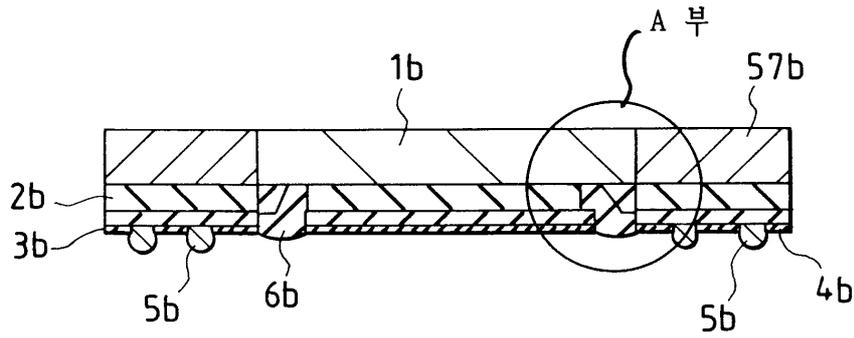
도면66



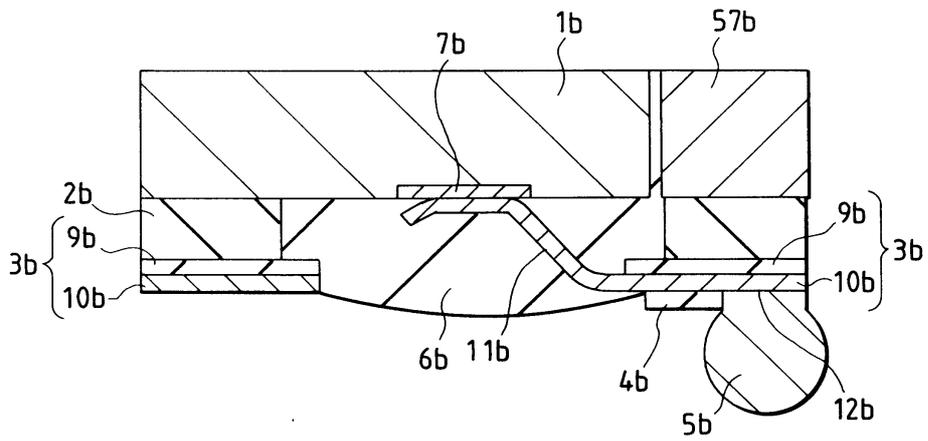
도면67



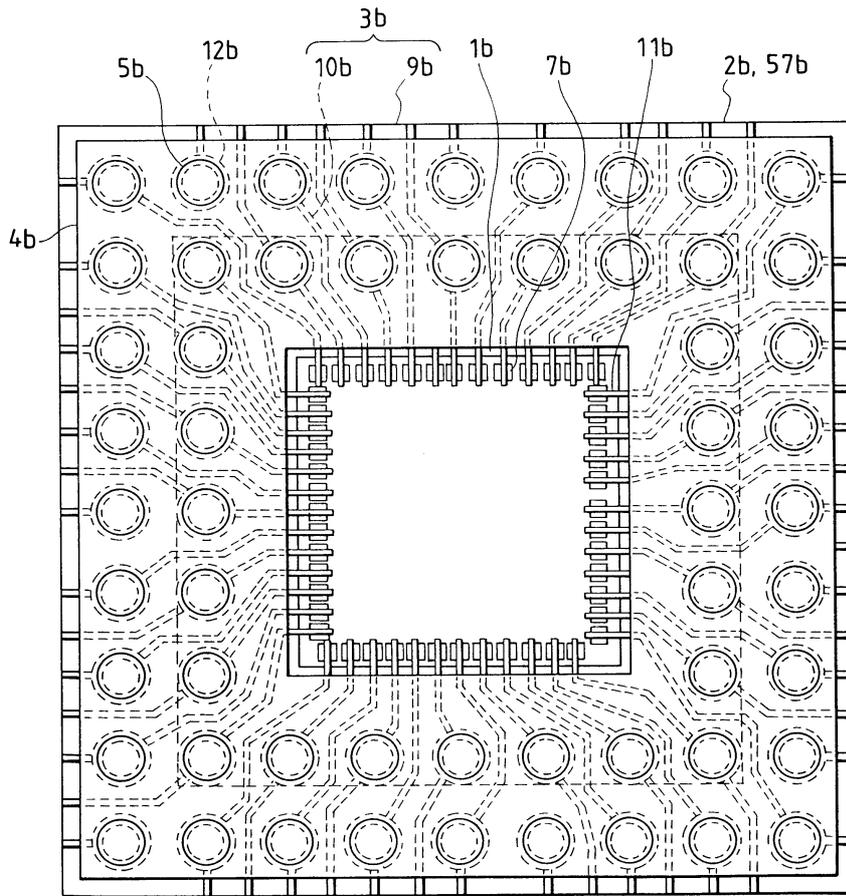
도면68



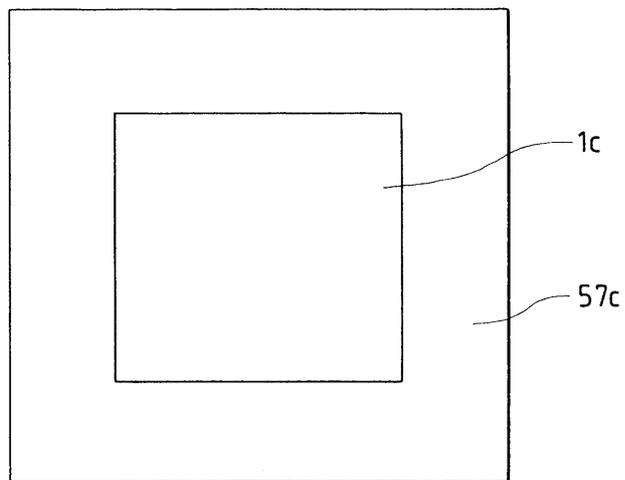
도면69



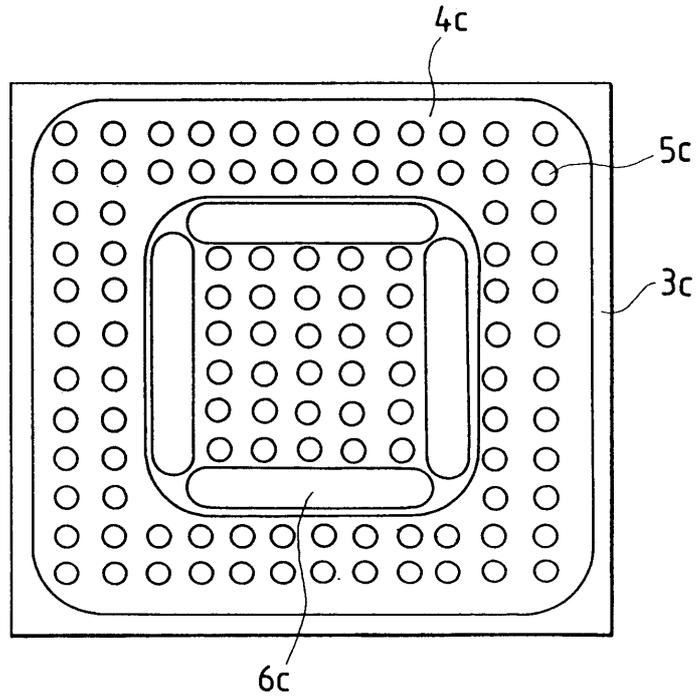
도면70



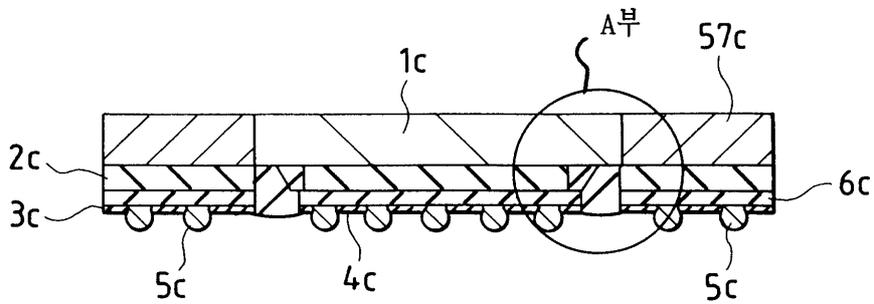
도면71



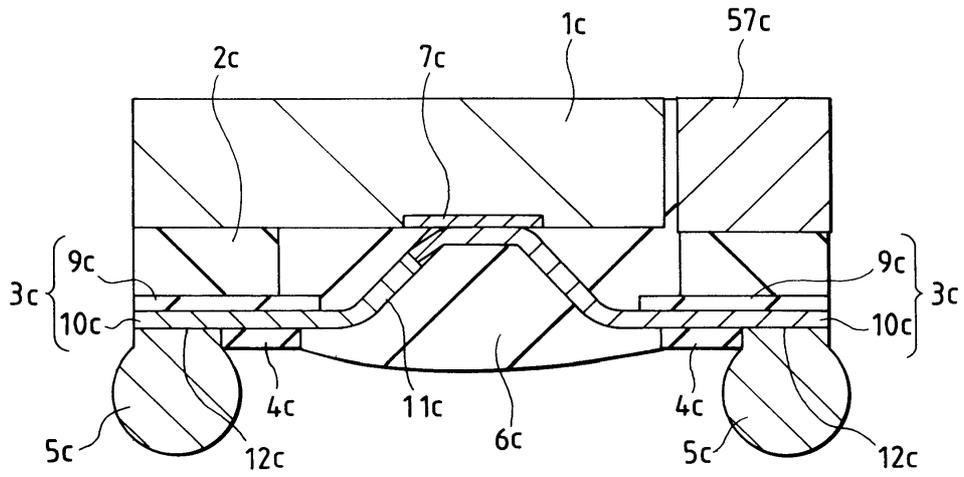
도면72



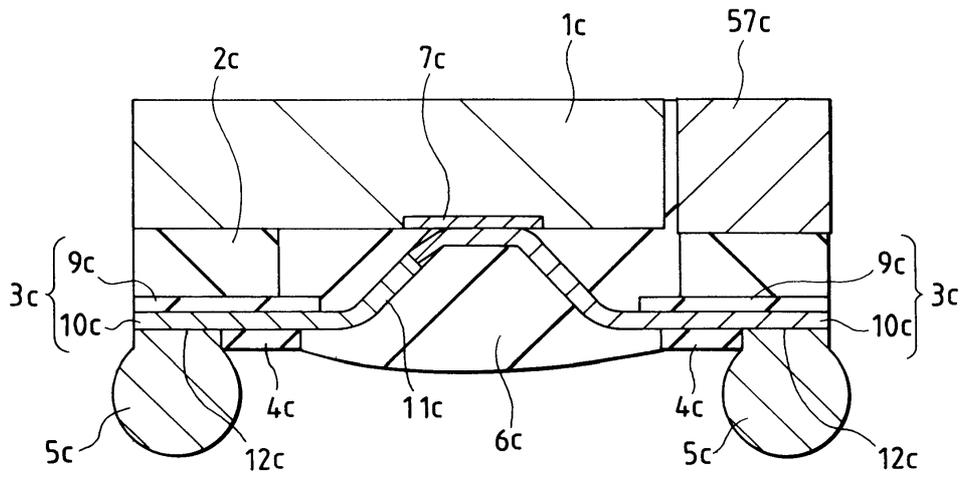
도면73



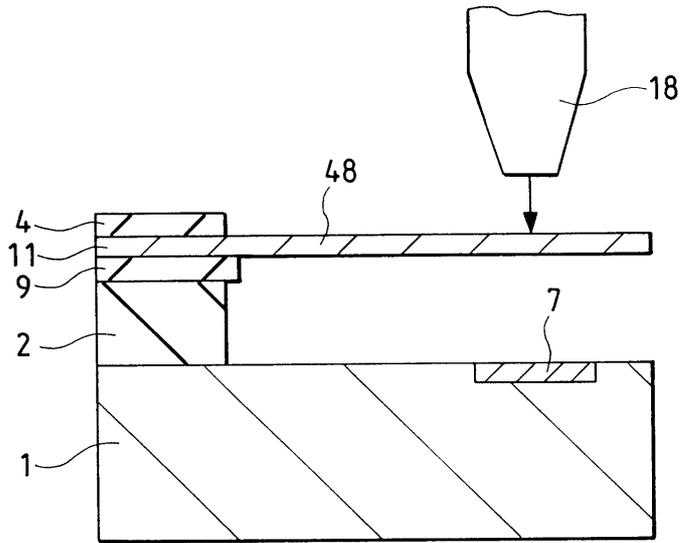
도면74



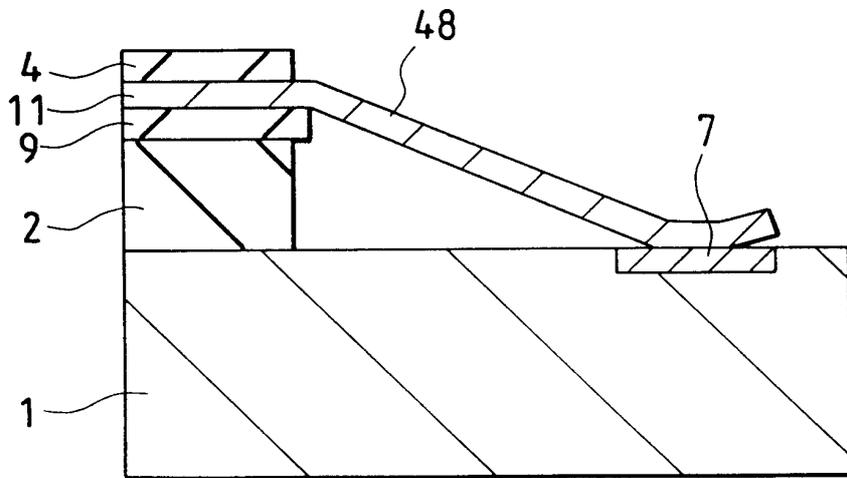
도면75



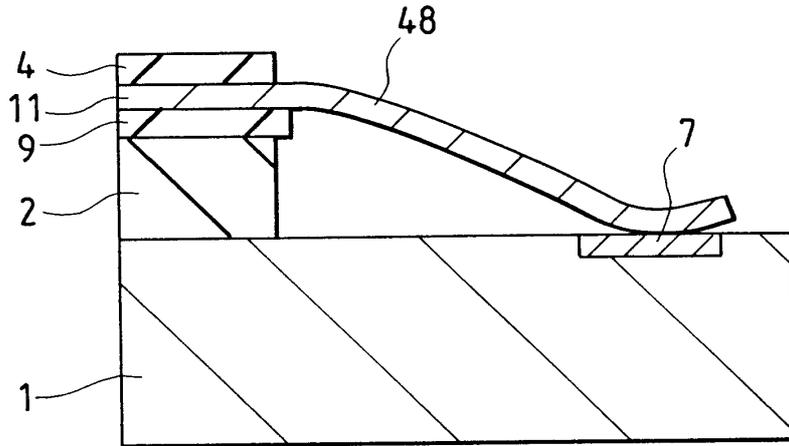
도면76



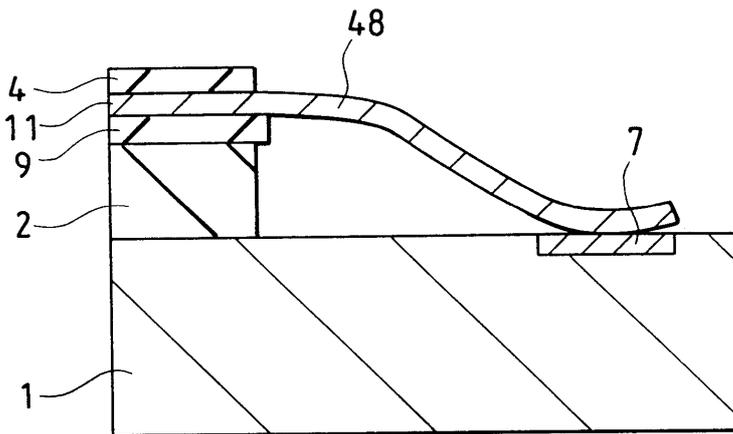
도면77



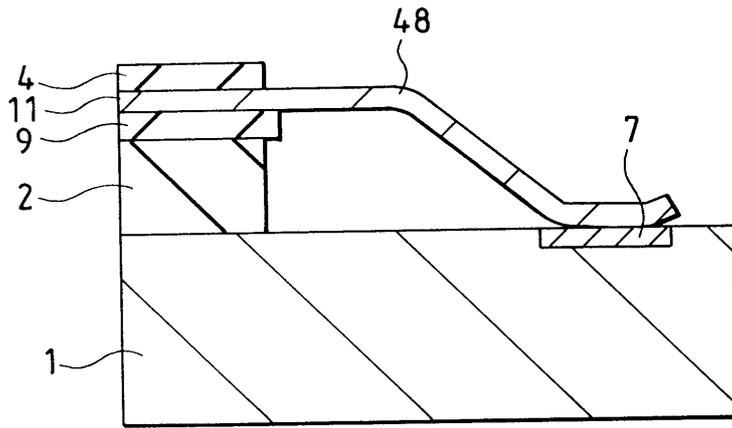
도면78



도면79



도면80



도면81

