

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-78755  
(P2011-78755A)

(43) 公開日 平成23年4月21日(2011.4.21)

|                                       |                     |             |
|---------------------------------------|---------------------|-------------|
| (51) Int.Cl.                          | F I                 | テーマコード (参考) |
| <b>A 6 1 B 8/00 (2006.01)</b>         | A 6 1 B 8/00        | 2 G O 4 7   |
| <b>H O 1 L 27/14 (2006.01)</b>        | H O 1 L 27/14 K     | 4 C 6 0 1   |
| <b>G O 1 N 29/24 (2006.01)</b>        | H O 1 L 27/14 D     | 4 M 1 1 8   |
| <b>H O 4 R 1/06 (2006.01)</b>         | G O 1 N 29/24 5 0 2 | 5 D O 1 9   |
| <b>H O 4 R 19/00 (2006.01)</b>        | H O 4 R 1/06 3 3 0  |             |
| 審査請求 未請求 請求項の数 15 O L (全 27 頁) 最終頁に続く |                     |             |

(21) 出願番号 特願2010-208824 (P2010-208824)  
 (22) 出願日 平成22年9月17日 (2010. 9. 17)  
 (31) 優先権主張番号 61/244, 069  
 (32) 優先日 平成21年9月20日 (2009. 9. 20)  
 (33) 優先権主張国 米国 (US)  
 (31) 優先権主張番号 12/714, 239  
 (32) 優先日 平成22年2月26日 (2010. 2. 26)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 390041542  
 ゼネラル・エレクトリック・カンパニイ  
 GENERAL ELECTRIC CO  
 MPANY  
 アメリカ合衆国、ニューヨーク州、スケネ  
 クタデイ、リバーロード、1番  
 (74) 代理人 100137545  
 弁理士 荒川 聡志  
 (74) 代理人 100105588  
 弁理士 小倉 博  
 (74) 代理人 100129779  
 弁理士 黒川 俊久

最終頁に続く

(54) 【発明の名称】 大面積のモジュール式センサアレイ組立体および同組立体を作製する方法

(57) 【要約】 (修正有)

【課題】 大面積のモジュール式センサアレイ組立体を形成する。

【解決手段】 センサから集積回路(106)へ信号を伝えるインターポーザ内のルーティングを有するモジュール式でタイリング可能なセンサアレイ(101)。大面積のモジュール式センサアレイ組立体は、ともに結合された1つ以上のタイリング可能なモジュールを含む。タイリング可能なモジュールは、センサを形成する複数のトランスデューサセル(103)と、複数のトランスデューサセルの第1の面上に結合されたインターポーザと、インターポーザの第2の面に結合された1つ以上の集積回路とを有し、インターポーザは、複数のトランスデューサセルの集積回路への接続を形成するように構成される。

【選択図】 図1

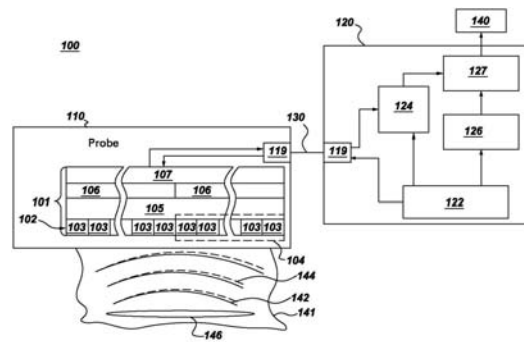


Fig. 1

**【特許請求の範囲】****【請求項 1】**

少なくとも 1 つのタイリング可能なモジュールであって、

少なくとも 1 つの溝付きセンサを形成する複数のトランスデューサセルと、

前記複数のトランスデューサセルの第 1 の面上に接合された有機インターポーザと、

前記インターポーザの第 2 の面に接合された 1 つまたは複数の集積回路であって、前記インターポーザが、トランスデューサセルのうちの少なくともいくつか、および集積回路のうちの少なくともいくつかへの複数の電氣的相互接続を含む集積回路と、

前記インターポーザに対して実質的に垂直に延びる長さを有し、外部インターフェイスをもたらす少なくとも 1 つの入出力コネクタであって、前記入出力コネクタの前記長さが前記集積回路の厚さより大きい入出力コネクタと、

を備える、少なくとも 1 つのタイリング可能なモジュールと、

前記タイリング可能なモジュールに結合され、前記入出力コネクタに電氣的に結合される基板と、

を備えることを特徴とする大面積のモジュール式センサアレイ組立体。

**【請求項 2】**

少なくとも 1 つの溝付きセンサをいくつかのセルが形成する複数のトランスデューサセルと、

それぞれが規定された厚さを有する 1 つまたは複数の集積回路と、

前記トランスデューサセルと前記集積回路との間に挟まれ、前記トランスデューサセルがインターポーザの第 1 の面に接合され、前記集積回路がインターポーザの第 2 の面に接合された、有機インターポーザであって、前記トランスデューサセルのうちの少なくともいくつかと前記集積回路のうちの少なくともいくつかとの間の複数の電氣的相互接続を含む有機インターポーザと、

前記インターポーザ上で前記集積回路と同じ側に接合され、前記集積回路の前記規定された厚さより大きい長さを有する少なくとも 1 つの入出力コネクタであって、前記トランスデューサセルまたは前記集積回路の少なくとも 1 つに電氣的に結合される入出力コネクタと、

前記入出力コネクタに電氣的に結合された基板と、

前記基板から外部リソースへの電氣的接続と、

を備えることを特徴とするトランスデューサセンサアレイ組立体。

**【請求項 3】**

溝付きセンサが、前記インターポーザの前記第 1 の面に結合された複数の柱を有する請求項 1 または 2 記載の組立体。

**【請求項 4】**

前記柱の先端上に堆積されたはんだバンプ付きバンプ下メタラジ (UBM) パッドをさらに備え、前記バンプ付き柱がインターポーザにはんだ付けされる請求項 1 または 2 記載の組立体。

**【請求項 5】**

前記溝付きセンサが、容量性の微細機械加工された超音波トランスデューサ (CMUT) である請求項 1 または 2 記載の組立体。

**【請求項 6】**

前記インターポーザがポリテトラフルオロエチレンから成る請求項 1 または 2 記載の組立体。

**【請求項 7】**

前記入出力コネクタがボールグリッドアレイ (BGA) のボールである請求項 1 または 2 記載の組立体。

**【請求項 8】**

各タイリング可能なモジュールが、前記インターポーザに結合された 2 つ以上のセンサおよび 2 つ以上の集積回路を備える請求項 1 または 2 記載の組立体。

10

20

30

40

50

## 【請求項 9】

前記インターポーザにおいて、第 1 のタイリング可能なモジュールが、モジュール相互接続によって第 2 のタイリング可能なモジュールに結合される請求項 1 または 2 記載の組立体。

## 【請求項 10】

前記基板が、タイリング可能なモジュール向けのベースをもたらし、前記入出力コネクタの少なくとも 1 つに結合されたマザーボードである請求項 1 または 2 記載の組立体。

## 【請求項 11】

ケーブルを介してケーブルコネクタに外部リソースへのインターフェイスをもたらず基板に結合された前記ケーブルコネクタをさらに備える請求項 1 または 2 記載の組立体。

10

## 【請求項 12】

前記組立体が少なくとも 1 つの圧縮プレートを形成するように構成され、各圧縮プレートが、前記タイリング可能なモジュールの 2 次元トランスデューサアレイを備え、かつ乳房造影法走査用の環状の開口を有する請求項 1 または 2 記載の組立体。

## 【請求項 13】

大面積のモジュール式センサアレイ組立体を形成する方法であって、

マザーボードを設けるステップと、

1 つまたは複数のタイリング可能なモジュールを前記マザーボードに結合するステップであって、前記タイリング可能なモジュールが、

複数の第 1 の面のパンプによってインターポーザの第 1 の面に複数のトランスデューサセルを接合するステップ、

複数の第 2 の面のパンプによって前記インターポーザの第 2 の面に少なくとも 1 つの集積回路を接合するステップ、

前記インターポーザに複数の電氣的相互接続を設けることによって前記トランスデューサセルを前記集積回路に結合するステップ、および

前記インターポーザ上に入出力接続を形成するステップであって、前記入出力接続が前記集積回路の厚さより長く、それによって前記マザーボードに電氣的接続をもたらしステップを含むステップとを含むことを特徴とする方法。

20

## 【請求項 14】

前記マザーボードに少なくとも 1 つのコネクタを結合して、少なくとも 1 つのケーブルを前記コネクタに結合するステップをさらに含む請求項 13 記載の方法。

30

## 【請求項 15】

1 つまたは複数の外部リソースを前記マザーボードに結合するステップをさらに含む請求項 13 記載の方法。

## 【発明の詳細な説明】

## 【背景技術】

## 【0001】

超音波式の監視システムおよび撮像システムは、音響インピーダンスに変化がある境界面から反射される短い高周波音響パルスを生成するためにトランスデューサアレイを用いる。トランスデューサは、反射されたエネルギーを電気信号に変換し、これらの電気信号は、調査対象を描写する 2 次元または 3 次元の画像情報を生成するために処理される。

40

## 【0002】

癌検診および連続的な非侵襲性血圧監視など、大面積の「パッチ」型超音波トランスデューサアレイを使用することができるいくつかの用途がある。大面積トランスデューサの素子数は、用途に応じて 10,000 個から 1,000,000 個を超えるものまで多岐にわたることがある。トランスデューサ素子の数が多く、各素子がそれ自体の信号処理回路を有することを考えると、かなりの電力、費用および面積の損失がある。

## 【0003】

そのような大面積アレイ用の信号処理チャネルの数を削減するやり方の 1 つに、モザイク式の環状の再構成可能なアレイ (Mosaic Annular Reconfigu

50

rable Array)を使用するものがある。微小電気機械システム(MEMS)構造体である容量性の微細機械加工された超音波トランスデューサ(Capacitive Micromachined Ultrasonic Transducers/CMUT)もまた、従来のPZTベースの超音波トランスデューサの代替である。

#### 【0004】

超音波プローブの用途に関して、超音波プローブ組立体のトランスデューサアレイは、一般に約 $10\text{cm}^2$ の面積に及ぶ。内出血および腫瘍に関する検査などの新規の医療用途については、 $1000\text{cm}^2$ 程度のはるかに大きなアレイが必要とされる。非医療の用途では、さらに大きなアレイが望まれる。

#### 【0005】

そのような大きなアレイは、それぞれがトランスデューサセルのサブアレイおよびこのサブアレイに結合された集積回路を備える多くのトランスデューサモジュールをタイリングすることにより形成することができる。しかし、著しい間隙やモジュール間の間隔の変動があるとき、大きなトランスデューサ領域の性能はかなり劣化する。

#### 【0006】

モザイクアレイ構成は、一般に、等位相ラインに沿って複数の部分要素とともにグループ化してより大きなトランスデューサ素子を形成し、次いで、それらをそれぞれ1つのシステムチャンネルへ接続する。このようにして、何万もの活動状態の音響部分要素を有するアレイを、非常に少数(例えば20~100)のシステム処理チャンネルに縮小することができる。これによって、システムに対する必要条件が大幅に緩和され、大面積アレイ用の低消費電力で低複雑度の電子部品システムが可能になる。そのようなアレイ構成を実現するために、スイッチング電子部品が、一般に音響アレイの背後に直接一体化される。専用ASICを使用して実現されるこれらのスイッチング回路は、それぞれの部分要素に直接接続され、これらの要素を再構成可能なやり方で互いに短絡するようにプログラムすることができる。そのようなシステムに関する主な課題の1つに、多くのトランスデューサの、隣接したASIC上のそれぞれのスイッチング回路との相互接続がある。

#### 【0007】

音響トランスデューサセルは、一般に、プローブ組立体の中に電子回路とともに構成された圧電トランスデューサまたは微小機械加工されたトランスデューサを備える多層構造体である。電気信号は、調べている構造体の画像を生成し、かつ表示するために、一般にプローブ組立体の外部にあるビーム形成回路によってさらに処理される。

#### 【0008】

超音波プローブについては、トランスデューサアレイに一体化されたビーム形成回路の一部を含むのが望ましい。というのは、これが複雑さを緩和することができ、場合によっては、トランスデューサプローブと信号処理および制御の機能をもたらす外部システムとの間の接続ケーブルに起因する悪影響を低減することができるためである。例えば、接続ケーブルが数メートル程度の距離にわたって延びると、顕著な静電容量の影響が生じることがある。さらに、トランスデューサ組立体から受け取られた信号は、弱く、RF干渉を受けやすく、好ましくない低い信号対雑音(S/N)比を示すことがある。これらの影響を緩和するために、例えば、増幅、パルス生成、および送/受信切換えをもたらすフロントエンド回路セルをトランスデューサアレイと一体化することができる。

#### 【0009】

従来の技術分野では、センサ/ASIC組立体は、一般にタイリングおよびモジュール化が不可能である。そのような組立体のアレイは、例えば可撓性ベースの相互接続またはワイヤボンディングを用いて組み立てられている。積層型組立体は、複数の構成要素のインターポーザおよびフリップチップボンディングを用いて組み立てられている。しかし、既存の設計で遭遇する問題を緩和するトランスデューサアレイの構造および処理には利益がある。

#### 【先行技術文献】

#### 【特許文献】

10

20

30

40

50

【 0 0 1 0 】

【特許文献 1】米国特許第 7 3 7 5 4 2 0 号公報

【発明の概要】

【課題を解決するための手段】

【 0 0 1 1 】

本システムの一実施形態は、少なくとも 1 つのタイリング可能なモジュールを有する大面積モジュール式センサレイ組立体である。タイリング可能なモジュールは、少なくとも 1 つのセンサを形成する複数のトランスデューサセルと、第 1 の面が複数のトランスデューサセルに接合された有機インターポーザと、インターポーザの第 2 の面に接合された 1 つまたは複数の集積回路とを備え、インターポーザは、トランスデューサセルのうちの少なくともいくつか、および集積回路のうちの少なくともいくつかへの複数の電氣的相互接続を含む。インターポーザに対して実質的に垂直に延びる長さを有し、外部インターフェイスをもたらす少なくとも 1 つの入出力コネクタがあり、入出力コネクタの長さは、集積回路の厚さより大きい。基板はタイリング可能なモジュールに結合され、入出力コネクタに電氣的に結合される。

10

【 0 0 1 2 】

大面積のモジュール式センサレイ組立体を形成する方法の 1 つは、マザーボードを設け、マザーボードに 1 つまたは複数のタイリング可能なモジュールを結合することを含む。タイリング可能なモジュールは、複数の第 1 の面のバンブによってインターポーザの第 1 の面に複数のトランスデューサセルを接合するステップと、複数の第 2 の面のバンブによってインターポーザの第 2 の面に少なくとも 1 つの集積回路を接合するステップと、インターポーザに複数の電氣的相互接続を設けることによってトランスデューサセルを集積回路に結合するステップと、インターポーザ上に入出力接続を形成するステップとを含み、入出力接続は集積回路の厚さより長く、それによってマザーボードに電氣的接続をもたらす。

20

【 0 0 1 3 】

さらなる実施形態は、複数のトランスデューサセルを有するトランスデューサセンサレイを含み、セルのうちいくつかは少なくとも 1 つの溝付きセンサを形成する。1 つまたは複数の集積回路があり、各集積回路は規定された厚さを有する。有機インターポーザはトランスデューサセルと集積回路との間に挟まれ、トランスデューサセルはインターポーザの第 1 の面に接合され、集積回路はインターポーザの第 2 の面に接合される。インターポーザは、トランスデューサセルのうちの少なくともいくつかと集積回路のうちの少なくともいくつかとの間の複数の電氣的相互接続を含む。インターポーザ上で集積回路と同じ側に接合され、集積回路の規定された厚さより大きい長さを有する少なくとも 1 つの入出力コネクタがある。入出力コネクタは、トランスデューサセルまたは集積回路の少なくとも 1 つに電氣的に結合されており、基板から外部リソースへの電氣的接続を有する入出力コネクタに電氣的に結合された基板がある。

30

【 0 0 1 4 】

本発明は、添付図面を参照しながら 1 つまたは複数の実施形態が単なる例として示される以下の説明からより明確に理解されるはずであり、同じ参考番号は図面の全体を通じて同じフィーチャを示すように用いられている。図面における個々のフィーチャは、原寸に比例しないことがある。

40

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】超音波撮像システムの全体的ブロック図である。

【図 2】一実施形態によるアレイトランスデューサ組立体を示す部分的平面図である。

【図 3】一実施形態によるフリップチップアレイトランスデューサ組立体を示す断面図である。

【図 4】一実施形態によるフリップチップアレイトランスデューサ組立体に関する流れ図である。

50

【図5】一実施形態による電氣的相互接続を示すトランスデューサ組立体の別の実施例の断面図である。

【図6】一実施形態による走査開口を有する大きなモジュール式トランスデューサアレイの頂部の斜視図である。

【図7】図7aと図7bは本発明によるトランスデューサのタイリング可能なモジュール構成を示す斜視図である。

【図8】一実施形態による実装されたトランスデューサモジュールの一実施例を示す断面図である。

【図9】一実施形態による実装されたトランスデューサモジュールのさらなる実施例を示す断面図である。

【図10】一実施形態による実装されたトランスデューサモジュールのその他の実施例を示す断面図である。

【図11】図11aと図11b一実施形態によるトランスデューサモジュールのダイとモジュールとの間の間隔を示す断面図である。

【図12】インターポーザの頂部に取り付けられた機械的cMUTフリップチップを示す実画像である。

【図13】一実施形態によるテストシステムを示す図である。

【図14】一実施形態による大面積センサアレイに関する流れ図である。

【発明を実施するための形態】

【0016】

本明細書で詳述されるシステムおよび方法は、一般に、磁気共鳴(MR)、コンピュータトモグラフィ(CT)、核医学(NM)、陽子射出断層撮影法(PET)、デジタルX線写真および従来のX線写真、乳房造影法、心臓学、血管造影法、または神経学(XR)ならびに診断および心臓超音波(U/S)のようなシステムを含む診断および医用画像に関する。一実施形態では、このシステムは、超音波解析またはX線解析に用いられるタイプの大面積アレイの監視システムまたは撮像システムに関し、より詳細には高密度トランスデューサアレイを処理回路と組み合わせるシステムおよび方法に関する。

【0017】

本システムの一実施形態では、ASICおよびcMUTの両方をフリップチップ接続で支持するのに有機インターポーザ基板が使用される。そのような構成の利点には、構成要素を別個に取り付けるといった柔軟性が含まれ、それにより、既知の良好なデバイスのスクリーニングが可能になり、またASICの表面からルーティングのボトルネックが取り除かれる。

【0018】

さらなる実施例は、有機インターポーザを組み込むタイリング可能なモジュール式センサアレイの積重ねを含む。モジュールは、それらを数百マイクロメートル以内などの隣同士に配置することができ、それによってモジュール間の間隙が縮小し、センサの有効範囲が拡大するように構築される。各モジュール内の有機インターポーザは、片側面上の1つまたは複数のセンサアレイと反対面上の1つまたは複数のインターフェイス集積回路との間の相互接続をもたらす。モジュール式アレイの外部制御システムとの連絡機構は、インターポーザの裏面のボールグリッドアレイ接続などの入出力コネクタを使用して完成することができる。これらのモジュールは、それ自体がタイリングされ、剛体または半剛体の基板上に実装することができ、剛体の基板は、ガラス、セラミックまたは他の同様に剛性の材料であり得る。この基材は、モジュールを制御システムへ連絡するためのルーティング用基板としても役立つ。

【0019】

一実施形態によるシステムは、アレイの前面全体にわたってセンサをシームレスに一体化するセンサ電子部品の大面積アレイを提供する。センサ/集積回路組立体の制御集積回路から電気信号を導く必要があるため、これは困難な課題である。また、センサアレイと制御電子回路との間の多数の接続は、ファインピッチのルーティング技術を必要とする。

10

20

30

40

50

## 【0020】

図1は、例示的超音波監視システム100を示しており、この実施例では、医用画像に使用されるタイプのうちの1つは、比較的軽い、手持ち式の用途に適したプローブユニット110を有する。より一般には、本発明の実施形態は、一般にトランスデューサの大きなアレイを組み込む音響の監視または撮像のシステムを含むが、これらには限定されない。

## 【0021】

一実施形態によるシステム100は、マルチチャネルケーブル130によってシステムコンソール120に結合されたプローブユニット110と、コンソール120に結合されたディスプレイ140とを含む。プローブユニット110は、トランスデューサセル103のアレイ102と、コネクタ105と、複数の特定用途向け集積回路(AASIC)106と、相互接続構造107とを有するトランスデューサ組立体101を備える。コンソール120は、システムコントローラ122、主ビームフォーマ124、画像プロセッサ126、およびスキャンコンバータ127を含む。トランスデューサセルのアレイ102は、それぞれが列および行に配置された同数のトランスデューサセル103を含む複数のトランスデューササブアレイ104を含む。例示的トランスデューササブアレイ104が、図2の平面図に示されている。他の実施形態では、トランスデューサセル103は、撮像用途に適合するパターンに配置される。例えば、パターンは六角形または八角形などの幾何学的形状に作ることができる。

## 【0022】

各サブアレイ104は、コネクタ105を介して、対応する特定用途向け集積回路(AASIC)106に結合される。本明細書に用いられる処理回路という用語は、システム100を含む、撮像および監視のシステムに共通の信号処理機能を実行する様々なタイプのアナログまたはデジタルの回路を指す。例えば、プローブユニットまたはシステムコンソール内に配置された回路、例えば画像プロセッサは、増幅、フィルタリング、ビーム形成または画像処理などの機能をサポートする処理回路を含むものと理解されるべきである。図示された実施形態は、そのような回路の位置を明示するが、これは少しも限定するものではない。システムコンソール内に配置された回路は、プローブユニット内に部分的に、または完全に一体化することができ、また、プローブユニット内の回路はコンソール内に配置することができる。その上、斬新な要素を組み込むいくつかの実施形態は、コンソールを必要としないことがある。

## 【0023】

情報は、プローブユニット110内のプローブユニット回線コネクタ119とシステムコンソール120内のコンソール回線コネクタ129との間に結合されたケーブル130を介して、プローブユニット110とシステムコンソール120との間で伝達される。

## 【0024】

システムコンソール120内で、システムコントローラ122は、ビームフォーマ124、画像プロセッサ126に結合され、プローブユニット110内のAASIC106にも電氣的に結合されてシステム100の動作に必要なタイミング信号をもたらす。AASIC106は、本明細書に超音波ライン142で示される超音波圧力波を生成するために、一般にトランスデューサのサブアレイ104に電子的送信信号を供給し、この信号は、調査中の対象物141の調査領域146からの反射144としてアレイに戻るることができる。主ビームフォーマ124がスキャンコンバータ127に結合され、ディスプレイ140向けの画像を形成する。

## 【0025】

図1および図2を参照すると、図2の平面図は複数のトランスデューサモジュール210を備えるトランスデューサアレイ102を示し、モジュール210は、行 $x_i$ および列 $y_j$ に沿った、サブアレイ104またはトランスデューサセル103に形成され、また、相互接続構造107を介してトランスデューサセル103に結合された対応するAASIC106を備える。一実施例では、トランスデューサアレイ102は他のトランスデューサ

組立体と機能的に互換性があり、モジュール 210 は他のモジュールと機能的に互換性があり、またトランスデューサセル 103 は他のトランスデューサセルと機能的に互換性がある。各モジュール 210 は、トランスデューサセル 103 のサブアレイ 104 を含み、セル 103 は行 x および列 y に配置され、その結果、サブアレイ 104 がモジュール 210 を形成し、これらのモジュールが、行 x および列 y に沿って配置されたトランスデューサセル 103 を有する大きなアレイ 102 を形成する。行 x および列 y ならびにモジュール 210 は、面に沿って延び、また、いくつかの実施形態では、すべてのセル 103 が同一面に配置される。他の実施形態では、セル 103 は、面に対して曲率を有するアレイ 102 を形成する。トランスデューサのサブアレイおよび対応する ASIC 106 を備える各モジュール 210 は、相互接続構造 107 に結合されてトランスデューサ組立体 101 を形成する。

#### 【0026】

図 3 のトランスデューサ組立体 300 を参照すると、これは図 1 のトランスデューサ組立体 101 に類似であり、アレイを形成する複数のトランスデューサセル 315 をそれぞれ有する 1 つまたは複数のセンサ 305、310 がある。一実施例によれば、組立体 300 は、両面フリップチップ組立体とともに、ニューヨーク州エンディコットの Endicott Interconnect Technologies によって製造された HyperBGA インターポーザなどのインターポーザ 325 を使用する。一実施例では、トランスデューサセル 315 は cMUT である。本明細書で述べたように、トランスデューサセル 315 は、様々なタイプの検知をもたらすように、様々なサブアレイに配置することができる。センサ 305、310 は、両センサが両センサ間の非常に狭い間隙 360 を維持することができるように、高密度パンプ 320 によるなどフリップチップボンディングによってインターポーザ 325 に結合され、それによって、高品質の撮像能力を有する高密度 cMUT センサアレイおよび隣接したダイ間の狭い間隙をもたらす、トランスデューサ組立体 300 を生み出す。高密度パンプ 320 は、センサアレイ 305、310 の個々のトランスデューサセル 315 とインターポーザ 325 との間の電氣的結合をもたらす。

#### 【0027】

インターポーザ 325 の反対面上には、インターポーザ 325 のこの面から ASIC などの組み込まれた集積回路 340、345 への電氣的結合をもたらす高密度パンプ 335 の別の組がある。集積回路 340、345 は、センサデータに対する前提条件の調整または処理のために、組み込まれた処理能力をもたらすことができる。インターポーザ 325 は、第 1 の面のパンプ 320 から第 2 の面のパンプ 335 への電氣的相互接続 330 をもたらす、それによって、特定のトランスデューサセル 315 を集積回路 340、345 に電氣的に結合する。トランスデューサセル 315 は、特定のセル 315 が特定のデータまたはトランスデューサセル 315 の冗長性をもたらすように、集積回路 340、345 へ選択的に結合することができる。一実施例では、パッド 370 は、入出力接続用の電氣的コネクタ 350 に利用することができる。図示されていないが、パッドは、パンプ 320、335 のいくつかまたはすべてに使用することもできる。

#### 【0028】

再び図 1 および図 3 を参照すると、相互接続構造 107、330 は、ASIC 106、340 の間の信号を送受するように結合され、ASIC 106、340 のそれぞれが、1 つまたは複数のトランスデューサのサブアレイ 104、305、および例えばシステムコンソール 120 内の、I/O コネクタ 350 によって結合される処理回路である回路に関連付けられる。図 3 ~ 図 7 の実施形態によれば、組立体 300 は多くの ASIC 106、340 を含み、それらのそれぞれが、多くのトランスデューサセル 103、315 を有する 1 つまたは複数の対応するサブアレイ 104、305 に接続される。

#### 【0029】

この実施例では、インターポーザ 325 から、コンピューティングリソース、記憶装置、ネットワークおよび / またはディスプレイ / プリント機構などの他のリソースにデータ



および/または処理データを供給することができる外部入出力(I/O)への電氣的結合をもたらすボールグリッドアレイ(BGA)のボールなど追加の電氣的コネクタ350がある。

【0030】

一実施形態では、フリップチップボンディングが用いられ、組立体の要素の設計および製造においてモジュール方式が可能になる。そのような設計は、ASIC設計のリスクをパッケージリスクから切り離し、大きなモジュール式アレイを生み出すために用いることができる。モジュール式センサ組立体は、一連のセンサ/ASICモジュールから成る。モジュールのそれぞれが、裏面がASIC用の中間基板として働き前面がセンサアレイとして働くインターポーザから成る。

10

【0031】

小さい方のセンサアレイ自体が改善された歩留まりを有するので、センサアレイが多くなると、組立体の歩留まりが改善する。しかし、センサアレイが多くなると、センサアレイ自体の間の間隙によってセンサアレイの有効範囲がいくぶん減少する。これらの間隙は、インターポーザおよび対向したダイの配置に対する許容範囲を注意深く設計することによって緩和される。

【0032】

センサおよびASICのアレイは、適切な取付けプロセスを用いてインターポーザに結合される。一実施例では、これらのダイは、共晶はんだまたは高鉛はんだのいずれかを用いてパンピングされるが、この技術に限定されない。異方性導電膜(ACF)取付け、熱圧着、または原子ウェハ接合などの他の技術も同様に用いることができる。

20

【0033】

インターポーザ325は、標準的な有機インターポーザ、あるいは内蔵スチフナを含むもの、またはセラミックもしくはガラスの基板から成るもののいずれかであり得る。インターポーザ内の信号ルーティングは、次の2つの目的に役立つ。第1に、これによって、2つのアレイ間のピッチの不整合を吸収するために、制御ASICとセンサアレイとの間でセンサ信号接続が再分配される。第2に、インターポーザ325はASICから外界へ諸信号をルーティングするのに用いられ、これらには電力およびアース、デジタルI/Oおよびアナログ信号の接続が含まれる。

【0034】

外部通信は、モジュールの裏面上の接続を用いてもたらされる。一般に、これらはBGA相互接続技術を用いてもたらすことができるが、熱圧着または異方性導電膜(ACF)など他の相互接続技術を用いてよい。

30

【0035】

一実施例では、モジュール境界にわたってセンサアレイの平面均一性をもたらすために、モジュール自体が剛体の基板に結合される。この基板は、基板上に直接パターンニングされた信号線のルーティングを有するガラスまたはセラミックの基板から成り得る。この基板は、剛性を改善するためのスチフナを有するFR4などの適切なボード製作材料も含むことができる。

【0036】

基板としてのマザーボードは、電力およびアース、デジタルI/Oおよびモジュール間のアナログ信号などの信号のバス伝送をもたらす。マザーボードは、基板パネルの端にある適切なコネクタを介して、これらの信号の外界への通信をも可能にする。

40

【0037】

図4を参照すると、大面積アレイのモジュール式センサアレイの工程処理の簡易流れ図が示されている。インターポーザ、ASICなどの集積回路、およびセンサアレイを含むシステムのいくつかの要素がある。一実施形態によれば、410で、センサアレイがインターポーザの片側にフリップチップボンディングされる。次いで、420で、ASICがインターポーザの反対面にフリップチップボンディングされてトランスデューサ組立体を形成する。430で、インターポーザが、ASICとセンサアレイとの間に電氣的相互

50

接続をもたらす。次いで、トランスデューサ組立体が、インターポーザから基板へ延びる追加の電氣的相互接続を伴って基板に実装される。基板が、入出力接続とともに、制御回路、記憶装置および撮像回路などの様々な外部リソースへのアクセスを含むので、インターポーザによって、センサレイおよびASICから基板および外部リソースへの通信が可能になる。

#### 【0038】

図5は、高密度パンプ535によってインターポーザ530にフリップチップボンディングされた複数のセンサレイ510、515、520、525を示すトランスデューサ組立体500のさらなる実施形態を示す。この実施例のセンサ510、515、520、525は、トランスデューサレイであり、小間隙がセンサを分離することによって、プローブ内などの用途向けに小さなフォームファクタで大きなレイサイズを作り出している。インターポーザ530は、高密度パンプ565を介して、様々な数の集積回路540、545、550、555に電氣的な結合または相互接続560をもたらす。インターポーザ530の電氣的接続は、センサから集積回路への複数の接続、ならびに個別センサ間および諸センサ間を結合する相互接続をもたらす。相互接続は、ASICの信号の結合ならびにASIC間の結合を含む。さらに、相互接続は、センサおよび/またはそのような構成要素間のASICからの複数の信号の結合も含むことができる。これは、外部の電氣的結合も含む。外部リソースへの接続は、BGAなどの電氣的接続570によってもたらされる。このように、複数のセンサ510、515、520、525のトランスデューサ組立体はモジュール式構成要素で製作することができ、その後、モジュール式構成要素を他のトランスデューサ組立体と結合し、非常に大規模なレイを形成することができる。

10

20

#### 【0039】

図6を参照すると、一実施例による大規模トランスデューサレイ600が示されている。トランスデューサレイ600は、乳房造影法向け圧縮プレートなどの様々な用途向けの大きなトランスデューサレイに一体化された複数のタイリング可能なモジュール610から成る。この実施例における開口620は、全体画像を構築するための信号画像を抽出するためにトランスデューサレイ600をスキャンする。レイおよび開口のサイズは、設計基準に従って設計することができる。さらなる実施例では、個々の撮像用途による開口とともにラスタースキャンを利用することにより、より大きなトランスデューサレイを複数の用途で採用することができる。

30

#### 【0040】

一実施例では、各圧縮プレートがモザイク環状レイ(MAA)を実現し、環状の開口がラスタースキャンして対応する画像を構築する。例えば、うまくいく実施例の開口は、 $185\ \mu\text{m}$ のcMUTトランスデューサ素子を有する64のリングを含む。レイは、B-Modeまたは透過撮像向けに用いられる。各プレートは、 $2.5\ \text{cm} \times 2.5\ \text{cm}$ のタイリング可能なモジュールのレイから構築されて、 $25\ \text{cm}(X) \times 20\ \text{cm}(Y)$ の合計レイサイズを形成する。より大きなレイにより、ラスタースキャン用のより大きな開口も可能になる。

#### 【0041】

さらなる実施例では、タイリング可能なモジュールは、撮像用途に適合され得るパターンまたは形状に配置される。例えば、タイリング可能なモジュールは、六角形配置または八角形配置など幾何学的に配置することができる。

40

#### 【0042】

図7aおよび図7bは、小さなフォームファクタでインターポーザ710に結合されるセンサを形成する複数のトランスデューサレイ705を含むタイリング可能なモジュール700向けのタイリング可能なモジュール構成の一実施例を示す。インターポーザ710の反対面に結合された集積回路715がある。図3および図5に示されたものなどのBGAボールは、タイリング可能なモジュールを外部インターフェイスに結合するのに使用される。インターポーザ710を間に挟んで複数のトランスデューサ組立体705および複数の集積回路715があり、トランスデューサ組立体705と集積回路715との間に

50

電氣的結合がもたらされる。

【0043】

一実施形態では、タイリング可能なモジュールはHyper BGAのラミネート基板であり、トランスデューサ組立体705の数が集積回路715の数を上回る。一実施例によれば、タイリング可能なモジュールは64個のトランスデューサを有する8×8個のデバイスであり、各トランスデューサが16×16個のトランスデューサセルを有する。4つのASICがあって、約2.5cm×2.5cmのサイズを有する再構成可能なアレイが可能になる。

【0044】

図8を参照すると、さらなるトランスデューサ組立体が示されている。この実施例では、ともに結合されて基板860に結合された複数のタイリング可能なモジュール805、810がある。タイリング可能なモジュール805、810は、間隙を縮小するためにモジュール間の最小限の間隔で基板860に実装される。一実施例では、基板はFR4またはガラスなどの剛体の基板であり、信号を伝導することができる。別の実施形態では、基板はマザーボードである。基板860の裏面には、コントローラの電子部品865を介してトランスデューサアレイを制御するための電子部品が含まれ、これは、構成データの局所的記憶装置870および撮像電子部品875を介した受信チャネルのバッファリングのような態様に適合する。一実施例における外部リソースへの電氣的接続は、直接的な、または基板860上のコネクタを介した、基板860からのケーブルまたはジャンパである。

10

20

【0045】

タイリング可能なモジュール805、810は、それぞれが複数のトランスデューサセル820を含んでいる複数のトランスデューサアレイ815を含む。個々のトランスデューサアレイ815は、フリップチップボール825がトランスデューサアレイ815とインターポーザ840との間を結合するのを可能にするのに十分な、トランスデューサ組立体の最小限寸法の間隙830によって分離される。小さなフォームファクタを維持し、かつ機能を維持するために、隣接したタイリング可能なモジュール805と810の間にも最小限の間隙835がある。集積回路850は、トランスデューサアレイ815と反対側の面のインターポーザ840に結合される。再構成可能なアレイチップなどの集積回路は、フリップチップボール接合845によってインターポーザに結合される。トランスデューサアレイのフリップチップボール接合は、集積回路のフリップチップボール接合と同一でも異なってもよい。

30

【0046】

インターポーザを基板860に結合し、それによって、タイリング可能なモジュール805、810と、基板860に搭載された利用可能な様々な電子部品および/またはI/O接続880を介して利用可能な様々な電子部品との間に電氣的結合をもたらすように設計されたBGAボール855がある。組込み電子部品により、図1の電子部品のいくつかの集積化が可能になり、より頑健なプローブユニットをもたらす。

【0047】

図9を参照すると、他の図に示されたものなどのタイリング可能なモジュール905、910は、BGA接続935によってマザーボード925に電氣的に接続される。この実施例では、マザーボード925は、外部リソースへのインターフェイスをもたらすケーブル接続920に対してインターフェイスをもたらすコネクタ915に結合される。そのような構成により、タイリング可能なモジュールおよびそのセンサ/ASICが、外部リソースと連絡することが可能になる。

40

【0048】

図10は、すべての組立体が密封されるように、マザーボード1025およびタイリング可能なモジュールがコネクタ1030への結合を伴って囲壁1020内に存在する、さらなる実施形態を示す。タイリング可能なモジュールを形成するセンサ、ASICおよびインターポーザは、本明細書で詳述されたモジュールのうち任意のものであり得る。ケー

50

ブル 1035 は、密封されたユニット全体がモジュール式で可搬となるように、コネクタ 1040 に接続可能である。

【0049】

図 11 a および図 11 b は、一実施形態によるダイ間およびモジュール間の数マイクロメートル ( $\mu\text{m}$ ) の間隔を示す。図 11 a の実施例における間隙寸法は、cMUT ピッチ 1105 が約 185 マイクロメートルであり、チップ縁部間の配置 1120 が約 100 マイクロメートルであり、ダイシング/チップングの許容差 1115 が約 50 マイクロメートルであり、cMUT 中心から cMUT 縁部 1110 は約 92.5 マイクロメートルであり、また、cMUT 中心から cMUT 中心は、他の寸法の合計であって約 385 マイクロメートルであることを示す。

10

【0050】

図 11 b を参照すると、モジュール縁部間の配置 1130 が約 100 マイクロメートルであり、チップ縁部と基板縁部との間の配置 1135 が約 0 マイクロメートルであり、ダイシング/チップングの許容差 1115 が約 50 マイクロメートルであり、cMUT 中心と cMUT 縁部との間 1110 が約 92.5 マイクロメートルであり、cMUT 中心と cMUT 中心との間が約 385 マイクロメートルである。

【0051】

図 12 を参照すると、概念設計を証明する SEM 像が示されている。図示のように、センサデバイス 1210 は内部面のない (NIP) 有機インターポーザ 1240 の頂部上にフリップチップ接続され、集積回路デバイス 1250 はインターポーザ 1240 の裏面上にフリップチップ接続されている。一実施形態では、有機インターポーザ 1240 は、テフロン (登録商標) の商標でも知られているポリテトラフルオロエチレン (PTFE) を含む。PTFE チップ担体すなわちインターポーザ 1240 は、良好な導電特性を有する機械的に高信頼性の有機材料である。一実施例では、有機インターポーザは、平面度および熱膨張率 (CTE) を制御するために銅 - インバー - 銅 (CIC) の芯で強化されたポリテトラフルオロエチレン (PTFE) から成る。センサデバイス 1210 は、インターポーザ 1240 にフリップチップ接続され、アンダーフィルを用いない。

20

【0052】

一実施形態では、センサデバイス 1210 は、ボール 1285 によって有機インターポーザ 1240 に電氣的に結合された柱 1285 を有する溝付きセンサである。溝付きセンサデバイス 1210 の設計により、機能強化された機械的安定性がもたらされる。一実施例では、センサデバイスは、PTFE チップ担体にフリップチップ接続される溝付き cMUT である。

30

【0053】

一実施形態によれば、複数のセンサに適合するために、隣接したセンサ 1210 間に最小限の間隙 1220 がある。この実施例では 185 マイクロメートルであるセンサの電氣的相互接続のピッチ 1230 があり、集積回路 1250 の電氣的相互接続のピッチ 1260 は 150 マイクロメートルである。はんだボール 1270 も裏面に示されている。この図では、裏面の ASIC 1250 のダイが薄くなっていないが、設計の一実施形態では、このダイは、I/O コネクタ 1270 の基板 (図示せず) への結合を可能にする厚さの 250  $\mu\text{m}$  になることに留意されたい。

40

【0054】

一実施例のより具体的な詳細では、溝付き cMUT デバイスがラミネートインターポーザの頂面に取り付けられる。柱 1280 の上部は、厚さが約 22  $\mu\text{m}$  しかないシリコンデバイスの作用面積に取り付けられる。250  $\mu\text{m}$  の長さで 85  $\mu\text{m}$  角の柱を有する溝付き cMUT デバイスが、フリップチップ接続を用いて、テフロンベースの有機インターポーザに取り付けられる。cMUT 柱は共晶 Sn - Pb はんだでバンピングされる。一実施例は、バンピングされた溝付き cMUT デバイスを含み、これではバンブ下メタラジ (UBM) 構造体が柱の上に堆積され、次いではんだでバンピングされる。この、バンピングされた溝付きデバイスは、次いでラミネートインターポーザの頂面にフリップチップはんだ

50

接続される。これらの、バンピングされた溝付きデバイスがインターポーザに取り付けられるとき、c M U T デバイスは平坦なままで、約 1 0 0 μ m 離隔される。インターポーザの裏面では、1 5 0 μ m のピッチを有する A S I C チップおよび 4 0 0 0 個を上回る I / O が、フリップチップ接続されてアンダーフィルが生じる。また、ボールグリッドアレイ ( B G A ) 球体が裏面に取り付けられ、B G A ボールはボードにモジュールを取り付けるのに使用される。

#### 【 0 0 5 5 】

ウェーハマップ 1 3 6 0 を得るために使用されるテストシステム 1 3 0 0 の一実施例が図 1 3 に示されており、c M U T ウェーハ 1 3 0 2 が、プローブステーション 1 3 1 0 の一部分であるプローブカード 1 3 0 5 に結合される。プローブステーション 1 3 1 0 は、様々なソースおよび測定デバイスに結合される。この実施例では、プローブステーション 1 3 1 0 に結合された電圧バイアス 1 3 2 0 および、プローブカード 1 3 0 5 に結合された A C カプラ 1 3 2 5 がある。演算デバイス 1 3 4 0 は、汎用インターフェイス ( G P I ) を介するなどしてプローブステーション 1 3 1 0 に通信結合される。コンピュータ 1 3 4 0 も、G P I を介するなどしてインピーダンスアナライザ 1 3 3 0 に通信結合される。インピーダンスアナライザ 1 3 3 0 は、A C カプラ 1 3 2 5 にも結合される。コンピュータ 1 3 4 0 は、測定基準を含み得る情報を処理してウェーハマップ 1 3 6 0 を得る。

10

#### 【 0 0 5 6 】

別の実施例では、共通電極にアナログ波形を印加して、トランスデューサ組立体内の短絡および信号 B G A 接続における開路を探すことにより、インターポーザを検査することができる。

20

#### 【 0 0 5 7 】

大きなセンサアレイの処理を示す詳細な流れ図が図 1 4 に示されている。この実施形態のモジュール組立体の主要素は、c M U T 、 A S I C 、およびインターポーザを含む。これらの要素のそれぞれに、モジュール組立体への集積化に先立って着手され得る特定の処理ステップがある。さらに、この実施例における集積化の処理ステップも示されている。他の実施形態では、処理において、異なるステップおよび多少のステップがあり得ることが注目される。これらのステップが単なる一実施例であること、追加されるステップおよび省略されるステップがあり得ること、また、言及されなければ特定のシーケンスはないことを理解されたい。

30

#### 【 0 0 5 8 】

c M U T 処理に関して、1 4 0 2 では、c M U T ウェーハが用意され、重大な欠陥がないことを保証し、かつ良品の適切な母集団があることを保証するために検査される。1 4 0 4 で、本明細書に詳述された方法の任意のものによって、はんだバンプが c M U T ウェーハに与えられる。バンプが適切に与えられかつ導電性であることを保証するために、任意選択のステップがバンプ付きダイを検査することになる。次いで、1 4 0 8 では、ウェーハがダイシングおよびウェーハのソート処理を受ける。一実施形態では、ワッフルパックが使用される。

#### 【 0 0 5 9 】

A S I C などの集積回路処理については、ウェーハは、1 4 1 0 で一般的に検査され、次いで 1 4 1 2 でははんだバンピングされる。はんだバンピングは、本明細書で詳述された形式の任意のものであり得る。1 4 1 4 では、ウェーハが、用途の基準に対して所望の厚さまで薄くされる。ウェーハは、処理がウェーハを損傷していないことを保証するために、任意選択で検査されてよい。次いで、1 4 1 8 では、I C ウェーハがダイシングおよびウェーハのソート処理を受ける。任意選択のワッフルパックを I C ウェーハとともに利用することができる。

40

#### 【 0 0 6 0 】

1 4 2 0 では、インターポーザが設計仕様によって製作され、そうでなければ用途の必要条件に対して調達される。いくつかの実施例では、インターポーザはより一般的であるが、他のものは特別の設計を必要とする。1 4 2 2 で、インターポーザの頂部パッドおよ

50

び底パッドに対してENIGめっきがなされ得る。任意選択の電気的テストを行なってよい。1426で、インターポーザは、平面度測定などの特定の解析を受けてソーティングされる。1428でのさらなる解析は、インターポーザ寸法の測定およびソーティングを含む。

#### 【0061】

次いで、1430で、cMUT、ASICおよびインターポーザがモジュール組立体になる。1450で、モジュール組立体は、インターポーザの裏面にフラックスの分配を開始する。次いで、1452で、ボールグリッドアレイ(BGA)のボールが裏面に配置される。1454で、パンプを有するASICが、インターポーザのBGAボール上に整列して配置される。1456では、フラックスを除去するためにリフローが実行される。パンプを接合したASICに対して任意選択の電気的テストを実行することができる。1458では、構成要素を所定の位置に確実に保つために、インターポーザ裏面にアンダーフィルが与えられる。1460で、フラックスがインターポーザの頂面上に分配され、1464で、パンプを有するcMUTがインターポーザの頂面上に整列して配置される。1466で、フラックスを除去するためにリフローが実行される。電気的相互接続をチェックするために、任意選択の検査を実行することができる。この構成では、厚さがわずか50 $\mu\text{m}$ の非常に薄いデバイスが、活性のcMUTダイを構築するのに使用される。裏面は、90 $\mu\text{m}$ ×90 $\mu\text{m}$ ×200 $\mu\text{m}$ の寸法を有する柱を取り囲む周辺トレンチから成る。柱のチップには、直径70 $\mu\text{m}$ のパンプ下メタライゼーション(UBM)パッドが低融点はんたパンプとともに堆積される。この脆弱なデバイスは、PTFEインターポーザに準拠した性質、および低応力相互接続の設計をもたらす、はんたボール高さを伴う長い柱(200 $\mu\text{m}$ )から成る相互接続の高い相殺効果により、アンダーフィルの必要性なしでインターポーザに取り付けることができる。

#### 【0062】

このインターポーザは、個々の隣接した集積回路間の通信ももたらすことができ、この通信は、システム全体の結合力のある動作をもたらす。

#### 【0063】

本モジュールの利点には、再加工の容易なモジュール式組立体、間隙の小さいほぼ完璧な分散型センサアレイ、およびアレイ全体にわたる均一な共面性が含まれる。このモジュール式構成により、モジュール式組立体、インターポーザ内のASIC間の接続、両面フリップチップパッケージング、ガラス上のモジュール実装、cMUTセンサ、密集した寸法(X, Y, Z)を保証するための平坦な基板を有するタイリング可能なアレイ、タイリング/再加工が可能な小さなセンサ、および積重ね/小さなcMUTが可能になる(高歩留まりのために)。

#### 【0064】

要素への接続およびI/Oへの接続をもたらすのに同一の相互接続層が使用される。この実施例における複数のASICを有する単一モジュールでは、モジュール上の必要なI/O接続数を大幅に減少させるために、すべてが概して同一のI/O(アナログI/OおよびデジタルI/Oを含む)を共有する。一実施例では、相互接続層が、モジュール内のASICの間の接続をもたらす。

#### 【0065】

さらなる実施例では、ASICセルを、ダイの周辺のI/Oならびにダイの外部のBGAボールの両方に適合するように、(アレイから異なるピッチで)より小さくする。一実施例では、諸信号は、インターポーザ内の必要なルーティングを低減するためにダイを介してルーティングされる。モジュールは、(インターポーザ上に配置する前にダイをソートすることによって)歩留まりを改善し、かつCTE不整合の影響を低減するために、複数のより小さなcMUTダイから成り得る。さらなる利点の1つに、すみ肉を除去してダイを接近して配置するのにcMUT面上にアンダーフィルが用いられないことがある。

#### 【0066】

ASICのダイは、すみ肉を縮小し、それによってASICのまわりのキーアウト領

10

20

30

40

50

域を縮小し、かつ単位セルのサイズを拡大するために、薄くすることができる。BGAボールが裏面をきれいにすることができるように、ダイは薄くされる。集積回路上に高融点のボールを使用することができ、それに続いてトランスデューサ組立体上に低融点のボールを使用する。はんだパンピングボールは、はんだジェット、電気めっき、蒸着、めっきしたプラスチック球体、はんだボール転写または他の適切なはんだ技術のうち任意の1つであり得る。

【0067】

さらなる態様は、ダイの中に貫通シリコンビア(TSV)を使用して集積回路面上に追加のダイを積み重ねるステップを含む。別の態様は、トランスデューサ組立体の応力を緩和するために、インターポーザとトランスデューサ組立体との間に追加のセラミックの層を与えるステップを含む。

10

【0068】

一実施形態では、モジュール間の間隙は100 $\mu$ m以下であり、ダイは基板と同じ高さにある。

【0069】

別の態様には、ソケットまたははんだ付け可能なBGAで接続することができるモジュールを有するものがある。一態様によれば、本システムは、モジュール設計および接続性によるフィールド交換可能ユニット(FRU)である。組立ての方法の1つは、高歩留まりを得るために、大面積のレイを有しておき、組立ての前に各モジュールを検査するステップを含む。この方法は、アンダーフィルがないことにより交換可能なトランスデューサ組立体を含み、ASICは、追加のリフローイングを可能にするために高融点のボールを有する。

20

【0070】

一態様では、インターポーザを集積回路および/またはトランスデューサ組立体に取り付けるのに異方性導電膜(ACF)が使用される。

【0071】

例えば、インターポーザは、基板に結合されたBGAを有するシリコンのインターポーザ基板であり得る。一実施例では、インターポーザは、ボード上にルーティングがあるガラスボードである。一実施例に、個々のタイリング可能なモジュールから成る大きなレイ(20cm $\times$ 25cm以上)がある。インターポーザおよびタイリングされたトランスデューサに関するさらなる詳細は、例えば、本明細書において参照によって組み込まれている、本願譲受人に譲渡された米国特許第7,375,420号に説明されている。

30

【0072】

一実施形態では、超音波監視システムは、列と行とに配置され、第1の面に沿って第1の方向に沿った第1のピッチを有して形成されたトランスデューサセルのレイを有するプローブユニットを有して形成される。回路セルのレイを含む集積回路が、第1の面と平行な第2の面に沿って形成される。回路セルは、第1のピッチより小さな第2のピッチで第1の方向に沿って離隔される。第1のトランスデューサセルは、第1の回路セルとともに第1の回路セルへの接続を有して、これらの面のうちの1つに対して垂直な方向に沿って垂直に整列され、また、第2のトランスデューサセルは、第2の回路セルの上に重ならないように、第2の回路セルの位置に対して垂直の配向からオフセットされる。トランスデューサセルのレイと回路セルのレイとの間に、第1のトランスデューサセルの第1の回路セルへの接続を形成し、かつ第2のトランスデューサセルを第2の回路セルと接続するように構成された接続サブシステムが配置される。集積回路と処理回路との間に電氣的接続をもたらすために、相互接続構造が配置される。

40

【0073】

一実施形態では、トランスデューサ回路を有する超音波撮像システムを形成する1つの方法は、トランスデューサセルのレイを、第1の面に沿って第1のピッチで第1の方向に沿って設けるステップと、回路セルのレイおよび集積回路デバイスの縁部に沿って形成された複数のI/Oパッドを備える集積回路デバイスを設けるステップとを含む。回路

50

セルは、第1のピッチより小さな第2のピッチで第1の方向に沿って形成され、第1のトランスデューサセルが、第1の面に垂直な方向に沿って第1の回路セルの上に、そこに接続するために重なり、第2のトランスデューサセルが、第2の回路セルの上に重ならないように、第1のトランスデューサセルおよび第1の回路セルの位置に対してオフセットされる。再分配システムは、第2のトランスデューサセルと第2の回路セルとの間の接続をルーティングするように構成される。コネクタのアレイを備える相互接続構造が設けられる。コネクタは、複数のトランスデューサモジュール内の集積回路構造体のI/Oパッドと超音波撮像システムの電子構成要素との間の接続をもたらす。

【0074】

一態様は、集積回路がインターポーザとは異なるより小さいサイズなどであるモジュール、またはモジュール内に複数の集積回路を組み込むモジュールを開示する。

10

【0075】

さらなる態様は、モジュール内のダイ間の相互接続、およびパッケージの全体的I/Oを低減するための、パッドからの信号のグループ化/バス化を開示する。

【0076】

従来技術は、一般にモジュール構造ではなく、テフロン（登録商標）または他の剛体の有機基板で作製された相互接続構造体/インターポーザを開示しない。

【0077】

本方法およびシステムは、インターポーザ内の信号をグループ化/バス化するのに既存の製造技術を利用する、BGA結合を可能にするために集積回路がインターポーザより小さい、より低コストで製造可能なトランスデューサ組立体を提供する。この設計は、アンダーフィルのない、より小さなcMUTをさらに提供する。

20

【0078】

さらなる一実施例は、圧縮プレート構成として使用することができる、共集積されたcMUTおよび制御電子回路を用いて開発された大面積の再構成可能な撮像アレイである。そのようなシステムは、密な組織に対する超音波特定性など、X線乳房造影法の置換および/またはそのような乳房造影法との併用で使用することができる。このデバイスは、XおよびYの寸法で185μmのピッチに離隔された16,000個を上回るトランスデューサ部分要素を有する2.5cmの2Dのタイリング可能なモジュールである。実証として、cMUTおよびマルチプレックス式電子回路を使用する複数行の1次元アレイを設計、製作した。タイリング可能なモジュールの一部として、溝付きcMUTをラミネートインターポーザに取り付けた。このタイリング可能なモジュールの構成は、生産性、信頼性、音響の平面性、およびタイルとcMUTチップとの間隔の縮小を示した。

30

【0079】

別の実施形態は、複数の用途および実施形態に使用することができる標準化されたパッケージのプラットフォームである。説明された実施例はcMUTセンサ向けであるが、cMUTの代わりにPZT結晶を実装することができる。

【0080】

多数のシステムの実施形態が示され説明されてきたが、本発明は、そのように限定されるものではない。本発明の趣旨および範囲から逸脱することなく、多数の修正、変更、置換および等価物が当業者には思い浮かぶであろう。

40

【符号の説明】

【0081】

- 100 超音波監視システム
- 101 トランスデューサ組立体
- 102 トランスデューサアレイ
- 103 トランスデューサセル
- 104 トランスデューササブアレイ
- 105 コネクタ
- 106 ASIC

50



|       |                |    |
|-------|----------------|----|
| 1 0 7 | 相互接続構造         |    |
| 1 1 0 | プローブユニット       |    |
| 1 1 9 | プローブユニット回線コネクタ |    |
| 1 2 0 | コンソール          |    |
| 1 2 2 | システムコントローラ     |    |
| 1 2 4 | 主ビームフォーマ       |    |
| 1 2 6 | 画像プロセッサ        |    |
| 1 2 7 | スキャンコンバータ      |    |
| 1 2 9 | コンソール回線コネクタ    |    |
| 1 3 0 | マルチチャネルケーブル    | 10 |
| 1 4 0 | ディスプレイ         |    |
| 1 4 1 | 対象物            |    |
| 1 4 2 | 超音波ライン         |    |
| 1 4 4 | 反射器            |    |
| 1 4 6 | 調査の領域          |    |
| 2 1 0 | モジュール          |    |
| 3 0 0 | トランスデューサ組立体    |    |
| 3 0 5 | センサ            |    |
| 3 1 0 | センサ            |    |
| 3 1 5 | トランスデューサセル     | 20 |
| 3 2 0 | 高密度パンプ         |    |
| 3 2 5 | インターポータ        |    |
| 3 3 0 | 電氣的相互接続        |    |
| 3 3 5 | 高密度パンプ         |    |
| 3 4 0 | I C            |    |
| 3 4 5 | I C            |    |
| 3 5 0 | I / O 接続       |    |
| 3 6 0 | 間隙             |    |
| 4 0 0 | 流れ図            |    |
| 4 1 0 | 流れ図            | 30 |
| 4 2 0 | 流れ図            |    |
| 4 3 0 | 流れ図            |    |
| 4 4 0 | 流れ図            |    |
| 5 0 0 | トランスデューサ組立体    |    |
| 5 1 0 | センサ            |    |
| 5 1 5 | センサ            |    |
| 5 2 0 | センサ            |    |
| 5 2 5 | センサ            |    |
| 5 3 0 | インターポータ        |    |
| 5 3 5 | パンプ            | 40 |
| 5 4 0 | チップ            |    |
| 5 4 5 | チップ            |    |
| 5 5 0 | チップ            |    |
| 5 5 5 | チップ            |    |
| 5 6 5 | パンプ            |    |
| 5 7 0 | B G A          |    |
| 6 0 0 | トランスデューサ組立体    |    |
| 6 1 0 | タイリング可能なモジュール  |    |
| 6 2 0 | 開口             |    |
| 7 0 0 | タイリング可能なモジュール  | 50 |

|         |                           |    |
|---------|---------------------------|----|
| 7 0 5   | 集積化デバイス                   |    |
| 7 1 0   | インターポータ                   |    |
| 7 1 5   | I C                       |    |
| 8 0 5   | タイリング可能なモジュール             |    |
| 8 1 0   | タイリング可能なモジュール             |    |
| 8 1 5   | トランスデューサアレイ               |    |
| 8 2 0   | トランスデューサセル                |    |
| 8 2 5   | フリップチップボール                |    |
| 8 3 0   | トランスデューサ組立体の間隙            |    |
| 8 3 5   | モジュールの間隙                  | 10 |
| 8 4 0   | インターポータ                   |    |
| 8 4 5   | フリップチップボール                |    |
| 8 5 0   | I C                       |    |
| 8 5 5   | B G A                     |    |
| 8 6 0   | 基板                        |    |
| 8 6 5   | 制御                        |    |
| 8 7 0   | 記憶装置                      |    |
| 8 7 5   | 撮像                        |    |
| 8 8 0   | I / O                     |    |
| 9 0 5   | タイリング可能なモジュール             | 20 |
| 9 1 0   | タイリング可能なモジュール             |    |
| 9 1 5   | コネクタ                      |    |
| 9 2 0   | ケーブル                      |    |
| 9 2 5   | マザーボード                    |    |
| 9 3 5   | B G A                     |    |
| 1 0 2 0 | 囲壁                        |    |
| 1 0 2 5 | マザーボード                    |    |
| 1 0 3 5 | ケーブル                      |    |
| 1 0 4 0 | コネクタ                      |    |
| 1 1 0 5 | c M U T のピッチ              | 30 |
| 1 1 1 0 | c M U T の中心から c M U T の縁部 |    |
| 1 1 1 5 | ダイシング / チッピングの許容差         |    |
| 1 1 2 0 | チップ縁部からチップ縁部への配置          |    |
| 1 1 3 0 | モジュールからモジュール縁部への配置        |    |
| 1 1 3 5 | チップ縁部から基板への配置             |    |
| 1 2 1 0 | 溝付き c M U T               |    |
| 1 2 2 0 | 間隙                        |    |
| 1 2 3 0 | 間隙                        |    |
| 1 2 4 0 | インターポータ                   |    |
| 1 2 5 0 | A S I C                   | 40 |
| 1 2 6 0 | 間隙                        |    |
| 1 2 7 0 | B G A ボール                 |    |
| 1 3 0 0 | テストシステム                   |    |
| 1 3 0 2 | c M U T ウェーハ              |    |
| 1 3 0 5 | プローブカード                   |    |
| 1 3 1 0 | プローブステーション                |    |
| 1 3 2 0 | 電圧バイアス                    |    |
| 1 3 2 5 | A C カプラ                   |    |
| 1 3 3 0 | インピーダンスアナライザ              |    |
| 1 3 3 5 | G P I B                   | 50 |

1 3 4 0 P C  
1 3 4 5 G P I B  
1 3 6 0 ウェーハマップ

【 図 1 】

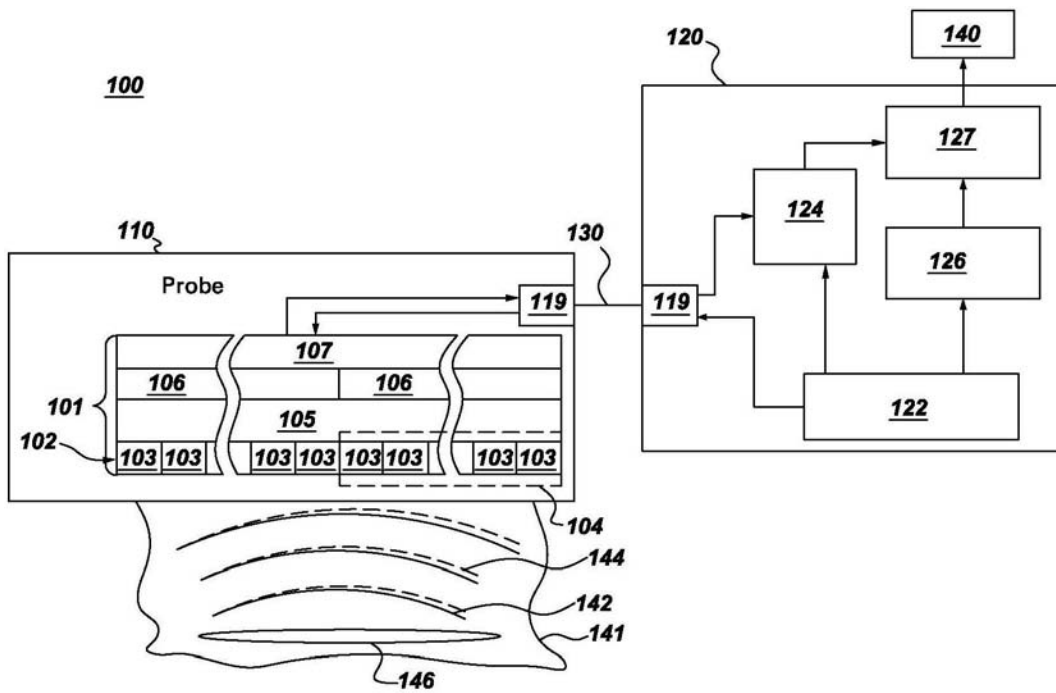


Fig. 1

【 図 2 】

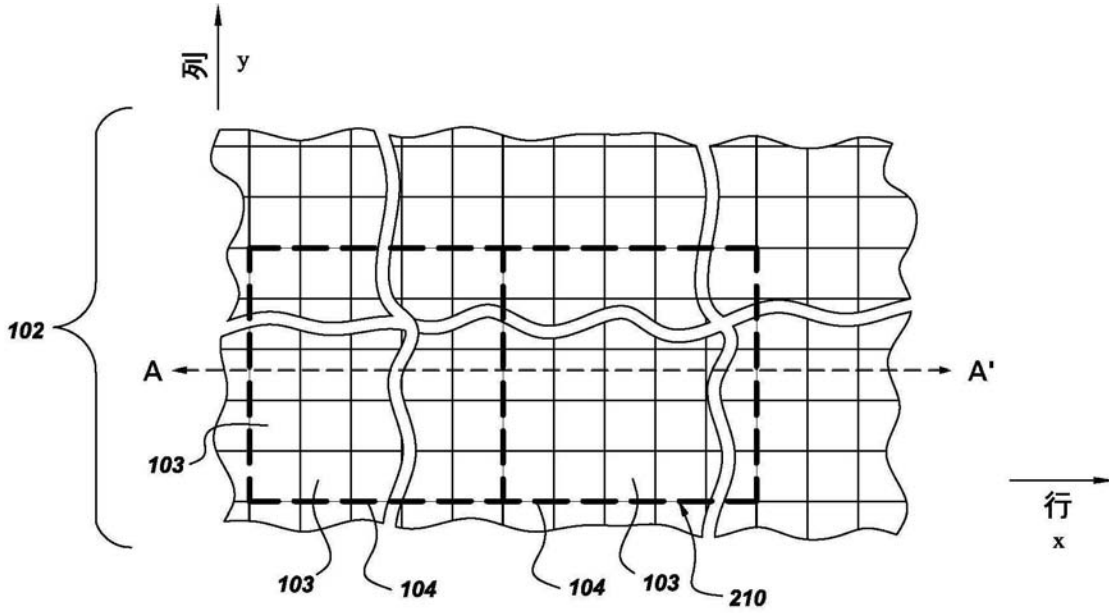


Fig. 2

【 図 3 】

300

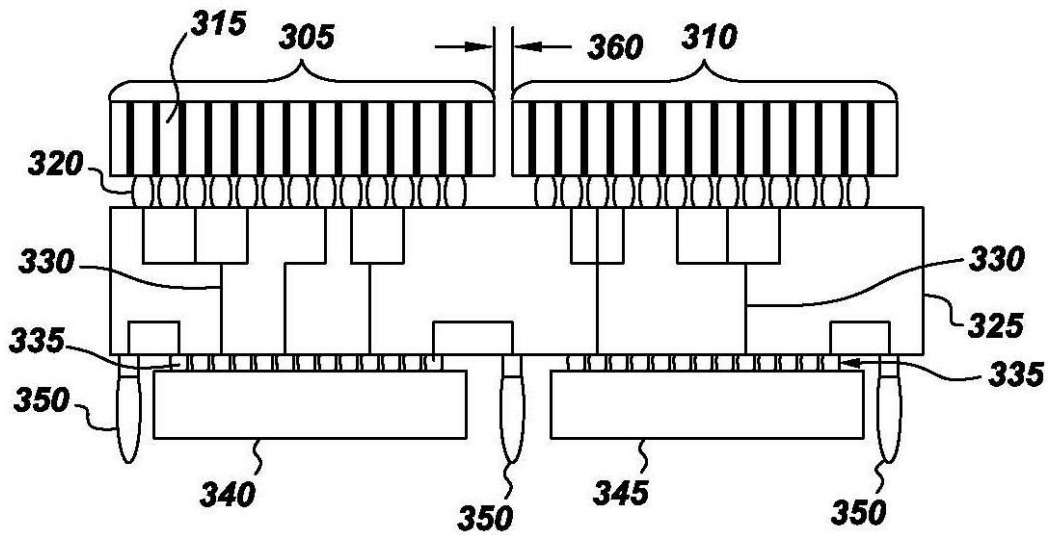
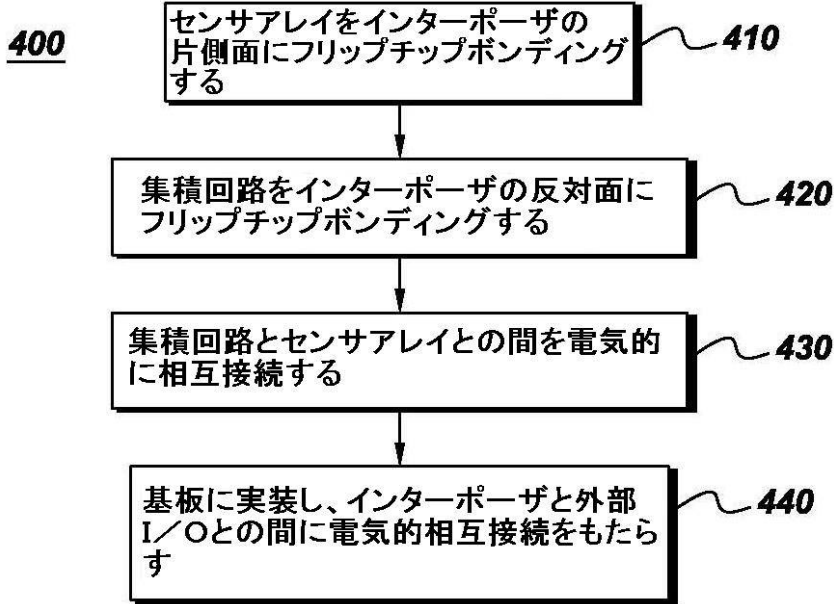


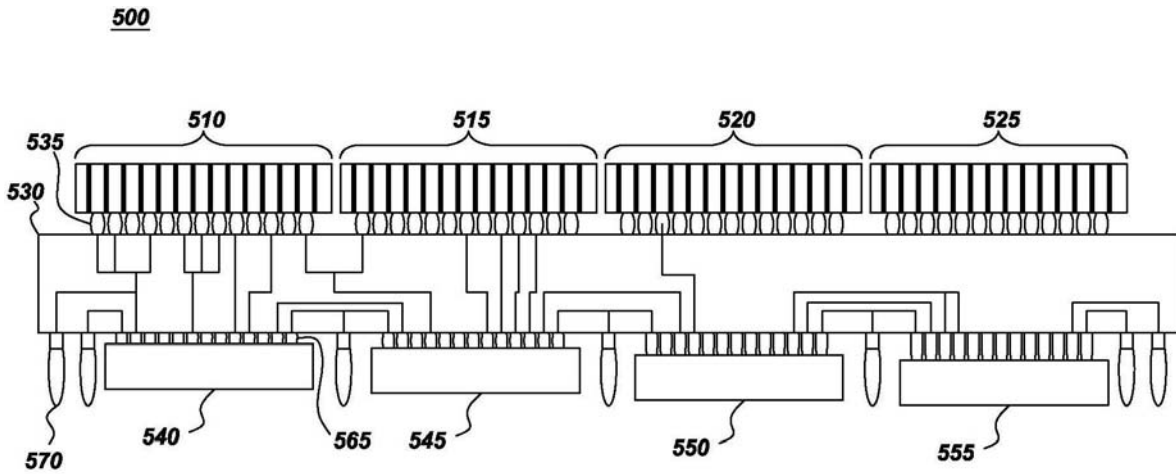
Fig. 3

【 図 4 】



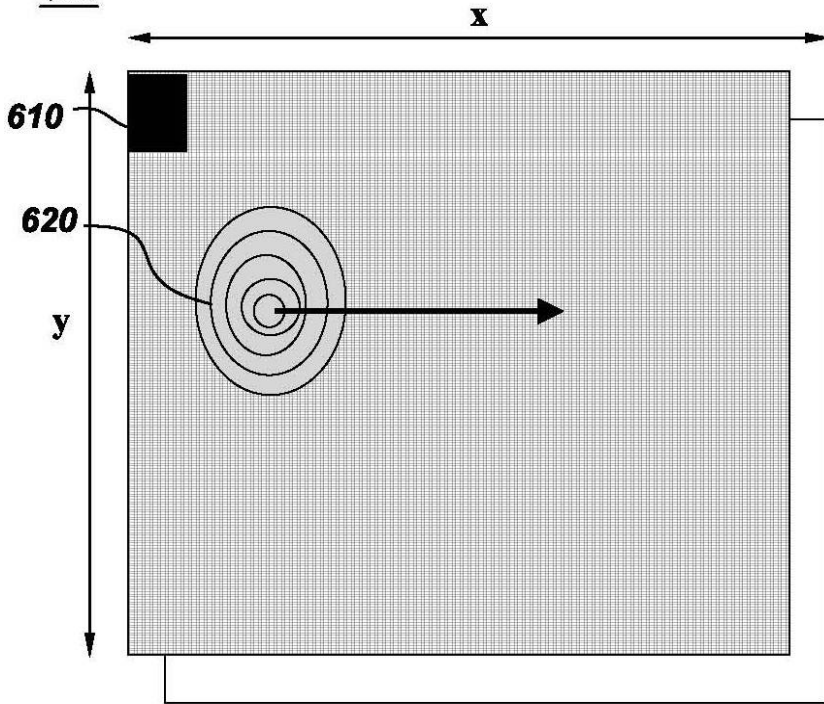
*Fig. 4*

【 図 5 】



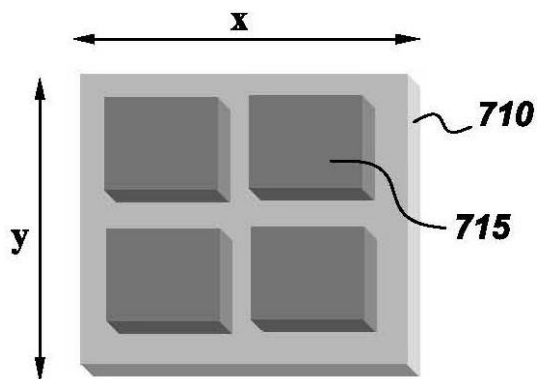
*Fig. 5*

【 図 6 】  
**600**

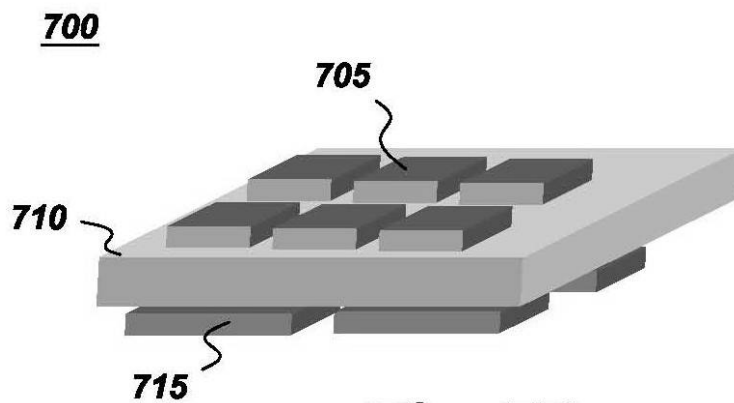


**Fig. 6**

【 図 7 】



**Fig. 7A**



**Fig. 7B**

【 図 8 】

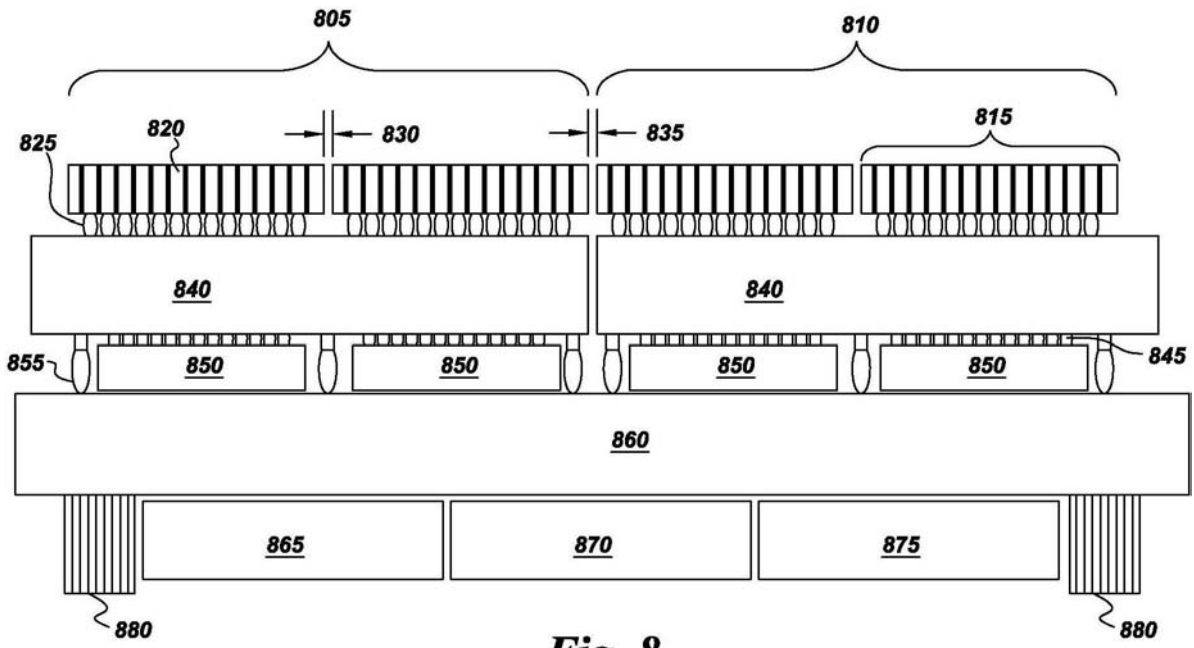


Fig. 8

【 図 9 】

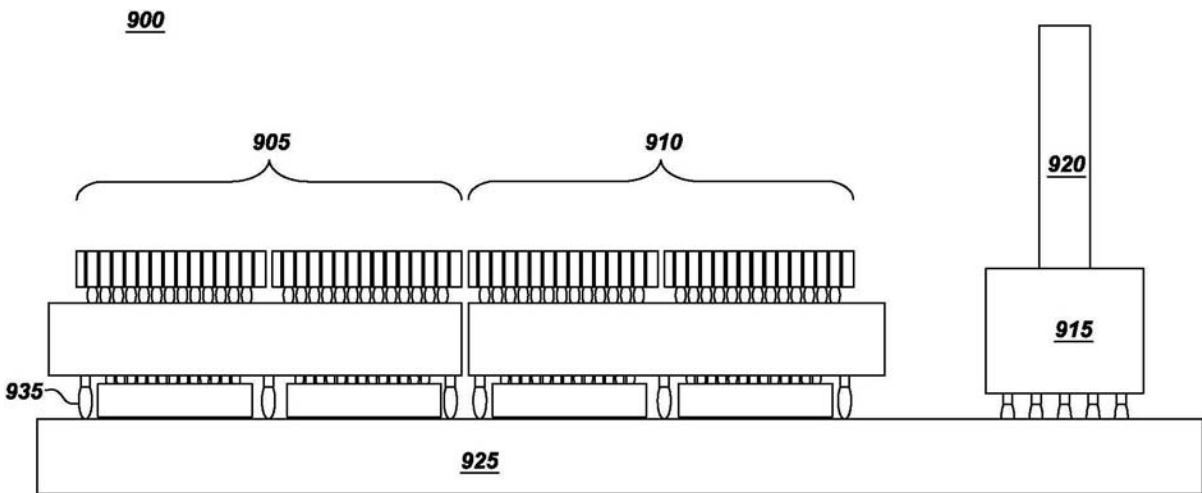
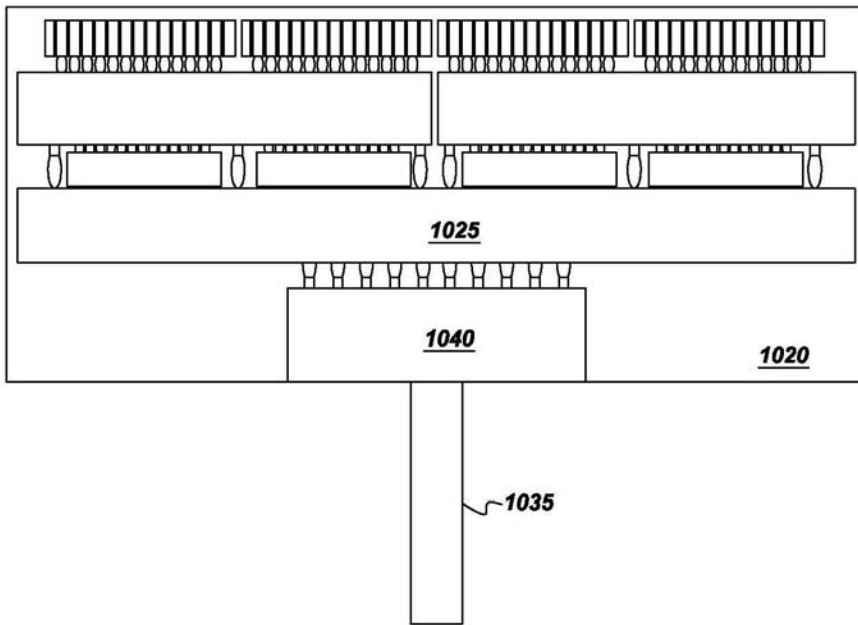


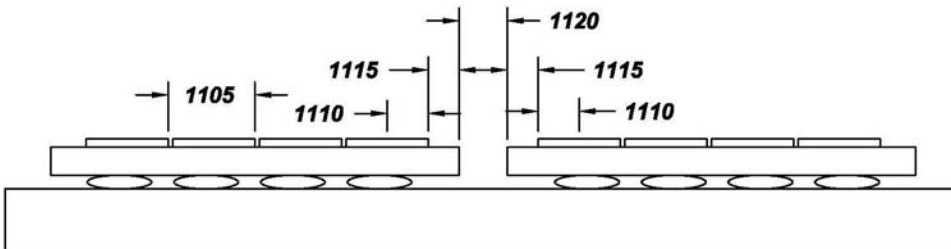
Fig. 9

【 図 1 0 】  
1000

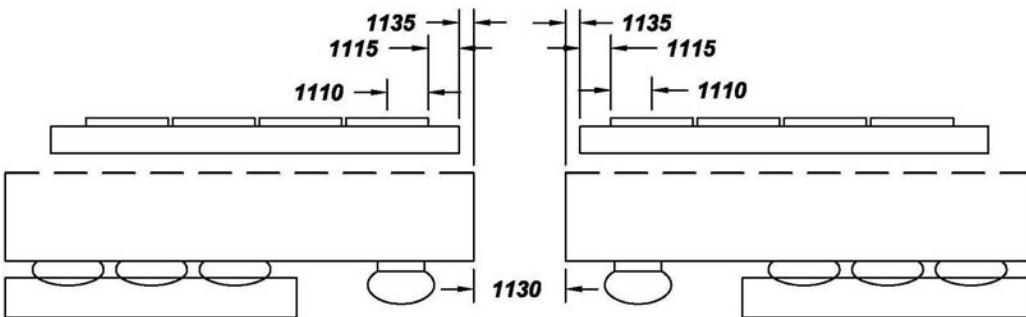


*Fig. 10*

【 図 1 1 】



*Fig. 11A*



*Fig. 11B*



【 図 1 2 】

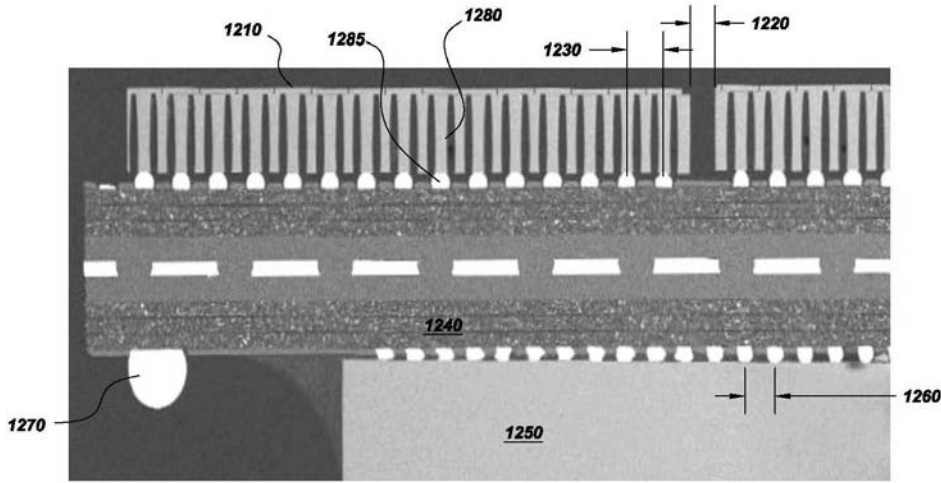


Fig. 12

【 図 1 3 】

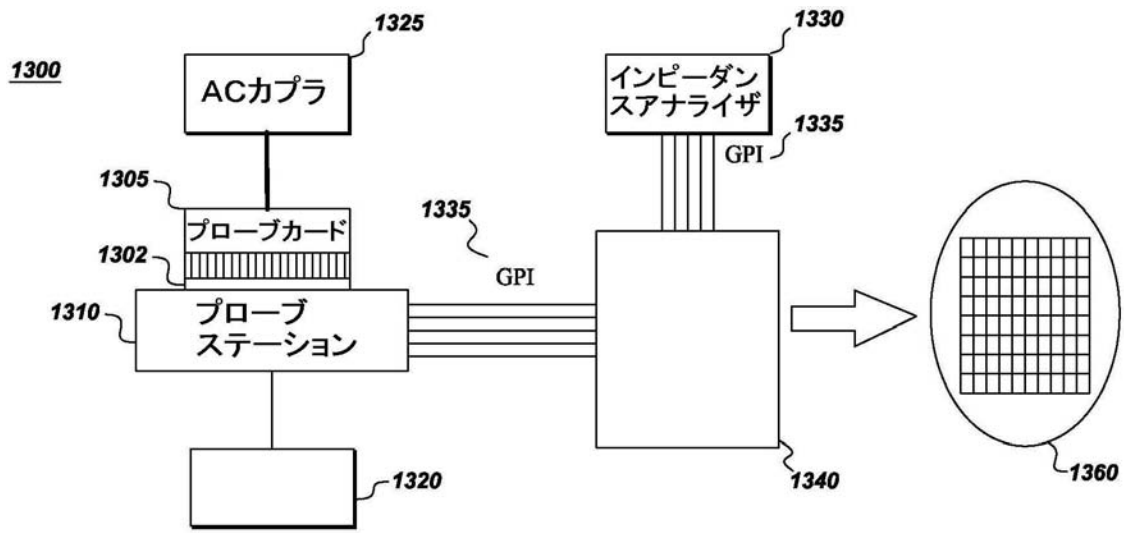


Fig. 13

【 図 1 4 】

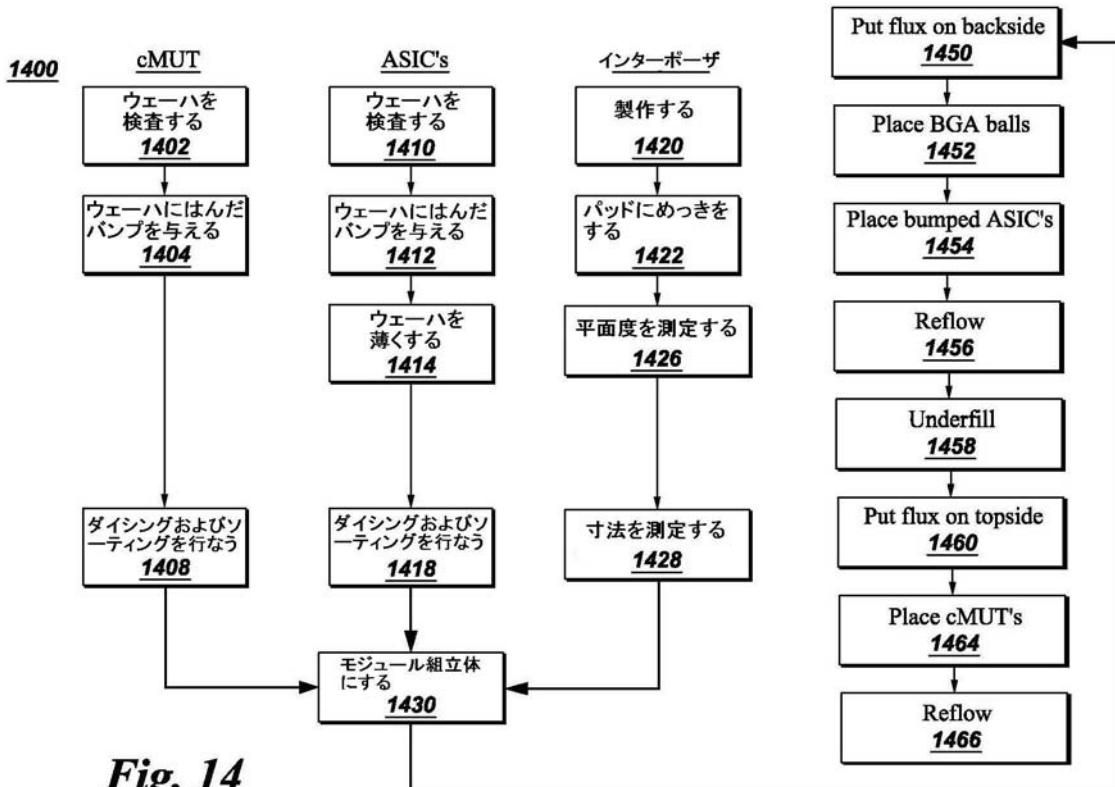


Fig. 14

## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
H 0 4 R 19/00 3 3 0

- (72)発明者 ロバート・ギデオンのウッドニッキ  
アメリカ合衆国、ニューヨーク州、ニスカユナ、グローバル・リサーチ、パテント・ドケット・ル  
ーム、ビルディング・ケイ1 - 4エイ59
- (72)発明者 レイトン・アン・フィッシャー  
アメリカ合衆国、ニューヨーク州、ニスカユナ、グローバル・リサーチ、パテント・ドケット・ル  
ーム、ビルディング・ケイ1 - 4エイ59
- (72)発明者 チャールズ・ジェラード・ウォイチック  
アメリカ合衆国、ニューヨーク州、ニスカユナ、グローバル・リサーチ、パテント・ドケット・ル  
ーム、ビルディング・ケイ1 - 4エイ59
- (72)発明者 シュビュラ・バンサル  
アメリカ合衆国、ニューヨーク州、ニスカユナ、グローバル・リサーチ、パテント・ドケット・ル  
ーム、ビルディング・ケイ1 - 4エイ59
- (72)発明者 アルバート・テーサング・ピュン  
アメリカ合衆国、ニューヨーク州、ニスカユナ、グローバル・リサーチ、パテント・ドケット・ル  
ーム、ビルディング・ケイ1 - 4エイ59
- F ターム(参考) 2G047 AC13 BC13 CA01 EA08 GB02 GB17 GB21 GB32  
4C601 DD08 EE05 GB02 GB06 GB18 GB20 GB41  
4M118 AB01 HA02 HA21 HA22 HA24 HA25 HA29 HA31  
5D019 BB17 FF04