



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I748451 B

(45)公告日：中華民國 110 (2021) 年 12 月 01 日

(21)申請案號：109116107

(22)申請日：中華民國 109 (2020) 年 05 月 14 日

(51)Int. Cl. : **H01L21/76 (2006.01)**

(71)申請人：芯巧科技股份有限公司 (中華民國) (TW)

新竹市龍山里 7 鄰光復路一段 472 號 6 樓之 7

(72)發明人：梁偉成 (TW)；張平 (TW)

(74)代理人：許家華；李易撰

(56)參考文獻：

TW 201727870A

TW 202015098A

CN 102751395A

審查人員：陳英豪

申請專利範圍項數：10 項 圖式數：12 共 26 頁

(54)名稱

在同一晶圓上形成複數相隔離基底層的半導體裝置製程及其半導體裝置

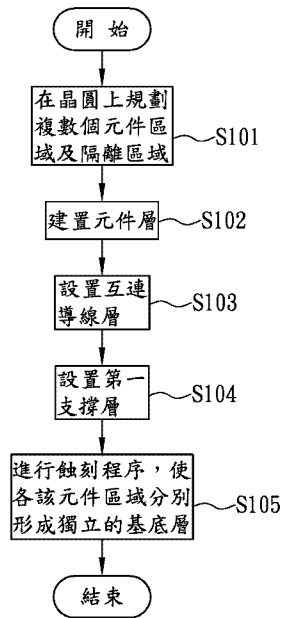
(57)摘要

本發明係一種在同一晶圓上形成複數相隔離基底層的半導體裝置製程及其半導體裝置，首先，在一晶圓上規劃複數個元件區域及隔離區域，之後，在該晶圓上且對應各該元件區域處，依序建置一元件層與互連導線層，之後，對該晶圓的隔離區域處進行一蝕刻程序，使得各該元件區域分別形成獨立的一基底層，令各該基底層與其對應之各該元件層與各該互連導線層分別形成半導體裝置，如此，由於各個半導體裝置都具有各自獨立的基底層，故在後續運作的過程中，不會彼此造成負面影響。

指定代表圖：

符號簡單說明：

S101~S105：步驟



第1圖



I748451

**【發明摘要】**

**【中文發明名稱】** 在同一晶圓上形成複數相隔離基底層的半導體裝置製程及其半導體裝置

**【中文】**

本發明係一種在同一晶圓上形成複數相隔離基底層的半導體裝置製程及其半導體裝置，首先，在一晶圓上規劃複數個元件區域及隔離區域，之後，在該晶圓上且對應各該元件區域處，依序建置一元件層與互連導線層，之後，對該晶圓的隔離區域處進行一蝕刻程序，使得各該元件區域分別形成獨立的一基底層，令各該基底層與其對應之各該元件層與各該互連導線層分別形成半導體裝置，如此，由於各個半導體裝置都具有各自獨立的基底層，故在後續運作的過程中，不會彼此造成負面影響。

**【指定代表圖】** 第1圖

**【代表圖之符號簡單說明】**

S101~S105：步驟

## 【發明說明書】

【中文發明名稱】 在同一晶圓上形成複數相隔離基底層的半導體裝置製程及其半導體裝置

### 【技術領域】

【0001】 本發明係關於半導體製程及其半導體裝置，尤指一種是在同一晶圓上形成複數個相隔離之基底層的半導體製程。

### 【先前技術】

【0002】 近數十年來，半導體產業的發展速度驚人，其許多重大的創新技術亦支持了諸多產業，如，電子商務、金融、醫療...等，目前的半導體產品大致可分為積體電路(IC)、分離式元件、光電半導體等三種，其中，積體電路是將一電路設計(包括線路及電子元件)，製作於一片矽晶片上，使其具有處理資訊的功能，例如，記憶體IC、微元件、邏輯IC、類比IC...等；分離式元件則是指一般電路設計中與半導體有關的元件，例如，電晶體、二極體、閘流體...等；光電式半導體係指利用半導體中電子與光子的轉換效應所設計出的材料與元件，例如，發光元件、受光元件、複合元件和光伏特元件...等。

【0003】 茲以積體電路進行說明，目前積體電路的製作過程大致為後續步驟，首先，根據晶片(chip)所需的功能，先行設計電路圖，嗣，再以光蝕刻與微影成像方式，將該電路圖透過光罩而烙印至晶圓上，之後，工作人員會在該晶圓上繼續加入離子，以透過注入雜質到矽的結構中而控制導電性，進而在其上製造出電晶體、二極體...等電子元件，又，工作人員會在各個電子元件製作出複數條接線(例如將銅倒入晶圓上的溝槽)，以根據電路結構，使得各該電子元件彼此間相互電氣連接而形成對應的半導體裝置，最後，將完成前述過程的晶圓切割成複數個裸晶，再將各個裸晶安裝至對應的導線架上，並在其外封裝上絕緣的塑膠體或陶瓷外殼，即可形成所需的晶片(chip)。

【0004】 然而，發明人發現，現有的製程中，若是在同一片晶圓上，製作複數個半導體裝置，其往往會採用相連一體的晶圓(即，基底層(substrate))作為接

地或參考電壓處，但是，一般來說，該晶圓通常為弱導電，並非完全絕緣，當各個半導體裝置處於電路中的不同位置時，例如，以半橋驅動電路而言，其包括了高端驅動器(high-side driver)、低端驅動器(low-side driver)與電壓/電平轉換器(level shift)...等半導體裝置，倘若該等半導體裝置均共用同一個基底層，則其實際運用上，各個半導體裝置的參考電壓數值會受到其它半導體裝置的影響。

【0005】 此外，為了能提供速度更快、功率消耗更低的半導體裝置，有業者研發出SOI(Silicon On Insulator)晶圓，其主要是在晶圓頂層表面與底部的矽元件(Base Silicon)之間嵌入一層高溫絕緣材料，茲簡單介入現今SOI晶圓的製程如下：

- (1) SIMOX：其是將大量的氧離子(O<sup>+</sup>)以高能量的方式打到矽晶圓中，使高能植入的氧離子能分布在矽晶圓表面下方，之後，經由高溫退火(anneal)，令前述植入的氧離子和矽產生化學反應，以在晶圓表面下方形成一層氧化層(即，高溫絕緣材料)，並在該氧化層的上方產生一層矽單晶層，形成所謂的絕緣層上矽結構；又，若該氧化層上方的矽單晶層厚度無法達到所需，則可以在該矽單晶層上方，利用 CVD 的方式再長上一層磊晶(Epitaxial)矽層；最後，利用 CMP 的方法將晶圓表面磨平，以增加表面光滑進而提高元件的特性。
- (2) BESOI：其是由兩塊矽晶圓(元件晶圓(Device Wafer)與操作晶圓(Handle Wafer))結合而成，首先，在元件晶圓上方長一層矽磊晶以作為蝕刻終止層(etch stop layer)，並在操作晶圓上透過高溫氧化方式，產生一層氧化層(即，高溫絕緣材料)，又，利用凡得爾力(Vander Walls force)的作用，將元件晶圓和操作晶圓進行鏈結，同時利用熱退火(Thermal annealing)強化兩個晶圓的鏈結，之後，利用機械式擠壓和蝕刻來除去元件晶圓上多餘的矽層，最後再經由退火及磨平等步驟，產生平滑清潔無雜質的晶圓表面。

(3) Smart-Cut：其同樣是由兩塊晶圓(第一晶圓與第二晶圓)結合而成，其中，第一晶圓是作為基板，第二晶圓則是用來提供矽薄膜層，首先，將第二晶圓利用熱氧化方法長上一層氧化層(即，高溫絕緣材料)，接著以氫離子進行離子佈值，嗣，再將第二晶圓與第一晶圓以親水性鏈結(hydrophilic bonding)進行鏈結，又，經由400°C至600°C的熱反應後，第二晶圓會因為氫離子的緣故，而從離子植入的位置產生斷裂，並在斷裂面和氧化層間形成一層矽單晶層，最後，利用 1100 °C 的高溫環境對產生的矽單晶層進行化學鍵的強化，以提升矽單晶層的品質，同時，也對表面進行拋光的工作。

【0006】 綜上所述可知，SOI晶圓由下往上的結構依續為「矽單晶層 - 高溫絕緣材料(氧化層) - 矽單晶層」，之後，業者能在SOI晶圓的頂面設置電子元件與對應接線。但是，發明人發現，SOI晶圓的製程極為複雜，且生產成本高昂，尤其是，SOI晶圓都需要經過高溫(如：超過600°C，普遍為900°C~1100°C)處理，故需採用耐高溫材料，以形成前述高溫絕緣材料(氧化層)，而高溫處理製程更是會耗費大量資源，且對於相關機台具有高度要求，導致業者的生產成本居高不下，因此，如何有效改善前述問題，即為本發明所欲解決之一重要課題。

#### 【發明內容】

【0007】 為能改善前述問題，發明人乃憑藉著多年來的實務經驗，並經過多次的實驗及測試後，終於設計出本發明之一種在同一晶圓上形成複數相隔離基底層的半導體裝置製程及其半導體裝置，期能藉由本發明，而提供業者更佳的生产製程。

【0008】 本發明之一目的，係提供一種在同一晶圓上形成複數相隔離基底層的半導體裝置製程，首先，在一晶圓上規劃複數個元件區域及隔離區域，之後，在該晶圓上且對應各該元件區域處，依序建置一元件層與互連導線層，其中，該互連導線層係使該元件層中的多個電子元件依據電路需求而彼此形成電氣連接，之後，對該晶圓上對應各該隔離區域處，進行一蝕刻程序，該蝕刻程

序是由該晶圓的底面朝上蝕刻，直至完全貫穿該晶圓與該互連導線層，使得各該元件區域分別形成獨立的一基底層，令各該基底層與其對應之各該元件層與各該互連導線層分別形成半導體裝置，如此，由於各個半導體裝置都具有各自獨立的基底層，故在後續運作的過程中，不會彼此造成負面影響。

**【0009】** 本發明之另一目的，係提供一種在同一晶圓上形成複數相隔離基底層的半導體裝置製程，首先，在一晶圓上規劃複數個元件區域及隔離區域，之後，在該晶圓上且對應各該元件區域處，依序建置一元件層與互連導線層，其中，該互連導線層係使該元件層中的多個電子元件依據電路需求而彼此形成電氣連接，之後，對該晶圓上對應各該隔離區域處，進行一蝕刻程序，該蝕刻程序是由該互連導線層的頂面朝下蝕刻，直至貫穿該互連導線層，以及使部分晶圓由其頂面朝下凹陷，又，對該晶圓進行一薄化程序，以減少該晶圓的厚度，直至各該元件區域分別形成獨立的一基底層，令各該基底層與其對應之各該元件層與各該互連導線層分別形成獨立的半導體裝置，如此，藉由本發明之製程，即可使各個半導體裝置分別具有各自獨立的基底層。

**【0010】** 本發明之再一目的，係提供一種在同一晶圓上形成複數相隔離基底層的半導體裝置，其是藉由前述半導體裝置製程而製作完成，且包括一基底層、一元件層與一互連導線層，其中，該基底層的頂面設有該元件層與該互連導線層，且該互連導線層係使該元件層中的多個電子元件依據電路需求而彼此形成電氣連接，該半導體裝置的特徵在於，其不含有高溫絕緣材料，且只有單一層矽單晶層作為該基底層。

**【0011】** 為便 貴審查委員能對本發明目的、技術特徵及其功效，做更進一步之認識與瞭解，茲舉實施例配合圖式，詳細說明如下：

#### **【圖式簡單說明】**

##### **【0012】**

第 1 圖係本發明之第一實施例的流程圖；

第 2 圖係本發明之第一實施例的步驟 S101~S103 所形成的結構示意圖；

- 第 3 圖係本發明之第一實施例的步驟 S104 所形成的結構示意圖；  
第 4 圖係本發明之第一實施例的步驟 S105 所形成的結構示意圖；  
第 5 圖係半橋驅動電路的示意圖；  
第 6 圖係本發明之第二實施例中設置下接點部的結構示意圖；  
第 7 圖係本發明之第一實施例中設置第二支撐層的結構示意圖；  
第 8 圖係本發明之第一實施例中拆除第一支撐層後的結構示意圖；  
第 9 圖係本發明之第三實施例的流程圖；  
第 10 圖係本發明之第三實施例的步驟 S201~S203 所形成的結構示意圖；  
第 11 圖係本發明之第三實施例的步驟 S204 所形成的結構示意圖；及  
第 12 圖係本發明之第三實施例的步驟 S205 所形成的結構示意圖。

#### 【實施方式】

【0013】 本發明係一種在同一晶圓上形成複數相隔離基底層的半導體裝置製程及其半導體裝置，在一第一實施例中，請參閱第1及2圖所示，該晶圓1(Wafer，或稱矽晶圓片)上能先規劃複數個元件區域11及隔離區域12(如步驟(S101))，又，該晶圓1的頂面且對應各該元件區域11的位置，分別建置一元件層13(device layer)(如步驟(S102))，其中，該元件層13係為多個電子元件(如：電晶體(transistors)、電容(capacitance)...等)的組合，該等電子元件是採用微加工(Microfabrication)方式製成，且該元件層13的厚度介於10微米至300微米之間，之後，該晶圓1與各該元件層13上會設置一互連導線層14(interconnect layer)(如步驟(S103))，該互連導線層14係使該元件層13中的多個電子元件能依據電路需求而彼此形成電氣連接，在此特別一提者，本發明所採用的圖式僅是表現各個結構的順序，且該元件層13與互連導線層14的成型方式，係為目前積體電路的習知方法，故不予贅述，但具備本發明之通常知識者，當能在掌握後續提及的技術特徵後，根據產品需求而完成前述元件層13與互連導線層14。

【0014】 承上，復請參閱第1及2圖所示，在該第一實施例中，當該晶圓1已建置完對應的各該元件層13與互連導線層14後，能夠先在該互連導線層14的



上方設置一第一支撐層15(如步驟(S104))，其中，該第一支撐層15能夠為導電材質、絕緣材質、透光材質或非透光材質...等，且不會造成該元件層13與互連導線層14錯誤運作(如：短路)，但不以此為限，在本發明之其他實施例中，根據產品與製成的需求，業者亦可省略設置該第一支撐層15，或者是，將該晶圓1、元件層13與互連導線層14貼附至一支撐結構上，例如，透過蠟而將該晶圓1、元件層13與互連導線層14黏附於研磨治具上，此時，前述研磨治具即為本發明所稱的第一支撐層15，合先陳明。

**【0015】** 復請參閱第1及3圖所示，在該第一實施例中，對該晶圓1上對應各該隔離區域12的位置，進行一蝕刻程序(如：乾蝕刻)(如步驟(S105))，該蝕刻程序是由該晶圓1的底面朝上蝕刻(以第2圖圖面方向為準)，直至完全貫穿該晶圓1與該互連導線層14，又，雖然該第一實施例中，在完成蝕刻程序後，各該隔離區域12會形成凹槽12A，但不以此為限，在本發明之其它實施例中，當完成該蝕刻程序後，還能在相鄰的各該基底層11A與各該互連導線層14之間填充絕緣材質(如：塗式玻璃(Spin-on glass，簡稱SOG)材料、高分子膠體、玻璃粉、絕緣金屬氧化物...等)。此外，在本發明之其它實施例中，在進行該蝕刻程序之前，還能先對該晶圓1進行一薄化程序，以減少該晶圓1的厚度，進而提高後續蝕刻程序的效率。

**【0016】** 承上，復請參閱第4圖所示，在經過前述蝕刻程序後，各該元件區域11會分別形成獨立的基底層11A(substrate)，令各該基底層11A與其對應之各該元件層13、各該互連導線層14分別形成半導體裝置，以具有各自的接地或參考電壓處。舉例而言，以第5圖的半橋驅動電路來說，其是由複數個半導體裝置(Semiconductor devices)所組成，其中，高端驅動器(high-side driver)的參考電壓通常為輸出電壓(Pout)，低端驅動器(low-side driver)與電壓/電平轉換器(level shift)的參考電壓則通常為接地(GND)，如此，藉由本發明的整體製程，即可在同一塊晶圓1上形成複數個獨立的基底層11A，因此，各個半導體裝置上的電路

架構(如前述高端驅動器、低端驅動器、電壓/電平轉換器)，其於後續運作的過程中，便能夠具有各自的接地或參考電壓處，而不會彼此造成影響。

【0017】 為了使各個半導體裝置能夠與其它電子元件或其它半導體裝置進行電氣連接，在該第一實施例中，復請參閱第4圖所示，在完成蝕刻程序後，還能對該半導體裝置進行一開孔程序，該開孔程序會在該第一支撐層15中形成一上通道161，該上通道161係對應於該互連導線層14，之後，在該上通道161填充導電材質，以形成一上接點部162(pad)，如此，該半導體裝置即可透過對應的上接點部162與其它電子元件、其它半導體裝置進行打線接合(Wire bonding)程序。惟，在本發明之其它實施例中，當該第一支撐層15屬於暫時性質，而會被拆除時，該互連導線層14上亦可在設置第一支撐層15之前，即先設置對應的接點部160(如第2圖所示)，以作為打線接合所需，其中，該接點部160或上接點部162是用來電氣連接至對應的元件層13，以使該元件層13能接收/傳送電力或訊號。此外，在完成蝕刻程序後或是進行封裝程序時，還能使第4圖左方的兩個互連導線層14能彼此電氣連接，且第4圖右方的兩個互連導線層14同樣能彼此電氣連接，因此，第2、4圖僅繪製兩個接點部160或上接點部162。

【0018】 另外，除了上接點部162的設置方式之外，本發明亦可採用矽穿孔(Through Silicon Via，簡稱TSV)方式，在本發明之第二實施例中，請參閱第6圖所示，在完成蝕刻程序後，便能對該半導體裝置進行一開孔程序，該開孔程序會在該基底層11A中形成一下通道164，該下通道164係對應於該元件層13，之後，在該下通道164填充導電材質，以形成一下接點部165，如此，該半導體裝置即可透過對應的下接點部165與其它電子元件、其它半導體裝置進行打線接合程序。再者，當該第一支撐層15屬於暫時性質，而需要被拆除時，請參閱第7圖所示，在進行完該蝕刻程序後，會在各該基底層11A的底面設置一第二支撐層17，之後，再移除該第一支撐層15，便能夠形成如第8圖所示的態樣。

【0019】 在本發明之第三實施例中，請參閱第9及10圖所示，晶圓2上能先規劃複數個元件區域21及隔離區域22(如步驟(S201))，在此特別一提者，本發明

所稱之「元件區域」係指最後會形成基底層的部分，本發明所稱之「隔離區域」則是指最後會被蝕刻處理的部分，合先敘明。該晶圓2的頂面且對應各該元件區域21的位置，能分別建置一元件層23(如步驟(S202))，之後，該晶圓2與各該元件層23上會設置一互連導線層24(如步驟(S203))。又，不同於第一實施例的步驟，請參閱第11圖所示，在完成互連導線層24後，即對該晶圓2上對應各該隔離區域22的位置，進行一蝕刻程序(如步驟(S204))，該蝕刻程序是由該互連導線層24的頂面朝下蝕刻，直至貫穿該互連導線層24，以及使部分晶圓2由其頂面朝下凹陷而形成凹槽22A(如第11圖所示)。此外，在進行蝕刻程序的前/後，還能根據產品需求，而在該互連導線層24上設置對應的接點部260。

**【0020】** 承上，請參閱第8、11及12圖所示，對該晶圓2進行一薄化程序(如步驟(S205))，以減少該晶圓2的厚度，如第12圖所示，該晶圓2的虛框部分即為薄化區域22B，該薄化區域22B至少能含蓋到局部凹槽22A，使得各該元件區域21能分別形成獨立的一基底層21A，令各該基底層21A與其對應的元件層23、互連導線層24能分別形成半導體裝置。此外，在該第三實施例中，復請參閱第11圖所示，在完成該蝕刻程序後，還能夠將絕緣材質填充至該凹槽22A中，使得相鄰的基底層21A與互連導線層24之間被絕緣材質所隔開，但不以此為限，業者亦可省略前述步驟。又，在進行該薄化程序之前，還能在各該互連導線層24的上方設置一第一支撐層25，之後，能夠進行一開孔程序，以在第一支撐層25中形成一上通道261，且該上通道261會對應於該互連導線層24，嗣，在該上通道261中填充導電材質，即可形成一上接點部262，最後才進行該薄化程序。若是該第一支撐層25同樣屬於暫時性質時，則在進行完該薄化程序後，能夠如同第一實施例一般，在該基底層21A的底面設置一第二支撐層，然後才移除該第一支撐層25。

**【0021】** 綜上所述可知，藉由本發明的整體製程，業者能夠在同一塊晶圓上，設置多個半導體裝置(例如：光二極體、金氧半場效電晶體(MOSFET)...等)，且將串聯該等光二極體後，再電氣連接至對應的金氧半場效電晶體，以透過該

等光二極體的累加光伏(photovoltaic)電壓來驅動對應的金氧半場效電晶體，前述電路結構即可透過本發明的製程完成，且每一個半導體裝置都能擁有獨立的基底層，以作為接地或參考電壓處，而不會彼此造成影響，有效提高生產與應用上的便利性，故，業者只要將最後完成的晶圓產品，進行切割成裸晶與封裝後，便能形成所需求的晶片。此外，本發明之製程所形成的半導體裝置，相較於SOI晶圓製程來說，其結構不會含有高溫絕緣材料(即，需要能耐受攝氏600度以上之高溫處理的氧化層之相關材料)，且只存有單一層矽單晶層作為該基底層11A、21A，而不會如同SOI晶圓一般，具有兩層矽單晶層，因此，在免除高溫處理製程與高溫絕緣材料的情況下，本發明顯然能有效降低整體生產成本。

【0022】 按，以上所述，僅係本發明之較佳實施例，惟，本發明所主張之權利範圍，並不侷限於此，按凡熟悉該項技藝人士，依據本發明所揭露之技術內容，可輕易思及之等效變化，均應屬不脫離本發明之保護範疇。

#### 【符號說明】

#### 【0023】

[習知]

無

[本發明]

1、2：晶圓

11、21：元件區域

11A、21A：基底層

12、22：隔離區域

12A、22A：凹槽

13、23：元件層

14、24：互連導線層

15、25：第一支撐層

160、260：接點部

161、261：上通道

162、262：上接點部

164：下通道

165：下接點部

17：第二支撐層

22B：薄化區域

S101~S105、S201~S205：步驟

## 【發明申請專利範圍】

- 【請求項1】一種在同一晶圓上形成複數相隔離基底層的半導體裝置製程，包括：
- 在一晶圓上規劃複數個元件區域及隔離區域；
  - 在該晶圓的頂面且對應各該元件區域處，分別建置一元件層；
  - 在該晶圓與各該元件層上會設置一互連導線層，該互連導線層係使該元件層中的多個電子元件依據電路需求而彼此形成電氣連接；
  - 在該互連導線層的上方設置一第一支撐層；及
  - 對該晶圓上對應各該隔離區域處，進行一蝕刻程序，該蝕刻程序是由該晶圓的底面朝上蝕刻，直至完全貫穿該晶圓與該互連導線層，使得各該元件區域分別形成獨立的一基底層，令各該基底層與其對應之各該元件層與各該互連導線層分別形成半導體裝置。
- 【請求項2】如請求項1所述之半導體裝置製程，其中，在完成蝕刻程序後，進行一開孔程序，以在該支撐層中形成一上通道，該上通道係對應於該互連導線層，之後，在該上通道填充導電材質，以形成一上接點部。
- 【請求項3】如請求項1所述之半導體裝置製程，其中，在完成蝕刻程序後，進行一開孔程序，以在該基底層中形成一下通道，該下通道係對應於該互連導線層，之後，在該下通道填充導電材質，以形成一下接點部。
- 【請求項4】如請求項1所述之半導體裝置製程，其中，在進行完該蝕刻程序後，在各該基底層的底面設置一第二支撐層，之後，移除該第一支撐層。

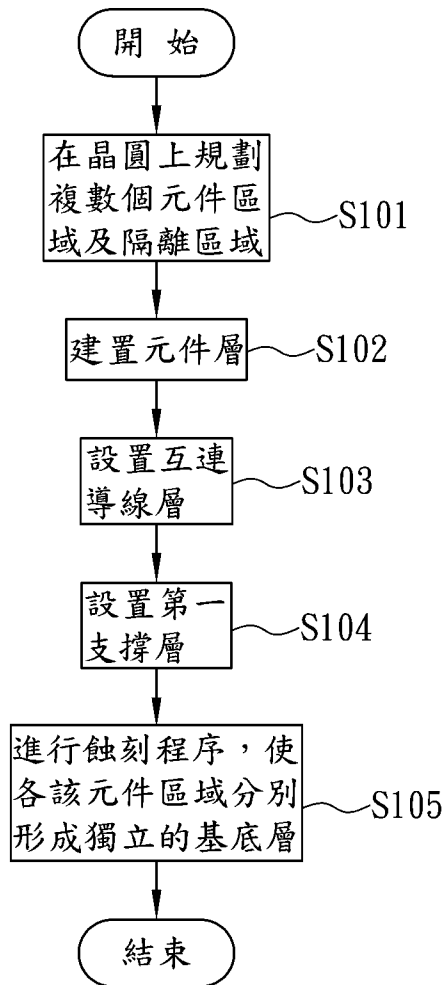
- 【請求項5】如請求項1至4任一項所述之半導體裝置製程，其中，在完成該蝕刻程序後，在相鄰的各該基底層與各該互連導線層之間填充絕緣材質。
- 【請求項6】如請求項1至4任一項所述之半導體裝置製程，其中，在進行該蝕刻程序之前，對該晶圓進行一薄化程序，以減少該晶圓的厚度。
- 【請求項7】一種在同一晶圓上形成複數相隔離基底層的半導體裝置製程，包括：
- 在一晶圓上規劃複數個元件區域及隔離區域；
  - 在該晶圓的頂面且對應各該元件區域處，分別建置一元件層；
  - 在該晶圓與各該元件層的頂面設置一互連導線層，該互連導線層係使該元件層中的多個電子元件依據電路需求而彼此形成電氣連接；
  - 對該晶圓上對應各該隔離區域處，進行一蝕刻程序，該蝕刻程序是由該互連導線層的頂面朝下蝕刻，直至貫穿該互連導線層，以及使部分晶圓由其頂面朝下凹陷；
  - 在各該互連導線層的上方設置一第一支撐層；及
  - 對該晶圓進行一薄化程序，以減少該晶圓的厚度，直至各該元件區域分別形成獨立的一基底層，令各該基底層與其對應之各該元件層與各該互連導線層分別形成獨立的半導體裝置。
- 【請求項8】如請求項7所述之半導體裝置製程，其中，在完成該蝕刻程序後，在相鄰的各該基底層與各該互連導線層之間填充絕緣材質。
- 【請求項9】如請求項7或8所述之半導體裝置製程，其中，在設置該第一支撐層之後，還會執行下列步驟：
- 進行一開孔程序，以在該第一支撐層中形成一上通道，該上通道係對應於該互連導線層；及

在該上通道填充導電材質，以形成一上接點部後，才進行該薄化程序。

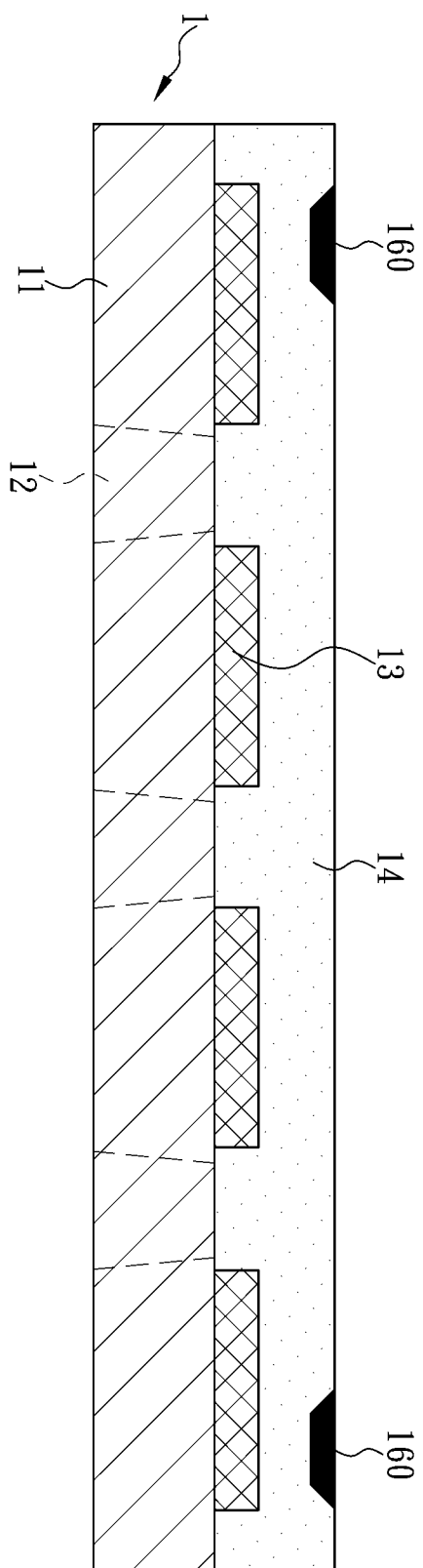
【請求項10】如請求項7或8所述之半導體裝置製程，其中，在進行完該薄化程序後，在各該基底層的底面設置一第二支撐層，之後，移除該第一支撐層。



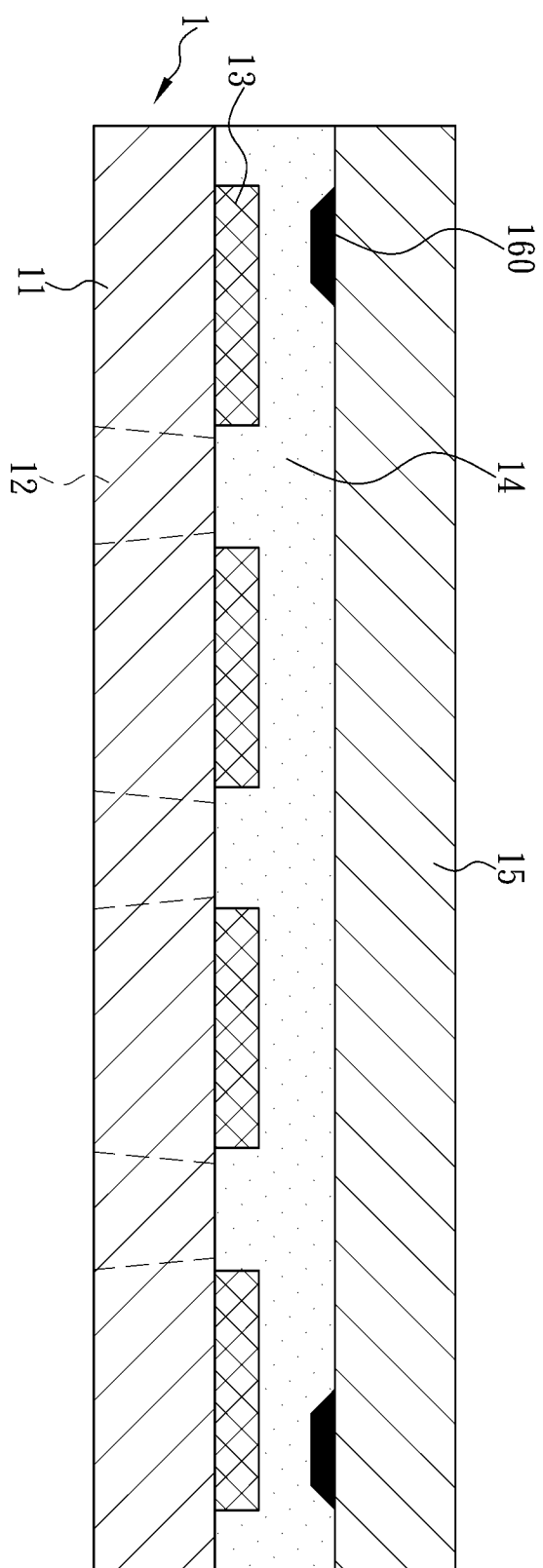
## 【發明圖式】



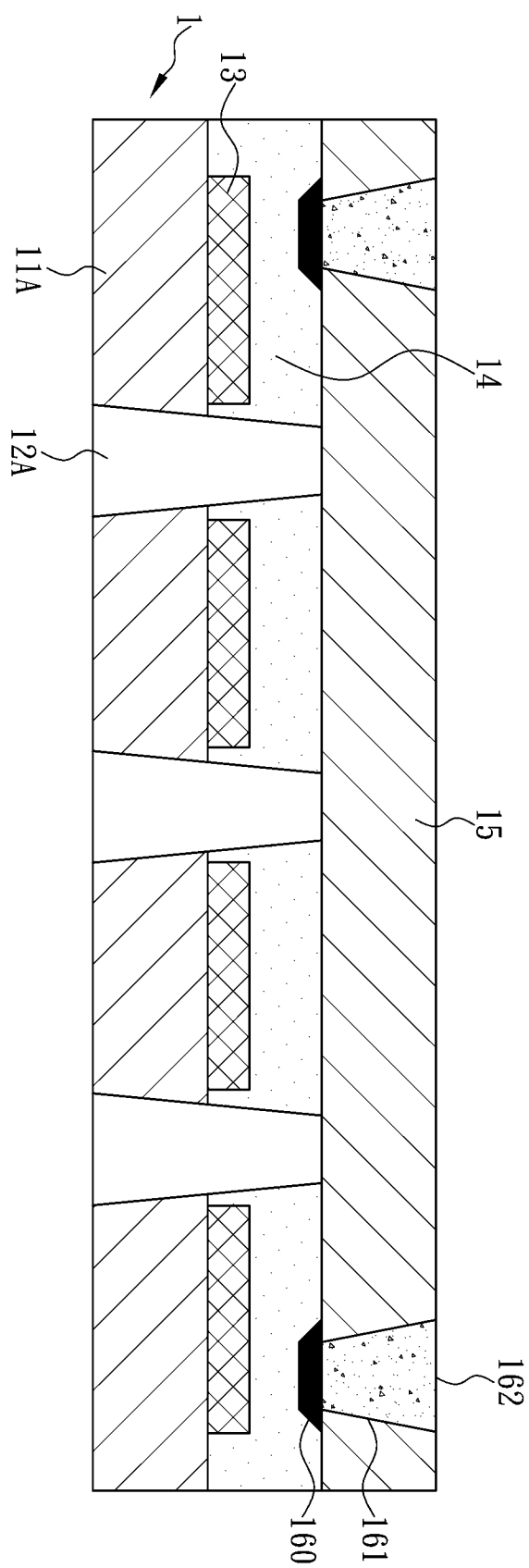
第1圖



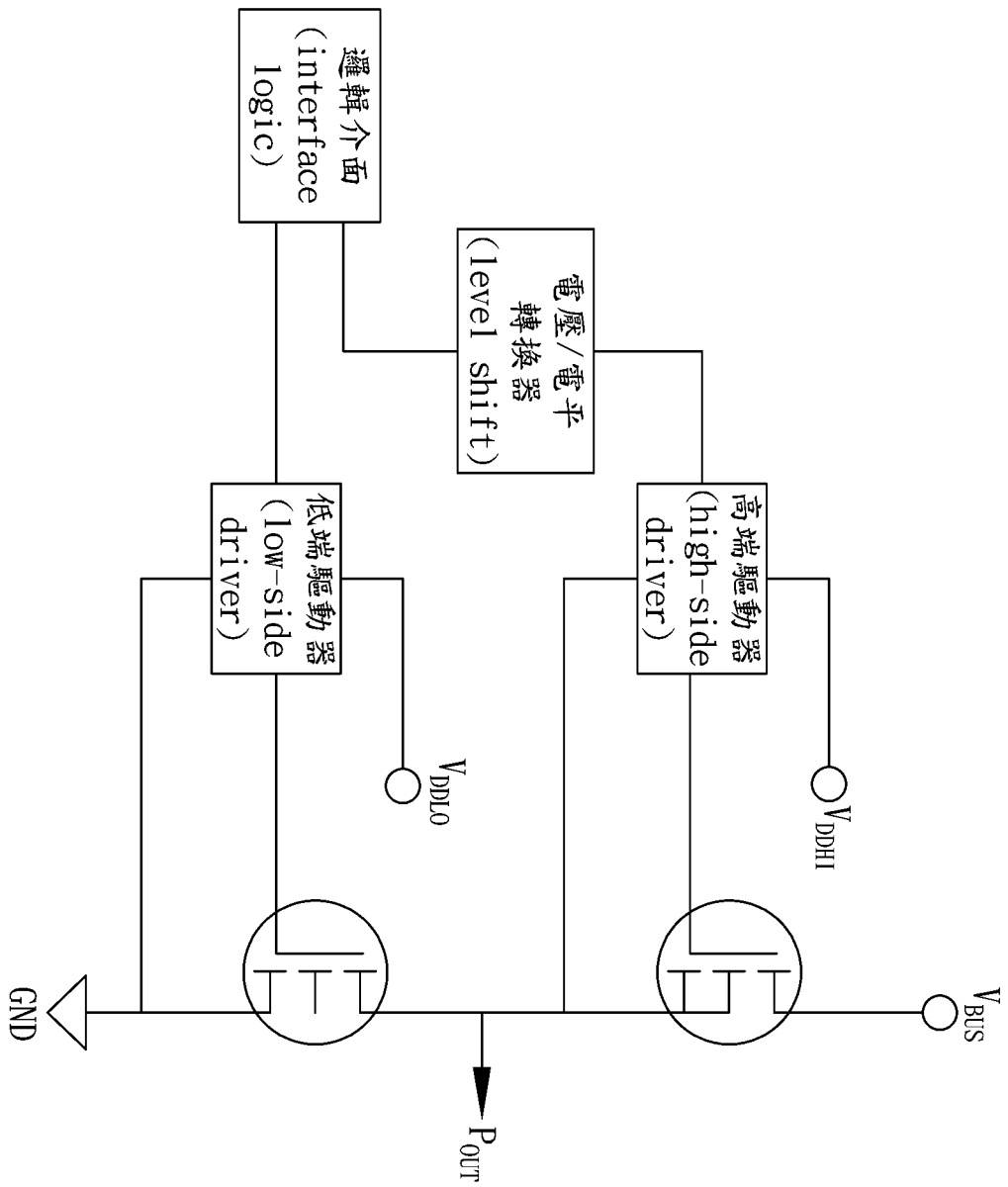
第2圖



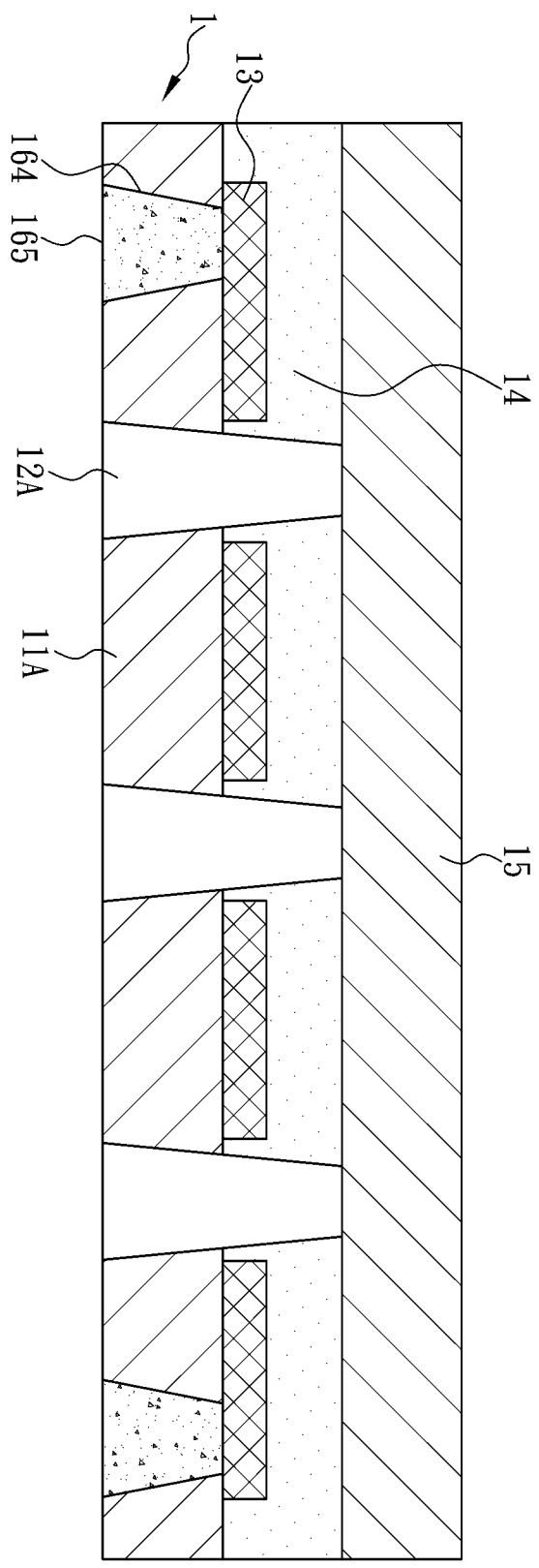
第3圖



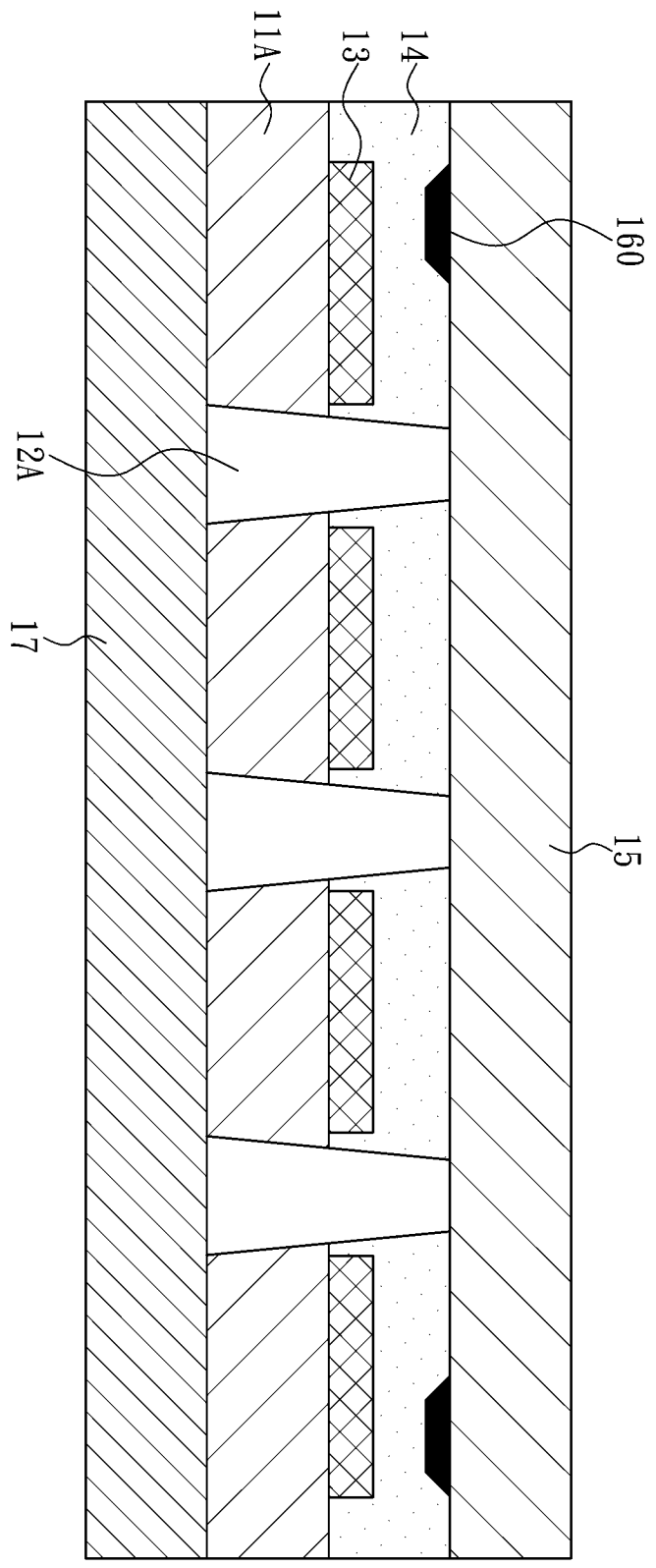
第4圖



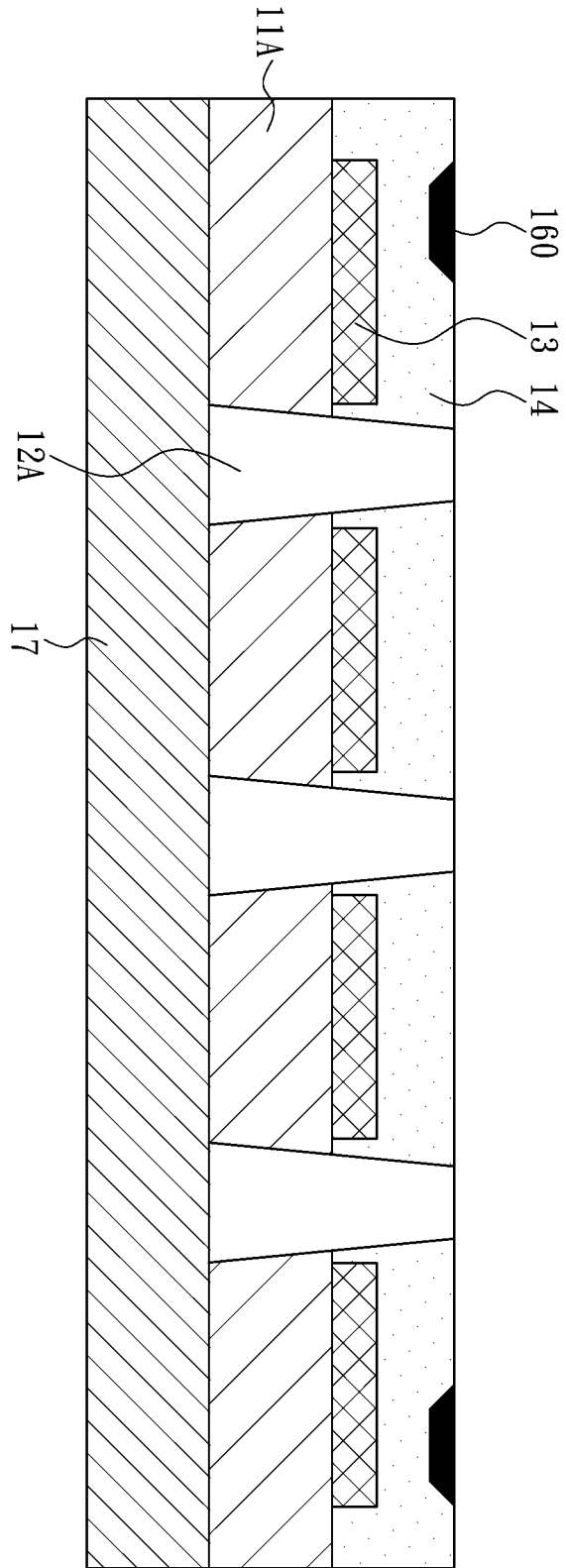
第5圖



第6圖

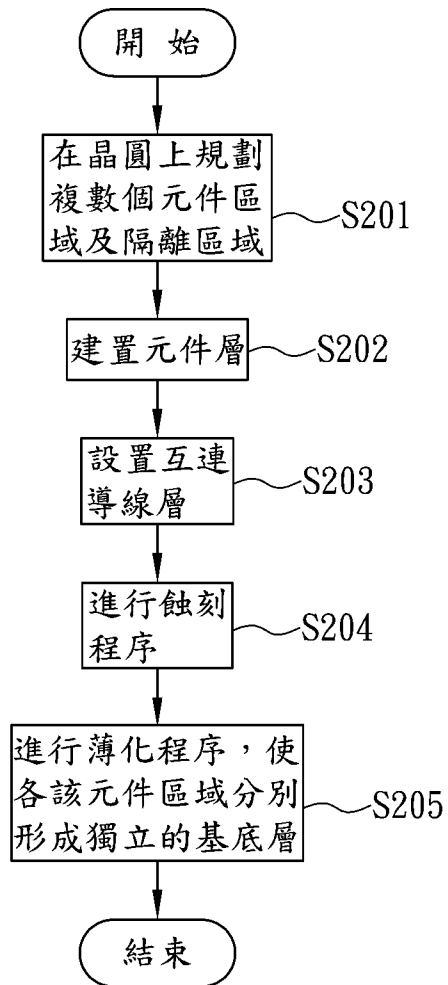


第7圖

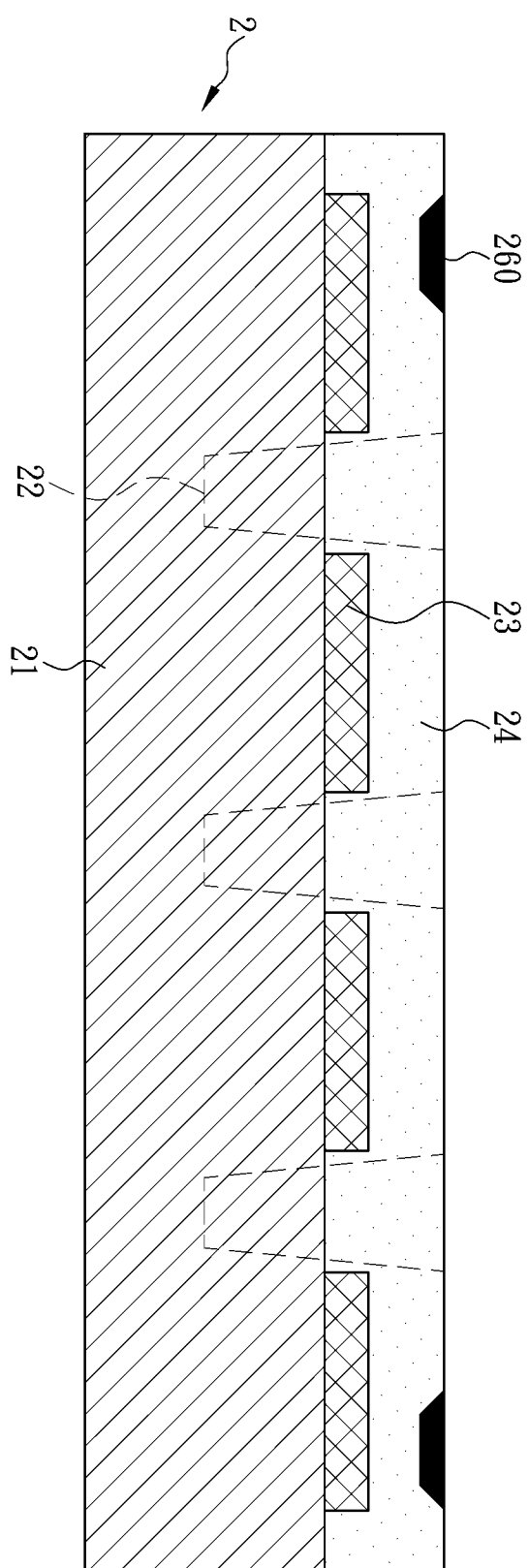


第8圖

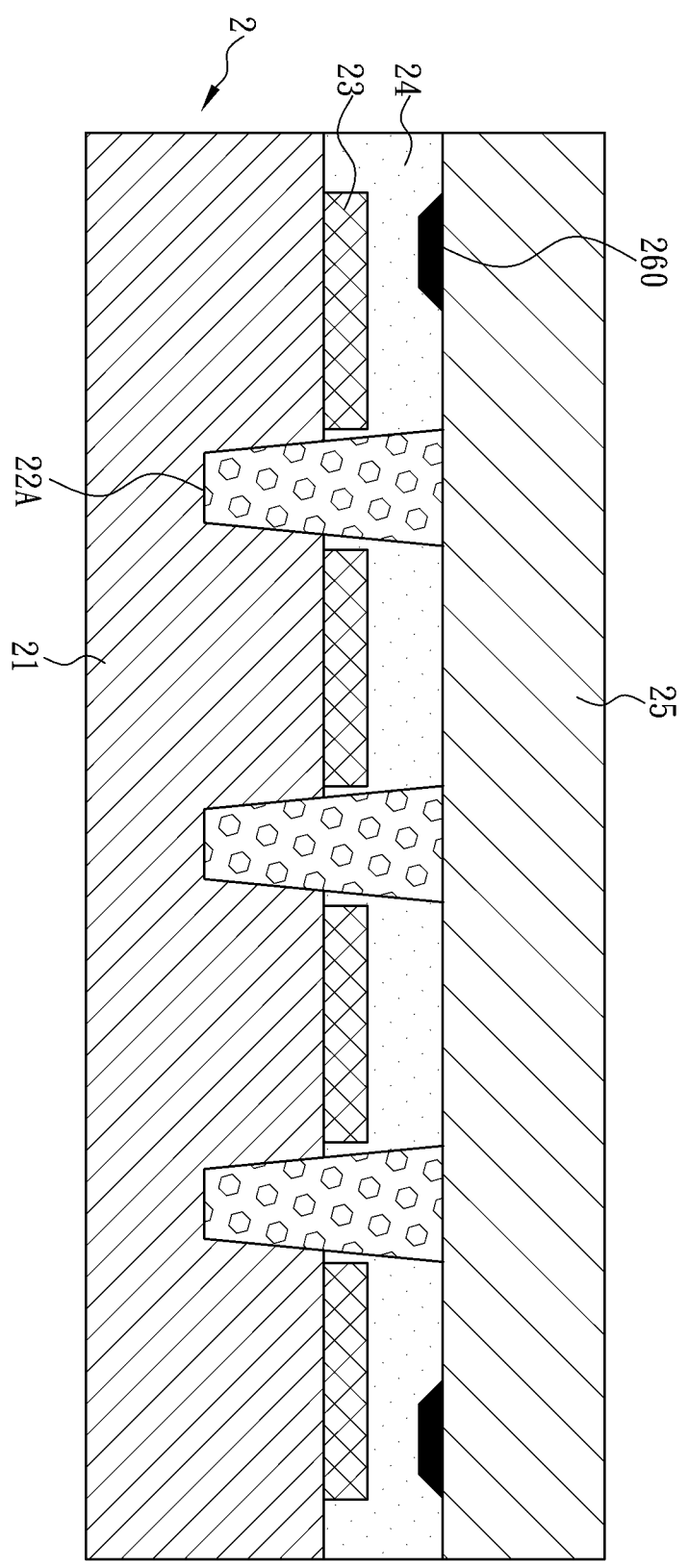




第9圖



第10圖



第11圖

