



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I546918 B

(45) 公告日：中華民國 105 (2016) 年 08 月 21 日

(21) 申請案號：102126160

(22) 申請日：中華民國 102 (2013) 年 07 月 22 日

(51) Int. Cl. : H01L23/48 (2006.01)

H01L21/60 (2006.01)

(30) 優先權：2013/03/15 日本

2013-053387

2013/03/21 日本

2013-058016

(71) 申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)  
日本

(72) 發明人：石井齊 ISHII, HITOSHI (JP)

(74) 代理人：陳長文

(56) 參考文獻：

TW M406260

TW 201246512A

審查人員：陳志遠

申請專利範圍項數：7 項 圖式數：12 共 28 頁

(54) 名稱

半導體裝置

(57) 摘要

本發明之課題係於小型化、高密度化進展之半導體裝置中，提供一種可連接內引線間之半導體裝置。

本發明之實施形態之半導體裝置包含：複數個引線，其具有內引線及外引線；半導體晶片，其設置於複數個引線上；間隔件，其介於半導體晶片與複數個引線之間，且於半導體晶片之背面與複數個引線之間形成間隙；及導線，其設置於間隙，於半導體晶片之背面下電性連接內引線間。

指定代表圖：

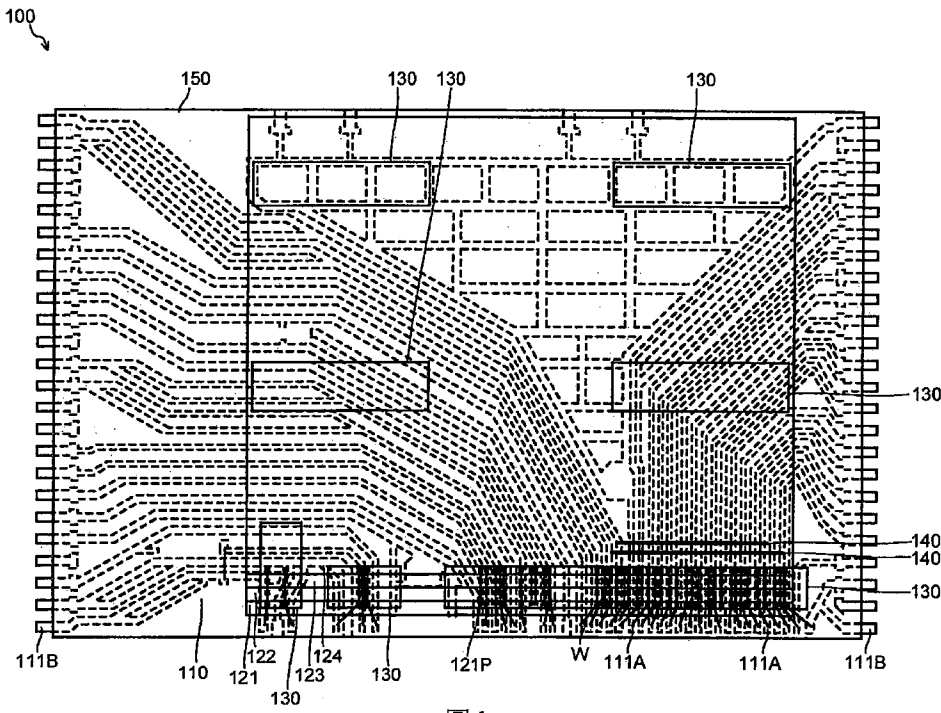


圖 1

符號簡單說明：

- 100 . . . 半導體裝置
- 110 . . . 引線基板
- 111A . . . 內引線
- 111B . . . 外引線
- 121 . . . 半導體晶片
- 121P . . . 電極墊
- 122 . . . 半導體晶片
- 123 . . . 半導體晶片
- 124 . . . 半導體晶片
- 130 . . . 間隔件
- 140 . . . 導線
- 150 . . . 密封樹脂
- W . . . 金屬導線

## 發明摘要



※ 申請案號： 102126160

※ 申請日： 10207-22

※IPC 分類：H01L 23148 (2006.01)

H01L 21/60 (2006.01)

## 【發明名稱】

半導體裝置

## 【中文】

本發明之課題係於小型化、高密度化進展之半導體裝置中，提供一種可連接內引線間之半導體裝置。

本發明之實施形態之半導體裝置包含：複數個引線，其具有內引線及外引線；半導體晶片，其設置於複數個引線上；間隔件，其介於半導體晶片與複數個引線之間，且於半導體晶片之背面與複數個引線之間形成間隙；及導線，其設置於間隙，於半導體晶片之背面下電性連接內引線間。

## 【英文】

無

**【代表圖】**

**【本案指定代表圖】**：第（ 1 ）圖。

**【本代表圖之符號簡單說明】**：

100	半導體裝置
110	引線基板
111A	內引線
111B	外引線
121	半導體晶片
121P	電極墊
122	半導體晶片
123	半導體晶片
124	半導體晶片
130	間隔件
140	導線
150	密封樹脂
W	金屬導線

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

半導體裝置

## 【相關申請案】

本申請案係享受以日本專利申請案第2013-53387號(申請日期：2013年3月15日)及日本專利申請案第2013-58016號(申請日期：2013年3月21日)為基礎申請案之優先權，本申請案藉由參照該等基礎申請案而包含基礎申請案之所有內容。

## 【技術領域】

本發明之實施形態係關於半導體裝置。

## 【先前技術】

伴隨半導體裝置之高速化，而易於受電源(Vcc)或接地(Vss)之電位變動之影響。尤其是，因資料之I/O信號受電源、接地或兩者之電位變動之影響，於其上升或下降部分之不均增大。因此，為使電源或接地之電位穩定化，或減少電源-接地間之電感，而藉由金屬導線電性連接電源用引線間或接地(接地)用引線間。又，為提高半導體裝置之通用性，而對控制信號或I/O信號等之內引線之排列順序或外引線之排列順序加以變更。該情形時，於封裝內，藉由以橫跨位於其等間之引線之方式而設置之中繼用之金屬導線連接引線彼此，而變更電極墊之排列順序與外引線之排列順序。

再者，近年來，半導體裝置向小型化及高密度化發展。例如，有於封裝內積層有半導體晶片之半導體裝置、或使半導體晶片大型化之半導體裝置。然而，於該半導體裝置中，因半導體晶片所佔據之區域變大(變寬)，故難以於封裝內確保設置金屬導線之空間。而且，若

欲於封裝內確保設置金屬導線之空間，則會導致封裝變大。

如上所述，於向小型化、高密度化發展之半導體裝置，需要一種可連接內引線間之半導體裝置。

### 【發明內容】

#### [發明所欲解決之問題]

本發明係於向小型化、高密度化發展之半導體裝置，提供一種可連接內引線間之半導體裝置。

#### [解決問題之技術手段]

本發明之實施形態之半導體裝置包含：複數個引線，其具有內引線及外引線；半導體晶片，其設置於複數個引線上；間隔件，其介於半導體晶片與複數個引線之間，且於半導體晶片之背面與複數個引線之間形成間隙；及導線，其設置於間隙，且於半導體晶片之背面之下方電性連接內引線間。

本發明之另一實施形態之半導體裝置包含：複數個引線，其具有內引線及外引線；半導體晶片，其設置於複數個引線上；及間隔件，其介於半導體晶片與複數個引線之間，且於半導體晶片之背面下電性連接內引線間。

### 【圖式簡單說明】

圖1係第1實施形態之半導體裝置之俯視圖。

圖2係第1實施形態之半導體裝置之放大剖面圖。

圖3係第1實施形態之半導體裝置之局部俯視圖。

圖4係沿圖3之線段X-X之剖面圖。

圖5係表示第1實施形態之半導體裝置之製造方法的流程圖。

圖6係第2實施形態之半導體裝置之俯視圖。

圖7係第2實施形態之半導體裝置之放大剖面圖。

圖8係第2實施形態之半導體裝置之引線基板及間隔件之放大俯

視圖。

圖9係沿圖8之線段X-X之剖面圖。

圖10係沿圖8之線段Y-Y之放大剖面圖。

圖11係沿圖10之線段Z-Z之剖面圖。

圖12係表示第2實施形態之半導體裝置之製造方法的流程圖。

### 【實施方式】

以下，參照圖式對實施形態進行詳細說明。

(實施形態)

圖1係第1實施形態之半導體裝置100之俯視圖。圖2係第1實施形態之半導體裝置100之局部放大剖面圖。於本實施形態中，半導體裝置100為TSOP(Thin Small Outline Package，薄型小尺寸封裝)型半導體裝置。

如圖1及圖2所示，半導體裝置100包含引線基板110、半導體晶片121~124、間隔件130、導線140、及密封樹脂150。再者，圖1中並非以鏈線而係以實線表示以密封樹脂150密封之半導體晶片121~124、間隔件130及導線140。

引線基板110具有複數個引線111。各引線111使用導電性優異之金屬材料，例如銅(Cu)、鐵(Fe)、或鎳(Ni)。各引線111具有密封於密封樹脂150內之內引線111A、及自密封樹脂150露出之外引線111B。內引線111A主要作為與半導體晶片121~124之電極墊之連接部發揮功能。外引線111B作為外部連接端子發揮功能。再者，複數個引線111以絕緣性之固定膠帶(例如聚醯亞胺(Polyimide)固定，以防止位置偏移。

各引線111係由包含電源用(Vcc)引線、接地用(Vss)引線、控制信號用引線、輸入輸出(I/O)用引線之複數個引線構成。此處，控制信號用引線包含晶片賦能(CE)、允許寫入(WE)、允許讀出(RE)、指令允許

鎖存(CLE)、位址允許鎖存(ALE)、寫入保護(WP)、就緒/忙碌(R/B)、資料選通信號(DQS)、讀寫(RE)等之引線。

再者，各引線之排列順序會根據搭載半導體裝置100之安裝板之規格而不同。

半導體晶片121~124例如為NAND型快閃記憶體等記憶元件及其之控制元件。於半導體晶片121~124之一邊側，以沿該一邊排列之方式分別形成有複數個電極墊121P~124P。各半導體晶片121~124以使沿一邊側形成之電極墊121P~124P露出之方式，呈階梯狀積層於引線基板110上。

最下層之半導體晶片121接著於間隔件130上。又，半導體晶片122~124藉由晶片黏著膜F(接著劑膜)而分別接著於半導體晶片121~123上。晶片黏著膜F使用例如以聚醯亞胺樹脂、環氧樹脂、丙烯酸系樹脂等為主要成分之熱硬化性或光硬化性之材料。

再者，圖2中積層有4片半導體晶片。然而，積層之半導體晶片之數量並非限定於4片。半導體晶片之數量亦可為一片以上。藉由呈階梯狀積層而露出之半導體晶片121~124之電極墊121P~124P，藉由Au導線或Cu導線等金屬導線W而與引線111之內引線111A電性連接。

間隔件130介於引線基板110與最下層之半導體晶片121之背面121R之間。間隔件130於引線基板110與最下層之半導體晶片121之背面121R之間形成有間隙S。間隙S之高度D1較佳為70 μm以上。再者，若間隙S之高度D1過高，則會使半導體裝置100變厚。因此，間隙S之高度D1較佳為100 μm以下。

間隔件130具有黏著層131、133及絕緣層132。黏著層131及133使用例如以聚醯亞胺樹脂、環氧樹脂、丙烯酸系樹脂等為主要成分之熱硬化性或光硬化性之材料。又，絕緣層132使用絕緣性之材料，例如使用聚醯亞胺樹脂。



再者，圖1中，6個間隔件130位於半導體晶片121之背面121R與引線基板110之間。但間隔件130只要可確保後述之導線140之設置空間即可。因此，設置間隔件130之位置並非限定於圖1所示之位置。例如，亦可將間隔件130設置於半導體晶片121之背面121R之四個角落。

導線140例如為使用有導線性優異之金(Au)、銅(Cu)、鋁(Al)或該等之合金之金屬導線。導線140電性連接內引線111A間。於本實施形態中，導線140於最下層之半導體晶片121之背面121R之下方，電性連接電源用(Vcc)引線之內引線111A間、接地用(Vss)引線之內引線111A間、及控制信號用引線之內引線111A間之至少一個以上之內引線111A間。

密封樹脂150密封引線基板110、半導體晶片121~124、間隔件130、及導線140。再者，各引線111之外引線111B以露出之狀態藉由密封樹脂150密封。

下面，對半導體裝置100之利用導線140連接內引線111A間之情形進行更詳細之說明。圖3係半導體裝置100之局部俯視圖。圖4係沿圖3之線段X-X之剖面圖。圖3及圖4中，表示有以導線140電性連接電源用(Vcc)引線之內引線111A間、及接地用(Vss)引線之內引線111A間之例。再者，圖3中省略半導體晶片121~124及密封樹脂150之圖示。又，甚至中途以鏈線表示金屬導線W。圖4中省略間隔件130及密封樹脂150之圖示。

如圖3所示，導線140以橫跨其他內引線111A之狀態，電性連接電源用(Vcc)引線之內引線111A間及接地用(Vss)引線之內引線111A間。再者，圖3所示之例中，導線140橫跨輸入輸出(I/O)用引線。輸入輸出(I/O)用引線附近易受電源(Vcc)或接地(Vss)之電位之影響。因此，如圖3所示，較佳為電性連接配置於輸入輸出(I/O)用引線周圍之

電源用(Vcc)引線及接地用(Vss)引線之內引線111A間。但導線140亦可橫跨其他引線，例如橫跨控制信號用引線。

又，如圖3所示，於藉由導線140電性連接之電源用(Vcc)引線及接地用(Vss)引線之內引線111A間所夾之輸入輸出(I/O)用引線之內引線111A中形成有凹部111C。再者，如圖3所示，於該半導體裝置100中，於導線140所橫跨之區域形成有凹部111C。

因此，如圖4所示，導線140所連接之電源用(Vcc)引線及接地用(Vss)引線之內引線111A之上表面S1及S2、與半導體晶片121之背面121R之間之距離D2，小於導線140所連接之電源用(Vcc)引線及接地用(Vss)引線之內引線111A間所夾之輸入輸出(I/O)用引線之內引線111A之上表面S3與半導體晶片121之背面121R之間之距離D3。

即，藉由形成凹部111C，可使以導線140連接之內引線111A所夾之內引線111A之上表面之位置，低於以導線140連接之內引線111A之上表面。因此，可降低導線140與連接對象即內引線111A以外之內引線111A接觸之虞。又，藉由形成凹部111C，可增加內引線111A之上表面與半導體晶片121之背面121R之間之距離。因此，可降低半導體晶片121與形成有凹部111C之內引線111A之間之寄生電容。

再者，內引線111A之凹部111C可藉由乾蝕刻或濕蝕刻而形成。又，亦可對內引線111A施加壓力而於上下方向壓扁。藉由壓扁而使內引線111A之厚度變薄，從而可形成凹部111C(壓印加工)。又，亦可藉由壓陷加工將內引線111A朝下方折彎而形成凹部111C。壓印加工或壓陷加工可抑制內引線111A之剖面面積之減少。因此，可抑制形成有凹部111C之內引線111A之電阻增大。

再者，圖3及圖4所示之例中，出於使電源(Vcc)或接地(Vss)之電位穩定化(強化)，或減少電源-接地間之電感之目的，而以導線140電性連接電源用(Vcc)引線之內引線111A間及接地用(Vss)引線之內引線

111A間。但亦可出於變更內引線111A之排列順序與外引線111B之排列順序之目的，而以導線140電性連接控制信號用引線及/或輸入輸出(I/O)用引線之內引線111A間。

又，亦可於最下層之半導體晶片121之背面121R設置絕緣層(例如氧化矽層)。該絕緣層例如可藉由使半導體晶片121之背面氧化而成爲氧化矽來形成。又，亦可於半導體晶片121之背面121R設置晶片黏著膜(DAF)等接著劑膜。又，亦可使半導體晶片121之背面121R下凹。

藉由於最下層之半導體晶片121之背面121R設置絕緣層或使半導體晶片121之背面121R下凹，可防止導線140與半導體晶片121電性接觸。再者，於在半導體晶片121之背面121R設置有晶片黏著膜(DAF)等接著劑膜之情形時，無需間隔件130之黏著層133。又，較佳爲絕緣層設置於半導體晶片121之整個背面121R。

(半導體裝置100之製造)

圖5係表示半導體裝置100之製造方法之流程圖。以下，參照圖1至圖5，對半導體裝置100之製造方法進行說明。

於引線基板110之特定位置安裝間隔件130(步驟S101)。間隔件130之安裝亦可於引線基板110之製造步驟之中途，在進行壓陷加工或壓印加工、對引線前端進行切斷加工之前進行。以導線140電性連接引線基板110之引線111中所需之引線111之內引線111A間(步驟S102)。於以導線140進行連接時，使用既有之打線接合裝置。

其次，於間隔件130上，呈階梯狀積層半導體晶片121~124(步驟S103)。再者，於積層半導體晶片122~124時，使用晶片黏著膜(DAF)等接著劑膜。其次，以金屬導線W電性連接經積層之半導體晶片121~124之電極墊121P~124P，及引線基板110之內引線111A(步驟S104)。再者，於以金屬導線W進行連接時，使用既有之打線接合裝

置。

繼而，以密封樹脂150密封引線基板110、半導體晶片121~124、間隔件130、導線140及金屬導線W等(步驟S105)。其次，對自密封樹脂150露出之外引線111B進行彎曲加工或切斷加工等(步驟S106)。再者，亦可於將間隔件130貼附於半導體晶片121之背面之後，將半導體晶片121安裝於引線基板110上。

如上所述，半導體裝置100具有於半導體晶片121之背面121R與複數個引線111之間形成間隙S之間隔件130。又，於該間隙S，藉由導線140電性連接內引線111A間。

因此，即便於安裝半導體晶片121~124之區域之外側無供導線140用之空間，仍可藉由導線140電性連接內引線111A間。

再者，以導線140連接之內引線111A所夾之內引線111A之上表面之位置，低於以導線140連接之內引線111A之上表面。因此，可降低導線140與連接對象即內引線111A以外之內引線111A接觸之虞。進而，藉由形成凹部111C，可增加內引線111A之上表面與半導體晶片121之背面121R之間之距離。因此，可降低半導體晶片121與形成有凹部111C之內引線111A之間之寄生電容。

進而，於藉由壓印加工或壓陷加工形成內引線111A之凹部111C之情形時，可抑制內引線111A之剖面積之減少。因此，可抑制形成有凹部111C之內引線111A之電阻之增大。又，於最下層之半導體晶片121之背面121R設置有絕緣層之情形時，可防止半導體晶片121與導線140之電性接觸。

(第2實施形態)

圖6係第2實施形態之半導體裝置200之俯視圖。圖7係第2實施形態之半導體裝置200的局部放大剖面圖。於本實施形態中，半導體裝置200為TSOP型半導體裝置。

如圖6及圖7所示，半導體裝置200包含引線基板210、半導體晶片221~224、間隔件230、及密封樹脂250。再者，圖6中並非以鏈線而係以實線表示以密封樹脂250密封之半導體晶片221~224及間隔件230。

引線基板210具有複數個引線211。各引線211使用導電性優異之金屬材料，例如銅(Cu)、鐵(Fe)、鎳(Ni)。各引線211具有密封於密封樹脂250內之內引線211A、及自密封樹脂250露出之外引線211B。內引線211A主要作為與半導體晶片221~224之電極墊之連接部發揮功能。外引線211B作為外部連接端子發揮功能。再者，複數個引線211以絕緣性之固定膠帶(例如聚醯亞胺(Polyimide)固定，以防止位置偏移。

各引線211係由包含電源用(Vcc)引線、接地用(Vss)引線、控制信號用引線、輸入輸出(I/O)用引線之複數個引線構成。此處，控制信號用引線包含晶片賦能(CE)、允許寫入(WE)、允許讀出(RE)、指令允許鎖存(CLE)、位址允許鎖存(ALE)、寫入保護(WP)、就緒/忙碌(R/B)、資料選通信號(DQS)、讀寫(RE)等之引線。

再者，各引線之排列順序會根據搭載半導體裝置200之安裝板之規格而不同。

半導體晶片221~224例如為NAND型快閃記憶體等記憶元件及其之控制元件。於半導體晶片221~224之一邊側，以沿該一邊排列之方式分別形成有複數個電極墊221P~224P。各半導體晶片221~224以露出沿一邊側形成之電極墊221P~224P之方式，呈階梯狀積層於引線基板210上。

最下層之半導體晶片221藉由絕緣性之晶片黏著膜F(接著劑膜)接著於間隔件230上。又，半導體晶片222~224藉由絕緣性之晶片黏著膜F(接著劑膜)而分別接著於半導體晶片221~223上。晶片黏著膜F例

如使用以聚醯亞胺樹脂、環氧樹脂、丙烯酸系樹脂等為主要成分之熱硬化性或光硬化性之材料而構成。

再者，圖7中積層有4片半導體晶片。然而，積層之半導體晶片之片數並非限定於4片。半導體晶片之片數亦可為一片以上。藉由積層成階梯狀而露出之半導體晶片221~224之電極墊221P~224P，藉由Au導線或Cu導線等金屬導線W而與引線211之內引線211A電性連接。

間隔件230介於引線基板210與最下層之半導體晶片221之背面221R之間。間隔件230之至少一個電性連接引線基板210之內引線211A間。圖6中，6個間隔件230位於半導體晶片221之背面221R與引線基板210之間。但設置間隔件230之位置並非限定於圖6所示之位置。例如，亦可將間隔件230設置於半導體晶片221之背面221R之四個角落。再者，對間隔件230之詳細構成，下文將參照圖8至圖11加以敘述。

密封樹脂250密封引線基板210、半導體晶片221~224及間隔件230。再者，各引線211之外引線211B以露出之狀態藉由密封樹脂250予以密封。

(間隔件230之構成)

圖8係引線基板210及間隔件230之放大俯視圖。圖9係沿圖8之線段X-X之剖面圖。再者，圖8中省略對半導體晶片221~224及密封樹脂250之圖示。又，以鏈線表示金屬導線W之局部。圖9中省略間隔件230及密封樹脂250之圖示。又，圖10係沿圖8之線段Y-Y之放大剖面圖。圖11係沿圖10之線段Z-Z之剖面圖。以下，參照圖8至圖11詳細說明間隔件230之構成。

如圖9所示，間隔件230係於依序積層黏著層231、絕緣層232及黏著層233而成之積層體上積層有導體層234。黏著層231及233例如使用以聚醯亞胺樹脂、環氧樹脂、丙烯酸系樹脂等為主要成分之熱硬化

性或光硬化性之材料。絕緣層232使用絕緣性之材料，例如聚醯亞胺樹脂。導體層234使用電傳導性良好之材料，例如銅或鋁之薄膜。又，如圖8所示，導體層234沿間隔件230之兩側面S1及S2積層。導體層234例如可藉由貼附銅箔而形成於絕緣層232上。

如圖8至圖11所示，於積層黏著層231、絕緣層232及黏著層233而成之積層體上，自表面S3(第1主面)遍至背面S4(第2主面)設置有凹陷230A。圖8所示之例中，於間隔件230之側面S3及S4上各設置有2個凹陷230A。於間隔件230之側面S1側，於電源用(Vcc)引線之位置設置有凹陷230A。於間隔件230之側面S2側，於接地用(Vss)引線之位置設置有凹陷230A。凹陷230A係以到達側面S1或S2之方式設置。又，於各凹陷230A中，如圖10及11所示般填充有導體E。再者，導體E例如藉由燒結導電漿(例如銀漿或銅漿)或使其硬化而形成。

即，圖8所示之例中，藉由間隔件230之導體層234及填充於凹陷230之導體E，而電性連接電源用(Vcc)引線之內引線211A間及接地用(Vss)引線之內引線211A間。即，間隔件230係以橫跨其他內引線211A之狀態，電性連接電源用(Vcc)引線之內引線211A間及接地用(Vss)引線之內引線211A間。

再者，圖8所示之例中，間隔件230橫跨輸入輸出(I/O)用引線。輸入輸出(I/O)用引線附近易受電源(Vcc)或接地(Vss)之電位之影響。因此，如圖8所示，較佳為電性連接配置於輸入輸出(I/O)用引線周圍之電源用(Vcc)引線及接地用(Vss)引線之內引線211A間。但導線240亦可橫跨其他引線，例如橫跨控制信號用引線。

再者，圖8及圖9所示之例中，出於使電源(Vcc)或接地(Vss)之電位穩定化(強化)，或減少電源-接地間之電感之目的，而以間隔件230電性連接電源用(Vcc)引線之內引線211A間及接地用(Vss)引線之內引線211A間。但亦可出於變更內引線211A之排列順序與外引線211B之

排列順序之目的，而以間隔件230電性連接控制信號用引線及/或輸入輸出(I/O)用引線之內引線211A間。

(半導體裝置200之製造)

圖12係顯示半導體裝置200之製造方法之流程圖。以下，參照圖6至圖12對半導體裝置200之製造方法進行說明。

於引線基板210上之欲電性連接之內引線211A上之特定位置安裝間隔件230(步驟S201)。

其次，對設置於間隔件230之側面S1及S2之凹陷230A之位置塗敷導電漿(步驟S202)。再者，導電漿例如可藉由印刷法進行塗敷。

繼而，於間隔件230上，呈階梯狀積層半導體晶片221~224(步驟S203)。再者，於積層半導體221~224時，使用晶片黏著膜等接著劑膜。其次，以金屬導線W電性連接已積層之半導體晶片221~224之電極墊221P~224P，及引線基板210之內引線211A(步驟S204)。再者，於以金屬導線W進行連接時，使用既有之打線接合裝置。

其次，以密封樹脂250密封引線基板210、半導體晶片221~224、間隔件230、及金屬導線W等(步驟S205)。然後，對自密封樹脂250露出之外引線211B進行彎曲加工或切斷加工等(步驟S206)。

如上所述，半導體裝置200具有於半導體晶片221之背面221R與複數個引線211之間電性連接內引線211A間之間隔件230。因此，即便於安裝半導體晶片221~224之區域之外側不存在用以設置電性連接內引線211A間之導線之空間，仍可藉由間隔件230電性連接內引線211A間。

又，於積層於間隔件230上之半導體晶片221之背面221R設置成爲絕緣層之晶片黏著膜F。因此，可防止間隔件230之導體層234與半導體晶片221電性接觸。

進而，將導電體E填充於設置於間隔件230之側面S1及S2之凹陷



203A。藉此，防止氣體滯留於間隔件230之凹陷230A內。其結果，於將間隔件230安裝於引線基板210上時，可容易地將導電漿填充至凹陷230A內。

(其他實施形態)

如上所述，雖已對本發明之若干實施形態進行了說明，但上述實施形態係作為示例而提出者，而並非意圖限制本發明之範圍。上述實施形態可以其他各種形態實施，且可於不變更發明要旨之範圍內，進行各種省略、替代及變更。該等實施形態或變形與包含於發明之範圍或要旨之情形相同地包含於申請專利範圍及其之均等範圍內。

#### 【符號說明】

100	半導體裝置
110	引線基板
111	引線
111A	內引線
111B	外引線
111C	凹部
121	半導體晶片
121P	電極墊
121R	背面
122	半導體晶片
122P	電極墊
123	半導體晶片
123P	電極墊
124	半導體晶片
124P	電極墊
130	間隔片

131	黏著層
132	絕緣層
133	黏著層
140	導線
150	密封樹脂
200	半導體裝置
210	引線基板
211	引線
211A	內引線
211B	外引線
221	半導體晶片
221P	電極墊
221R	背面
222	半導體晶片
222P	電極墊
223	半導體晶片
223P	電極墊
224	半導體晶片
224P	電極墊
230	間隔片
230A	凹陷
231	黏著層
232	絕緣層
233	黏著層
234	導體層
240	導線

250	密封樹脂
D1	距離
D2	距離
D3	距離
E	導電體
F	晶片黏著膜
S	間隙
S1	表面(第1主面)
S2	背面(第2主面)
S3	側面
S4	側面
W	金屬導線
S101~S106、S201~S206	步驟

## 申請專利範圍

1. 一種半導體裝置，其包含：

複數個引線，其具有內引線及外引線；

半導體晶片，其設置於上述複數個引線上；

絕緣層，其覆蓋上述半導體晶片之整個背面；

間隔件，其介於上述半導體晶片之背面之一部分與上述複數個引線之間，且於上述半導體晶片之背面與上述複數個引線之間形成間隙；及

導線，其設置於上述間隙，且於上述半導體晶片之背面下，橫跨其他內引線而電性連接上述複數個引線中與IO信號用引線鄰接之電源用引線之內引線間、接地用引線之內引線間、及控制信號用引線之內引線間之至少一個以上之內引線間；且

上述導線所連接之內引線之上表面與上述半導體晶片之背面之間之距離，短於由上述導線所連接之內引線所夾之內引線之上表面與上述半導體晶片之背面之間之距離。

2. 一種半導體裝置，其包含：

複數個引線，其具有內引線及外引線；

半導體晶片，其設置於上述複數個引線上；

間隔件，其介於上述半導體晶片與上述複數個引線之間，而於上述半導體晶片之背面與上述複數個引線之間形成間隙；及

導線，其設置於上述間隙，且於上述半導體晶片之背面下電性連接上述內引線間。

3. 如請求項2之半導體裝置，其中

上述導線：

電性連接上述複數個引線中電源用引線之內引線間、接地用

引線之內引線間、及控制信號用引線之內引線間之至少一個以上之內引線間。

4. 如請求項2或3之半導體裝置，其中上述導線橫跨其他內引線而電性連接上述內引線間。
5. 如請求項2或3之半導體裝置，其中上述導線所連接之內引線之上表面與上述半導體晶片之背面之間之距離，短於由上述導線所連接之內引線所夾之內引線之上表面與上述半導體晶片之背面之間之距離。
6. 如請求項2或3之半導體裝置，其包含覆蓋上述半導體晶片之整個背面之絕緣層，且

上述間隔件設置於上述半導體晶片之背面之一部分。

7. 一種半導體裝置，其包含：

複數個引線，其具有內引線及外引線；

半導體晶片，其設置於上述複數個引線上；

絕緣層，其覆蓋上述半導體晶片之整個背面；及

間隔件，其介於上述半導體晶片與上述複數個引線之間，於上述半導體晶片之背面下，橫跨其他內引線而電性連接上述複數個引線中電源用引線之內引線間、接地用引線之內引線間、及控制信號用引線之內引線間之至少一個以上之內引線間；

上述間隔件具有第1及第2主面，且包含設置於上述第1主面側之第1黏著層、設置於上述第2主面側之第2黏著層、設置於上述第1黏著層與上述第2黏著層之間之絕緣體、及設置於上述第1主面側之導體層，並且於側面自上述第1主面遍至上述第2主面具有凹陷；

上述內引線經由填充於上述凹陷之導電體及上述導體層而電性連接。

圖式

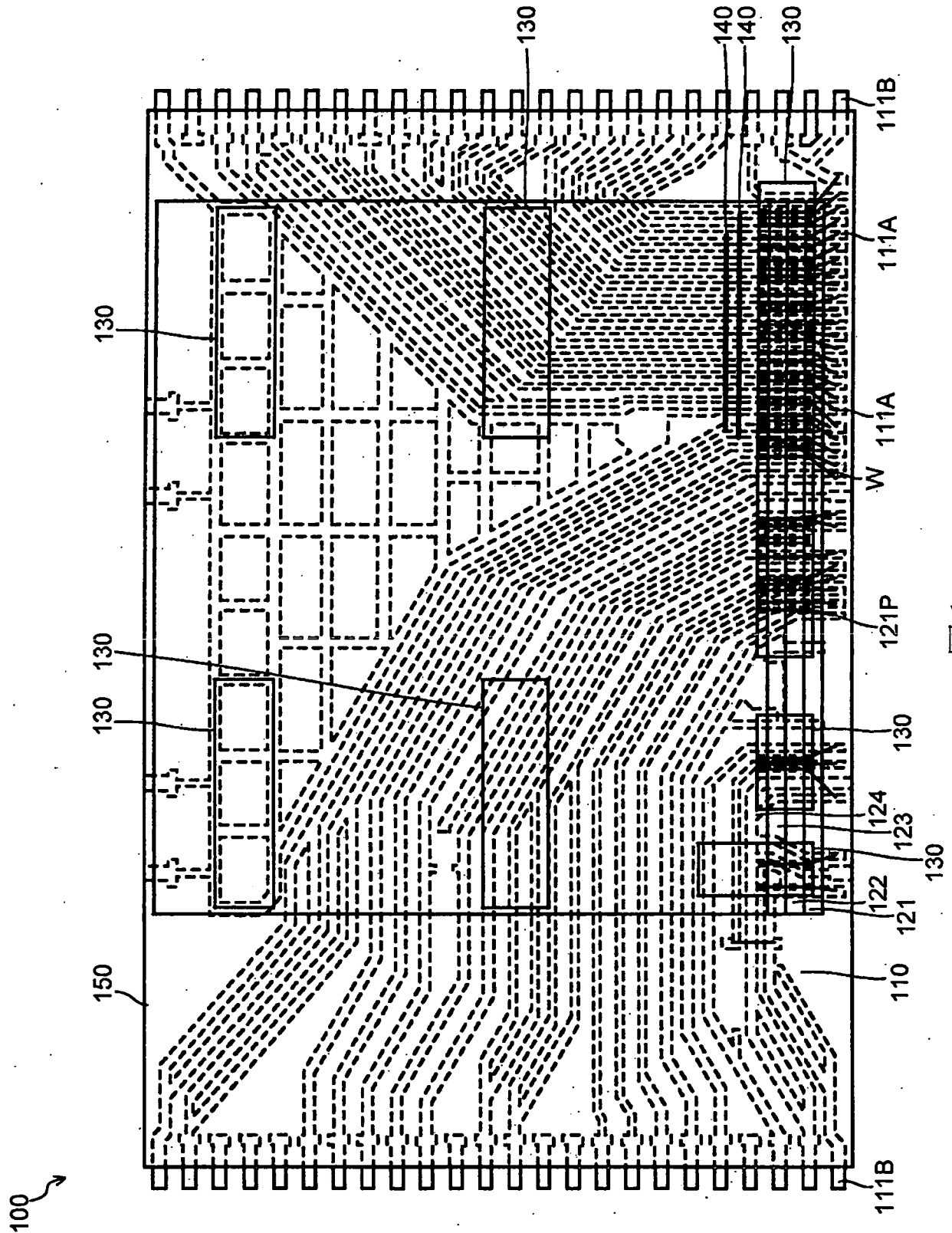


圖 1



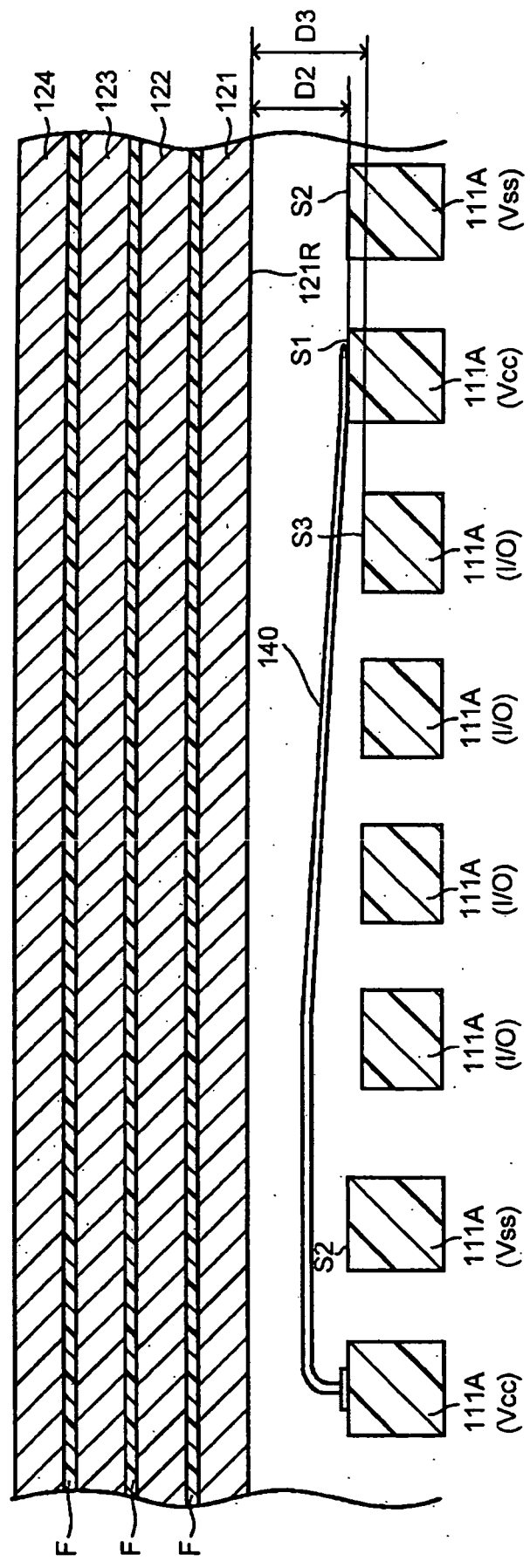


圖 4



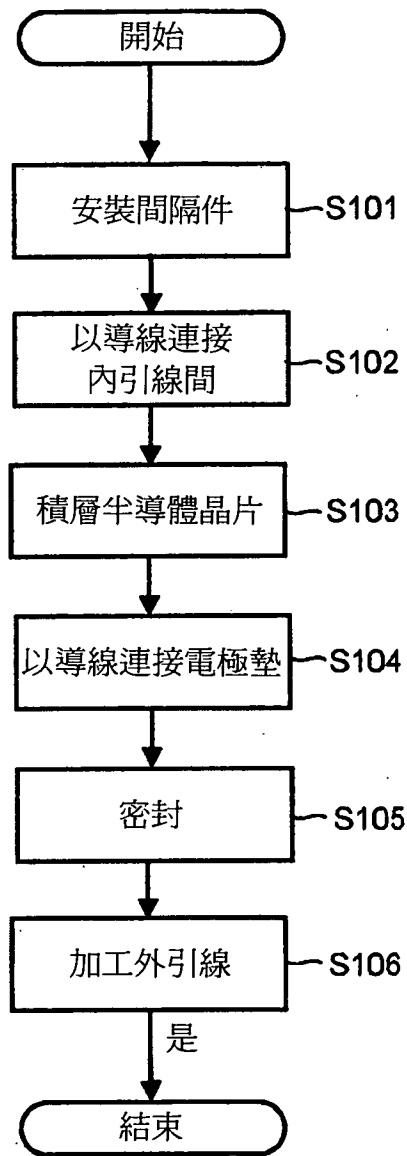


圖 5



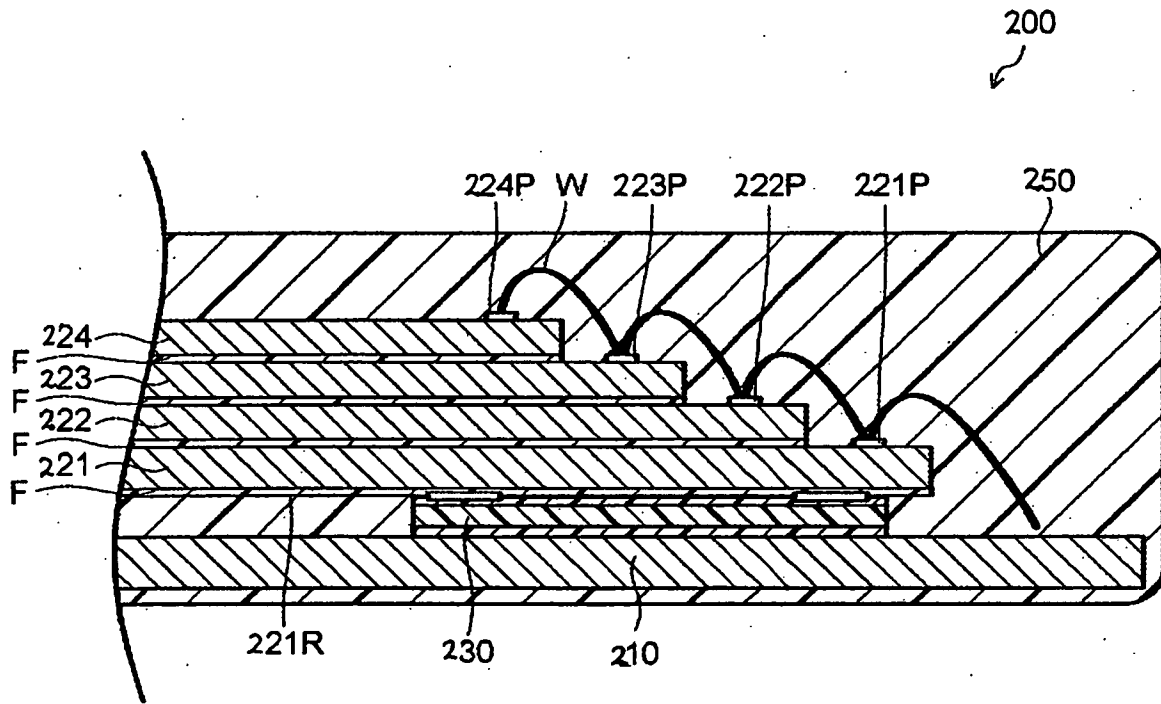


圖 7

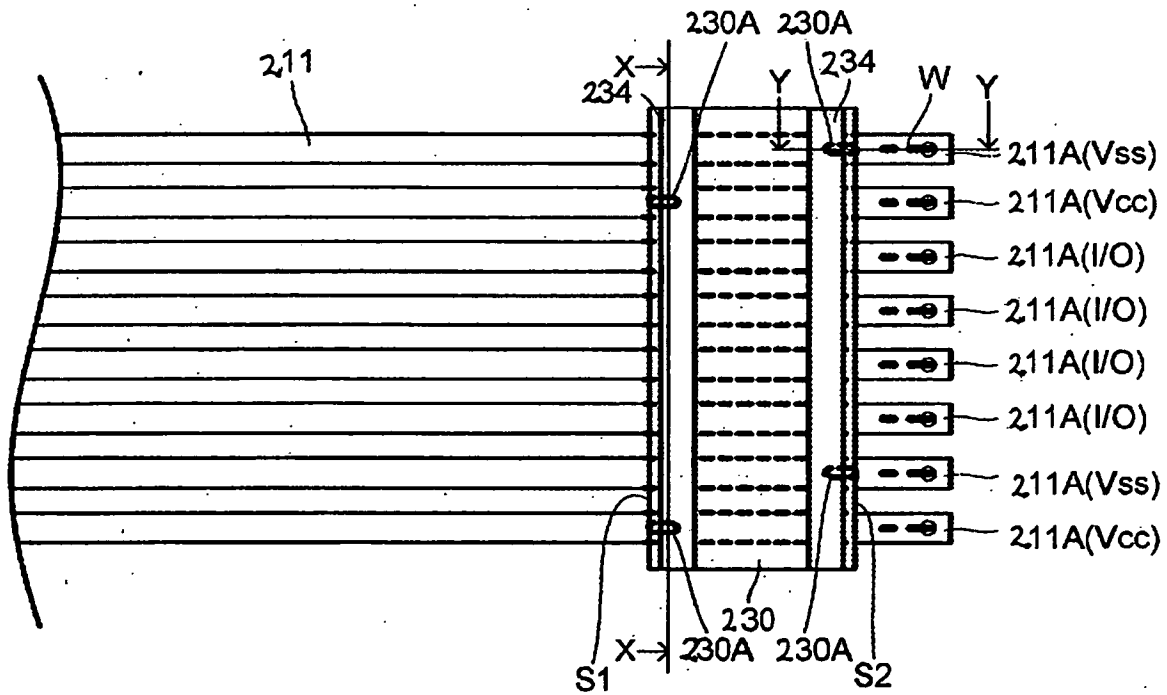


圖 8

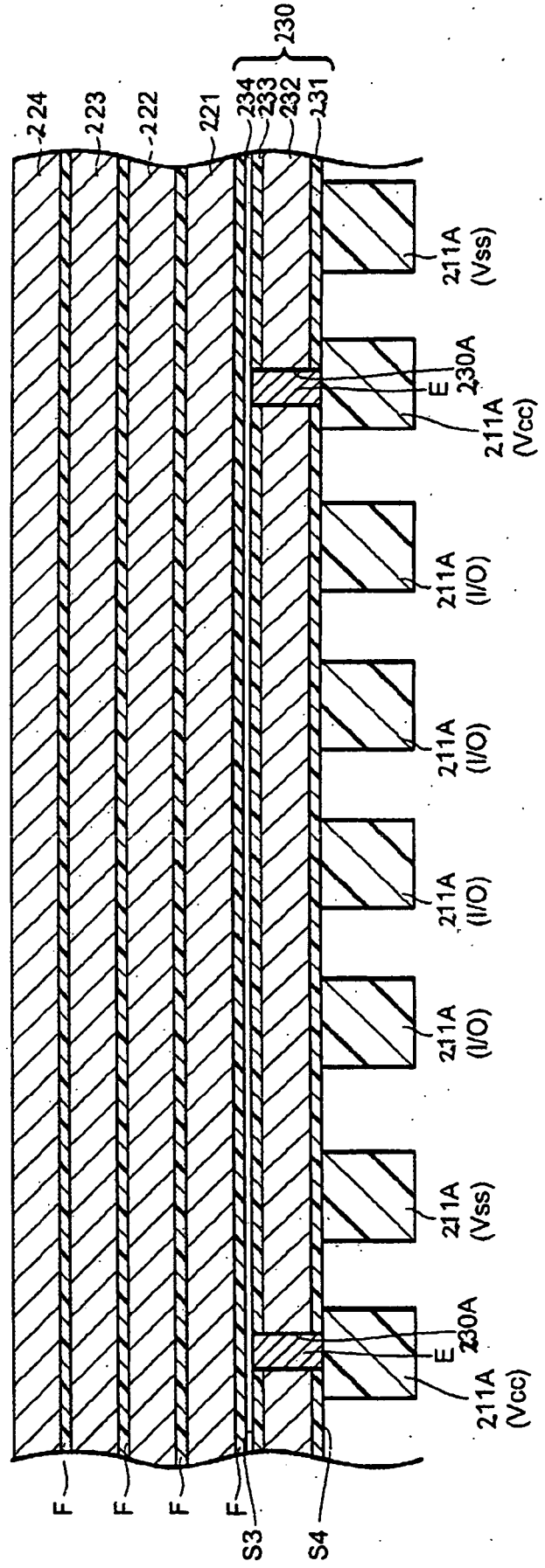


圖 9

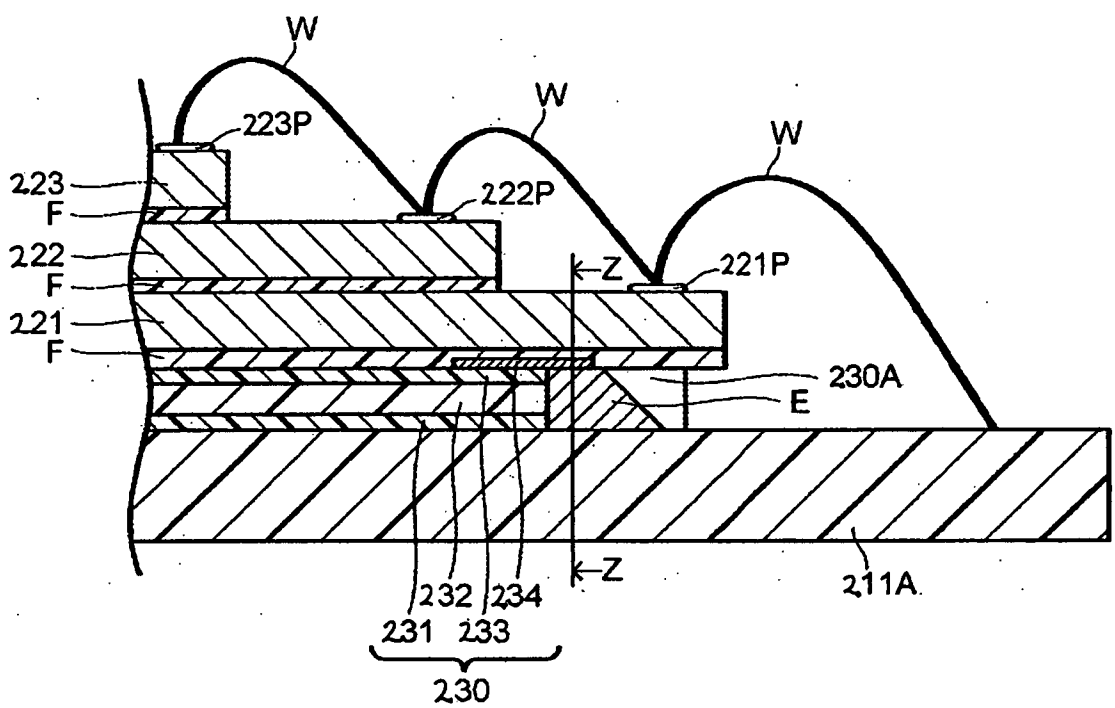


圖 10

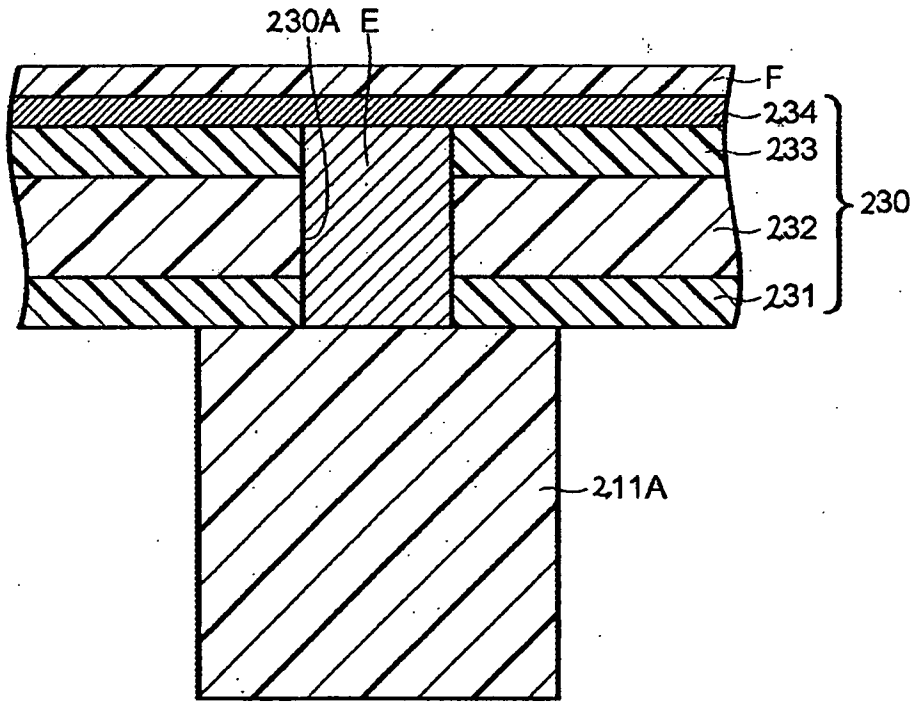


圖 11

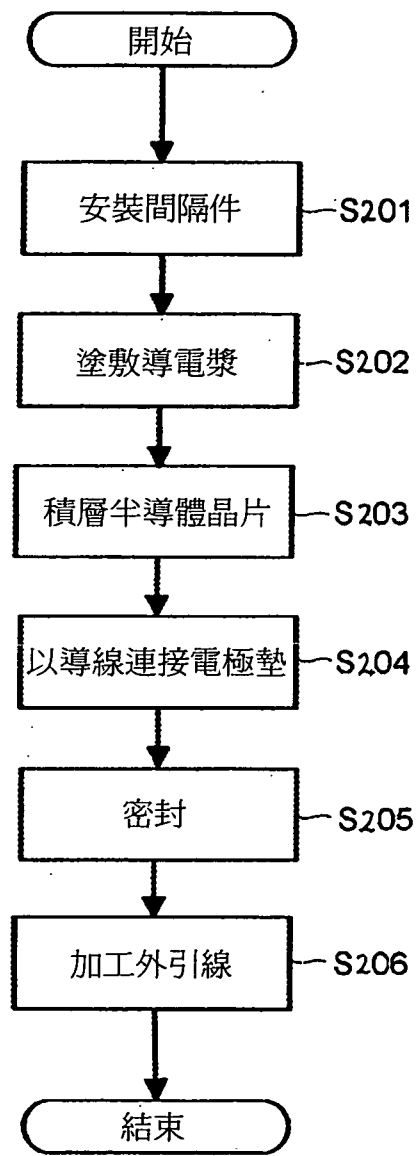


圖 12