

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ H03L 7/00	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년10월04일 10-0518571 2005년09월26일
-------------------------------------------	-------------------------------------	------------------------------------------

(21) 출원번호 (22) 출원일자	10-2003-0029760 2003년05월12일	(65) 공개번호 (43) 공개일자	10-2004-0097459 2004년11월18일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	변경수 서울특별시동작구사당2동극동아파트111-302
(74) 대리인	리엔목특허법인

심사관 : 김기완

(54) 지연동기루프를 내장하는 반도체 장치 및 그 테스트 방법

요약

지연동기루프(DLL)를 내장하는 반도체 장치 및 그 테스트 방법이 개시된다. 본 발명의 반도체 장치는 DLL 및 노말 패스를 구비한다. DLL은 클럭 신호를 소정 시간 지연하여 내부 클럭을 발생하는 가변 지연기, 노말 패스와 실질적으로 동일한 지연시간을 가지며, 내부 클럭을 지연한 출력 신호를 발생하는 복제 패스 및 클럭 신호와 피드백 신호의 위상 차이에 응답하여 가변 지연기의 지연시간을 조절하는 위상 검출기를 포함한다. 노말 패스는 메모리셀로부터 독출된 데이터를 내부 클럭에 응답하여 반도체 장치의 외부로 출력한다. 본 발명의 반도체 장치에서는, 소정의 테스트 모드에서는 복제 패스의 출력 신호 대신에 내부 클럭이 피드백 클럭으로 제공된다. 본 발명에 의하여, DLL의 오동작 여부를 쉽게 파악할 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 지연동기루프(DLL)를 내장하는 통상적인 반도체 메모리 장치를 나타내는 블록도이다.

도 2는 본 발명의 일 실시예에 따른 반도체 장치를 나타내는 블록도이다.

도 3은 본 발명의 다른 일 실시예에 따른 반도체 장치를 나타내는 블록도이다.

도 4는 도 3에 도시된 복제 패스 제어부의 일 구현예를 도시하는 회로도이다.

도 5는 도 2 및 도 3에 도시된 멀티플렉서의 일 구현예를 도시하는 회로도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로, 특히 지연 동기 루프(Delay Locked Loop)를 내장하는 반도체 장치 및 이를 테스트하는 방법에 관한 것이다.

동기식 메모리 장치는 외부 클럭에 동기되어 데이터를 입출력한다. 고속으로 동작하는 메모리 장치는, 일반적으로 데이터를 외부 클럭에 동기시키기 위하여 지연동기루프(Delay Locked Loop, 이하 DLL이라 함)를 사용한다.

도 1은 통상적인 DLL을 내장하는 반도체 메모리 장치를 나타내는 블록도이다. 이를 참조하면, 반도체 메모리 장치는 DLL(110) 및 노말 패스(160)를 구비한다.

DLL(110)은 가변 지연기(120), 복제 패스(130) 및 위상 검출기(140)를 포함한다. 가변 지연기(120)는 위상 검출기(140)로부터 출력되는 지연 제어 신호(CON)에 응답하여 클럭 신호(CLK/CLKB)를 소정시간 지연하여 내부 클럭(IN_CLK)을 발생한다. 노말 패스(160)는 내부 클럭(IN_CLK)에 응답하여 내부 데이터(IDATA)를 반도체 장치의 외부로 출력한다. DLL(110)은 노말 패스(160)에서의 지연 시간을 보상하기 위하여 노말 패스(160)를 복제한 복제 패스(130)를 구비한다. 위상 검출기(140)는 클럭 신호(CLK/CLKB)와 복제 클럭(DQR)의 위상 차이를 비교하여, 두 신호(CLK/CLKB, DQR)의 위상이 일치하도록 가변 지연기(120)의 지연시간을 조절한다.

따라서, 클럭 신호(CLK/CLKB)와 복제 클럭(DQR)의 위상이 동기되면, 복제 패스(130)와 동일한 지연시간을 가지는 노말 패스(160)로부터 출력되는 데이터(DQ) 역시 클럭 신호(CLK/CLKB)와 동기된다.

그러므로, DLL(110)의 정확한 로킹(locking)을 위하여 복제 패스(130)는 노말 패스(160)의 복잡한 회로를 1:1로 정확하게 복제해야 한다. 반도체 장치가 고속화함에 따라 DLL의 복제 패스(130)의 클럭 특성이 매우 중요하다. 특히, 반도체 장치의 동작 주파수가 빨라지고 동작 전압이 낮아지면서 복제 패스(130)에서 클럭의 신뢰성이 열화되어 DLL의 오동작을 유발할 수 있다. 즉, 고주파수 및 낮은 동작 전압으로 갈수록 복제 패스로 인하여 DLL이 오동작할 가능성이 높아질 수 있다.

상기와 같이 복제 패스로 인하여 DLL의 불량 가능성이 높은데도 불구하고, 통상의 DLL 테스트로는, 복제 패스로 인한 DLL의 불량 여부를 파악하기가 쉽지 않다. 따라서, 소정의 테스트 모드에서는 복잡한 복제 패스를 생략할 수 있도록 함으로써, 복제 패스로 인한 DLL의 오동작 여부를 보다 쉽게 파악할 수 있는 방안이 필요하다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자 하는 기술적 과제는 지연동기루프를 내장하는 반도체 장치에서 지연동기루프의 오동작을 보다 쉽게 파악할 수 있도록 하는 반도체 장치를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 지연동기루프를 내장하는 반도체 장치에서 지연동기루프의 오동작을 보다 쉽게 파악할 수 있도록 하는 테스트 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 장치는 클럭 신호를 소정 시간 지연하여 내부 클럭을 발생하는 가변 지연기; 메모리셀로부터 독출된 데이터를 상기 내부 클럭에 응답하여 상기 반도체 장치의 외부로 출력하는 노말 패스; 상기 노말 패스와 실질적으로 동일한 지연시간을 가지며, 상기 내부 클럭을 지연한 출력 신호를 발생하는

복제 패스; 및 상기 클럭 신호와 소정의 피드백 클럭의 위상 차이에 응답하여 상기 가변 지연기의 지연시간을 조절하는 위상 검출기를 구비하며, 소정의 테스트 모드에서는 상기 복제 패스의 출력 신호 대신에 상기 내부 클럭이 상기 피드백 클럭으로서 제공된다.

바람직하기로는, 상기 복제 패스는 상기 노말 패스와 실질적으로 동일한 구성요소를 포함한다.

또한 바람직하기로는, 상기 반도체 장치는 소정의 모드 신호에 응답하여 상기 복제 패스의 출력 신호와 상기 내부 클럭 중의 어느 하나를 선택하여 상기 피드백 클럭으로서 제공하는 멀티플렉서를 더 구비한다.

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 장치는 메모리셀로부터 독출된 데이터를 수신하고, 내부 클럭에 응답하여 상기 수신된 데이터를 출력하는 노말 패스; 및 클럭 신호를 수신하여 상기 내부 클럭을 발생하는 지연동기루프(delay locked loop, DLL)로서, 상기 노말 패스의 지연시간을 보상하기 위한 복제 패스를 포함하는 상기 DLL을 구비하며, 상기 DLL은 소정의 테스트 모드에서는 상기 복제 패스를 제외하여 루프를 형성하고, 상기 소정의 테스트 모드가 아닌 경우에는 상기 복제 패스를 포함하여 루프를 형성한다.

바람직하기로는, 상기 DLL은 상기 클럭 신호를 소정 시간 지연하여 상기 내부 클럭을 발생하는 가변 지연기; 소정의 모드 신호에 응답하여 상기 복제 패스의 출력 신호와 상기 내부 클럭 중의 어느 하나를 선택하여 피드백 클럭으로서 제공하는 멀티플렉서; 및 상기 클럭 신호와 상기 피드백 클럭의 위상 차이에 응답하여 상기 가변 지연기의 지연시간을 조절하는 위상 검출기를 더 구비한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 2는 본 발명의 일 실시예에 따른 반도체 장치를 나타내는 블록도이다. 이를 참조하면, 본 발명의 일 실시예에 따른 반도체 장치는 DLL(210) 및 노말 패스(260)를 구비한다.

DLL(210)은 외부로부터 수신되는 클럭 신호(CLK/CLKB)를 소정 시간 지연하여 내부 클럭(IN_CLK)을 발생한다. 노말 패스(260)는 메모리셀로부터 독출된 데이터(IDATA)를 내부 클럭(IN_CLK)에 응답하여 반도체 장치의 외부로 출력한다. DLL(210)이 로킹(locking)되면 노말 패스(260)로부터 출력되는 데이터(DQ)는 클럭 신호(CLK/CLKB)에 동기된다. 노말 패스(260)는 출력 데이터(DQ)를 반도체 장치의 외부로 드라이브하기 위한 출력 드라이버(미도시)를 포함할 수 있다.

DLL(210)은 가변 지연기(220), 복제 패스(230), 위상 검출기(240) 및 멀티플렉서(250)를 포함한다. 가변 지연기(220)는 클럭 신호(CLK/CLKB)를 소정 시간 지연하여 내부 클럭(IN_CLK)을 발생한다. 이 때, 가변 지연기(220)의 지연시간은 위상 검출기(240)에서 출력되는 지연 제어 신호(CON)에 의하여 조절된다.

복제 패스(230)는 노말 패스(260)에서의 지연시간을 보상하기 위한 회로로서, 노말 패스(260)의 구성요소를 일대일로 복제한 구성요소를 포함하는 것이 바람직하다. 복제 패스(230)는 내부 클럭(IN_CLK)을 소정시간 지연하여 출력한다. 멀티플렉서(250)는 모드 신호(PRSKIP)에 응답하여 복제 패스(230)의 출력 신호(CDQR)와 내부 클럭(IN_CLK) 중의 어느 하나를 선택하여 피드백 클럭(FB_CLK)으로서 제공한다. 위상 검출기(240)는 클럭 신호(CLK/CLKB)와 피드백 클럭(FB_CLK)의 위상 차이에 응답하여 가변 지연기(220)의 지연시간을 조절하기 위한 지연 제어 신호(CON)를 발생한다.

모드 신호(PRSKIP)는 소정의 테스트 모드, 예를 들어 복제 패스 바이패싱 테스트 모드에서 인에이블된다. 따라서, 복제 패스 바이패싱 테스트 모드에서는 복제 패스(230)를 거치지 않은 내부 클럭(IN_CLK)이 피드백 클럭(FB_CLK)으로서 제공된다. 그러므로, 복제 패스(230)에 오류가 생기더라도 DLL(210)이 동작할 수 있다. 복제 패스(230)를 제외하고 DLL을 형성하는 경우, 노말 패스(260)로부터 출력되는 데이터(DQ)는 클럭 신호(CLK/CLKB)에 동기되지 않는다. 그러나, 반도체 장치를 테스트하는 테스트 시스템이 노말 패스(260)의 지연시간을 알고 있다면, 클럭 신호(CLK/CLKB)로부터 일정한 지연시간을 가지고 출력되는 데이터(DQ)를 수신하여 테스트할 수 있다. 따라서, 복제 패스(230)를 제외한 DLL(210)을 사용하여 반도체 장치를 테스트할 수 있다.

반면, 복제 패스 바이패싱 테스트 모드가 아닌 모드에서는 복제 패스(230)를 거친 신호(CDQR)가 피드백 클럭(FB_CLK)으로서 제공된다. 즉, 복제 패스(230)를 포함하여 DLL(210)이 형성된다. 이 경우에는 DLL(210)이 로킹되면, 노말 패스(260)로부터 출력되는 데이터(DQ)는 피드백 클럭(FB_CLK)과 동기되고, 따라서 클럭 신호(CLK/CLKB)에 동기된다.

복제 패스 바이패싱 테스트 모드가 아닌 모드에서 DLL(210)이 정상적으로 동작하지 않고 복제 패스 바이패싱 테스트 모드에서는 DLL(210)이 정상 동작하는 것으로 판명되면, 복제 패스(230)에 오류가 있음을 쉽게 파악할 수 있다. 또한, 복제 패스(230)를 거치지 않은 DLL(210)을 테스트할 수 있으므로, DLL 정상동작 여부를 보다 쉽게 테스트할 수 있다.

본 실시예에서는 멀티플렉서(250)가 복제 패스(230)의 외부에 구비되는 것으로 기술되었다. 그러나, 멀티플렉서(250)는 복제 패스(230)의 마지막 단, 즉 출력 부분에 구비될 수도 있다. 멀티플렉서(250)가 복제 패스(230)에 포함되든 포함되지 않든, 복제 패스(230)와 멀티플렉서(250)를 포함한 전체 지연시간이 노말 패스(260)의 지연시간과 동일한 것이 바람직하다. 복제 패스(230)와 멀티플렉서(250)를 포함한 전체 지연시간이 노말 패스(260)의 지연시간과 동일해야, 복제 패스(230)를 거쳐 출력되는 피드백 클럭(FB_CLK)의 위상이 노말 패스(260)로부터 출력되는 데이터(DQ)의 위상과 일치되기 때문이다.

도 3은 본 발명의 다른 일 실시예에 따른 반도체 장치를 나타내는 블록도이다.

도 3에 도시된 본 발명의 다른 일 실시예에 따른 반도체 장치는 도 2에 도시된 본 발명의 일 실시예와 마찬가지로, DLL(310) 및 노말 패스(260)를 구비한다. DLL(310)은 가변 지연기(220), 복제 패스(330), 멀티플렉서(250) 및 위상 검출기(240)를 구비한다. 복제 패스(330)를 제외한 다른 구성요소는 본 발명의 일 실시예와 관련하여 기술한 바와 같으므로, 여기서 상세한 설명은 생략된다.

도 3의 복제 패스(330)는 내부 클럭(IN_CLK)이 수신되는 전단(front end)에 복제 패스 제어부(331)를 포함한다. 복제 패스 제어부(331)는 모드 신호(PRSKIP)에 응답하여 복제 패스(330)를 디스에이블하기 위한 회로이다. 즉, 복제 패스 제어부(331)는 복제 패스 바이패싱 테스트 모드에서 복제 패스(330)를 디스에이블한다.

복제 패스 제어부(331)의 일 구현예가 도 4에 도시된다. 이를 참조하면, 복제 패스 제어부(331)는 낸드 게이트(332)와 두 개의 인버터(333,334)를 포함한다. 낸드 게이트(332)는 모드 신호(PRSKIP)의 반전 신호와 내부 클럭(IN_CLK)을 부정논리곱한다. 인버터(334)는 낸드 게이트(332)의 출력을 반전한다. 복제 패스 바이패싱 모드에서 모드 신호(PRSKIP)가 로직 하이레벨로 인에이블된다. 모드 신호(PRSKIP)가 로직 하이레벨로 인에이블되면, 인버터(334)의 출력 신호(PDLL)가 로직 로우레벨이 된다. 인버터의 출력 신호(PDLL)는 복제 패스(330)의 여러 소자를 거쳐 출력 신호(CDQR)로서 출력되는 데, 인버터(334)의 출력 신호(PDLL)가 로직 로우레벨이므로, 복제 패스 제어부(331) 이후의 복제 패스(330)는 동작하지 않게 된다. 즉, 모드 신호(PRSKIP)가 로직 하이레벨로 인에이블되면, 복제 패스(330)로부터 출력되는 신호(CDQR)는 로직 로우레벨/하이레벨을 토글링(toggling)하는 것이 아니라, 로직 로우레벨로 유지된다. 따라서, 복제 패스(310)가 디스에이블되어, 복제 패스 바이패싱 모드에서 전력 소모를 줄일 수 있는 이점이 있다.

복제 패스 제어부(331)를 포함하지 않는 복제 패스, 예를 들어 도 2에 도시된 복제 패스(230)는 전단에 직렬로 연결된 둘 이상의 인버터(미도시)를 포함할 수 있다. 이러한 구성을 가지는 복제 패스(230)에서 전단에 직렬로 연결된 둘 이상의 인버터들 중 첫 번째 인버터를 낸드 게이트로 변경하고, 모드 신호(PRSKIP)를 반전하기 위한 인버터를 추가함으로써 도 3에 도시된 복제 패스(330)를 얻을 수 있다.

도 5는 도 2 및 도 3에 도시된 멀티플렉서(250)의 일 구현예를 도시하는 회로도이다. 이를 참조하면, 멀티플렉서(250)는 제1 및 제2 스위치(251, 253)를 포함한다.

제1 스위치(251)는 모드 신호(PRSKIP)에 응답하여 복제 패스(230 또는 330)의 출력 신호(CDQR)를 통과시킨다. 제2 스위치(253)는 모드 신호(PRSKIP)에 응답하여 내부 클럭(IN_CLK)을 통과시킨다.

구체적으로 제1 스위치(251)는 인버터(252), 인버터(252)와 전원 전압(VCC) 사이에 연결되는 피모스 트랜지스터(PM1), 인버터(252)와 그라운드 전압(GND) 사이에 연결되는 엔모스 트랜지스터(NM1)를 포함한다. 피모스 트랜지스터(PM1)의 게이트로는 모드 신호(PRSKIP)가 입력되고 엔모스 트랜지스터(NM1)의 게이트로는 모드 신호의 반전 신호(/PRSKIP)가 입력된다. 피모스 트랜지스터(PM1) 및 엔모스 트랜지스터(NM1)는 모드 신호(PRSKIP)가 로직 로우레벨로 비활성화될 때 온(on)된다. 따라서, 모드 신호(PRSKIP)가 로직 로우레벨인 경우에는, 복제 패스의 출력 신호(CDQR)가 인버터(252)를 통하여 피드백 클럭(FB_CLK)으로서 출력된다.

제2 스위치(253)는 인버터(254), 인버터(254)와 전원 전압(VCC) 사이에 연결되는 피모스 트랜지스터(PM2), 인버터(254)와 그라운드 전압(GND) 사이에 연결되는 엔모스 트랜지스터(NM2)를 포함한다. 엔모스 트랜지스터(NM2)의 게이트로는 모드 신호(PRSKIP)가 입력되고 피모스 트랜지스터(PM2)의 게이트로는 모드 신호의 반전 신호(/PRSKIP)가 입력된다. 피모스 트랜지스터(PM2) 및 엔모스 트랜지스터(NM2)는 모드 신호(PRSKIP)가 로직 하이레벨로 활성화될 때 온(on)된다. 따라서, 모드 신호(PRSKIP)가 로직 하이레벨인 경우에는, 내부 클럭(IN_CLK)이 인버터(254)를 통하여 피드백 클럭(FB_CLK)으로서 출력된다.

다시 도 3을 참조하면, 복제 패스(330)와 멀티플렉서(250)를 포함한 전체 지연시간이 노말 패스(260)의 지연시간과 동일한 것이 바람직하다.

복제 패스 바이패싱 테스트 모드에서는 복제 패스(330)를 거치지 않은 내부 클럭(IN_CLK)이 피드백 클럭(FB_CLK)으로서 제공된다. 이 때, 복제 패스(330)는 복제 패스 제어부(331)에 의해 디스에이블된다. 이 경우에는 복제 패스(330)를 제외한 DLL(310)을 이용하여 반도체 장치가 테스트된다.

반면, 복제 패스 바이패싱 테스트 모드가 아닌 모드에서는 복제 패스(330)를 거친 신호(CDQR)가 피드백 클럭(FB_CLK)으로서 제공된다. 즉, 복제 패스(230)를 포함하여 DLL(210)이 형성된다. 이 경우에는 DLL(210)이 로킹되면, 노말 패스(260)로부터 출력되는 데이터(DQ)는 피드백 클럭(FB_CLK)과 동기되고, 따라서 클럭 신호(CLK/CLKB)에 동기된다.

모드 신호(PRSKIP)는 모드 레지스터 셋(mode register set, MRS) 신호를 이용하여 발생될 수 있다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

본 발명에 의하면, DLL을 내장하는 반도체 장치의 테스트시 복잡한 복제 패스를 바이패싱하여 테스트할 수도 있고 복제 패스를 포함하여 테스트할 수도 있다. 따라서, DLL의 복제 패스의 불량 여부를 쉽게 파악할 수 있다.

(57) 청구의 범위

청구항 1.

클럭 신호를 소정 시간 지연하여 내부 클럭을 발생하는 가변 지연기;

메모리셀로부터 독출된 데이터를 상기 내부 클럭에 응답하여 상기 반도체 장치의 외부로 출력하는 노말 패스;

상기 노말 패스와 실질적으로 동일한 지연시간을 가지며, 상기 내부 클럭을 지연한 출력 신호를 발생하는 복제 패스; 및

상기 클럭 신호와 소정의 피드백 클럭의 위상 차이에 응답하여 상기 가변 지연기의 지연시간을 조절하는 위상 검출기를 구비하며,

소정의 테스트 모드에서는 상기 복제 패스의 출력 신호 대신에 상기 내부 클럭이 상기 피드백 클럭으로 제공되는 것을 특징으로 하는 반도체 장치.

청구항 2.

제1 항에 있어서, 상기 복제 패스는

상기 노말 패스와 실질적으로 동일한 구성요소를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 3.

제1 항에 있어서, 상기 반도체 장치는

소정의 모드 신호에 응답하여 상기 복제 패스의 출력 신호와 상기 내부 클럭 중의 어느 하나를 선택하여 상기 피드백 클럭으로서 제공하는 멀티플렉서를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 4.

제3 항에 있어서, 상기 복제 패스는

상기 모드 신호에 응답하여 상기 복제 패스를 디스에이블하는 복제 패스 제어부를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 5.

제3 항에 있어서,

상기 소정의 테스트 모드는 복제 패스 바이패싱 테스트 모드이고,

상기 모드 신호는 상기 복제 패스 바이패싱 테스트 모드에서 인에이블되는 것을 특징으로 하는 반도체 장치.

청구항 6.

메모리셀로부터 독출된 데이터를 수신하고, 내부 클럭에 응답하여 상기 수신된 데이터를 출력하는 노말 패스; 및

클럭 신호를 수신하여 상기 내부 클럭을 발생하는 지연동기루프(delay locked loop, DLL)로서, 상기 노말 패스의 지연시간을 보상하기 위한 복제 패스를 포함하는 상기 DLL을 구비하며,

상기 DLL은 소정의 테스트 모드에서는 상기 복제 패스를 제외하여 루프를 형성하고, 상기 소정의 테스트 모드가 아닌 경우에는 상기 복제 패스를 포함하여 루프를 형성하는 것을 특징으로 하는 반도체 장치.

청구항 7.

제 6 항에 있어서, 상기 DLL은

상기 클럭 신호를 소정 시간 지연하여 상기 내부 클럭을 발생하는 가변 지연기;

소정의 모드 신호에 응답하여 상기 복제 패스의 출력 신호와 상기 내부 클럭 중의 어느 하나를 선택하여 피드백 클럭으로서 제공하는 멀티플렉서; 및

상기 클럭 신호와 상기 피드백 클럭의 위상 차이에 응답하여 상기 가변 지연기의 지연시간을 조절하는 위상 검출기를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 8.

제 7 항에 있어서, 상기 복제 패스는

상기 노말 패스와 실질적으로 동일한 구성요소를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 9.

제 7 항에 있어서, 상기 복제 패스는

상기 모드 신호에 응답하여 상기 복제 패스를 디스에이블하는 복제 패스 제어부를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 10.

제 7 항에 있어서,

상기 소정의 테스트 모드는 복제 패스 바이패싱 테스트 모드이고,

상기 모드 신호는 상기 복제 패스 바이패싱 테스트 모드에서 인에이블되는 것을 특징으로 하는 반도체 장치.

청구항 11.

노말 패스의 지연시간을 보상하기 위한 복제 패스를 포함하는 지연동기루프(delay locked loop, DLL)를 내장하는 반도체 장치를 테스트하는 방법에 있어서,

(a) 클럭 신호를 소정 시간 지연하여 내부 클럭을 발생하는 단계;

(b) 메모리셀로부터 독출된 데이터를 상기 내부 클럭에 응답하여 상기 반도체 장치의 외부로 출력하는 단계;

(c) 상기 클럭 신호와 소정의 피드백 클럭의 위상차이에 응답하여 상기 (a) 단계의 상기 소정시간을 가변하는 단계; 및

(d) 소정의 테스트 모드에서는 상기 내부 클럭을 상기 피드백 클럭으로서 제공하고, 상기 소정의 테스트 모드가 아닌 경우에는 상기 복제 패스의 출력 신호를 상기 피드백 클럭으로서 제공하는 단계를 구비하는 반도체 장치의 테스트 방법.

청구항 12.

제 11 항에 있어서, 상기 (c) 단계는

멀티플렉서가 소정의 모드 신호에 응답하여 상기 내부 클럭과 상기 복제 패스의 출력 신호 중 어느 하나를 선택하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 테스트 방법.

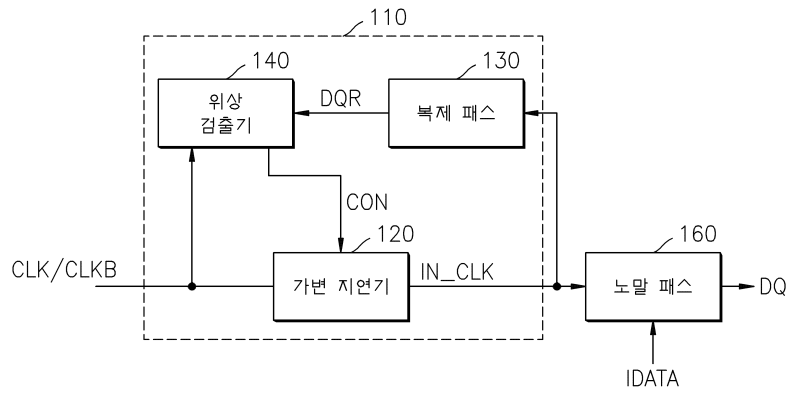
청구항 13.

제 12 항에 있어서, 상기 테스트 방법은

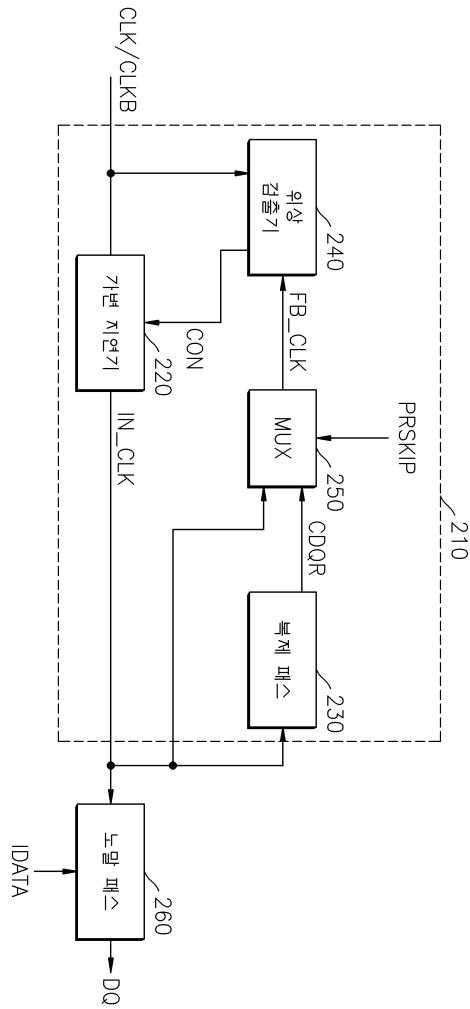
(e) 상기 모드 신호에 응답하여 상기 복제 패스를 디스에이블하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 테스트 방법.

도면

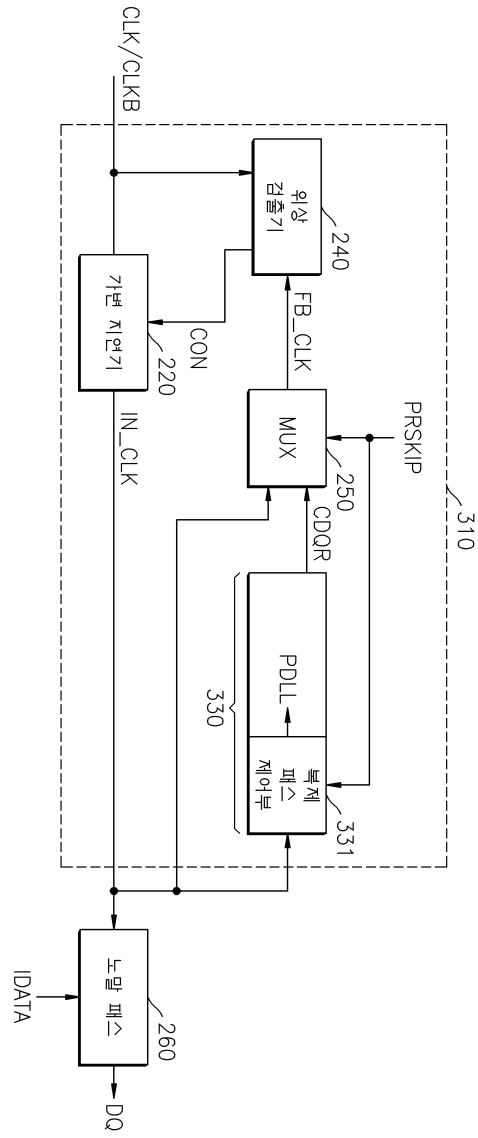
도면1



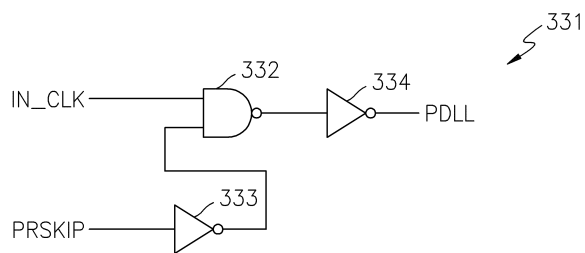
도면2



도면3



도면4



도면5

