



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0147626
(43) 공개일자 2016년12월23일

- (51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 29/66 (2006.01)
- (52) CPC특허분류
H01L 29/7855 (2013.01)
H01L 29/66287 (2013.01)
- (21) 출원번호 10-2015-0169295
- (22) 출원일자 2015년11월30일
심사청구일자 2015년11월30일
- (30) 우선권주장
14/739,895 2015년06월15일 미국(US)

- (71) 출원인
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
- (72) 발명자
칭 퀴첵
중화민국, 타이완 300-77, 신츄, 사이언스-베이스
드 인더스트리얼 파크, 리신 로드. 6, 8호
- 리우 치웬
중화민국, 타이완 300-77, 신츄, 사이언스-베이스
드 인더스트리얼 파크, 리신 로드. 6, 8호
- (74) 대리인
김태홍, 김진희

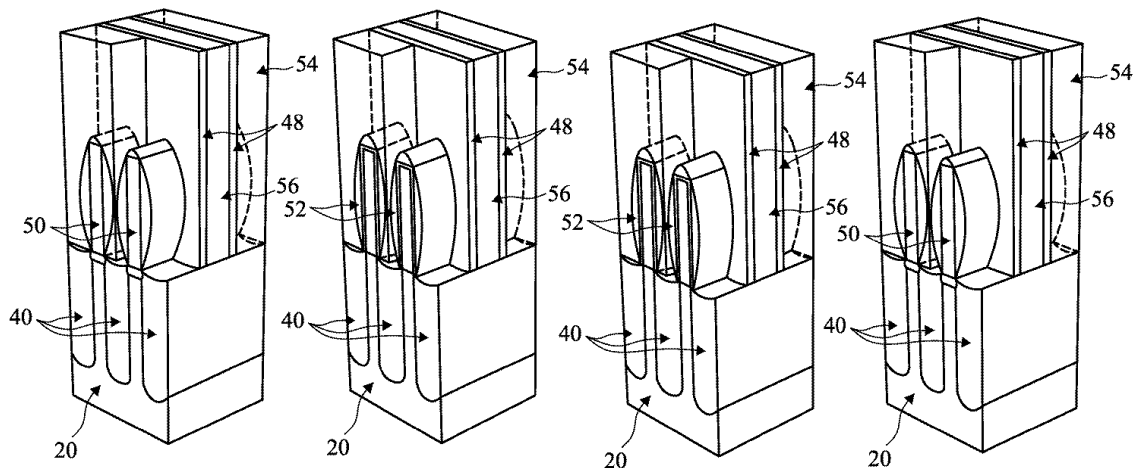
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **핀형 전계효과 트랜지스터 소자 및 그 형성 방법**

(57) 요약

일부 실시예에 따르면, 소자는 제1 및 제2 p-형 트랜지스터를 포함한다. 제1 트랜지스터는 제1 재료의 제1 핀을 포함하는 제1 채널 영역을 포함한다. 제1 트랜지스터는 제1 재료 내의 개별 제1 리세스 내에 제1 채널 영역의 양측에 제1 및 제2 에피택셜 소스/드레인 영역을 포함한다. 제1 트랜지스터는 제1 채널 영역 상에 제1 게이트 스택을 포함한다. 제2 트랜지스터는 제2 재료의 제2 핀을 포함하는 제2 채널 영역을 포함한다. 제2 재료는 제1 재료와는 다른 재료이다. 제2 트랜지스터는 제2 재료 내의 개별 제2 리세스 내에 제2 채널 영역의 양측에 제3 및 제4 에피택셜 소스/드레인 영역을 포함한다. 제2 트랜지스터는 제2 채널 영역 상에 제2 게이트 스택을 포함한다.

대표도



(52) CPC특허분류

H01L 29/66348 (2013.01)

H01L 29/7831 (2013.01)

H01L 29/7845 (2013.01)

H01L 2924/13067 (2013.01)

명세서

청구범위

청구항 1

소자로서:

제1 p-형 트랜지스터; 및

제2 p-형 트랜지스터

를 포함하고, 상기 제1 p-형 트랜지스터는,

기판 상에 제1 핀의 제1 재료를 포함하는 제1 채널 영역;

상기 제1 재료 내의 해당 제1 리세스 내에 각각 형성된 제1 에피택셜 소스/드레인 영역과 제2 에피택셜 소스/드레인 영역으로서, 상기 제1 에피택셜 소스/드레인 영역과 제2 에피택셜 소스/드레인 영역 사이에 상기 제1 채널 영역이 배치된, 제1 에피택셜 소스/드레인 영역 및 제2 에피택셜 소스/드레인 영역; 및

상기 제1 채널 영역 상의 제1 게이트 스택

을 포함하고, 상기 제2 p-형 트랜지스터는,

상기 기판 상에 제2 핀의 제2 재료를 포함하는 제2 채널 영역으로서, 상기 제2 재료는 상기 제1 재료와는 상이한 것인 제2 채널 영역;

상기 제1 재료와 다른 제2 재료의 제2 핀을 포함하는 제2 채널 영역;

상기 제2 재료 내의 해당 제2 리세스 내에 각각 형성된 제3 에피택셜 소스/드레인 영역과 제4 에피택셜 소스/드레인 영역으로서, 상기 제3 에피택셜 소스/드레인 영역과 제4 에피택셜 소스/드레인 영역 사이에 상기 제2 채널 영역이 배치된, 제3 에피택셜 소스/드레인 영역 및 제4 에피택셜 소스/드레인 영역; 및

상기 제2 채널 영역 상의 제2 게이트 스택

을 포함하는 것을 특징으로 하는 소자.

청구항 2

제1항에 있어서, 상기 제1 리세스의 깊이는 상기 제2 리세스의 깊이보다 깊은 것인 소자.

청구항 3

제1항에 있어서, 상기 제2 핀의 상부면에서의 상기 제2 리세스의 폭은 상기 제1 핀의 상부면에서의 상기 제1 리세스의 폭보다 큰 것인 소자.

청구항 4

제1항에 있어서, 상기 제1 에피택셜 소스/드레인 영역과 상기 제2 에피택셜 소스/드레인 영역 각각은 상기 제1 게이트 스택에 가장 근접한 해당 제1 에피택셜 소스/드레인 영역과 제2 에피택셜 소스/드레인 영역의 표면과 상기 제1 게이트 스택의 해당 최근접 측벽의 평면 사이의 제1 근접 거리를 가지며,

상기 제3 에피택셜 소스/드레인 영역과 상기 제4 에피택셜 소스/드레인 영역 각각은 상기 제2 게이트 스택에 가장 근접한 해당 제3 에피택셜 소스/드레인 영역과 제4 에피택셜 소스/드레인 영역의 표면과 상기 제2 게이트 스택의 해당 최근접 측벽의 평면 사이의 제2 근접 거리를 가지며,

상기 제1 근접 거리는 상기 제2 근접 거리보다 큰 것인 소자.

청구항 5

제1항에 있어서, 상기 제1 에피택셜 소스/드레인 영역과 상기 제2 에피택셜 소스/드레인 영역 각각은 해당 제1 리세스를 적어도 완전히 충전하며, 상기 제3 에피택셜 소스/드레인 영역과 상기 제4 에피택셜 소스/드레인 영역

각각은 해당 제2 리세스를 적어도 완전히 충전하는 것인 소자.

청구항 6

제1항에 있어서,

제1 n-형 트랜지스터; 및

제2 n-형 트랜지스터

를 더 포함하고, 상기 제1 n-형 트랜지스터는,

상기 기판 상에 제3 핀의 제3 재료를 포함하는 제3 채널 영역으로서, 상기 제3 재료는 상기 제2 재료와 동일한 재료이고, 상기 제3 재료와 상기 기판 사이에 상기 핀의 유전 재료가 배치된, 제3 채널 영역;

상기 제3 재료 내의 해당 제3 리세스 내에 각각 형성된 제5 에피택셜 소스/드레인 영역과 제6 에피택셜 소스/드레인 영역으로서, 상기 제5 에피택셜 소스/드레인 영역과 제6 에피택셜 소스/드레인 영역 사이에 상기 제3 채널 영역이 배치된, 제5 에피택셜 소스/드레인 영역 및 제6 에피택셜 소스/드레인 영역; 및

상기 제3 채널 영역 상의 제3 게이트 스택

을 포함하고, 상기 제2 n-형 트랜지스터는,

상기 기판 상에 제4 핀의 제4 재료를 포함하는 제4 채널 영역으로서, 상기 제4 재료는 상기 제2 재료와 동일한 것인 제4 채널 영역;

상기 제4 재료 내의 해당 제4 리세스 내에 각각 형성된 제7 에피택셜 소스/드레인 영역과 제8 에피택셜 소스/드레인 영역으로서, 상기 제7 에피택셜 소스/드레인 영역과 제8 에피택셜 소스/드레인 영역 사이에 상기 제4 채널 영역이 배치된, 제7 에피택셜 소스/드레인 영역 및 제8 에피택셜 소스/드레인 영역; 및

상기 제4 채널 영역 상의 제4 게이트 스택

을 포함하는 것인 소자.

청구항 7

기판 상에 제1 결정질 재료를 포함하는 제1 핀을 상기 기판 상에 형성하는 단계;

상기 기판 상에 상기 제1 결정질 재료의 재료와 다른 재료인 제2 결정질 재료를 포함하는 제2 핀을 상기 기판 상에 형성하는 단계;

상기 제1 핀의 상기 제1 결정질 재료 상에 제1 구조체를 그리고 상기 제2 핀의 상기 제2 결정질 재료 상에 제2 구조체를 형성하는 단계;

상기 제1 구조체의 측벽을 따라 제1 스페이서를 그리고 상기 제2 구조체의 측벽을 따라 제2 스페이서를 형성하는 단계;

상기 제1 핀 내에 상기 제1 스페이서에 인접하게 제1 리세스를 형성하도록 상기 제1 결정질 재료를 식각하고, 이와 동시에 상기 제2 핀 내에 상기 제2 스페이서에 인접하게 제2 리세스를 형성하도록 상기 제2 결정질 재료를 식각하되, 상기 제2 리세스가 상기 제2 스페이서 아래에서 측방으로 연장되는 것보다 더 상기 제1 리세스가 상기 제1 스페이서 아래에서 측방으로 연장되는 것인, 상기 제1 결정질 재료와 상기 제2 결정질 재료의 동시 식각 단계; 및

상기 제1 리세스 내에 제1 에피택셜 소스/드레인 영역을 그리고 상기 제2 리세스 내에 제2 에피택셜 소스/드레인 영역을 에피택셜 성장시키는 단계

를 포함하는 것을 특징으로 하는 방법.

청구항 8

제7항에 있어서, 상기 동시 식각 단계는 상기 제1 결정질 재료를 제1 수직 식각 속도로 식각하고 상기 제2 결정질 재료를 제2 수직 식각 속도로 식각하는 것을 포함하며, 상기 제1 수직 식각 속도는 상기 제2 수직 식각 속도보다 높은 것인 방법.

청구항 9

제7항에 있어서, 상기 동기 식각 단계는 상기 제1 결정질 재료를 제1 측방향 식각 속도로 식각하고 그리고 상기 제2 결정질 재료를 제2 측방향 식각 속도로 식각하는 것을 포함하며, 상기 제1 측방향 식각 속도는 상기 제2 측방향 식각 속도보다 높은 것인 방법.

청구항 10

SiGe 채널층을 포함하는 제1 핀을 기관의 p-형 코어 로직 영역 내에 형성하는 단계;

제1 실리콘 채널층을 포함하는 제2 핀을 상기 기관의 p-형 입력/출력(I/O) 영역 내에 형성하는 단계;

상기 제1 핀 상에 제1 스택 및 제2 스택을 형성하고 상기 제2 핀 상에 제3 스택 및 제4 스택을 형성하는 단계;

상기 제1 스택의 측벽 상에 제1 스페이서를, 상기 제2 스택의 측벽 상에 제2 스페이서를, 상기 제3 스택의 측벽 상에 제3 스페이서를, 그리고 상기 제4 스택의 측벽 상에 제4 스페이서를 형성하되, 상기 제1 스페이서와 상기 제2 스페이서의 대향한 측벽들은 상기 제1 스페이서와 제2 스페이서 사이에 제1 거리를 형성하고, 상기 제3 스페이서와 상기 제4 스페이서의 대향한 측벽들은 상기 제3 스페이서와 제4 스페이서 사이에 제2 거리를 형성하며, 상기 제1 거리는 상기 제2 거리보다 작은 것인, 상기 제1 내지 제4 스페이서들을 형성하는 단계;

제1 리세스를 형성하도록 상기 제1 스페이서와 제2 스페이서 사이의 상기 SiGe 채널층을 식각하고, 이와 동시에 제2 리세스를 형성하도록 상기 제3 스페이서와 제4 스페이서 사이의 상기 제1 실리콘 채널층을 식각하되, 상기 SiGe 채널층이 상기 제1 실리콘 채널층보다 더 큰 수직 식각 속도와 더 큰 측방향 식각 속도로 식각되고, 상기 제1 리세스가 상기 제2 리세스보다 더 깊은 깊이를 가지며, 상기 제2 리세스가 상기 제3 스페이서 아래에서 측방향으로 연장되는 것보다 더 큰 거리로 상기 제1 리세스가 상기 제1 스페이서 아래에서 측방향으로 연장되는 것인, 상기 SiGe 채널층과 상기 제1 실리콘 채널층의 동기 식각 단계; 및

상기 제1 리세스 내에 제1 에피택셜 소스/드레인 영역을 그리고 상기 제2 리세스 내에 제2 소스/드레인 영역을 에피택셜 성장시키는 단계

를 포함하는 것을 특징으로 하는 방법.

발명의 설명

기술 분야

[0001] 본 발명은 핀형 전계효과 트랜지스터 소자 및 그 형성 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자(예, 전계효과 트랜지스터(FET) 소자)의 크기 감소 및 고유 특성은 과거 수십 년에 비해 집적 회로의 단위 기능 당 속도, 성능, 밀도 및 비용의 지속적인 향상을 가능케 하였다. FET 소자의 설계와 그 고유 특성 중 하나에 따르면, FET 소자의 소스와 드레인 사이의 게이트를 피복하는 채널 영역의 길이를 조절하는 것에 의해 채널 영역에 관련된 저항이 변경됨으로써 FET 소자의 성능에 영향을 미치게 된다. 보다 구체적으로, 채널 영역의 길이를 단축시키는 것에 의해 FET 소자의 소스-대-드레인 저항이 감소되는데, 이는 다른 파라미터들이 비교적 일정하게 유지된다고 가정할 때 MOS 소자의 게이트에 충분한 전압이 인가되는 경우 소스와 드레인 사이에 전류 흐름의 증가를 가져온다.

[0003] FET 소자의 성능을 더욱 향상시키기 위해, FET 소자의 채널 영역에 응력을 도입하여 캐리어 이동도를 향상시킬 수 있다. 일반적으로, n-형 FET("NFET") 소자의 채널 영역에 소스-드레인 방향으로 인장 응력을 유도하고 p-형 FET("PFET") 소자의 채널 영역에 소스-드레인 방향으로 압축 응력을 유도하는 것이 바람직하다.

[0004] FET 소자의 채널 영역에 압축 응력을 인가하기 위해 통상적으로 사용되는 방법은 소스와 드레인 영역에 응력 유발 인자(stressor)를 성장시키는 것을 포함한다. 이러한 방법은 통상적으로 반도체 기관 상에 게이트 스택을 형성하고, 게이트 스택의 측벽 상에 게이트 스페이서를 형성하고, 게이트 스페이서를 따라 실리콘 기관 내에 리세스를 형성하고, 리세스 내에 스트레스 유발 인자를 에피택셜 성장시키는 단계를 포함한다. 응력 유발 인자는 실리콘의 격자 상수와 다른 격자 상수를 가지므로, 소스 응력 유발 인자와 드레인 응력 유발 인자 사이에 위치된 채널 영역에 팽창을 통해 응력을 인가한다.

[0005] 전술한 방법은 패턴 밀도의 차이에 기인하여 생기는 패턴-로딩 효과에 의해 영향을 받는다. 패턴-로딩 효과는 높은 패턴 밀도의 영역과 낮은 패턴 밀도의 영역 내에서 반도체 기판을 동시에 식각하는 경우에 생기는 현상과 관련이 있다. 트렌치의 프로파일은 패턴의 밀도와 관련된다.

발명의 내용

[0006] 하나의 실시예는 소자이다. 소자는 제1 p-형 트랜지스터와 제2 p-형 트랜지스터를 포함한다. 제1 p-형 트랜지스터는 기판 상에 제1 핀의 제1 재료를 포함하는 제1 채널 영역을 포함한다. 제1 p-형 트랜지스터는 제1 재료 내의 해당 제1 리세스 내에 각각 제1 에피택셜 소스/드레인 영역과 제2 에피택셜 소스/드레인 영역을 포함한다. 제1 채널 영역은 제1 에피택셜 소스/드레인 영역과 제2 에피택셜 소스/드레인 영역 사이에 배치된다. 제1 p-형 트랜지스터는 제1 채널 영역 상에 제1 게이트 스택을 포함한다. 제2 p-형 트랜지스터는 기판 상에 제2 핀의 제2 재료를 포함하는 제2 채널 영역을 포함한다. 제2 재료는 제1 재료와는 다른 재료이다. 제2 p-형 트랜지스터는 제2 재료 내의 해당 제2 리세스 내에 각각 제3 에피택셜 소스/드레인 영역과 제4 에피택셜 소스/드레인 영역을 포함한다. 제2 채널 영역은 제3 에피택셜 소스/드레인 영역과 제4 에피택셜 소스/드레인 영역 사이에 배치된다. 제2 p-형 트랜지스터는 제2 채널 영역 상에 제2 게이트 스택을 포함한다.

[0007] 다른 실시예는 방법이다. 방법은 기판 상에 제1 결정질 재료를 포함하는 제1 핀을 상기 기판 상에 형성하는 단계와; 상기 기판 상에 상기 제1 결정질 재료의 재료와 다른 재료인 제2 결정질 재료를 포함하는 제2 핀을 상기 기판 상에 형성하는 단계와; 상기 제1 핀의 상기 제1 결정질 재료 상에 제1 구조체를 그리고 상기 제2 핀의 상기 제2 결정질 재료 상에 제2 구조체를 형성하는 단계와; 상기 제1 구조체의 측벽을 따라 제1 스페이서를 그리고 상기 제2 구조체의 측벽을 따라 제2 스페이서를 형성하는 단계와; 상기 제1 핀 내에 상기 제1 스페이서에 인접하게 제1 리세스를 형성하도록 상기 제1 결정질 재료를 식각하고, 이와 동시에 상기 제2 핀 내에 상기 제2 스페이서에 인접하게 제2 리세스를 형성하도록 상기 제2 결정질 재료를 식각하되, 상기 제2 리세스가 상기 제2 스페이서 아래에서 측방으로 연장되는 것보다 더 상기 제1 리세스가 상기 제1 스페이서 아래에서 측방으로 연장되는 것인, 상기 제1 결정질 재료와 상기 제2 결정질 재료의 동시 식각 단계와; 상기 제1 리세스 내에 제1 에피택셜 소스/드레인 영역을 그리고 상기 제2 리세스 내에 제2 에피택셜 소스/드레인 영역을 에피택셜 성장시키는 단계를 포함한다.

[0008] 추가의 실시예는 방법이다. 방법은 SiGe 채널층을 포함하는 제1 핀을 기판의 p-형 코어 로직 영역 내에 형성하는 단계와; 제1 실리콘 채널층을 포함하는 제2 핀을 상기 기판의 p-형 입력/출력(I/O) 영역 내에 형성하는 단계와; 상기 제1 핀 상에 제1 스택 및 제2 스택을 형성하고 상기 제2 핀 상에 제3 스택 및 제4 스택을 형성하는 단계와; 상기 제1 스택의 측벽 상에 제1 스페이서를, 상기 제2 스택의 측벽 상에 제2 스페이서를, 상기 제3 스택의 측벽 상에 제3 스페이서를, 그리고 상기 제4 스택의 측벽 상에 제4 스페이서를 형성하되, 상기 제1 스페이서와 상기 제2 스페이서의 대향한 측벽들은 상기 제1 스페이서와 제2 스페이서 사이에 제1 거리를 형성하고, 상기 제3 스페이서와 상기 제4 스페이서의 대향한 측벽들은 상기 제3 스페이서와 제4 스페이서 사이에 제2 거리를 형성하고, 상기 제1 거리는 상기 제2 거리보다 작은 것인, 상기 제1 내지 제4 스페이서들을 형성하는 단계와; 제1 리세스를 형성하도록 상기 제1 스페이서와 제2 스페이서 사이의 상기 SiGe 채널층을 식각하고, 이와 동시에 제2 리세스를 형성하도록 상기 제3 스페이서와 제4 스페이서 사이의 상기 제1 실리콘 채널층을 식각하되, 상기 SiGe 채널층이 상기 제1 실리콘 채널층보다 더 큰 수직 식각 속도와 더 큰 측방향 식각 속도로 식각되고, 상기 제1 리세스가 상기 제2 리세스보다 더 깊은 깊이를 가지며, 상기 제2 리세스가 상기 제3 스페이서 아래에서 측방으로 연장되는 것보다 더 큰 거리로 상기 제1 리세스가 상기 제1 스페이서 아래에서 측방으로 연장되는 것인, 상기 SiGe 채널층과 상기 제1 실리콘 채널층의 동시 식각 단계와; 상기 제1 리세스 내에 제1 에피택셜 소스/드레인 영역을 그리고 상기 제2 리세스 내에 제2 소스/드레인 영역을 에피택셜 성장시키는 단계를 포함한다.

도면의 간단한 설명

[0009] 본 발명의 여러 측면들은 첨부 도면을 함께 관독시 다음의 상세한 설명으로부터 가장 잘 이해될 것이다. 산업계에서의 표준 관행에 따라 다양한 피쳐들은 비율대로 작도된 것은 아님을 밝힌다. 실제, 다양한 피쳐들의 치수는 논의의 명확성을 위해 임의로 증감될 수 있다.

도 1-12는 일부 실시예에 따른 핀형 전계효과 트랜지스터(FinFET)의 제조시의 중간 단계의 다양한 입체(3D) 도면이다.

도 13a, 도 13b 및 도 13c는 일부 실시예에 따라 제1 및 제2 영역 내의 소스/드레인 영역의 리세스 형성을 나타

낸 3D 도면 및 단면도이다.

도 14a, 도 14b 및 도 14c는 일부 실시예에 따라 도 13a, 도 13b 및 도 13c에 형성된 리세스 내에 에피택셜 소스/드레인 영역의 형성을 나타낸 3D 도면 및 단면도이다.

도 15는 일부 실시예에 따른 제1 영역 내의 에피택셜 소스/드레인 영역의 단면도이다.

도 16은 일부 실시예에 따른 제2 영역 내의 에피택셜 소스/드레인 영역의 단면도이다.

도 17a, 도 17b 및 도 17c는 일부 실시예에 따라 제3 및 제4 영역 내의 소스/드레인 영역의 리세스 형성을 나타낸 3D 도면 및 단면도이다.

도 18a, 도 18b 및 도 18c는 일부 실시예에 따라 도 17a, 도 17b 및 도 17c에 형성된 리세스 내에 에피택셜 소스/드레인 영역의 형성을 나타낸 3D 도면 및 단면도이다.

도 19는 일부 실시예에 따른 제3 영역 내의 에피택셜 소스/드레인 영역의 단면도이다.

도 20은 일부 실시예에 따른 제4 영역 내의 에피택셜 소스/드레인 영역의 단면도이다.

도 21은 일부 실시예에 따라 제2 영역 또는 제4 영역에 형성된 소자의 핀의 채널의 단면도이다.

도 22는 일부 실시예에 따라 제3 영역에 형성된 소자의 핀의 채널의 단면도이다.

도 23은 일부 실시예에 따라 제1 영역에 형성된 소자의 핀의 채널의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 다음의 설명은 본 발명의 여러 가지 다른 특징의 구현을 위한 다수의 상이한 실시예 또는 실례를 제공한다. 본 발명을 단순화하기 위해 구성 성분 및 배열의 특정 예들을 아래에 설명한다. 이들은 물론 단지 여러 가지 예일 뿐이고 한정하고자 의도된 것이 아니다. 예를 들면, 이어지는 설명에서 제2 피쳐 상에 제1 피쳐의 형성은 제1 및 제2 피쳐가 직접 접촉되게 형성되는 실시예를 포함할 수 있고 제1 및 제2 피쳐가 직접 접촉되지 않을 수 있게 추가의 피쳐가 제1 및 제2 피쳐 사이에 형성될 수 있는 실시예도 포함할 수 있다. 추가로, 본 발명은 여러 예에서 참조 번호 및/또는 문자를 반복할 수 있다. 이러한 반복은 단순 및 명료성을 위한 것으로 그 자체가 논의되는 다양한 실시예 및/또는 구성 간의 관계를 지시하는 것은 아니다.

[0011] 또한, "밑", "아래", "하부", "위", "상부" 등의 공간 관계 용어는 여기서 도면에 예시되는 바와 같이 다른 요소(들) 또는 피쳐(들)에 대한 하나의 요소 또는 피쳐의 관계를 기술하는 설명의 용이성을 위해 사용될 수 있다. 공간 관계 용어는 도면에 표현된 배향 외에도 사용 중 또는 작동 중인 소자의 다른 배향을 포함하도록 의도된 것이다. 장치는 달리 배향될 수 있으며(90도 회전 또는 다른 배향), 여기 사용되는 공간 관계 기술어도 그에 따라 유사하게 해석될 수 있다.

[0012] 다양한 실시예에 따라 핀형 전계효과 트랜지스터(FinFET) 및 그 제조 방법이 제공된다. FinFET를 형성하는 중간 단계들이 예시된다. 여기 논의되는 일부 실시예들은 게이트-후형성(gate-last) 공정을 이용하여 형성되는 FinFET의 맥락에서 논의된다. 실시예에 대한 일부 변형이 논의된다. 당업자 중 한 사람은 다른 실시예의 범위 내에 있는 것으로 고려되는 구현 가능한 다른 변형을 쉽게 이해할 것이다. 방법의 실시예들은 특정 순서로 논의되지만, 다양한 다른 방법의 실시예들은 임의의 논리적 순서로 수행될 수 있고 여기 논의되는 것보다 더 적거나 많은 단계를 포함할 수 있다.

[0013] 도 1-12는 일부 실시예에 따른 FinFET의 제조시의 중간 단계에 다양한 입체(3D) 도면이다. 도 1에서, 기관(20)이 제공된다. 기관(20)은 벌크형 반도체 기관, 반도체-온-인슐레이터(SOI) 기관, 다층 또는 그라디언트 기관 등과 같은 반도체 기관일 수 있다. 기관(20)은 Si, Ge를 포함하는 원소 반도체; SiC, SiGe, GaAs, GaP, GaAsP, AlInAs, AlGaAs, GaInAs, InAs, GaInP, InP, InSb 및/또는 GaInAsP를 포함하는 화합물 또는 합금 반도체; 또는 이들의 조합과 같은 반도체 재료를 포함할 수 있다. 기관(20)은 도핑되거나 도핑되지 않을 수 있다. 특정 예로서, 기관(20)은 벌크형 실리콘 기관이다. 기관(20)은 제1 영역(100), 제2 영역(200), 제3 영역(300) 및 제4 영역(400)을 포함한다. 상기 영역(100, 200, 300, 400)은 따로 표현되지만, 이들 영역(100, 200, 300, 400)은 통상 동일 기관(20)의 개별 영역들이고, 단지 명확성을 위한 것이다. 여기 제공된 예들의 측면에서, 제1 영역(100)은 코어 로직 n-형 소자 영역일 수 있고; 제2 영역(200)은 코어 로직 p-형 소자 영역일 수 있고; 제3 영역(300)은 입력/출력(I/O) p-형 소자 영역일 수 있고; 제4 영역(400)은 I/O n-형 소자 영역일 수 있다.

[0014] 도 2에서, 제2 영역(200), 제3 영역(300) 및 제4 영역(400) 내의 기관(20) 상에 하드 마스크(22)가 형성된다.

하드 마스크(22)는 기판(20)의 표면을 열산화, 화학적 산화 등에 의해 산화시켜 제1 영역(100), 제2 영역(200), 제3 영역(300) 및 제4 영역(400)에 걸쳐 하드 마스크(22)를 형성한 후, 제1 영역(100)의 하드 마스크(22)를 식각하여 제1 영역(100)의 기판(20)을 노출시키는 것에 의해 형성될 수 있다. 식각은 허용 가능한 포토리소그래피 및 식각 기술을 이용할 수 있다. 하드 마스크(22)를 형성하는 다른 재료 및 방법이 적용될 수 있다.

[0015] 도 3에서, 제2 영역(200), 제3 영역(300) 및 제4 영역(400)의 기판(20)이 하드 마스크(22)에 의해 마스크된 상태로 유지되도록 하면서 제1 영역(100)의 기판(20) 위에 반도체 층(24)이 형성된다. 반도체 층(24)은 이후 논의되는 바와 같이 기판(20)과 이후 형성되는 재성장 층의 재료(들)에 비해 상대적으로 쉽게 산화될 수 있는 임의의 반도체 재료일 수 있다. 일부 실시예에서, 반도체 층(24)은 SiGe와 같은 게르마늄 함유 재료이다. 반도체 층(24)은 유기 금속 화학적 기상 증착(MOCVD), 분자 빔 에피택시(MBE), 액상 에피택시(LPE), 기상 에피택시(VPE) 등등 또는 이들의 조합 등에 의해 에피택셜 성장될 수 있다. 반도체 층(24)의 두께는 약 3 nm~약 15 nm의 범위에 있을 수 있다.

[0016] 도 4에서, 기판(20)의 제2 영역(200), 제3 영역(300), 제4 영역(400)으로부터 하드 마스크(22)가 제거된다. 제거는 하드 마스크(22)의 재료에 대해 선택된 식각과 같은 임의의 적절한 식각을 이용하는 것에 의한 것일 수 있다. 예를 들면, 식각은 하드 마스크(22)가 산화물인 경우 HF 희석액 식각 등과 같은 습식 식각일 수 있다. 식각은 반도체 층(24)이 형성된 후 현장에서 수행될 수 있다.

[0017] 또한 도 4에서, 제1 영역(100)의 반도체 층(24) 위와 제2 영역(200), 제3 영역(300) 및 제4 영역(400)의 기판(20) 위에 재성장 층(26)이 형성된다. 재성장 층(26)은 기판(20)과 동일한 재료일 수 있다. 예를 들면, 기판(20)이 벌크형 실리콘 기판인 실시예에서, 재성장 층(26)은 실리콘일 수 있다. 재성장 층(26)은 MOCVD, MBE, LPE, VPE 등등 또는 이들의 조합 등에 의해 에피택셜 성장될 수 있다. 재성장 층(26)의 두께는 약 30 nm~약 60 nm의 범위에 있을 수 있다. 재성장 층(26)은 화학적 기계적 연마(CMP) 등에 의해 평탄화될 수 있다.

[0018] 도 5에서, 재성장 층(26) 위에 패드층(28)과 하드 마스크 층(30)이 형성된다. 패드층(28)은 재성장 층(26)의 표면을 열산화, 화학적 산화 등에 의해 산화시키는 것에 의해 형성된 산화물일 수 있다. 하드 마스크 층(30)은 화학적 기상 증착(CVD) 등에 의해 증착되는 실리콘 질화물, 실리콘 탄소 질화물, 실리콘 산질화물, 실리콘 탄소 산질화물 등등 또는 이들의 조합일 수 있다. 패드층(28)과 하드 마스크 층(30)을 형성하는 다른 재료 및 방법이 적용될 수 있다.

[0019] 추가로 도 5에서, 하드 마스크 층(30)과 패드층(28)은 패턴화되어 핀(32)을 형성하는 마스크로서 사용된다. 하드 마스크 층(30)과 패드층(28)의 패턴화는 반응성 이온 식각(RIE), 중성 빔 식각(NBE) 등과 같은 임의의 허용 가능한 포토리소그래피 및 식각 공정을 이용할 수 있다. 유사하게, 마스크로서 하드 마스크 층(30)과 패드층(28)을 사용하여 핀(32)을 형성하도록, 재성장 층(26), 반도체 층(24) 및/또는 기판(20)이 식각된다. 식각은 RIE, NBE 등과 같은 임의의 허용 가능한 식각 공정을 이용할 수 있다. 식각은 핀(32) 사이에 트렌치를 형성할 수 있다. 예시된 바와 같은 제1 영역(100) 내의 핀(32)은 재성장 층(26), 반도체 층(24) 및 기판(20)을 포함한다. 예시된 바와 같은 제2 영역(200) 내의 핀(32)은 재성장 층(26)과 기판(20)을 포함한다. 예시된 바와 같은 제3 영역(300) 내의 핀(32)은 재성장 층(26)과 기판(20)을 포함한다. 예시된 바와 같은 제4 영역(400) 내의 핀(32)은 재성장 층(26)과 기판(20)을 포함한다.

[0020] 도 6에서, 제1 영역(100) 내의 핀(32)의 반도체 층(24)은 제1 유전층(34)으로 변환된다. 일부 실시예에서, 변환 공정은 산화 공정이다. 산화 공정은 증기로를 이용할 수 있다. 예를 들면, 증기 환경에 노출되도록 로 내에 기판(20)이 배치될 수 있다. 도 6에 예시된 바와 같이, 산화를 위해 증기 환경이 사용되는 경우, 증기는 반도체 층(24)과 반응하여 반도체 층(24)을 제1 유전 재료(34)로 변환시킬 수 있다. 일부 실시예에서, 예컨대 반도체 층(24)이 SiGe인 경우, 제1 유전 재료(34)는 SiGeO일 수 있다. 다른 변환 처리가 적용될 수 있다. 변환 처리 중, 핀(32)의 표면 상에 제2 유전 재료(35)가 형성될 수 있다. 예를 들면, 핀(32)의 표면도 산화 처리 중에 산화될 수 있다.

[0021] 도 7에서, 트렌치는 절연 재료(36)로 충전된다. 절연 재료(36)는 실리콘 산화물과 같은 산화물, 질화물 등등 또는 이들의 조합일 수 있으며, 고밀도 플라즈마 화학적 기상 증착(HDP-CVD), 유동성 CVD(FCVD)(예, 산화물과 같은 다른 물질로 변환되도록 원격 플라즈마 시스템 및 후 경화 방식의 CVD-계 재료 증착) 등등 또는 이들의 조합에 의해 형성될 수 있다. 임의의 허용 가능한 공정에 의해 형성된 다른 절연 재료도 사용될 수 있다. 예시된 실시예에서, 절연 재료(36)는 FCVD 공정에 의해 형성된 실리콘 산화물이다. 일단 절연 재료(36)가 형성되면 어닐링 처리가 수행될 수 있다. 또한, CMP와 같은 평탄화 공정에 의해 소정의 과잉의 절연 재료, 하드 마스크 층(30) 및 패드층(28)이 제거될 수 있고 공통면인 절연 재료(36)의 상부면과 핀(32)의 상부면이 형성될 수 있다.

- [0022] 도 8에서, 제2 영역(200)의 핀(32)의 일부가 제거되고, 해당 제2 영역(200)의 핀(32)의 개별 부분으로서 이중 에피택셜 층(38)이 형성된다. 제2 영역(200) 내의 핀(32)은 노출된 상태로 되게 하면서 제1 영역(100), 제3 영역(300) 및 제4 영역(400)에 하드 마스크 층이 형성될 수 있다. 하드 마스크 층은 화학적 기상 증착(CVD) 등에 의해 증착되는 실리콘 질화물, 실리콘 탄소 질화물, 실리콘 산질화물, 실리콘 탄소 산질화물, 등등 또는 이들의 조합일 수 있다. 하드 마스크 층을 형성하는 다른 재료 및 방법이 적용될 수 있다. 하드 마스크 층은 RIE, NBE 등과 같은 임의의 허용 가능한 포토리소그래피 및 식각 공정을 이용하여 제2 영역(200)을 노출시키도록 패터닝될 수 있다. 제2 영역(200)이 노출되고 제1 영역(100), 제3 영역(300) 및 제4 영역(400)이 마스크된 상태에서 제2 영역(200)의 핀(32)의 재료(들)에 대해 선택된 식각이 수행된다. 식각은 불소계 가스, 염소계 가스 등을 사용하는 건식 식각 등의 임의의 허용 가능한 식각일 수 있다. 식각은 제2 영역(200)의 핀(32)에 리세스를 형성한다.
- [0023] 그러면, 리세스 내에 이중 에피택셜 층(38)이 형성된다. 이중 에피택셜 층(38)은 MOCVD, MBE, LPE, VPE 등등 또는 이들의 조합 등에 의해 에피택셜 성장될 수 있다. 이중 에피택셜 층(38)은 제2 영역(200)에 형성될 FinFET의 허용 가능한 적용을 위한 임의의 재료를 포함할 수 있다. 일부 실시예에서, 이중 에피택셜 층(38)은 재성장층(26)(제2 영역(200) 내에 존재하는 경우) 및/또는 기판(20)이 실리콘인 경우, Si_xGe_{1-x}와 같은 실리콘 게르마늄이고, 여기서 x는 약 0.50~0.80의 범위에 있을 수 있다. CMP와 같은 평탄화 공정에 의해 소정의 과잉의 이중 에피택셜 층(38)과 하드 마스크 층이 제거될 수 있고 공통면인 이중 에피택셜 층(38)의 상부면과 절연 재료(36)의 상부면이 형성될 수 있다. 만일 적용된 경우라면 그 평탄화 공정 후의 이중 에피택셜 층(38)의 두께는 약 30 nm~약 60 nm의 범위에 있을 수 있다. 제2 영역(200) 내의 핀(32)은 이중 에피택셜 층(38)을 포함한다.
- [0024] 구체적으로 예시되지는 않았지만, 핀(32) 및/또는 기판(20)에 적절한 우물이 형성될 수 있다. 예를 들면, n-형 FinFET와 같은 n-형 소자가 형성될 기판(20)의 제1 영역(100)과 제4 영역(400)에 p-형 우물이 형성될 수 있고, p-형 FinFET와 같은 p-형 소자가 형성될 기판(20)의 제2 영역(200)과 제3 영역(300)에 n-형 우물이 형성될 수 있다.
- [0025] 예를 들면, 제1 영역(100)과 제4 영역(400)에 p-형 우물을 형성하기 위해, 기판(20)의 제2 영역(200)과 제3 영역(300)의 핀(32)과 절연 재료(36) 위에 포토레지스트가 형성될 수 있다. 포토레지스트는 기판(20)의 제1 영역(100)과 제4 영역(400)을 노출시키도록 패터닝될 수 있다. 포토레지스트는 스핀-온 기법을 이용하는 것으로 형성될 수 있고, 허용가능한 포토리소그래피 기법을 이용하여 패터닝될 수 있다. 일단 포토레지스트가 패터닝되면, 제1 영역(100)과 제4 영역(400)에 p-형 불순물 주입이 수행될 수 있고, 포토레지스트는 제2 영역(200)과 제3 영역(300) 내로 p-형 불순물이 실질적으로 주입되지 않도록 하는 마스크로서 사용될 수 있다. p-형 불순물은 예컨대 약 10¹⁷ cm⁻³~10¹⁸ cm⁻³ 등의 10¹⁸ cm⁻³ 이하의 농도로 제1 영역(100)과 제4 영역(400) 내에 주입되는 붕소, BF₂ 등일 수 있다. 주입 후, 포토레지스트는 예컨대 허용 가능한 애싱(ashing) 처리에 의해 제거될 수 있다.
- [0026] 또한, 제2 영역(200)과 제3 영역(300)에 n-형 우물을 형성하기 위해, 기판(20)의 제1 영역(100)과 제4 영역(400)의 핀(32)과 절연 재료(36) 위에 포토레지스트가 형성될 수 있다. 포토레지스트는 기판(20)의 제2 영역(200)과 제3 영역(300)을 노출시키도록 패터닝될 수 있다. 포토레지스트는 스핀-온 기법을 이용하는 것으로 형성될 수 있고, 허용 가능한 포토리소그래피 기법을 이용하여 패터닝될 수 있다. 일단 포토레지스트가 패터닝되면, 제2 영역(200)과 제3 영역(300)에 n-형 불순물 주입이 수행될 수 있고, 포토레지스트는 제1 영역(100)과 제4 영역(400) 내로 n-형 불순물이 실질적으로 주입되지 않도록 하는 마스크로서 사용될 수 있다. n-형 불순물은 예컨대 약 10¹⁷ cm⁻³~10¹⁸ cm⁻³ 등의 10¹⁸ cm⁻³ 이하의 농도로 제2 영역(200)과 제3 영역(300) 내에 주입되는 인, 비소 등일 수 있다. 주입 후, 포토레지스트는 예컨대 허용 가능한 애싱 처리에 의해 제거될 수 있다. 주입 후, 주입된 p-형 불순물과 n-형 불순물을 활성화시키기 위해 어닐링이 수행될 수 있다. 주입은 제1 영역(100)과 제4 영역(400)에 p-형 우물을, 그리고 제2 영역(200)과 제3 영역(300)에 n-형 우물을 형성할 수 있다.
- [0027] 다른 실시예에서, 재성장 층(26) 및/또는 이중 에피택셜 층(38)의 에피택셜 성장 중에 인시튜(in-situ)로 p-형 우물과 n-형 우물이 형성될 수 있다. 상이한 우물이 형성될 상이한 영역 내의 재성장 층(26)은 상이한 성장 단계로 에피택셜 성장됨으로써 상이한 영역 내에 상이한 도핑 타입이 형성되게 할 수 있다.
- [0028] 도 9에서, 얇은 트렌치 소자분자(STI) 영역으로 지칭될 수 있는 아이솔레이션 영역(40)을 형성하고 인접하는 아이솔레이션 영역(40) 사이로부터 핀(32)이 돌출되게 하기 위해 절연 재료(36)에 리세스가 형성된다. 절연 재료

(36)는 해당 절연 재료(36)의 재료에 대해 선택된 것과 같은 허용 가능한 식각 공정을 이용하여 리세스가 형성된다. 예를 들면, CERTAS® 식각 또는 Applied Materials SICONI 툴 또는 희석 불산(dHF)을 사용하는 화학적 산화물 제거가 이용될 수 있다.

- [0029] 도 10에서, 핀(32) 위에는 더미 유전층(42)이 형성된다. 더미 유전층(42)은 예컨대 실리콘 산화물, 실리콘 질화물, 이들의 조합 등일 수 있으며, CVD, 열산화 등과 같은 허용 가능한 기법에 따라 증착 또는 열 성장될 수 있다.
- [0030] 도 11에서, 더미 유전층(42) 위에 더미 게이트 층이 형성된다. 더미 게이트 층은 예컨대 CVD 등을 이용하는 것에 의해 더미 유전층(42) 위에 증착된 후 예컨대 CMP에 의해 평탄화될 수 있다. 더미 게이트 층은 예컨대, 폴리실리콘을 포함할 수 있지만, 높은 식각 선택도를 갖는 다른 재료도 사용될 수 있다. 이후 더미 게이트 층 위에 마스크 층이 형성된다. 마스크 층은 예컨대 CVD 등에 의해 더미 게이트 층 위에 증착될 수 있다. 마스크 층은 예컨대, 실리콘 질화물, 실리콘 산질화물, 실리콘 탄소 질화물 등을 포함할 수 있다.
- [0031] 추가로 도 11에서, 마스크 층은 허용 가능한 포토리소그래피 및 식각 기법을 이용하여 패턴화됨으로써 마스크(46)를 형성한다. 또한, 더미 게이트 층과 더미 유전층(42)은 예컨대, 허용 가능한 식각 기법을 이용하여 마스크(46)의 패턴을 전사하는 등에 의해 패턴화됨으로써 더미 게이트 층과 더미 유전층(42) 각각으로부터 더미 게이트(44)와 더미 게이트 유전체를 형성한다. 식각은 RIE, NBE 등과 같은 허용 가능한 이방성 식각을 포함할 수 있다. 더미 게이트(44)는 핀(32)의 각 채널 영역을 덮는다. 더미 게이트(44)는 또한 해당 핀(32)의 길이 방향에 거의 수직한 길이 방향을 가질 수 있다.
- [0032] 구체적으로 예시되지는 않았지만, 저농도 도핑된 소스/드레인(LDD) 영역을 위한 주입이 수행될 수 있다. 전술한 주입과 유사하게, 예컨대 n-형 소자를 위한 제1 영역(100)과 제4 영역(400)을 노출시키면서 예컨대 p-형 소자를 위한 제2 영역(200)과 제3 영역(300) 위에 포토레지스트와 같은 마스크가 형성될 수 있고, 제1 영역(100)과 제4 영역(400)의 노출된 핀(32)에 n-형 불순물이 주입될 수 있다. 이후 마스크는 제거될 수 있다. 이어서, 제2 영역(200)과 제3 영역(300)을 노출시키면서 제1 영역(100)과 제4 영역(400) 위에 포토레지스트와 같은 마스크가 형성될 수 있고, 제2 영역(200)과 제3 영역(300)의 노출된 핀(32)에 p-형 불순물이 주입될 수 있다. 이후 마스크는 제거될 수 있다. n-형 불순물은 전술한 n-형 불순물 중 임의의 것일 수 있고, p-형 불순물은 전술한 p-형 불순물 중 임의의 것일 수 있다. 저농도 도핑된 소스/드레인 영역은 약 10^{15} cm^{-3} ~약 10^{16} cm^{-3} 의 불순물 농도를 가질 수 있다. 주입된 불순물의 활성화를 위해 어닐링이 이용될 수 있다.
- [0033] 추가로 도 11에서, 더미 게이트 유전체, 더미 게이트(44) 및 마스크(42)의 측벽을 따라 게이트 스페이서(48)가 형성된다. 게이트 스페이서(48)는 예컨대 CVD 등에 의해 소정의 재료를 컨포멀(conformally)하게 증착한 후 해당 재료를 이방성 식각하는 것에 의해 형성될 수 있다. 게이트 스페이서(48)의 재료는 실리콘 질화물, 실리콘 탄소 질화물, 이들의 조합 등일 수 있다.
- [0034] 추가로 도 11에서, 핀(32) 내에 에피택셜 소스/드레인 영역(50, 52)이 형성된다. 제1 영역(100)과 제4 영역(400) 내의 핀(32)이 노출 상태로 유지되도록 하면서 제2 영역(200)과 제3 영역(300) 내에 하드 마스크 층이 형성될 수 있다. 하드 마스크 층은 CVD 등에 의해 증착되는 실리콘 질화물, 실리콘 탄소 질화물, 실리콘 산질화물, 실리콘 탄소 산질화물 등등 또는 이들의 조합일 수 있다. 하드 마스크 층을 형성하는 다른 재료 및 방법이 적용될 수 있다. 하드 마스크 층은 RIE, NBE 등과 같은 임의의 허용 가능한 포토리소그래피 및 식각 공정을 이용하여 제1 영역(100)과 제4 영역(400)을 노출시키도록 패턴화될 수 있다. 제1 영역(100)과 제4 영역(400)이 노출되고 제2 영역(200)과 제3 영역(300)이 마스크된 상태에서 제1 영역(100)과 제4 영역(400)의 핀(32)의 재료(들)에 대해 선택된 식각이 수행된다. 식각은 이방성 또는 등방성일 수 있는 건식 또는 습식 식각 등의 임의의 허용 가능한 식각일 수 있다. 일부 실시예에서, 식각은 불소계 가스, 염소계 가스 등을 사용하는 건식 식각을 포함할 수 있다. 식각은 제1 영역(100)과 제4 영역(400)의 핀(32)의 소스/드레인 영역에 리세스를 형성한다. 제1 영역(100)과 제4 영역(400)의 핀(32)의 소스/드레인 영역에 형성된 리세스의 추가적인 세부 사항은 도 17a-17c, 도 18a-18c, 도 19 및 도 20과 관련하여 아래에 논의된다.
- [0035] 그러면, 제1 영역(100)과 제4 영역(400)의 리세스 내에 에피택셜 소스/드레인 영역(50)이 에피택셜 성장된다. 에피택셜 성장은 MOCVD, MBE, LPE, VPE 등등 또는 이들의 조합을 이용하는 것에 의한 것일 수 있다. 에피택셜 소스/드레인 영역(50)은 예컨대 n-형 소자에 적절한 임의의 허용 가능한 재료일 수 있다. 예를 들면, n-형 소자를 위한 에피택셜 소스/드레인 영역(50)은 실리콘, SiP, SiC, SiCP 등등 또는 이들의 조합을 포함할 수 있다. 제1 영역(100)과 제4 영역(400)의 에피택셜 소스/드레인 영역(50)의 예의 추가적인 상세는 도 18a-18c, 도 19 및 도 20을 참조로 아래에 논의된다. 이후, 제2 영역(200)과 제3 영역(300)으로부터 하드 마스크 층이 예컨대

대, 해당 하드 마스크 층의 재료에 대해 선택된 식각을 이용하여 제거될 수 있다.

[0036] 제2 영역(200)과 제3 영역(300)의 핀(32)이 노출된 상태로 있는 동안 제1 영역(100)과 제4 영역(400) 내에 다른 하드 마스크 층이 형성될 수 있다. 하드 마스크 층은 CVD 등에 의해 증착되는 실리콘 질화물, 실리콘 탄소 질화물, 실리콘 산질화물, 실리콘 탄소 산질화물, 등등 또는 이들의 조합일 수 있다. 하드 마스크 층을 형성하는 다른 재료 및 방법이 이용될 수 있다. 하드 마스크 층은 RIE, NBE 등과 같은 임의의 허용 가능한 포토리소그래피 및 식각 공정을 이용하여 제2 영역(200)과 제3 영역(300)을 노출시키도록 패턴화될 수 있다. 제2 영역(200)과 제3 영역(300)이 노출되고 제1 영역(100)과 제4 영역(400)이 마스크된 상태에서 제2 영역(200)과 제3 영역(300)의 핀(32)의 재료(들)에 대해 선택된 식각이 수행된다. 식각은 이방성 또는 등방성일 수 있는 건식 또는 습식 식각 등의 임의의 허용 가능한 식각일 수 있다. 일부 실시예에서, 식각은 불소계 가스, 염소계 가스 등을 사용하는 건식 식각을 포함할 수 있다. 식각은 제2 영역(200)과 제3 영역(300)의 핀(32)의 소스/드레인 영역에 리세스를 형성한다. 제2 영역(200)과 제3 영역(300)의 핀(32)의 소스/드레인 영역에 형성된 리세스의 추가적인 세부 사항은 도 13a-13c, 도 14a-14c, 도 15 및 도 16과 관련하여 아래에 논의된다.

[0037] 그러면, 제2 영역(200)과 제3 영역(300)의 리세스 내에 에피택셜 소스/드레인 영역(52)이 에피택셜 성장된다. 에피택셜 성장은 MOCVD, MBE, LPE, VPE 등등 또는 이들의 조합을 이용하는 것에 의한 것일 수 있다. 에피택셜 소스/드레인 영역(52)은 예컨대 p-형의 소자 타입에 적절한 임의의 허용 가능한 재료를 포함할 수 있다. 예를 들면, p-형 소자를 위한 에피택셜 소스/드레인 영역(52)은 SiGe, SiGeB, Ge, GeSn 등을 포함할 수 있다. 제2 영역(200)과 제3 영역(300)의 에피택셜 소스/드레인 영역(52)의 예의 추가적인 상세는 도 14a-14c, 도 15 및 도 16을 참조로 아래에 논의된다. 이후, 제1 영역(100)과 제4 영역(400)으로부터 하드 마스크 층이 예컨대, 해당 하드 마스크 층의 재료에 대해 선택된 식각을 이용하여 제거될 수 있다.

[0038] 도 12에서, 핀(32) 위에 바닥 층간 절연체(ILD0)(54)가 형성된다. ILD0(54)는 에피택셜 소스/드레인 영역(50, 52), 게이트 스페이서(48), 마스크(46) 및 아이솔레이션 영역(40) 위에 컨포멀하게 형성된 식각 정지층(ESL)과 같은 제1 층을 포함할 수 있다. 일부 실시예에서, ESL은 원자층 증착(ALD), CVD 등등 또는 이들의 조합을 이용하여 형성되는 실리콘 질화물, 실리콘 탄소 질화물 등을 포함할 수 있다. ILD0(54)는 제1 층 위에 증착되는 제2 층을 더 포함할 수 있다. ILD0(54)의 제2 층은 포스포-실리케이트 유리(PSG), 보로-실리케이트 유리(BSG), 붕소-도핑된 포스포-실리케이트 유리(BPSG), 도핑되지 않은 실리케이트 유리(USG) 등을 포함할 수 있고, CVD, 플라즈마-증강된 CVD(PECVD), FCVD 등등 또는 이들의 조합과 같은 임의의 적절한 방법에 의해 증착될 수 있다.

[0039] ILD0(54)의 상부면을 더미 게이트(44)의 상부면과 동일 높이로 하기 위해 CMP와 같은 평탄화 공정이 수행된다. 또한, CMP는 더미 게이트(44) 위로부터 마스크(46)를 제거할 수 있다. 따라서, 더미 게이트(44)의 상부면은 ILD0(54)를 통해 노출된다.

[0040] 이후, 식각 단계(들)에서 더미 게이트(44)와 더미 게이트 유전체가 제거됨으로써 ILD0(54)를 통과해 게이트 스페이서(48)에 의해 형성되는 개구가 개별 핀(32)에 형성된다. 개구는 핀(32)의 개별 채널 영역을 노출시킨다. 각각의 채널 영역은 인접하는 쌍의 에피택셜 소스/드레인 영역(50 또는 52) 사이에 배치된다. 식각 단계(들)는 더미 게이트(44)와 더미 게이트 유전체의 재료에 대해 선택될 수 있고, 식각은 건식 또는 습식 식각일 수 있다. 식각 중에, 더미 게이트 유전체는 더미 게이트(44)가 식각될 때 식각 정지층으로서 사용될 수 있다. 이후, 더미 게이트(44)의 제거 후에 더미 게이트 유전체가 식각될 수 있다.

[0041] 도 12에서, ILD0(54)를 통과하는 개구 내에 게이트 유전체 및 게이트 전극[집합적으로 "게이트 스택(56)"]이 형성된다. 각각의 개구 내부와 개별 핀(32) 위에 계면 유전체가 형성될 수 있다. 계면 유전체는 예컨대, 산화물 등일 수 있다. 예로서, 제1 영역(100), 제2 영역(200), 제3 영역(300) 및 제4 영역(400)의 개구 내부와 핀(32) 위에 제1 계면 유전층이 형성될 수 있다. 제1 계면 유전층은 상기 영역(100, 200, 300, 400) 내의 구조체에 컨포멀하게 ALD 산화물 증착을 이용하여 형성될 수 있다. 이후, 제1 영역(100)과 제2 영역(200)이 노출된 상태로 유지되는 동안 제3 영역(300)과 제4 영역(400)에 포토레지스트가 형성될 수 있다. 포토레지스트는 스핀-온 기법을 이용하는 것에 의해 형성될 수 있고, 허용 가능한 포토리소그래피 기법을 이용하여 패턴화될 수 있다. 일단 포토레지스트가 패턴화되면, 제1 영역(100)과 제2 영역(200)으로부터 제1 계면 유전층을 제거하기 위해 제1 계면 유전층의 재료에 대해 선택된 식각이 수행될 수 있다. 이후, 예컨대 산화물을 형성하는 화학적 산화를 이용하여 제1 영역(100)과 제2 영역(200) 내의 개구에 의해 노출된 핀(32) 위에 제2 계면 유전층이 형성될 수 있다. 화학적 산화는 오존, 물, 과산화수소 등과 같은 화학적 산화제에 핀(32)을 노출시키는 것을 포함할 수 있다. 따라서, 실시예들은 제3 영역(300)과 제4 영역(400)에 형성된 것과는 상이한 계면층을 제1 영역(100)과 제2 영역(200)에 형성하는 것을 상정한다. 이들 계면층의 추가적인 상세는 도 21, 도 22 및 도 23의 맥락

에서 아래에 논의된다.

- [0042] 계면층 위에 게이트 유전층이 형성될 수 있다. 게이트 유전층은 ILD0(54)의 상부면 위와 게이트 스페이서(48)의 측벽을 따라 개구 내에 그리고 계면 유전층 위에 컨포멀하게 형성되는 고-k 유전층을 더 포함할 수 있다. 고-k 유전층은 약 7.0보다 큰 k 값을 가질 수 있고, 금속 산화물 또는 Hf, Al, Zr, La, Mg, Ba, Ti, Pb의 실리 게이트 및 이들의 조합을 포함할 수 있다. 고-k 유전층의 형성 방법은 ALD, CVD, 분자빔 증착(MBD), 등등 또는 이들의 조합을 포함할 수 있다. 다른 실시예들은 고-k가 아닌 재료와 같은 다른 게이트 유전체용 재료를 고려한다.
- [0043] 게이트 유전체 위에 게이트 전극이 형성된다. 게이트 전극은 다층 구조체일 수 있다. 예를 들면, 게이트 전극은 게이트 유전체 위에 컨포멀하게 형성된 캐핑층, 이 캐핑층 위에 컨포멀하게 형성된 하나 이상의 일함수 조절층 및 이 일함수 조절층 위에 형성되고 개구를 충전하는 금속 등의 금속-함유 재료를 포함할 수 있다. 일례로, 캐핑층은 ALD, CVD 등을 이용하여 TiN 등으로 형성된 게이트 유전체 상의 제1 서브층과, ALD, CVD 등을 이용하여 TaN 등으로 형성된 제1 서브층 상의 제2 서브층을 포함할 수 있다. 일함수 조절층(들)은 ALD, CVD 등을 이용하여 TiAl, TiN 등으로 형성될 수 있다. 금속-함유 재료는 CVD, 물리적 기상 증착(PVD) 등등 또는 이들의 조합을 이용하여 증착된 텅스텐(W), 알루미늄(Al), 코발트(Co), 루테튬(Ru), 이들의 조합 등일 수 있다.
- [0044] 이어서, 게이트 전극과 게이트 유전체 중 ILD0(54)의 상부면 위에 있는 잉여부를 제거하기 위해 CMP와 같은 평탄화 공정이 수행될 수 있다.
- [0045] 도시하진 않았지만, ILD0(54)와 게이트 스택(56) 위에 상부 ILD(ILD1)가 증착될 수 있고, 이후 ILD1과 ILD0(54)를 통해 에피택셜 소스/드레인 영역(50, 52)에 이르는 접촉부가 형성될 수 있다. ILD1은 PSG, BSG, BPSG, USG 등과 같은 유전 재료로 형성될 수 있고, CVD와 PECVD와 같은 임의의 적절한 방법에 의해 증착될 수 있다. ILD1과 ILD0(54)를 통해 접촉부를 위한 개구가 형성될 수 있다. 개구는 허용 가능한 포토리소그래피 및 식각 기술을 이용하여 형성될 수 있다. 개구 내에는 확산 장벽층, 접촉층 등과 같은 라이너와 전도성 재료가 형성될 수 있다. 라이너는 티타늄, 티타늄 질화물, 탄탈, 탄탈 질화물 등을 포함할 수 있다. 전도성 재료는 구리, 구리 합금, 은, 금, 텅스텐, 알루미늄, 니켈 등일 수 있다. ILD1의 표면으로부터 여분의 재료를 제거하기 위해 CMP와 같은 평탄화 공정이 수행될 수 있다. 나머지 라이너와 전도성 재료는 개구 내에 접촉부를 형성할 수 있다. 에피택셜 소스/드레인 영역(50, 52)과 접촉부 사이의 계면에 실리사이드를 형성하기 위해 어닐링 처리가 수행될 수 있다. 추가의 처리 단계들이 수행될 수 있다. 예를 들면, ILD1 위에 다양한 금속간 유전체(IMD)와 그 대응하는 금속화부가 형성될 수 있다.
- [0046] 도 13a, 도 13b 및 도 13c는 도 11을 참조로 전술한 제2 영역(200)과 제3 영역(300) 내의 소스/드레인 영역의 리세스 형성을 나타낸다. 도 13a는 기관(20) 상의 제2 영역(200)과 제3 영역(300)의 3D 도면이다. 도 13b는 도 13a의 B-B 단면이기도 한 제2 영역(200)의 단면도이다. 도 13c는 도 13a의 C-C 단면이기도 한 제3 영역(300)의 단면도이다. 제2 영역(200)과 제3 영역(300) 양자에서의 핀(32)의 리세스 형성은 동일한 식각 공정으로 수행된다. 이 식각 공정에 사용되는 식각제는 이중 에피택셜 층(38)의 재료를 재성장 층(26)의 재료보다 더 빠른, 이방성 식각 및 등방성 식각의 속도를 포함하는 속도로 식각시킬 수 있다. 예시적인 식각 공정은 이중 에피택셜 층(38)이 SiGe이고 재성장 층(26)이 실리콘인 경우 불소계 가스, 염소계 가스 등을 이용한 건식 식각을 이용하는 것을 포함한다.
- [0047] 도시된 바와 같이, 제2 영역(200) 내의 더미 유전체, 더미 게이트(44) 및 마스크(46)의 인접 스택(집합적으로 "더미 스택(44/46)") 위의 게이트 스페이서(48)들의 외부면 사이의 최근접 거리(60)는 제3 영역(300) 내의 인접 더미 스택(44/46) 위의 게이트 스페이서(48)들의 외부면 사이의 최근접 거리(62)보다 작다. 이중 에피택셜 층(38)과 재성장 층(26)의 재료의 상이한 식각 속도는 예컨대, 거리(62)가 거리(60)보다 큰 경우 식각 중 생길 수 있는 패턴-로딩 효과를 상쇄시킬 수 있다. 도 15와 도 16과 관련하여 더 상세히 논의되는 바와 같이, 제2 영역(200)에 형성되는 리세스의 깊이(64)는 제3 영역(300)에 형성되는 리세스의 깊이(66)보다 클 수 있다.
- [0048] 도 14a, 도 14b 및 도 14c는 도 11을 참조로 전술한 제2 영역(200)과 제3 영역(300)의 리세스 내에서의 에피택셜 소스/드레인 영역(52', 52'')(집합적으로 52)의 에피택셜 성장을 나타낸다. 도 14a는 기관(20) 상의 제2 영역(200)과 제3 영역(300)의 3D 도면이다. 도 14b는 도 14a의 B-B 단면이기도 한 제2 영역(200)의 단면도이다. 도 14c는 도 14a의 C-C 단면이기도 한 제3 영역(300)의 단면도이다. 제2 영역(200)과 제3 영역(300) 양자에서의 에피택셜 소스/드레인 영역(52)의 에피택셜 성장은 동일한 성장 공정으로 수행된다. 도 15 및 도 16에 추가로 논의되는 바와 같이, 도 14b의 제2 영역(200)의 에피택셜 소스/드레인 영역(52')과 도 14c의 제3 영역(300)의 에피택셜 소스/드레인 영역(52'')은 개별 리세스를 충전할 수 있다.

- [0049] 도 15는 제1 부분(52a')과 제2 부분(52b')을 포함하는 제2 영역(200) 내의 에피택셜 소스/드레인 영역(52')의 단면도를 나타낸다. 도시된 바와 같이, 에피택셜 소스/드레인 영역(52')의 제1 부분(52a')은 도 13a 및 도 13b와 관련하여 논의된 바와 같이 형성된 리세스를 충전한다. 제1 부분(52a')은 예컨대, 약 $7 \times 10^{20} \text{ cm}^{-3}$ ~ 약 $2 \times 10^{21} \text{ cm}^{-3}$ 범위의 농도로 붕소 도핑된 $\text{Si}_x\text{Ge}_{1-x}$ 일 수 있는데, 여기서 x는 약 0.30~0.70의 범위에 있을 수 있다. 제2 부분(52b')은 예컨대, 약 $5 \times 10^{20} \text{ cm}^{-3}$ ~ 약 $2 \times 10^{21} \text{ cm}^{-3}$ 범위의 농도로 붕소 도핑된 $\text{Si}_x\text{Ge}_{1-x}$ 일 수 있는데, 여기서 x는 약 0.00~0.40의 범위에 있을 수 있다.
- [0050] 제2 영역(200)의 에피택셜 소스/드레인 영역(52')(예, 제1 부분(52a'))은 근접 거리(68)를 가질 수 있다. 근접 거리(68)는 에피택셜 소스/드레인 영역(52')의 외부면과 최근접 더미 스택(44/46)의 최근접 측면면의 평면 사이의 측방향 거리이다. 일부 실시예에서, 근접 거리(68)는 약 0 nm~약 8 nm의 범위에 있을 수 있다. 제1 부분(52a')은 바닥면으로부터 상부면까지 두께(70)를 가질 수 있다. 일부 실시예에서, 두께(70)는 약 20 nm~약 40 nm의 범위에 있을 수 있다. 제2 부분(52b')은 바닥면으로부터 상부면까지 두께(72)를 가질 수 있다. 일부 실시예에서, 두께(72)는 약 5 nm~약 10 nm의 범위에 있을 수 있다. 인접하는 더미 스택(44/46)의 대향하는 측면 사이에 거리(74)가 존재할 수 있는데, 이는 거리(60)와 게이트 스페이서(48)의 두께의 두 배의 합일 수 있다. 일부 실시예에서, 거리(74)는 약 15 nm~약 36 nm의 범위에 있을 수 있다. 에피택셜 소스/드레인 영역(52')은 핀(32)의 상부면(예, 이중 에피택셜 층(38)의 상부면)으로부터 에피택셜 소스/드레인 영역(52')의 상부면(예, 제2 부분(52b'))까지 상승된 높이(76)를 가질 수 있다. 일부 실시예에서, 상승된 높이(76)는 약 5 nm~약 10 nm의 범위에 있을 수 있다.
- [0051] 도 16은 제1 부분(52a'')과 제2 부분(52b'')을 포함하는 제3 영역(300) 내의 에피택셜 소스/드레인 영역(52'')의 단면도를 나타낸다. 도시된 바와 같이, 에피택셜 소스/드레인 영역(52'')의 제1 부분(52a'')은 도 13a 및 도 13c와 관련하여 논의된 바와 같이 형성된 리세스를 충전한다. 제1 부분(52a'')은 예컨대, 약 $7 \times 10^{20} \text{ cm}^{-3}$ ~ 약 $2 \times 10^{21} \text{ cm}^{-3}$ 범위의 농도로 붕소 도핑된 $\text{Si}_x\text{Ge}_{1-x}$ 일 수 있는데, 여기서 x는 약 0.30~0.70의 범위에 있을 수 있다. 제2 부분(52b'')은 예컨대, 약 $5 \times 10^{20} \text{ cm}^{-3}$ ~ 약 $2 \times 10^{21} \text{ cm}^{-3}$ 범위의 농도로 붕소 도핑된 $\text{Si}_x\text{Ge}_{1-x}$ 일 수 있는데, 여기서 x는 약 0.00~0.40의 범위에 있을 수 있다. 제3 영역(300)의 에피택셜 소스/드레인 영역(52'')의 제1 부분(52a'')은 제2 영역(200)의 에피택셜 소스/드레인 영역(52')의 제1 부분(52a')과 동시에 에피택셜 성장될 수 있다. 제3 영역(300)의 에피택셜 소스/드레인 영역(52'')의 제2 부분(52b'')은 제2 영역(200)의 에피택셜 소스/드레인 영역(52')의 제2 부분(52b')과 동시에 에피택셜 성장될 수 있다.
- [0052] 제3 영역(300)의 에피택셜 소스/드레인 영역(52'')(예, 제1 부분(52a''))은 근접 거리(78)를 가질 수 있다. 근접 거리(78)는 에피택셜 소스/드레인 영역(52'')의 외부면과 최근접 더미 스택(44/46)의 최근접 측면면의 평면 사이의 측방향 거리이다. 일부 실시예에서, 근접 거리(78)는 약 4 nm~약 15 nm의 범위에 있을 수 있다. 제1 부분(52a'')은 바닥면으로부터 상부면까지 두께(80)를 가질 수 있다. 일부 실시예에서, 두께(80)는 약 20 nm~약 40 nm의 범위에 있을 수 있다. 제2 부분(52b'')은 바닥면으로부터 상부면까지 두께(82)를 가질 수 있다. 일부 실시예에서, 두께(82)는 약 5 nm~약 10 nm의 범위에 있을 수 있다. 인접하는 더미 스택(44/46)의 대향하는 측면 사이에 거리(84)가 존재할 수 있는데, 이는 거리(62)와 게이트 스페이서(48)의 두께의 두 배의 합일 수 있다. 일부 실시예에서, 거리(84)는 약 40 nm~약 100 nm의 범위에 있을 수 있다. 에피택셜 소스/드레인 영역(52'')은 핀(32)의 상부면(예, 재성장층(26)의 상부면)으로부터 에피택셜 소스/드레인 영역(52'')의 상부면(예, 제2 부분(52b''))까지 상승된 높이(86)를 가질 수 있다. 일부 실시예에서, 상승된 높이(86)는 약 5 nm~약 10 nm의 범위에 있을 수 있다.
- [0053] 제2 영역(200)과 제3 영역(300) 각각의 에피택셜 소스/드레인 영역(52', 52'')을 위한 리세스의 식각 중 서로 상이한 식각 속도는 에피택셜 소스/드레인 영역(52', 52'')의 프로파일을 상이하게 할 수 있다. 예를 들면, 제2 영역(200)의 리세스의 깊이(64)는 제2 영역(200)에서의 거리(60)가 제3 영역에서의 거리(62)보다 작은 경우에도 제3 영역(300)의 리세스의 깊이(66)보다 클 수 있다. 유사하게, 식각의 이방성 식각 성분은 제2 영역(200)에서의 식각 속도가 더 큰 것에 기인하여 제3 영역(300)보다 제2 영역(200)에서 게이트 스페이서(48)를 더 크게 언더컷할 수 있다. 이것은 제3 영역(300) 내의 소스/드레인 영역(52'')이 제2 영역(200) 내의 소스/드레인 영역(52')의 근접 거리(68)보다 더 큰 근접 거리(78)를 갖도록 할 수 있다. 일부 실시예에서, 근접 거리(78)는 근접 거리(68)보다 더 큰 약 2 nm~약 8 nm의 범위에 있다.

- [0054] 도 17a, 도 17b 및 도 17c는 도 11을 참조로 전술한 제1 영역(100)과 제4 영역(400)의 소스/드레인 영역의 리세스 형성을 나타낸다. 도 17a는 기판(20) 상의 제1 영역(100)과 제4 영역(400)의 3D 도면이다. 도 17b는 도 17a의 B-B 단면이기도 한 제1 영역(100)의 단면도이다. 도 17c는 도 17a의 C-C 단면이기도 한 제4 영역(400)의 단면도이다. 제1 영역(100)과 제4 영역(400) 양자에서의 핀(32)의 리세스 형성은 동일한 식각 공정으로 수행된다. 예시적인 식각 공정은 재성장층(26)이 실리콘인 경우 불소계 가스, 염소계 가스 등을 사용한 건식 식각을 이용하는 것을 포함한다.
- [0055] 도시된 바와 같이, 제1 영역(100) 내의 인접하는 더미 스택(44/46) 상의 게이트 스페이서(48)들의 외부면 사이의 최근접 거리(88)는 제4 영역(400) 내의 인접하는 더미 스택(44/46) 상의 게이트 스페이서(48)들의 외부면 사이의 최근접 거리(90)보다 작다. 패턴-로딩 효과와 동일한 재료, 예컨대 제1 영역(100)과 제4 영역(400) 내의 재성장층(26)이 식각되는 데 기인하여, 제4 영역(400) 내의 재성장층(26)은 제1 영역(100) 내의 재성장층(26)보다 더 빠른 속도로 식각될 수 있다. 도 19 및 도 20과 관련하여 더 상세히 논의되는 바와 같이, 제1 영역(100)에 형성되는 리세스의 깊이(92)는 제4 영역(400)에 형성되는 리세스의 깊이(94)보다 작을 수 있다.
- [0056] 도 18a, 도 18b 및 도 18c는 도 11을 참조로 전술한 제1 영역(100)과 제4 영역(400)의 리세스 내에서의 에피택셜 소스/드레인 영역(50', 50'')(집합적으로 50)의 에피택셜 성장을 나타낸다. 도 18a는 기판(20) 상의 제1 영역(100)과 제4 영역(400)의 3D 도면이다. 도 18b는 도 18a의 B-B 단면이기도 한 제1 영역(100)의 단면도이다. 도 18c는 도 18a의 C-C 단면이기도 한 제4 영역(400)의 단면도이다. 제1 영역(100)과 제4 영역(400) 양자에서의 에피택셜 소스/드레인 영역(50)의 에피택셜 성장은 동일한 성장 공정(들)으로 수행된다. 도 19 및 도 20에 추가로 논의되는 바와 같이, 도 18b의 제1 영역(100)의 에피택셜 소스/드레인 영역(50')은 리세스를 충전할 수 있지만, 도 14c의 제4 영역(400)의 에피택셜 소스/드레인 영역(50'')은 리세스를 완전히 충전하지 않을 수 있다.
- [0057] 도 19는 제1 부분(50a')과 제2 부분(50b')을 포함하는 제1 영역(100) 내의 에피택셜 소스/드레인 영역(50')의 단면도를 나타낸다. 도시된 바와 같이, 에피택셜 소스/드레인 영역(50')의 제1 부분(50a')은 재성장층(26)과 기판(20)과 같은 결정질 재료의 표면 상에 형성되지만, 제1 유전 재료(34)와 같은 비결정질 재료의 표면 상에는 형성되지 않는다. 따라서, 도 19는 제1 영역(100) 내의 리세스의 표면들을 따라 3개의 구분된 제1 부분(50a')을 나타낸다. 에피택셜 소스/드레인 영역(50')의 제2 부분(50b')은 제1 부분(50a') 상에, 예컨대 결정질 재료의 표면 상에 형성되지만 비결정질 재료의 표면 상에는 형성되지 않는다. 에피택셜 소스/드레인 영역(50')의 제3 부분(50c')은 제1 영역(100) 내의 리세스의 나머지를 충전한다. 제3 부분(50c')은 제1 유전 재료(34)와 같은 비결정질 재료의 표면으로부터 핵생성되어 성장되지 않을 수 있지만, 제3 부분(50c')의 성장 전면(growth front)은 결정질 재료의 인접하는 표면으로부터 성장되고 비결정질 재료의 표면 상에 합쳐질 수 있다. 제1 부분(50a')은 예컨대 도핑되지 않은 Si일 수 있다. 제2 부분(50b')은 예컨대 약 $2 \times 10^{20} \text{ cm}^{-3}$ ~ 약 $8 \times 10^{20} \text{ cm}^{-3}$ 범위의 농도로 인-도핑된 SiP일 수 있다. 제3 부분(50c')은 예컨대 약 $1 \times 10^{21} \text{ cm}^{-3}$ ~ 약 $3 \times 10^{21} \text{ cm}^{-3}$ 범위의 농도로 인-도핑된 SiP일 수 있다.
- [0058] 제1 영역(100)의 에피택셜 소스/드레인 영역(50')(예, 제1 부분(50a'))은 근접 거리(96)를 가질 수 있다. 근접 거리(96)는 에피택셜 소스/드레인 영역(50')의 외부면과 최근접 더미 스택(44/46)의 최근접 측면면의 평면 사이의 측방향 거리이다. 일부 실시예에서, 근접 거리(96)는 약 2 nm~약 8 nm의 범위에 있을 수 있다. 제1 부분(50a')은 두께(98)를 가질 수 있다. 일부 실시예에서, 두께(98)는 약 5 nm~약 30 nm의 범위에 있을 수 있다. 제2 부분(50b')은 두께(102)를 가질 수 있다. 일부 실시예에서, 두께(102)는 약 5 nm~약 10 nm의 범위에 있을 수 있다. 제3 부분(50c')은 두께(104)를 가질 수 있다. 일부 실시예에서, 두께(104)는 약 20 nm~약 50 nm의 범위에 있을 수 있다. 인접하는 더미 스택(44/46)의 대향하는 측벽 사이에 거리(106)가 존재할 수 있는데, 이는 거리(88)와 게이트 스페이서(48)의 두께의 두 배의 합일 수 있다. 일부 실시예에서, 거리(106)는 약 15 nm~약 36 nm의 범위에 있을 수 있다. 에피택셜 소스/드레인 영역(50')은 핀(32)의 상부면(예, 재성장층(26)의 상부면)으로부터 에피택셜 소스/드레인 영역(50')의 상부면(예, 제3 부분(50c'))까지 상승된 높이(108)를 가질 수 있다. 일부 실시예에서, 상승된 높이(108)는 약 5 nm~약 10 nm의 범위에 있을 수 있다. 제1 유전 재료(34)는 두께(110)를 가질 수 있다. 일부 실시예에서, 두께(110)는 약 5 nm~약 25 nm의 범위에 있을 수 있다.
- [0059] 도 20은 제1 부분(50a'')과 제2 부분(50b'')을 포함하는 제4 영역(400) 내의 에피택셜 소스/드레인 영역(50'')의 단면도를 나타낸다. 도시된 바와 같이, 에피택셜 소스/드레인 영역(50'')의 제1 부분(50a'')은 도 17a 및 도 17c와 관련하여 논의된 바와 같이 형성된 리세스 내의 결정질 재료(예, 재성장층(26) 및/또는 기판(20))의 표면을 따른 컨포멀 층이다. 예시된 바와 같이, 에피택셜 소스/드레인 영역(50'')의 제2 부분(50b'')은 제1 부분(50a'')의 표면을 따른 컨포멀 층이다. 에피택셜 소스/드레인 영역(50'')의 제3 부분(50c'')은 제2 부분(50b'') 상에 존

재하고 일부 실시예에서 리세스의 나머지 부분을 완전히 충전하지 않을 수 있다. 제1 부분(50a")은 예컨대 도핑되지 않은 Si일 수 있다. 제2 부분(50b")은 예컨대 약 $2 \times 10^{20} \text{ cm}^{-3}$ ~ 약 $8 \times 10^{20} \text{ cm}^{-3}$ 범위의 농도로 인-도핑된 SiP일 수 있다. 제3 부분(50c")은 예컨대 약 $1 \times 10^{21} \text{ cm}^{-3}$ ~ 약 $3 \times 10^{21} \text{ cm}^{-3}$ 범위의 농도로 인-도핑된 SiP일 수 있다. 제4 영역(400)의 에피택셜 소스/드레인 영역(50")의 제1 부분(50a")은 제1 영역(100)의 에피택셜 소스/드레인 영역(50')의 제1 부분(50a')과 동시에 에피택셜 성장될 수 있다. 제4 영역(400)의 에피택셜 소스/드레인 영역(50")의 제2 부분(50b")은 제1 영역(100)의 에피택셜 소스/드레인 영역(50')의 제2 부분(50b')과 동시에 에피택셜 성장될 수 있다. 제4 영역(400)의 에피택셜 소스/드레인 영역(50")의 제3 부분(50c")은 제1 영역(100)의 에피택셜 소스/드레인 영역(50')의 제3 부분(50c')과 동시에 에피택셜 성장될 수 있다.

[0060] 제4 영역(400)의 에피택셜 소스/드레인 영역(50")(예, 제1 부분(50a"))은 근접 거리(112)를 가질 수 있다. 근접 거리(112)는 에피택셜 소스/드레인 영역(50")의 외부면과 최근접 더미 스택(44/46)의 최근접 측면면의 평면 사이의 측방향 거리이다. 일부 실시예에서, 근접 거리(112)는 약 2 nm~약 8 nm의 범위에 있을 수 있다. 제1 부분(50a")은 두께(114)를 가질 수 있다. 일부 실시예에서, 두께(114)는 약 5 nm~약 30 nm의 범위에 있을 수 있다. 제2 부분(50b")은 두께(116)를 가질 수 있다. 일부 실시예에서, 두께(116)는 약 5 nm~약 10 nm의 범위에 있을 수 있다. 제3 부분(50c")은 두께(118)를 가질 수 있다. 일부 실시예에서, 두께(118)는 약 20 nm~약 50 nm의 범위에 있을 수 있다. 인접하는 더미 스택(44/46)의 대향하는 측벽 사이에 거리(120)가 존재할 수 있는데, 이는 거리(90)와 게이트 스페이서(48)의 두께의 두 배의 합일 수 있다. 일부 실시예에서, 거리(120)는 약 40 nm~약 100 nm의 범위에 있을 수 있다. 에피택셜 소스/드레인 영역(50")은 핀(32)의 상부면(예, 재성장층(26)의 상부면)으로부터 에피택셜 소스/드레인 영역(50")의 상부면(예, 제3 부분(50c"))까지의 치수(122) 만큼 오목화될 수 있다. 일부 실시예에서, 치수(122)는 약 5 nm~약 20 nm의 범위에 있을 수 있다.

[0061] 제1 영역(100)과 제4 영역(400) 각각의 에피택셜 소스/드레인 영역(50', 50")을 위한 리세스를 형성하기 위해 재성장층(26)의 동일한 재료의 식각시의 패턴-로딩 효과에 기인하여, 에피택셜 소스/드레인 영역(50', 50")의 프라파일은 상이할 수 있다. 예를 들면, 패턴-로딩 효과는 거리(90)가 거리(88)보다 더 크기 때문에 지배적인 식각 성분일 수 있는 식각의 이방성 성분이 제1 영역(100)보다 제4 영역(400)에서 더 빠른 속도로 식각이 이루어지게 할 수 있다. 따라서, 제4 영역(400)의 리세스의 깊이(94)는 제1 영역(100)의 리세스의 깊이(92)보다 더 깊을 수 있다. 예를 들면, 일부 실시예에서, 제4 영역(400)의 리세스의 깊이(94)는 제1 영역(100)의 리세스의 깊이(92)보다 큰 약 3 nm~약 15 nm의 범위에 있다. 또한, 등방성 식각 성분은 제1 영역(100)과 제4 영역(400)에서 동일하거나 유사한 식각 속도를 가질 수 있다. 따라서, 제1 영역(100)과 제4 영역(400)에서 더미 스택(44/46) 아래로의 리세스 형성의 외측 언더-커팅은 동일하거나 유사할 수 있고, 제1 영역(100)과 제4 영역(400)에서의 근접 거리(96, 112)는 동일하거나 유사할 수 있다.

[0062] 전술한 논의는 소정의 치수의 측면에서 더미 스택(44/46)을 언급하고 있지만, 당업자는 이러한 치수가 더미 스택(44/46)의 제거에 의해 형성되는 개구 내에 게이트 스택(56)이 형성된 후 더미 스택(44/46) 대신에 게이트 스택(56)의 측면에서 여전히 유지되는 것을 이해할 것이다. 예를 들면, 근접 거리는 에피택셜 소스/드레인 영역(50 또는 52)의 외부면과 최근접 게이트 스택(56)의 최근접 측면면(예, 컨포멀 계면 또는 게이트 유전층의 외부 측면면) 사이의 측방향 거리일 수 있다.

[0063] 도 21, 도 22 및 도 23은 영역(100, 200, 300, 400) 내에 형성된 소자의 채널 영역의 핀의 단면도를 나타낸다. 소자는 도 12와 관련하여 상기 논의된 바와 같이 게이트 스택(56)을 형성한 후의 것이 예시된다. 명확성을 위해, 도 21, 도 22 및 도 23의 단면도는 도 14a 및 도 18a에 예시된 B-B 및 C-C 단면에 수직하다.

[0064] 도 21은 제3 영역(300)에 형성된 소자의 핀(32)의 채널, 및/또는 제4 영역(400)에 형성된 소자의 핀의 채널의 단면도를 나타낸다. 도 21은 인접한 아이솔레이션 영역(40)의 위로부터 돌출되는 재성장층(26)을 포함하여 핀(32)을 나타낸다. 핀(32) 위의 전체에 게이트 스택(56)이 존재하고, 해당 게이트 스택은 계면층(130), 게이트 유전층(132) 및 게이트 전극(134)을 포함한다. 게이트 스택(56)은 도 12와 관련하여 상기 논의된 바와 같이 형성될 수 있다. 일부 실시예에서, 계면층(130)의 두께는 약 2 nm~약 5 nm의 범위에 있을 수 있다. 핀(32)은 아이솔레이션 영역(40) 위로 돌출되는 핀 높이(136)를 가질 수 있다. 핀 높이(136)는 일부 실시예에서 약 30 nm~약 60 nm의 범위에 있을 수 있다. 핀(32)은 일 측면면으로부터 다른 측면면까지의 핀 폭(138)을 가질 수 있다. 일부 실시예에서, 핀 폭(138)은 약 4 nm~약 10 nm의 범위에 있을 수 있다.

[0065] 도 22는 제1 영역(100)에 형성된 소자의 핀(32)의 채널의 단면도를 나타낸다. 도 22는 인접하는 아이솔레이션 영역(40) 위로부터 돌출되는 제1 유전 재료(34)와 재성장층(26)을 포함하는 핀(32)을 나타낸다. 핀(32) 위의 전체에 게이트 스택(56)이 존재하고, 해당 게이트 스택은 계면층(140), 게이트 유전층(142) 및 게이트 전극

(144)을 포함한다. 게이트 스택(56)은 도 12와 관련하여 상기 논의된 바와 같이 형성될 수 있다. 일부 실시예에서, 계면층(140)의 두께는 약 5 nm~약 15 nm의 범위에 있을 수 있다. 핀(32), 예컨대 본 실시예의 경우 재성장층(26)은 아이솔레이션 영역(40) 위와 제1 유전 재료(34) 위로 돌출되는 핀 높이(146)를 가질 수 있다. 핀 높이(146)는 일부 실시예에서 약 30 nm~약 60 nm의 범위에 있을 수 있다. 일부 실시예에서, 제1 유전 재료(34)는 아이솔레이션 영역(40)의 상부면에서 완전히 위 또는 완전히 아래에 존재할 수 있다. 핀(32), 예컨대 본 실시예에서 재성장층(26)은 일 측면면으로부터 다른 측면면까지의 핀 폭(148)을 가질 수 있다. 일부 실시예에서, 핀 폭(148)은 약 4 nm~약 10 nm의 범위에 있을 수 있다.

[0066] 도 23은 제2 영역(200)에 형성된 소자의 핀(32)의 채널의 단면도를 나타낸다. 도 23은 인접하는 아이솔레이션 영역(40) 위로부터 돌출되는 이중 에피택셜 층(38)을 포함하는 핀(32)을 나타낸다. 핀(32) 위의 전체에 게이트 스택(56)이 존재하고, 해당 게이트 스택은 계면층(150), 게이트 유전층(152) 및 게이트 전극(154)을 포함한다. 게이트 스택(56)은 도 12와 관련하여 상기 논의된 바와 같이 형성될 수 있다. 일부 실시예에서, 계면층(150)의 두께는 약 5 nm~약 15 nm의 범위에 있을 수 있다. 핀(32), 예컨대 본 실시예의 경우 이중 에피택셜 층(38)은 아이솔레이션 영역(40) 위와 이중 에피택셜 층(38)과 그 하부의 층 사이의 계면 위로 돌출되는 핀 높이(156)를 가질 수 있다. 핀 높이(156)는 일부 실시예에서 약 30 nm~약 60 nm의 범위에 있을 수 있다. 일부 실시예에서, 이중 에피택셜 층(38)은 아이솔레이션 영역(40)의 상부면에서 완전히 위에 존재하거나, 아이솔레이션 영역(40)의 상부면 아래로 부분적으로 연장될 수 있다. 핀(32), 예컨대 본 실시예에서 이중 에피택셜 층(38)은 일 측면면으로부터 다른 측면면까지의 핀 폭(158)을 가질 수 있다. 일부 실시예에서, 핀 폭(158)은 약 4 nm~약 10 nm의 범위에 있을 수 있다.

[0067] 일부 실시예들은 여러 가지 장점을 달성할 수 있다. 다른 영역(예, 제2 영역(200)과 제3 영역(300))의 핀의 채널 영역에서와 다른 재료를 갖는 것에 의해, 리세스 프로파일은 소스/드레인 영역에 대한 동시 식각이 수행될 때 조절될 수 있고, 이는 패터닝 효과를 상쇄시킬 수 있다. 이것은 유익하게도 상이한 영역에 상이한 근접 거리를 가져올 수 있다. 상이한 근접 거리는 집적 회로의 신뢰도를 증가시킬 수 있다. 예를 들면, 제3 영역(300)이 I/O p-형 소자 영역이고 제2 영역(200)이 코어 로직 p-형 소자 영역인 경우, 제2 영역의 코어 로직 p-형 소자에 비해 제3 영역(300)의 I/O p-형 소자에 대해 더 높은 VDD가 적용될 수 있으며, 이에 따라 증가된 근접 거리는 제2 영역(200)에 비해 제3 영역(300)에서 유리할 수 있다. 일부 실시예에서, 전술한 사항은 쉽고 간단하게 공정 흐름에 적용될 수 있고 비용 효율적일 수 있다.

[0068] 하나의 실시예는 소자이다. 소자는 제1 p-형 트랜지스터와 제2 p-형 트랜지스터를 포함한다. 제1 p-형 트랜지스터는 기판 상에 제1 핀의 제1 재료를 포함하는 제1 채널 영역을 포함한다. 제1 p-형 트랜지스터는 제1 재료 내의 해당 제1 리세스 내에 각각 제1 에피택셜 소스/드레인 영역과 제2 에피택셜 소스/드레인 영역을 포함한다. 제1 채널 영역은 제1 에피택셜 소스/드레인 영역과 제2 에피택셜 소스/드레인 영역 사이에 배치된다. 제1 p-형 트랜지스터는 제1 채널 영역 상에 제1 게이트 스택을 포함한다. 제2 p-형 트랜지스터는 기판 상에 제2 핀의 제2 재료를 포함하는 제2 채널 영역을 포함한다. 제2 재료는 제1 재료와는 다른 재료이다. 제2 p-형 트랜지스터는 제2 재료 내의 해당 제2 리세스 내에 각각 제3 에피택셜 소스/드레인 영역과 제4 에피택셜 소스/드레인 영역을 포함한다. 제2 채널 영역은 제3 에피택셜 소스/드레인 영역과 제4 에피택셜 소스/드레인 영역 사이에 배치된다. 제2 p-형 트랜지스터는 제2 채널 영역 상에 제2 게이트 스택을 포함한다.

[0069] 다른 실시예는 방법이다. 방법은 기판 상에 제1 결정질 재료를 포함하는 제1 핀을 상기 기판 상에 형성하는 단계와; 상기 기판 상에 상기 제1 결정질 재료의 재료와 다른 재료인 제2 결정질 재료를 포함하는 제2 핀을 상기 기판 상에 형성하는 단계와; 상기 제1 핀의 상기 제1 결정질 재료 상에 제1 구조체를 그리고 상기 제2 핀의 상기 제2 결정질 재료 상에 제2 구조체를 형성하는 단계와; 상기 제1 구조체의 측벽을 따라 제1 스페이서를 그리고 상기 제2 구조체의 측벽을 따라 제2 스페이서를 형성하는 단계와; 상기 제1 핀 내에 상기 제1 스페이서에 인접하게 제1 리세스를 형성하도록 상기 제1 결정질 재료를 식각하고, 이와 동시에 상기 제2 핀 내에 상기 제2 스페이서에 인접하게 제2 리세스를 형성하도록 상기 제2 결정질 재료를 식각하되, 상기 제2 리세스가 상기 제2 스페이서 아래에서 측방으로 연장되는 것보다 더 상기 제1 리세스가 상기 제1 스페이서 아래에서 측방으로 연장되는 것인, 상기 제1 결정질 재료와 상기 제2 결정질 재료의 동시 식각 단계와; 상기 제1 리세스 내에 제1 에피택셜 소스/드레인 영역을 그리고 상기 제2 리세스 내에 제2 에피택셜 소스/드레인 영역을 에피택셜 성장시키는 단계를 포함한다.

[0070] 추가의 실시예는 방법이다. 방법은 SiGe 채널층을 포함하는 제1 핀을 기판의 p-형 코어 로직 영역 내에 형성하는 단계와; 제1 실리콘 채널층을 포함하는 제2 핀을 상기 기판의 p-형 입력/출력(I/O) 영역 내에 형성하는 단계와; 상기 제1 핀 상에 제1 스택 및 제2 스택을 형성하고 상기 제2 핀 상에 제3 스택 및 제4 스택을 형성하는

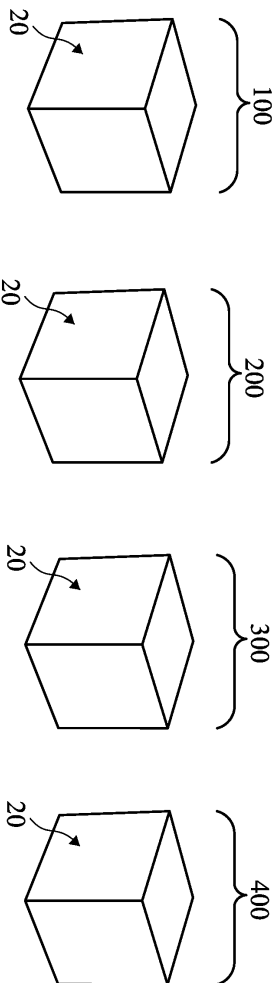
단계와; 상기 제1 스택의 측벽 상에 제1 스페이서를, 상기 제2 스택의 측벽 상에 제2 스페이서를, 상기 제3 스택의 측벽 상에 제3 스페이서를, 그리고 상기 제4 스택의 측벽 상에 제4 스페이서를 형성하되, 상기 제1 스페이서와 상기 제2 스페이서의 대향한 측벽들은 상기 제1 스페이서와 제2 스페이서 사이에 제1 거리를 형성하고, 상기 제3 스페이서와 상기 제4 스페이서의 대향한 측벽들은 상기 제3 스페이서와 제4 스페이서 사이에 제2 거리를 형성하고, 상기 제1 거리는 상기 제2 거리보다 작은 것인, 상기 제1 내지 제4 스페이서들을 형성하는 단계와; 제1 리세스를 형성하도록 상기 제1 스페이서와 제2 스페이서 사이의 상기 SiGe 채널층을 식각하고, 이와 동시에 제2 리세스를 형성하도록 상기 제3 스페이서와 제4 스페이서 사이의 상기 제1 실리콘 채널층 식각하되, 상기 SiGe 채널층이 상기 제1 실리콘 채널층보다 더 큰 수직 식각 속도와 더 큰 측방향 식각 속도로 식각되고, 상기 제1 리세스가 상기 제2 리세스보다 더 깊은 깊이를 가지며, 상기 제2 리세스가 상기 제3 스페이서 아래에서 측방으로 연장되는 것보다 더 큰 거리로 상기 제1 리세스가 상기 제1 스페이서 아래에서 측방으로 연장되는 것인, 상기 SiGe 채널층과 상기 제1 실리콘 채널층의 동시 식각 단계와; 상기 제1 리세스 내에 제1 에피택셜 소스/드레인 영역을 그리고 상기 제2 리세스 내에 제2 소스/드레인 영역을 에피택셜 성장시키는 단계를 포함한다.

[0071]

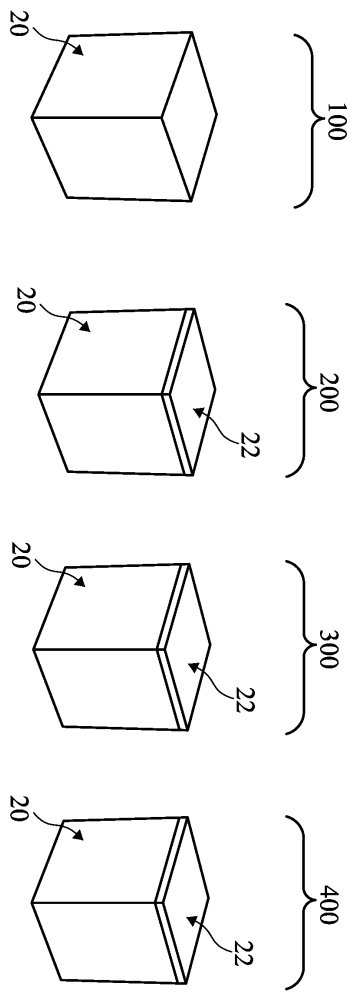
이상의 설명은 당업자가 본 발명의 여러 측면들을 잘 이해할 수 있도록 여러 실시예의 특징들의 개요를 설명한 것이다. 당업자들은 자신들이 여기 도입된 실시예와 동일한 목적을 수행하거나 및/또는 동일한 장점을 달성하기 위해 다른 공정 또는 구조를 설계 또는 변형하기 위한 기초로서 본 발명을 용이하게 이용할 수 있음을 알아야 한다. 또한, 당업자들은 등가의 구성이 본 발명의 취지 및 범위를 벗어나지 않으며 그리고 본 발명의 취지 및 범위를 벗어나지 않고 다양한 변화, 대체 및 변경을 이룰 수 있음을 알아야 한다.

도면

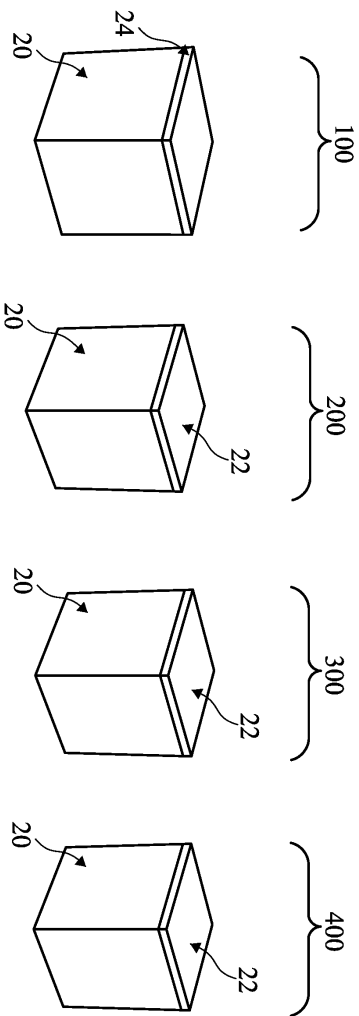
도면1



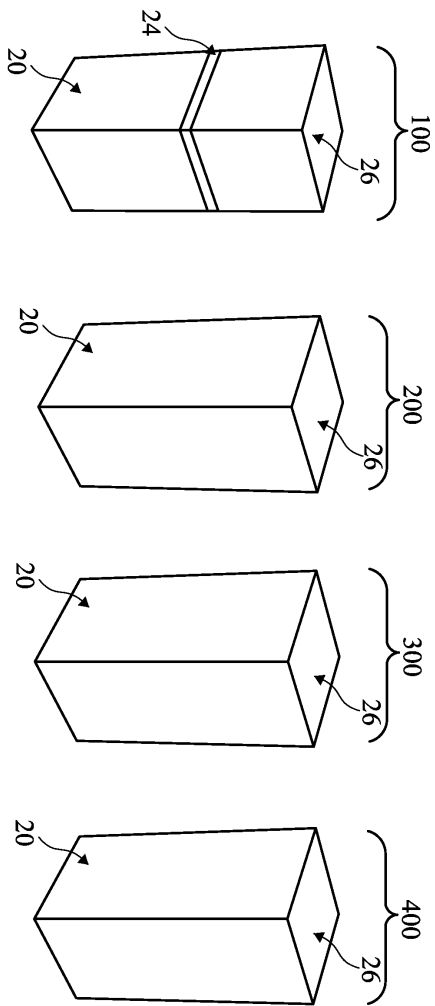
도면2



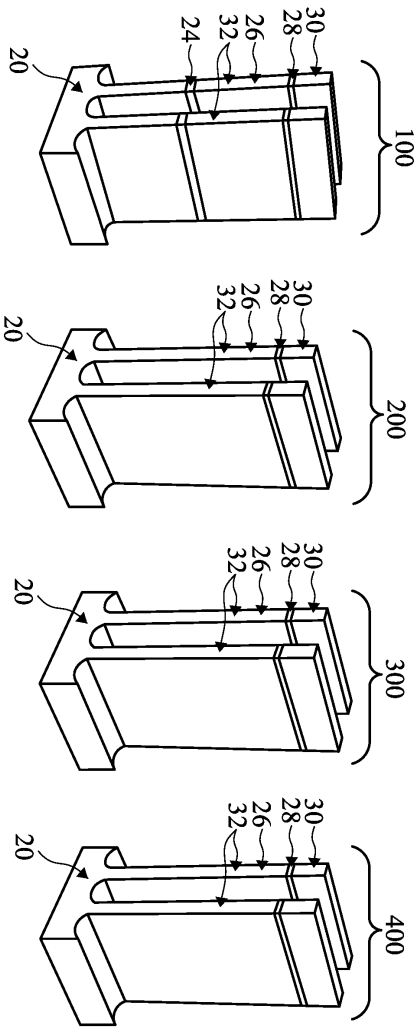
도면3



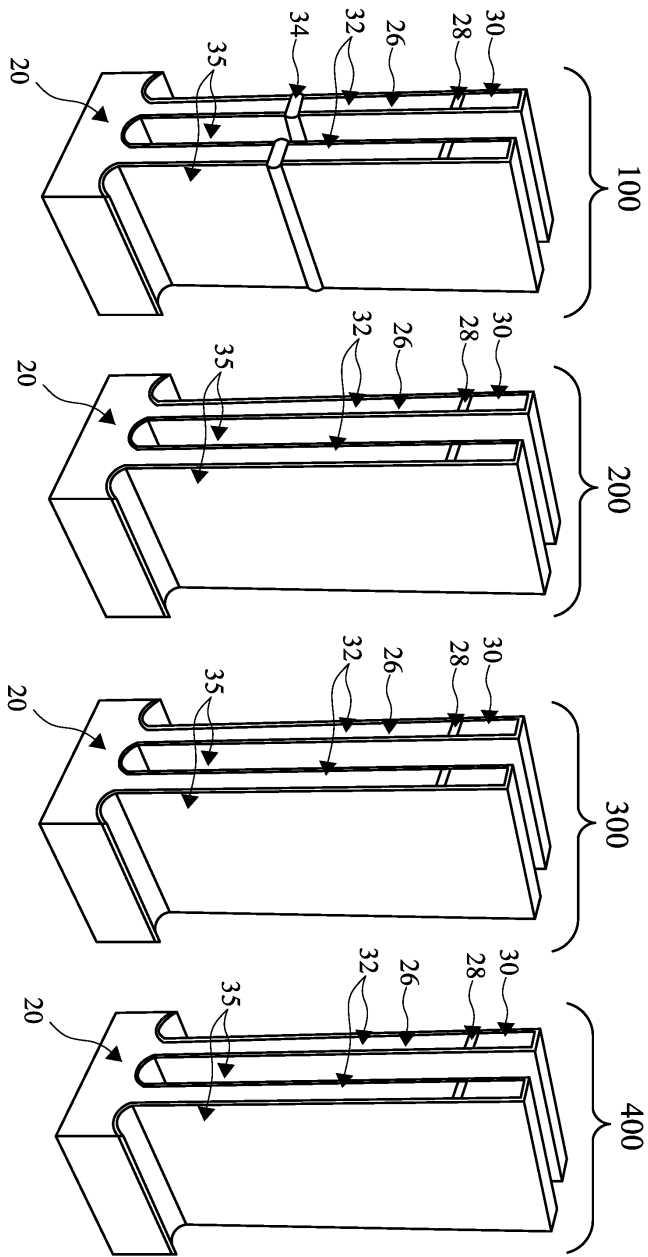
도면4



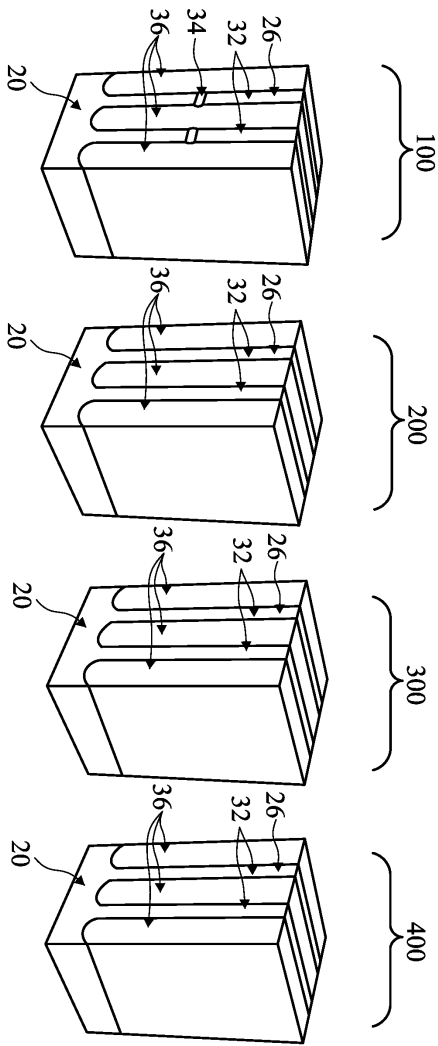
도면5



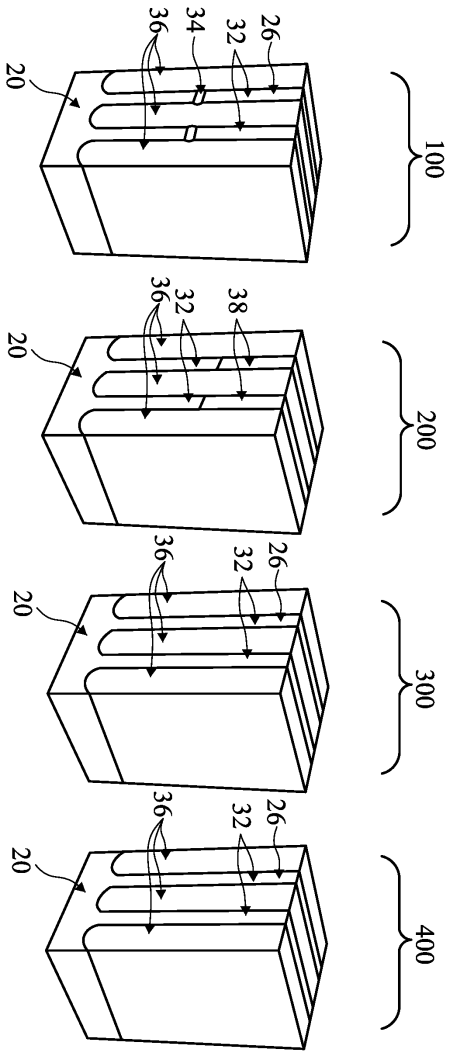
도면6



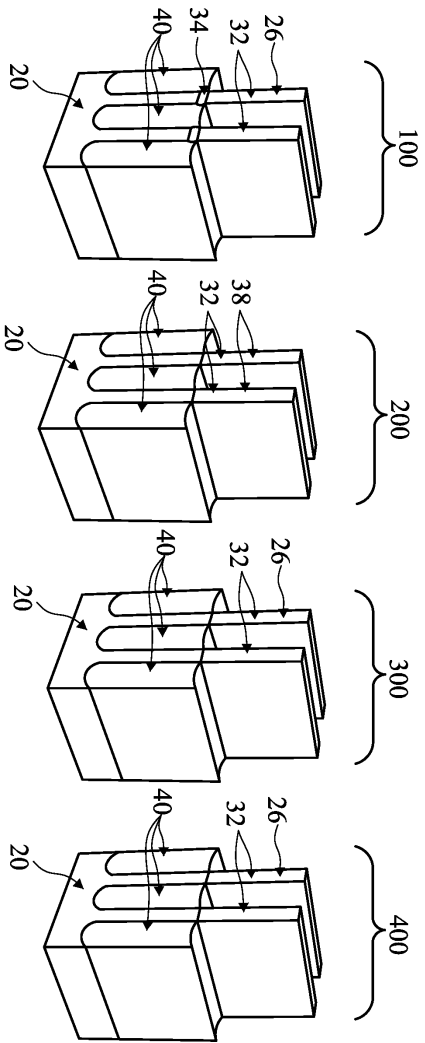
도면7



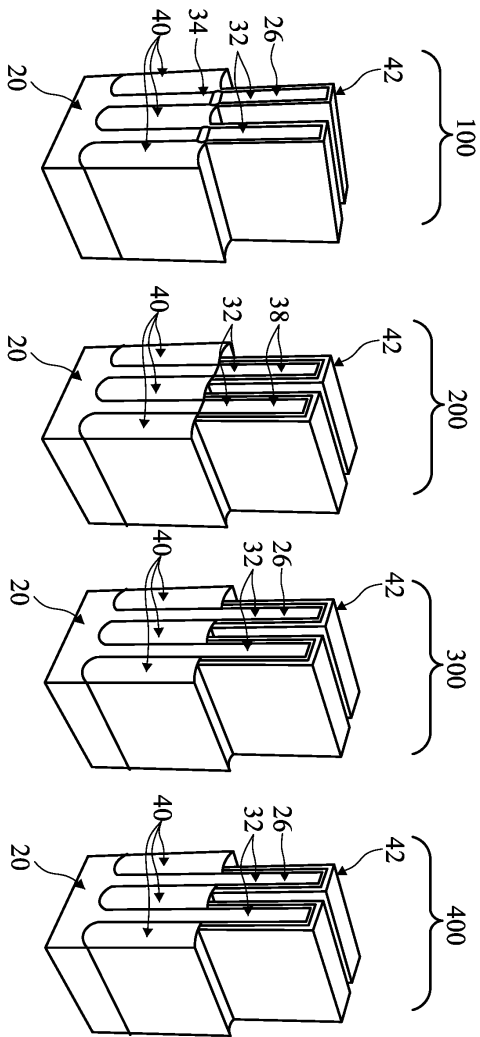
도면8



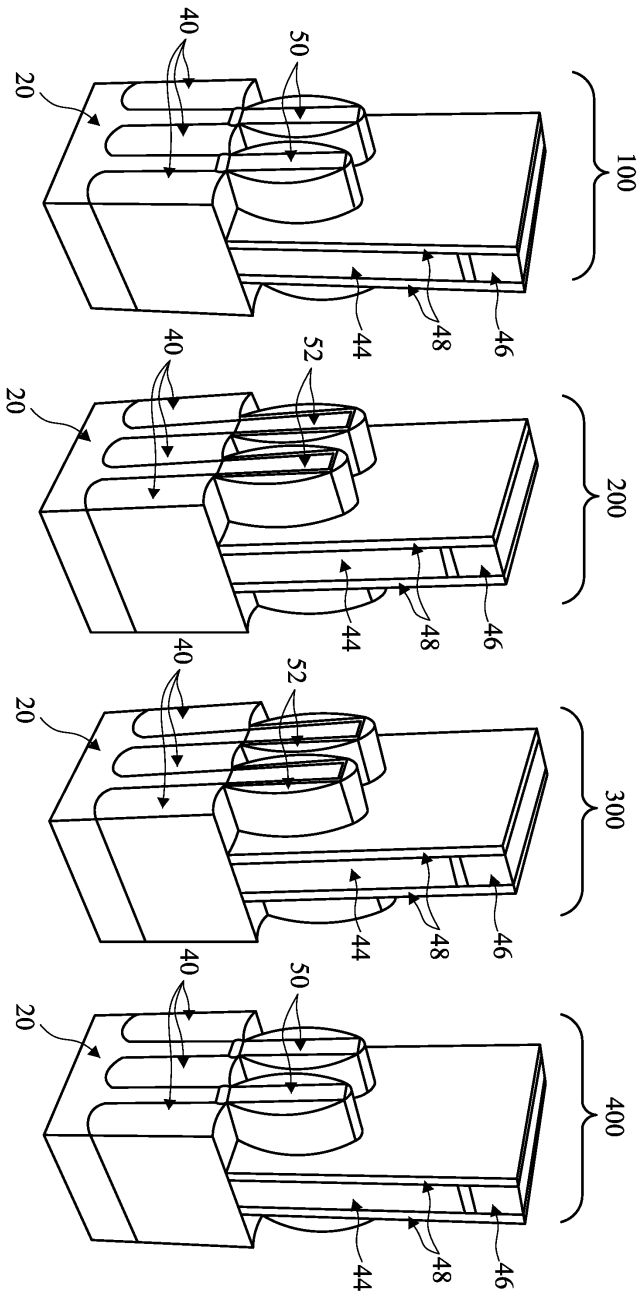
도면9



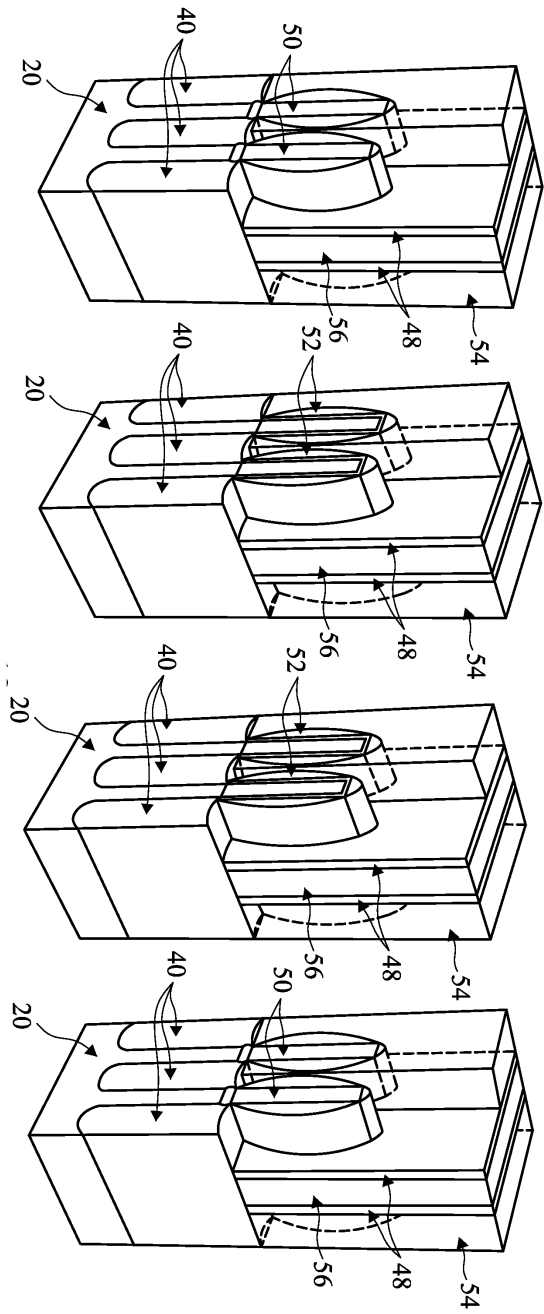
도면10



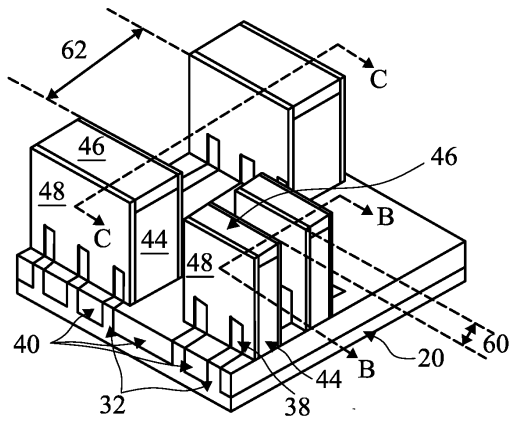
도면11



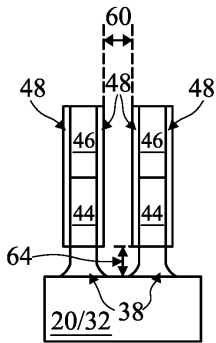
도면12



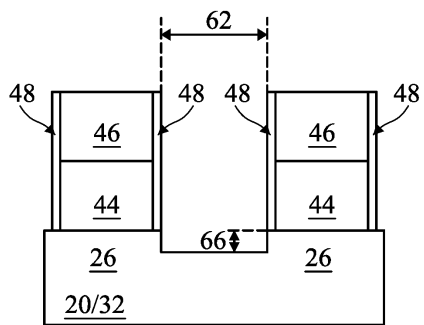
도면13a



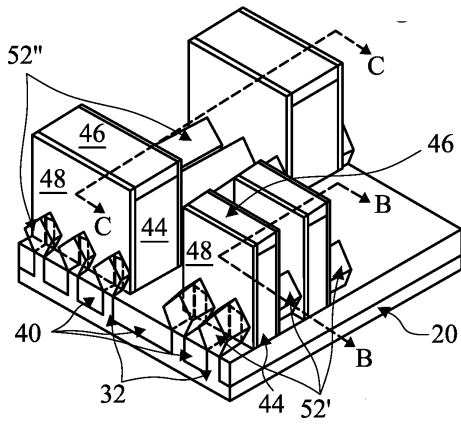
도면13b



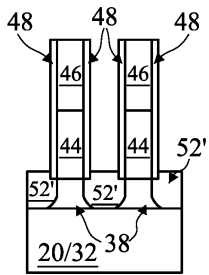
도면13c



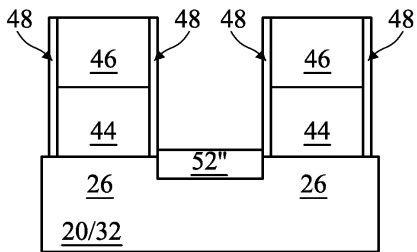
도면14a



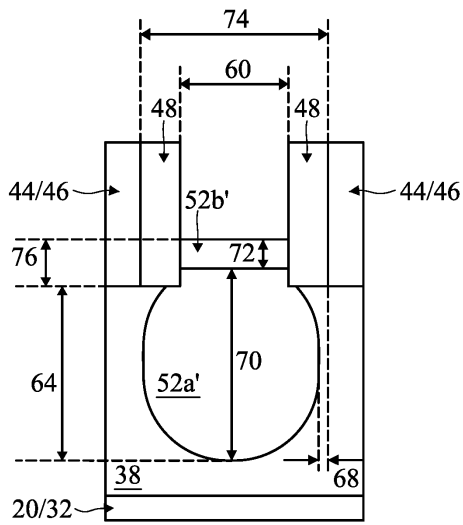
도면14b



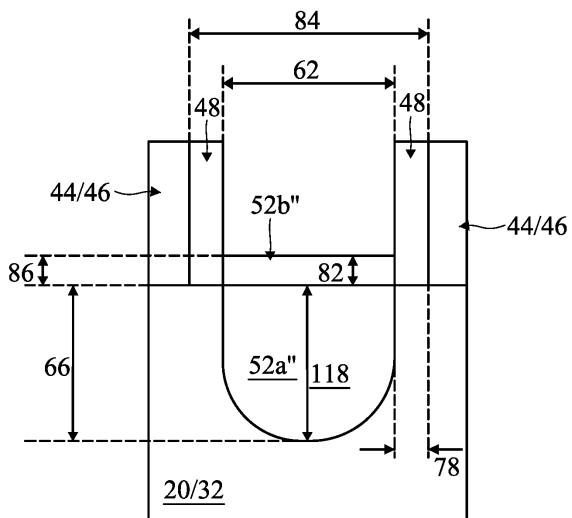
도면14c



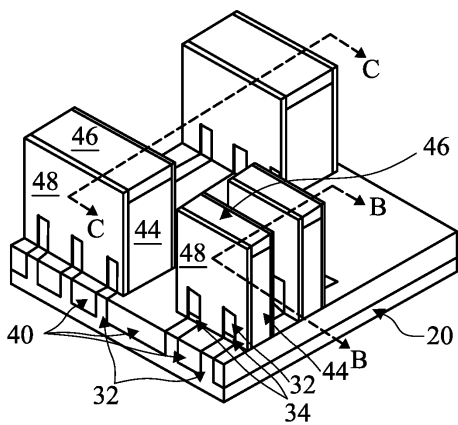
도면15



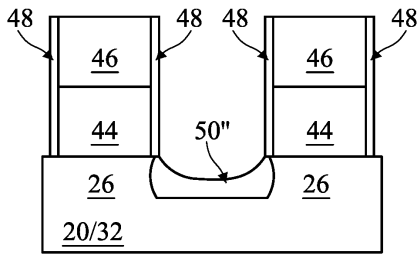
도면16



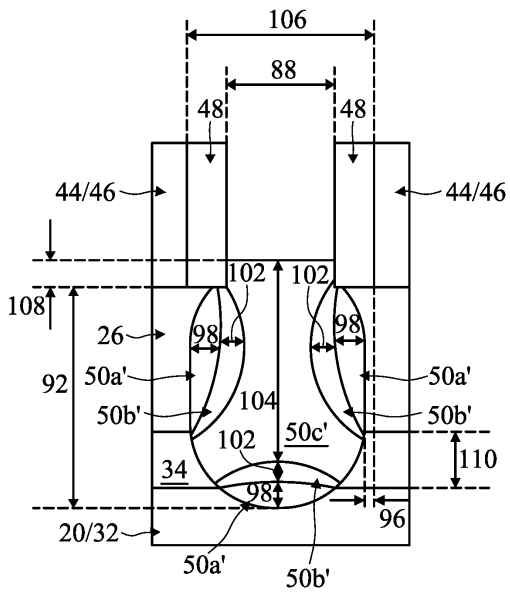
도면17a



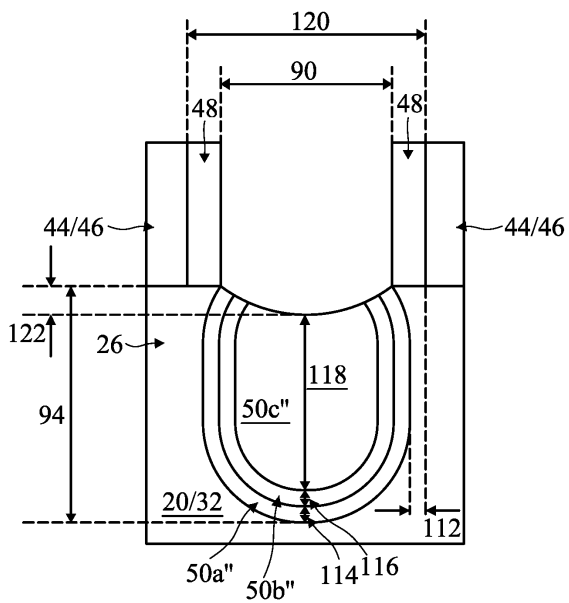
도면18c



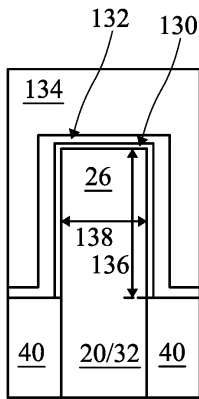
도면19



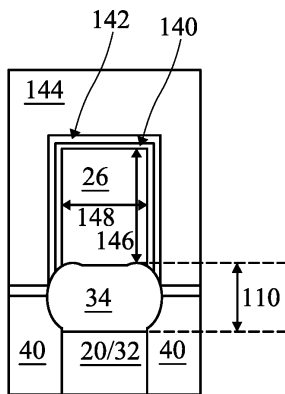
도면20



도면21



도면22



도면23

