



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0035553
(43) 공개일자 2021년04월01일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/02 (2006.01)
H01L 21/28 (2006.01) H01L 21/32A (2017.01)
H01L 29/51 (2006.01) H01L 29/66 (2006.01)

(52) CPC특허분류
H01L 29/78391 (2015.01)
H01L 21/02172 (2013.01)

(21) 출원번호 10-2019-0117483
(22) 출원일자 2019년09월24일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자
허진성
서울특별시 강남구 삼성로 150, 105동 707호 (대치동, 한보미도맨션)

김상욱
경기도 성남시 분당구 수내로 148, 115동 1106호 (수내동, 파크타운서안아파트)
(뒷면에 계속)

(74) 대리인
리엔목특허법인

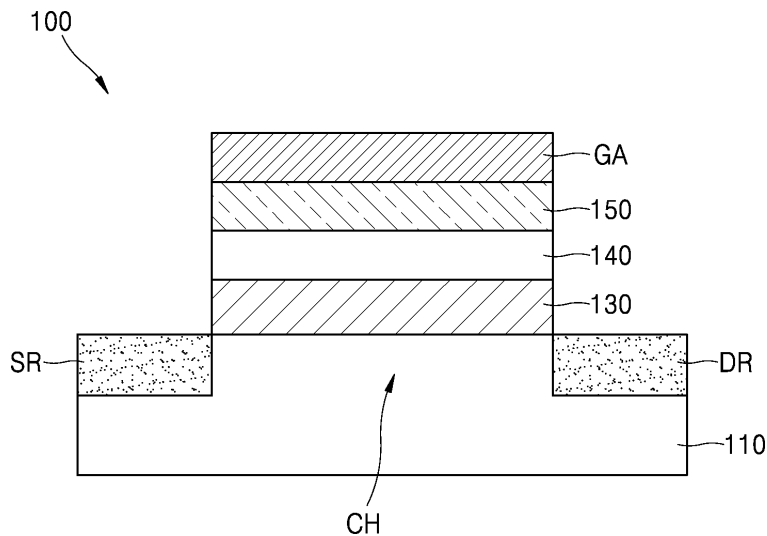
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 도메인 스위칭 소자 및 그 제조방법

(57) 요약

도메인 스위칭 소자는 채널 영역; 상기 채널 영역에 연결된 소스 및 드레인; 상기 채널 영역과 이격되게 배치된 게이트 전극; 상기 채널 영역과 상기 게이트 전극 사이에 배치된 반강유전(anti-ferroelectric)층; 상기 게이트 전극과 상기 반강유전층 사이에 상기 전도층과 접하게 배치된 전도층; 및 상기 반강유전층과 상기 채널 영역 사이에 배치된 배리어층;을 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 21/324 (2013.01)

H01L 29/40111 (2019.08)

H01L 29/516 (2013.01)

H01L 29/6684 (2013.01)

(72) 발명자

이윤성

경기도 오산시 문시로 183-19, 116동 202호 (외삼미동, 서동탄역더샵파크시티)

조상현

서울특별시 동작구 사당로 300, 102동 1503호 (사당동, 이수자이)

명세서

청구범위

청구항 1

채널 영역;

상기 채널 영역에 연결된 소스 및 드레인;

상기 채널 영역과 이격되게 배치된 게이트 전극;

상기 채널 영역과 상기 게이트 전극 사이에 배치된 반강유전(anti-ferroelectric)층;

상기 게이트 전극과 상기 반강유전층 사이에, 상기 반강유전층과 접하게 배치된 전도층; 및

상기 반강유전층과 상기 채널 영역 사이에 배치된 배리어층;을 포함하는, 도메인 스위칭 소자.

청구항 2

제1항에 있어서,

상기 반강유전층은 상기 전도층과 인접한 적어도 일부 영역이 결정화된, 도메인 스위칭 소자.

청구항 3

제1항에 있어서,

상기 반강유전층은 상기 전도층과의 계면 영역에서 ZrO의 비율이 50% 이상인, 도메인 스위칭 소자.

청구항 4

제1항에 있어서,

상기 전도층은 면저항이 $1\text{M}\Omega/\text{square}$ 보다 작은 물질로 이루어지는, 도메인 스위칭 소자.

청구항 5

제1항에 있어서,

상기 전도층의 열팽창계수는 상기 반강유전층의 열팽창계수보다 작은, 도메인 스위칭 소자.

청구항 6

제5항에 있어서,

상기 전도층의 열팽창계수는 상기 Mo의 열팽창계수보다 큰, 도메인 스위칭 소자.

청구항 7

제1항에 있어서,

상기 전도층은 질화 금속(metal nitride), 질산화 금속(metal oxynitride), RuO, MoO, 또는 WO를 포함하는, 도메인 스위칭 소자..

청구항 8

제1항에 있어서,

상기 배리어층은 상기 반강유전층의 항복 전압(breakdown voltage)보다 큰 항복 전압을 가지는, 도메인 스위칭 소자.

청구항 9

제1항에 있어서,

상기 배리어층은 SiO, AlO, HfO, ZrO, LaO, YO, MgO 중 적어도 하나를 포함하거나, SiO, AlO, HfO, ZrO, LaO, YO, MgO 중 어느 하나에 도펀트가 도핑된 물질 또는 이차원 절연체(2D insulator)를 포함하는, 도메인 스위칭 소자.

청구항 10

제1항에 있어서,

상기 배리어층과 상기 채널 요소 사이에 배치된 유전체층을 더 포함하는, 도메인 스위칭 소자.

청구항 11

제10항에 있어서,

상기 유전체층은 상기 배리어층과 다른 물질로 이루어지는, 도메인 스위칭 소자.

청구항 12

제10항에 있어서,

상기 배리어층의 유전 상수가 상기 유전체층의 유전 상수보다 큰, 도메인 스위칭 소자.

청구항 13

제10항에 있어서,

상기 유전체층은 SiO, AlO, HfO, ZrO 또는 이차원 절연체(2D insulator)를 포함하는, 도메인 스위칭 소자.

청구항 14

제1항에 있어서,

상기 반강유전층은 HfO, ZrO, SiO, AlO, CeO, YO 및 LaO 중 적어도 하나를 포함하는, 도메인 스위칭 소자.

청구항 15

제14항에 있어서,

상기 반강유전층은 도펀트(dopant)를 더 포함하고,

상기 도펀트는 Si, Al, Zr, Y, La, Gd, Sr, Hf, Ce 중 적어도 하나를 포함하는 도메인 스위칭 소자.

청구항 16

제1항에 있어서,

상기 채널 영역은 Si, Ge, SiGe, III-V족 반도체, 산화물 반도체, 질화물 반도체, 질산화물 반도체, 이차원 물질(2D material), 양자점(quantum dot), 전이 금속 디칼코게나이드(transition metal dichalcogenide) 및 유기 반도체 중 적어도 하나를 포함하는 도메인 스위칭 소자.

청구항 17

채널 영역을 포함하는 기판을 마련하는 단계;

상기 채널 영역 상에 배리어층, 도메인 스위칭층 및 전도층을 포함하는 적층 구조를 형성하는 단계;

상기 적층 구조 상에 전극 물질층을 형성하는 단계; 및

상기 도메인 스위칭층에 반강유전성(anti-ferroelectricity)을 유도하는 단계;를 포함하는, 도메인 스위칭 소자 제조방법.

청구항 18

제17항에 있어서,

상기 도메인 스위칭층은 HfO, ZrO, SiO, AlO, CeO, YO, LaO 중 적어도 하나를 포함하는, 도메인 스위칭 소자 제조방법.

청구항 19

제17항에 있어서,

상기 전도층은 질화 금속(metal nitride), 질산화 금속(metal oxynitride), RuO, MoO, 또는 WO를 포함하는, 도메인 스위칭 소자 제조방법.

청구항 20

제17항에 있어서,

상기 유도하는 단계는

상기 전도층과 인접한 상기 도메인 스위칭층의 적어도 일부 영역을 결정화하는 단계;를 포함하는, 도메인 스위칭 소자 제조방법.

청구항 21

제17항에 있어서,

상기 유도하는 단계는

상기 전도층에 의해 상기 도메인 스위칭 층에 인장 응력(tensile stress)이 인가되게 하는 단계를 포함하는, 도메인 스위칭 소자 제조방법.

청구항 22

제17항에 있어서,

상기 유도하는 단계는

상기 적층 구조를 열처리(annealing)하는 단계;를 포함하는, 도메인 스위칭 소자 제조방법.

청구항 23

제19항에 있어서,

상기 열처리하는 단계는

상기 적층 구조를 형성하는 단계 후 상기 전극물질층을 형성하기 이전에 행해지거나, 및/또는,

상기 전극물질층을 형성하는 단계 이후에 행해지는, 도메인 스위칭 소자 제조방법.

발명의 설명

기술 분야

[0001] 개시된 실시예들은 도메인 스위칭 소자 및 그 제조방법에 대한 것이다.

배경 기술

[0002] 기존 실리콘 기반의 트랜지스터는 동작 특성의 개선 및 스케일 다운(scaling down)에 한계가 있다.

[0003] 나노 제조 기술의 발달로 트랜지스터 소자의 크기를 점점 더 작게 제조하는 것이 가능해지고 있으나, 트랜지스터 가동에 필요한 최소한의 전압은 전자의 볼츠만 분포(Boltzmann distribution)에 의해 한계가 있다. 예를 들어, 기존 실리콘 기반의 트랜지스터에서 동작 전압과 전류 특성을 측정하면, 서브문턱 스윙(subthreshold swing)(SS) 값은 아래의 수식과 같이 주어지는데, SS 값은 약 60 mV/dec가 한계인 것으로 알려져 있다.

$$SS = \frac{k_B T}{q} \ln(10) \left(1 + \frac{C_D}{C_{ins}} \right) \quad (1)$$

[0004]

[0005]

여기서, k_B 는 볼츠만 상수(Boltzmann constant), T 는 절대 온도(absolute temperature), q 는 기본 전하(elementary charge), C_D 는 공핍층(depletion layer)의 커패시턴스, C_{ins} 는 게이트절연체(gate insulator)의 커패시턴스이다.

[0006]

트랜지스터의 사이즈가 감소함에 따라, 동작 전압을 약 0.8 V 이하로 낮추기 어려운 요인으로 인해, 파워 밀도(power density)는 증가하게 된다. 따라서, 소자의 분포 밀도를 높이는 경우 발열에 의한 고장의 원인이 될 수 있어 소자의 스케일 다운에 한계가 있다.

[0007]

서브문턱 스윙(SS)과 같은 동작 특성을 개선할 수 있고 스케일 다운에 유리하며 제어 효율을 높일 수 있는 소자의 개발이 요구된다.

발명의 내용

해결하려는 과제

[0008]

동작 전압이 낮은 도메인 스위칭 소자 및 그 제조방법을 제공한다.

과제의 해결 수단

[0009]

일 유형에 따르면, 채널 영역; 상기 채널 영역에 연결된 소스 및 드레인; 상기 채널 영역과 이격되게 배치된 게이트 전극; 상기 채널 영역과 상기 게이트 전극 사이에 배치된 반강유전(anti-ferroelectric)층; 상기 게이트 전극과 상기 반강유전층 사이에 상기 반강유전층과 접하게 배치된 전도층; 및 상기 반강유전층과 상기 채널 영역 사이에 배치된 배리어층;을 포함하는, 도메인 스위칭 소자가 제공된다.

[0010]

상기 반강유전층은 상기 전도층과 인접한 적어도 일부 영역이 결정화될 수 있다.

[0011]

상기 반강유전층은 상기 전도층과의 계면 영역에서 ZrO의 비율이 50% 이상일 수 있다.

[0012]

상기 전도층은 면저항이 1MΩ/square 보다 작은 물질로 이루어질 수 있다.

[0013]

상기 전도층의 열팽창계수는 상기 반강유전층의 열팽창계수보다 작을 수 있다.

[0014]

상기 전도층의 열팽창계수는 상기 Mo의 열팽창계수보다 클 수 있다. ,

[0015]

상기 전도층은 질화 금속(metal nitride), 질산화 금속(metal oxynitride), RuO, MoO, 또는 WO를 포함할 수 있다.

[0016]

상기 배리어층은 상기 반강유전층의 항복 전압(breakdown voltage)보다 큰 항복 전압을 가질 수 있다.

[0017]

상기 배리어층은 SiO, AlO, HfO, ZrO, LaO, YO, MgO 중 어느 하나를 포함하거나, SiO, AlO, HfO, ZrO, LaO, YO, MgO 중 어느 하나에 도펀트가 도핑된 물질 또는 이차원 절연체(2D insulator)를 포함할 수 있다.

[0018]

상기 도메인 스위칭 소자는 상기 배리어층과 상기 채널 요소 사이에 배치된 유전체층을 더 포함할 수 있다.

[0019]

상기 유전체층은 상기 배리어층과 다른 물질로 이루어질 수 있다.

[0020]

상기 배리어층의 유전 상수가 상기 유전체층의 유전 상수보다 클 수 있다.

[0021]

상기 유전체층은 SiO, AlO, HfO, ZrO 또는 이차원 절연체(2D insulator)를 포함할 수 있다.

[0022]

상기 반강유전층은 HfO, ZrO, SiO, AlO, CeO, YO, LaO 중 적어도 하나를 포함할 수 있다.

[0023]

상기 반강유전층은 도펀트(dopant)를 더 포함할 수 있고, 상기 도펀트는 Si, Al, Zr, Y, La, Gd, Sr, Hf 및 Ce 중 적어도 하나를 포함할 수 있다.

[0024]

상기 채널 영역은 Si, Ge, SiGe, III-V족 반도체, 산화물 반도체, 질화물 반도체, 질산화물 반도체, 이차원 물질(2D material), 양자점(quantum dot), 전이 금속 디칼코게나이드(transition metal dichalcogenide) 및 유기 반도체 중 적어도 하나를 포함할 수 있다.

[0025]

또한, 일 유형에 따르면, 채널 영역을 포함하는 기판을 마련하는 단계; 상기 채널 영역 상에 배리어층, 도메인

스위칭층 및 전도층을 포함하는 적층 구조를 형성하는 단계; 상기 적층 구조 상에 전극 물질층을 형성하는 단계; 및 상기 도메인 스위칭층에 반강유전성(anti-ferroelectricity)을 유도하는 단계;를 포함하는, 도메인 스위칭 소자 제조방법이 제공된다.

- [0026] 상기 도메인 스위칭층은 HfO, ZrO, SiO, AlO, CeO, YO, LaO 중 적어도 하나를 포함할 수 있다.
- [0027] 상기 전도층은 질화 금속(metal nitride), 질산화 금속(metal oxynitride), RuO, MoO, 또는 WO를 포함할 수 있다.
- [0028] 상기 유도하는 단계는 상기 전도층과 인접한 상기 도메인 스위칭층의 적어도 일부 영역을 결정화하는 단계;를 포함할 수 있다.
- [0029] 상기 유도하는 단계는 상기 전도층에 의해 상기 도메인 스위칭 층에 인장 응력(tensile stress)이 인가되게 하는 단계를 포함할 수 있다.
- [0030] 상기 유도하는 단계는 상기 적층 구조를 열처리(annealing)하는 단계;를 포함할 수 있다.
- [0031] 상기 열처리하는 단계는 상기 적층 구조를 형성하는 단계 후 상기 전극물질층을 형성하기 이전에 행해지거나, 및/또는, 상기 전극물질층을 형성하는 단계 이후에 행해질 수 있다.

발명의 효과

- [0032] 반강유전성(anti-ferroelectricity)을 활용하여 히스테리시스가 없는 네거티브 커패시턴스 효과를 나타내는 도메인 스위칭 소자를 구현할 수 있다.
- [0033] 도메인 스위칭 층과 인접한 전도층 간의 계면 스트레인 조절을 통해 도메인 스위칭 내에 반강유전 상(anti-ferroelectric phase)을 구현할 수 있다.
- [0034] 도메인 스위칭 소자는 로직 트랜지스터로 활용될 수 있고 다양한 전자소자/장치/회로/시스템을 구현할 수 있다.

도면의 간단한 설명

- [0035] 도 1은 실시예에 따른 도메인 스위칭 소자의 개략적인 구조를 보이는 단면도이다.
- 도 2는 비교예에 따른 도메인 스위칭 소자의 개략적인 구조를 보이는 단면도이다.
- 도 3a 및 도 3b는 각각 비교예에 따른 도메인 스위칭 소자에 채용되는 강유전성 물질의 전하와 에너지 간의 관계 및 전기장과 분극 간의 관계를 개념적으로 보이는 그래프이다.
- 도 4a 및 도 4b는 실시예에 따른 도메인 스위칭 소자에 채용되는 반강유전성 물질의 전하와 에너지 간의 관계 및 전기장과 분극 간의 관계를 개념적으로 보이는 그래프이다.
- 도 5 및 도 6은 HfZrO가 인접 물질층과의 계면 스트레인 관계에 의해 각각 강유전성, 반강유전성을 나타낼 수 있음을 실험적으로 확인한 그래프이다.
- 도 7은 다른 실시예에 따른 도메인 스위칭 소자의 개략적인 구조를 보이는 단면도이다.
- 도 8a 내지 도 8g는 실시예에 따른 도메인 스위칭 소자 제조방법을 설명하는 도면들이다.
- 도 9는 실시예에 따른 전자 소자의 아키텍처(architecture)를 개략적으로 보여주는 개념도이다.
- 도 10은 다른 실시예에 따른 전자 소자의 아키텍처(architecture)를 개략적으로 보여주는 개념도이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하, 첨부된 도면을 참조하여 실시예를 상세히 설명하기로 한다. 설명되는 실시예는 단지 예시적인 것에 불과하며, 이러한 실시예들로부터 다양한 변형이 가능하다. 이하의 도면들에서 동일한 참조부호는 동일한 구성요소를 지칭하며, 도면상에서 각 구성요소의 크기는 설명의 명료성과 편의상 과장되어 있을 수 있다.
- [0037] 이하에서, "상부" 나 "상"이라고 기재된 것은 접촉하여 바로 위에 있는 것뿐만 아니라 비접촉으로 위에 있는 것도 포함할 수 있다.
- [0038] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 이러한 용어들은 구성 요소들의 물질 또는 구조가 다를 수 있음을 한정하는 것이

아니다.

- [0039] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0040] 또한, 명세서에 기재된 "...부", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다.
- [0041] "상기"의 용어 및 이와 유사한 지시 용어의 사용은 단수 및 복수 모두에 해당하는 것일 수 있다.
- [0042] 방법을 구성하는 단계들은 설명된 순서대로 행하여야 한다는 명백한 언급이 없다면, 적당한 순서로 행해질 수 있다. 또한, 모든 예시적인 용어(예를 들어, 등등)의 사용은 단순히 기술적 사상을 상세히 설명하기 위한 것으로서 청구항에 의해 한정되지 않는 이상 이러한 용어로 인해 권리 범위가 한정되는 것은 아니다.
- [0043] 도 1은 실시예에 따른 도메인 스위칭 소자의 개략적인 구조를 보이는 단면도이다.
- [0044] 도 1을 참조하면, 도메인 스위칭 소자(100)는 채널 영역(CH), 채널 영역(CH) 연결된 소스(SR) 및 드레인(DR), 채널 영역(CH)과 이격되게 배치된 게이트 전극(GA), 게이트 전극(GA)과 채널 영역(CH) 사이에 배치된 전도층(150), 반강유전(anti-ferroelectric)층(140) 및 배리어층(130)을 포함한다.
- [0045] 소스(SR) 및 드레인(DR)은 채널 영역(CH)의 양측에 전기적으로 연결, 접촉될 수 있다. 채널 영역(CH), 소스(SR), 드레인(DR)은 소정의 기판(110) 내에 구비될 수 있다.
- [0046] 기판(110) 상의 서로 이격된 두 영역에 불순물(dopant)을 주입하여 소스(SR) 및 드레인(DR)을 형성할 수 있고, 소스(SR)와 드레인(DR) 사이의 기판(110) 영역이 채널 영역(CH)으로 정의될 수 있다. 기판(110)은, 예컨대, Si 기판일 수 있고, Si 이외에 다른 물질, 예컨대, Ge, SiGe, III-V족 반도체 등을 포함하는 기판일 수 있다. 이 경우, 채널 영역(CH)은 Si, Ge, SiGe 또는 III-V족 반도체를 포함할 수 있다. 기판(110) 물질은 전술한 바에 한정되지 않고 다양하게 변화될 수 있다. 또한, 채널 영역(CH)은 기판(110)의 일부가 아닌 기판(110)과 별개의 물질층으로 형성될 수도 있다. 채널 영역(CH)의 물질은 산화물(oxide) 반도체, 질화물(nitride) 반도체, 질산화물(oxynitride) 반도체, 이차원 물질(two-dimensional material)(2D material), 전이 금속 디칼코게나이드(transition metal dichalcogenide), 양자점(quantum dot) 및 유기 반도체 중 적어도 하나를 포함할 수 있다. 상기 산화물 반도체는, 예컨대, InGaZnO 등을 포함할 수 있고, 상기 이차원 물질은, 예컨대, TMD(transition metal dichalcogenide)나 그래핀(graphene)을 포함할 수 있고, 상기 양자점은 콜로이드 양자점(colloidal QD), 나노결정(nanocrystal) 구조 등을 포함할 수 있으며, 이는 예시적인 것이며 이에 한정되지 않는다.
- [0047] 채널 영역(CH)과 마주하며 이에 이격되게 게이트 전극(GA)이 배치되며, 채널 영역(CH)과 게이트 전극(GA) 사이에 도메인 스위칭층(domain switching layer)인 반강유전층(140)이 구비될 수 있다.
- [0048] 반강유전층(140)은 HfO, ZrO, SiO, AlO, CeO, YO, LaO 중 적어도 하나를 포함할 수 있고, 또한, 이에, Si, Al, Zr, Y, La, Gd, Sr, Hf, Ce와 같은 도펀트를 더 포함할 수 있다. 예시된 물질들은 결정 상(crystalline phase) 및/또는 인접 층과의 계면에서의 스트레스 상태에 따라 강유전성(ferroelectricity) 또는 반강유전성(anti-ferroelectricity)을 나타내는 물질들이다. 실시예에 따른 도메인 스위칭 소자(100)에서는 상기 물질들이 반강유전성을 나타내도록 계면 스트레스가 조절된 상태로서 반강유전층(140)을 이루고 있다.
- [0049] 예를 들어, HfO 기반의 강유전 특성은 물질의 결정 상(crystalline phase)에 의한 것으로 tetragonal phase 에서는 반강유전성(anti-ferroelectric)의 특성이, orthorhombic phase 에서는 강유전성(ferroelectric) 특성이 나타나는 것으로 알려져 있다. 따라서, 비정질(amorphous) HfO 박막을 증착한 다음 열처리 및 스트레스 제어를 통해 반강유전성(anti-ferroelectricity)을 갖도록 할 수 있다.
- [0050] 반강유전성(anti-ferroelectricity)을 강유전성(ferroelectricity)과 비교하여 설명하면 다음과 같다.
- [0051] 강유전성(ferroelectric)의 물질은 결정화된 물질 구조에서 단위셀(unit cell) 내 전하 분포가 non-centrosymmetric 하여 자발적인 전기 쌍극자(electric dipole), 즉, 자발 분극(spontaneous polarization)을 갖는다. 강유전성의 물질은 외부 전기장이 없는 상태에서도 전기 쌍극자(electric dipole)에 의한 잔류 분극(remnant polarization)을 가지며, 아울러 외부 전기장에 의해 분극의 방향이 도메인 단위로 반전(switching)될 수 있다.
- [0052] 반강유전성(anti-ferroelectric)의 물질은 전기 쌍극자들이 어레이된 강유전 도메인(ferroelectric domain)을

포함하지만, 외부 전기장이 인가되지 않은 상태에서 잔류 분극(remnant polarization)은 0 또는 0에 가까운 값을 나타낸다. 다시 말하면, 반강유전성의 물질은 인가되는 전기장이 없는 상태에서, 이상적으로, 분극 방향이 서로 반대인 전기 쌍극자들의 비율이 같아 잔류 분극은 0에 가깝거나 0을 나타내게 된다. 반강유전성의 물질은 외부 전기장이 인가될 때 분극의 방향이 스위칭될 수 있다.

- [0053] 반강유전층(140)은 외부 전기장에 따른 분극(polarization) 변화에서, 실질적으로 비이력(non-hysteresis) 거동 특성을 가질 수 있다. 다시 말해, 반강유전층(140)은 도메인 스위칭 동작시 히스테리시스(hysteresis) 특성을 갖지 않거나 실질적으로 갖지 않을 수 있다.
- [0054] 실시예에 따른 도메인 스위칭 소자(100)에서는 강유전성 또는 반강유전성을 나타낼 수 있는 물질들을 사용하고 이들에 대해 반강유전성이 발현되도록 계면 스트레스 및/또는 결정 상태(crystalline phase)를 조절하여 반강유전층(140)을 구현하고 있다.
- [0055] 실시예에 따른 도메인 스위칭 소자(100)는 반강유전층(140)에 소정의 인장 응력(tensile stress)을 인가하고 반강유전성을 유도하는 시드층(seed layer)으로 반강유전층(140)과 접하는 전도층(150)을 구비하고 있다.
- [0056] 전도층(150)은 전도성을 가지며 면저항이 $1\text{M}\Omega/\text{square}$ 보다 작은 물질로 이루어질 수 있다. 전도층(150)은 도메인 스위칭 소자(100) 제조시의 고온 열처리 공정 및 냉각 과정에서 반강유전층(140)에 소정의 인장 응력을 인가할 있도록, 열팽창계수가 반강유전층(140)으로 사용되는 물질의 열팽창계수보다 작은 물질로 이루어질 수 있다. 전도층(150)의 물질은 열처리 공정 후 냉각 과정에서 반강유전층(140)에 인가되는 인장 응력이 소정 범위 이내가 되도록 하는 열팽창계수를 갖는 물질로 선택될 수 있다. 다시 말하면, 반강유전층(140)으로 사용되는 물질과의 열팽창계수 차이가 강유전성이 유도되는 열팽창계수 차이보다는 작은 값이 되도록, 전도층(150)의 물질이 선택될 수 있다. 예를 들어, 전도층(150)의 열팽창계수는 반강유전층(140)으로 사용되는 물질의 열팽창계수보다 크거나 작을 수 있고, Mo의 열팽창계수보다는 큰 값을 갖도록 전도층(150)의 물질이 선택될 수 있다. 전도층(150) 물질의 열팽창계수 차이는 $4 \times 10^{-6} \sim 20 \times 10^{-6}/\text{K}$ 의 범위를 가질 수 있다.
- [0057] 전도층(150)은 질화 금속(metal nitride), 질산화 금속(metal oxynitride), RuO, MoO, 또는 WO 을 포함할 수 있다.
- [0058] 반강유전층(140)은 전도층(150)과 인접한 적어도 일부 영역이 결정화된 상태일 수 있으며, tetragonal 결정을 포함할 수 있다. 반강유전층(140)은 전도층과의 계면 영역에서 ZrO의 비율이 50% 이상일 수 있다.
- [0059] 배리어층(130)은 채널 영역(CH)과 반강유전층(140) 사이에 배치될 수 있다. 배리어층(130)은 반강유전층(140)에 접하게 배치될 수 있다.
- [0060] 배리어층(130)은 전기적 누설(leakage)을 억제 또는 방지하기 위한 절연층으로, Si 산화물(SiO), Al 산화물(AlO), Hf 산화물(HfO), Zr 산화물(ZrO), 또는 이차원 절연체(2D insulator) 등이 사용될 수 있다. 이차원 절연체로 h-BN (hexagonal boron nitride)과 같은 물질이 사용될 수 있다. 다만, 배리어층(130)의 물질이 이에 한정되는 것은 아니다.
- [0061] 배리어층(130)의 유전상수가 높을수록 도메인 스위칭 소자(100)의 성능 향상에 유리할 수 있다. 배리어층(130)은 반강유전층(140)의 항복 전압(breakdown voltage)보다 큰 항복 전압을 가지는 물질로 이루어질 수 있다.
- [0062] 실시예에 따른 도메인 스위칭 소자(100)는 네거티브 커패시턴스(negative capacitance)를 나타내며 전기장(electric field)에 따른 분극(polarization) 변화에서 실질적으로 히스테리시스(hysteresis)가 없거나 거의 없는 반강유전층(140)을 도메인 스위칭층으로 채용하고 있어, 동작 전압의 저하가 가능하고 이에 따라 소자의 스케일 다운에 유리하다.
- [0063] 도 2는 비교예에 따른 도메인 스위칭 소자의 개략적인 구조를 보이는 단면도이다. 도 3a 및 도 3b는 각각 비교예에 따른 도메인 스위칭 소자에 채용되는 강유전성 물질의 전하와 에너지 간의 관계 및 전기장과 분극 간의 관계를 개념적으로 보이는 그래프이고, 도 4a 및 도 4b는 실시예에 따른 도메인 스위칭 소자에 채용되는 반강유전성 물질의 전하와 에너지 간의 관계 및 전기장과 분극 간의 관계를 개념적으로 보이는 그래프이다.
- [0064] 비교예에 따른 도메인 스위칭 소자(10)는 채널 영역(CH), 채널 영역(CH)에 연결된 소스(SR) 및 드레인(DR), 채널 영역(CH)과 이격되게 배치된 게이트 전극(GA), 게이트 전극(GA)과 채널 영역(CH) 사이에 배치된 강유전층(14) 및 유전체층(12)을 포함한다.
- [0065] 비교예의 도메인 스위칭 소자(10)는 도메인 스위칭층으로 강유전층(14)을 채용하는 점에서, 반강유전층(140)을

도메인 스위칭으로 채용하는 실시예의 도메인 스위칭 소자(100)와 차이가 있다.

- [0066] 비교예의 도메인 스위칭 소자(10), 실시예의 도메인 스위칭 소자(100)에 각각 채용되는 강유전성 물질 및 반강유전성 물질은 모두 강유전 도메인(ferroelectric domain)을 구비하며 네거티브 커패시턴스(negative capacitance), 즉, 음의 전기용량을 나타낼 수 있다. 커패시턴스(capacitance, 전기용량)란 어떤 물질이 전하(electrical charge)를 저장하는 능력을 나타내는 지표이다. 실제로 대부분의 전자기기에서 나타나는 일반적인 커패시터(capacitor, 축전기)는 전압이 커패시터에 인가되었을 때 전하를 저장하게 된다. 반대로, 네거티브 커패시턴스는 인가되는 전압이 증가하면 전하의 저장이 감소하는 성질을 의미한다. 이러한 성질은 인가 전압에 의한 전기 쌍극자 반전에 의한 것으로 설명될 수 있다. 네거티브 커패시턴스는 인가 전압에 대한 전하의 독특한 반응으로서, 이러한 성질을 나타내는 물질이 트랜지스터에 잘 접목되는 경우 트랜지스터나 트랜지스터를 포함하는 기기에 의해서 소비되는 전력을 크게 감소시킬 수 있다.
- [0067] 한편, 비교예와 같은 구조의 도메인 스위칭 소자(10)의 경우 강유전층(14)이 나타내는 히스테리시스에 의해 성능이 제한될 수 있다.
- [0068] 도 3a는 강유전성 물질의 전하(charge)(Q)와 에너지(U) 사이의 관계 및 두 에너지 상태에서의 다이폴 도메인(dipole domain)의 분극 분포를 예시적으로 보이고 있다.
- [0069] 도 3a를 참조하면, 강유전성 물질은 분극 방향이 모두 아래방향을 향하거나 모두 위 방향을 향하는 두 개의 디제너레이트(degenerate) 상태를 갖는다. 전하(Q)가 0일 때는 멀티 도메인(multi-domain) 형성에 의해 이러한 두 개의 상태가 반반씩 섞인 상태가 되며 인가된 전기장의 방향에 따라 총(net) 분극의 방향은 위 또는 아래가 되며, 인가된 전기장이 사라진 후에는 A 또는 B의 상태로 남아있게 된다. 이후의 인가 전기장에 대한 분극 변화는 A 또는 B 상태 여하에 의존하는 이력(hysteresis)을 갖게 된다.
- [0070] 도 3b의 그래프는 전기장(electric field)(E)과 분극(polarization)(P) 사이의 관계를 보이고 있으며, 그래프를 참조하면 인가된 전기장이 없을 때의 분극(P) 상태(A, B) 여하에 따라 이후에 인가되는 전기장(E)에 의한 분극(P)은 다른 값을 갖는 히스테리시스를 나타낸다.
- [0071] 반면, 반강유전성 물질의 경우 이러한 히스테리시스가 거의 나타나지 않는다.
- [0072] 도 4a의 전하(Q)-에너지(U) 그래프를 참조하면, 분극 방향이 위, 아래로 반복 배치되고 총 분극이 0인 상태(S)가 가장 안정한 상태가 된다. 이 상태에서 외부 전기장이 인가되면 도메인이 스위칭되며 어느 한 방향으로 더 많은 다이폴을 갖는, 예를 들어, C 또는 D 상태가 된다. 이 상태에서 인가된 전기장이 사라지면, 다시 분극이 위, 아래로 반복 배치되는 상태(S)로 되돌아 오게 되며, 이후에 인가되는 전기장(E)에 의한 분극(P)은 이전과 동일한 변화 경향을 나타내며 히스테리시스를 나타내지 않는다. 이러한 경향은 인가된 전기장이 작은 범위에서, 예를 들어, 인가된 전기장에 의한 상태 변화가 도 4a의 그래프 상의 P 또는 Q의 상태가 되지 않는 범위에서, 유지된다.
- [0073] 도 4b의 그래프는 전기장(electric field)(E)과 분극(polarization)(P) 사이의 관계를 보이고 있으며, 그래프를 참조하면 인가된 전기장의 값이 소정 범위 이내일 때, 예를 들어, 점원으로 표시한 영역 범위에서, 전기장(E)에 의한 분극(P)은 히스테리시스가 없이 일정한 경향을 나타낸다.
- [0074] 이와 같이, 강유전성 물질은 도메인 스위칭에 의한 네거티브 커패시턴스 효과를 히스테리시스(hysteresis)가 없는 상황에서 얻을 수 있다.
- [0075] 도 5 및 도 6은 HfZrO가 인접 물질층과의 계면 스트레인 관계에 의해 각각 강유전성, 반강유전성을 나타낼 수 있음을 실험적으로 확인한 그래프이다.
- [0076] 도 5의 실험에 사용한 적층막은 위에서부터 Mo/HfZrO/Mo 순서로 적층된 구조를 갖는다. 이러한 적층 구조에서 HfZrO 박막이 나타내는 전기장-분극 그래프는 뚜렷한 히스테리시스를 나타내고 있으며, HfZrO가 강유전성을 나타내는 상태임을 알 수 있다.
- [0077] 도 6의 실험에 사용한 적층막은 위에서부터 TiN/HfZrO/Mo 순서로 적층된 구조를 갖는다. 이러한 적층 구조에서 HfZrO가 나타내는 전기장-분극 그래프는 도 5에 비해 뚜렷하게 감소한 히스테리시스를 나타내고 있다. 특히, 인가된 전기장이 작은 범위에서 이러한 경향은 더욱 명확히 나타나고 있다. 이러한 적층 구조 내의 HfZrO에는 강유전 상과 반강유전 상이 함께 존재하는 것으로 볼 수 있으며, 이로부터, TiN/HfZrO/Mo의 구조에서 HfZrO가 반강유전성을 나타낼 수 있음을 알 수 있다.

- [0078] 이러한 경향은 HfZrO와 인접층에 의해, HfZrO에 인가되는 응력(stress)에 의한 것으로 분석되며, 즉, TiN과 HfZrO의 열팽창계수 차이 및 Mo와 HfZrO의 열팽창계수 차이에 의한 것으로 분석될 수 있다.
- [0079] TiN과 Mo는 모두 HfZrO보다 작은 열팽창계수를 가지며, 따라서 고온 열처리 공정 후 냉각될 때, HfZrO에 인장 응력(tensile stress)을 인가하게 된다. 한편, TiN의 경우 Mo 보다는 큰 열팽창계수를 가지며, 따라서, HfZrO와 TiN의 열팽창계수 차이가 HfZrO와 Mo의 열팽창계수 차이보다 작다. 다시 말하면, 열처리 후 냉각 시, TiN/HfZrO/Mo의 구조에서 HfZrO에 인가되는 인장 응력이 Mo/HfZrO/Mo의 구조에서 HfZrO에 인가되는 인장 응력보다 작다.
- [0080] Hf 산화물이나 Zr 산화물은 orthorhombic 결정 상(crystalline phase)에서 강유전성을 나타내고 tetragonal 결정 상(crystalline phase)에서 반강유전성을 나타내는 것으로 알려져 있다. 따라서 실험 결과로부터, HfZrO는 상대적으로 큰 인장 응력 상태에서 orthorhombic 결정 상(crystalline phase)이 형성되어 강유전성을 나타내고, 상대적으로 작은 인장 응력 상태에서 tetragonal/orthorhombic 결정 상(crystalline phase)이 형성되어 반강유전성/강유전성을 나타낼 수 있는 것으로 분석된다. 다시 말하면, HfZrO는 인접층과의 인장 응력을 적절히 조절함으로써 반강유전성을 나타낼 수 있음을 알 수 있다.
- [0081] 전술한 바와 같이, 실시예에 따른 도메인 스위칭 소자(100)는 반강유전성 유도 및 스트레스 조절을 위한 시드층으로 전도층(150)을 구비하고 있으며, 전도층(150)의 열팽창계수가 반강유전층(140)을 이루는 물질과의 열팽창계수와의 관계에서 적절히 설정되도록 전도층(150)의 물질을 선택하여 반강유전성을 구현할 수 있다.
- [0082] 도 7은 다른 실시예에 따른 도메인 스위칭 소자의 개략적인 구조를 보이는 단면도이다.
- [0083] 도 7을 참조하면, 도메인 스위칭 소자(101)는 채널 영역(CH), 채널 영역(CH)에 연결된 소스(SR) 및 드레인(DR), 채널 영역(CH)과 이격되게 배치된 게이트 전극(GA), 게이트 전극(GA)과 채널 영역(CH) 사이에 배치된 전도층(150), 반강유전(anti-ferroelectric)층(140) 및 배리어층(130)을 포함한다. 또한, 배리어층(130)과 채널 영역(CH) 사이에 유전체층(120)이 마련된다.
- [0084] 유전체층(120)은 배리어층(130)과 함께 전기적 누설(leakage)을 억제 또는 방지하기 위한 절연층이다. 유전체층(120)은 배리어층(130)과는 다른 물질을 포함할 수 있다. 유전체층(120)은 배리어층(130)의 유전 상수보다 작은 유전 상수를 가질 수 있다. 유전체층(120)은 SiO, AlO, HfO, ZrO 또는 이차원 절연체(2D insulator)를 포함할 수 있다. 이차원 절연체로 h-BN (hexagonal boron nitride)과 같은 물질이 사용될 수 있다. 다만, 유전체층(120)의 물질이 이에 한정되는 것은 아니다.
- [0085] 도 8a 내지 도 8g는 실시예에 따른 도메인 스위칭 소자 제조방법을 설명하는 도면들이다.
- [0086] 도 8a를 참조하면, 채널 영역(CH)을 포함하는 기관(110)이 마련된다.
- [0087] 채널 영역(CH)은 Si, Ge, SiGe, III-V족 반도체, 산화물(oxide) 반도체, 질화물(nitride) 반도체, 질산화물(oxynitride) 반도체, 이차원 물질(two-dimensional material)(2D material), 전이 금속 디칼코게나이드(transition metal dichalcogenide), 양자점(quantum dot) 및 유기 반도체 중 적어도 하나를 포함할 수 있다.
- [0088] 기관(110) 상의 서로 이격된 두 영역에 불순물(dopant)를 주입하여 소스(SR) 및 드레인(DR)을 형성할 수 있고, 소스(SR)와 드레인(DR) 사이의 기관(110) 영역이 채널 영역(CH)으로 정의될 수 있다. 소스(SR), 드레인(DR)의 형성은 이 단계에서 수행될 수 있으나 이에 한정되지 않고, 이후의 단계에서 수행될 수도 있다.
- [0089] 도 8b를 참조하면, 채널 영역 상에, 도메인 스위칭층(142)과 전도층(150)을 포함하는 적층 구조를 형성한다. 적층 구조는 유전체층(120), 배리어층(130), 도메인 스위칭층(142) 및 전도층(150)을 포함할 수 있다. 다만, 이에 한정되지 않으며, 유전체층(120)을 생략하는 것도 가능하다.
- [0090] 도메인 스위칭층(142)은 비정질 박막층으로 HfO, ZrO, SiO, AlO, CeO, YO, LaO 중 적어도 하나를 포함할 수 있고, 또한, 이들 중 어느 하나에 Si, Al, Zr, Y, La, Gd, Sr, Hf, Ce와 같은 도펀트가 더 도핑될 수 있다.
- [0091] 전도층(150)은 도메인 스위칭(142)에 접촉하며, 질화 금속(metal nitride), 질산화 금속(metal oxynitride), RuO, MoO, 또는 WO를 포함할 수 있다.
- [0092] 전도층(150)의 물질은 열처리 후 냉각 과정에서 도메인 스위칭층(142)에 인장 응력을 인가하도록, 또한, 인가되는 인장 응력이 소정 범위 이내가 되도록 선택될 수 있다. 예를 들어, 전도층(150)의 열팽창계수는 도메인 스위칭층(142)의 열팽창계수보다 작고, Mo의 열팽창계수보다는 큰 값을 갖도록 전도층(150)의 물질이 선택될 수 있다.

다.

- [0093] 배리어층(130)과 유전체층(120)은 SiO, AlO, HfO, ZrO, LaO, YO, MgO 중 어느 하나를 포함하거나, SiO, AlO, HfO, ZrO, LaO, YO, MgO 중 어느 하나에 도펀트가 도핑된 물질 또는 이차원 절연체(2D insulator)를 포함할 수 있고, 배리어층(130)은 유전체층(0보다 높은 유전 상수를 갖는 물질일 수 있다.
- [0094] 상기 적층 구조는 ALD(atomic layer deposition) 또는 CVD(chemical vapor deposition) 또는 PVD(physical vapor deposition) 등의 증착 공정으로 형성할 수 있다.
- [0095] 도메인 스위칭층(142)은 비정질 박막층이며, 반강유전성을 나타내지 않는 상태일 수 있다. 따라서, 도메인 스위칭층(142)에 반강유전성을 유도하기 위한 추가 공정이 수행될 수 있다. 이러한 공정은 전도층(150)과 인접한 도메인 스위칭층(142)의 적어도 일부 영역을 결정화하는 공정일 수 있고, 또는 전도층(150)에 의해 도메인 스위칭층(142)에 소정의 인장 응력(tensile stress)이 인가되게 하는 공정일 수 있다. 이러한 공정은 상기 적층 구조를 열처리(annealing)하는 공정일 수 있다. 이를 위한 세부 단계를 살펴보면 다음과 같다.
- [0096] 도 8c를 참조하면, 도메인 스위칭층(142)에 대해 열처리(annealing) 공정을 수행할 수 있다. 열처리 온도는 약 400℃ 내지 1200℃ 범위의 온도에서 수행될 수 있으며, 다만, 이에 한정되지 않고, 도메인 스위칭층(142) 및 전도층(150)의 재질을 고려하여 도메인 스위칭층(142)에 적절한 인장 응력이 인가되는 범위에서 정할 수 있다.
- [0097] 이러한 열처리 공정에 의해 도메인 스위칭층(142)의 적어도 일부 영역이 결정화될 수 있다. 또한, 열처리 공정 후 냉각 과정에서 도메인 스위칭층(142)에 소정의 인장 응력을 인가될 수 있다. 이러한 공정에 의해, 도 8d와 같이 도메인 스위칭층(142)은 소정의 반강유전성(AF1)을 가질 수 있다.
- [0098] 도 8e를 참조하면, 전도층(150) 상에 게이트 전극(GA)이 형성될 수 있다. 게이트 전극(GA)은 전도성 물질을 증착함으로써 형성될 수 있다. 게이트 전극(GA) 형성을 위해 전도성 물질이 예컨대, LD(atomic layer deposition) 또는 CVD(chemical vapor deposition) 또는 PVD(physical vapor deposition) 등의 공정으로 증착될 수 있다.
- [0099] 도 8f를 참조하면, 도메인 스위칭층(142)에 열처리(annealing) 공정이 수행될 수 있다. 게이트 전극(GA)이 전도층(150)에 콘택된 상태에서의 열처리 공정은 도메인 스위칭층(142)의 결정화를 보다 용이하게 할 수 있다. 이러한 열처리 공정은 도 8e의 열처리 공정을 생략하고 대신하여 이 단계에서 수행되는 것일 수 있고, 또는 도 8e의 열처리 공정 수행 후, 추가적으로 수행되는 것일 수도 있다.
- [0100] 도 8g와 같이, 소정의 반강유전성(AF2)을 갖는 도메인 스위칭층(142)을 구비하는 도메인 스위칭 소자(102)가 제조될 수 있다. 도메인 스위칭 소자(102)는 유전체층(120)의 구비 여부에 따라 도 1의 도메인 스위칭 소자(100) 또는 도 7의 도메인 스위칭 소자(101)와 실질적으로 동일할 수 있다.
- [0101] 실시예들에 따른 도메인 스위칭 소자는 로직 트랜지스터(logic transistor)로서 다양한 전자소자, 논리소자 등에 적용될 수 있다. 로직 트랜지스터는 다양한 전자소자/논리소자의 기본 구성요소가 될 수 있다. 실시예에 따르면, 히스테리시스가 거의 없는 네거티브 커패시턴스를 구현하여 서브문턱 스윙(SS)과 같은 동작 특성을 개선할 수 있고 제어 효율을 높일 수 있으며 스케일 다운에도 유리한 로직 트랜지스터를 구현할 수 있기 때문에, 이를 적용하여 우수한 성능의 전자소자/논리소자를 제조할 수 있다.
- [0102] 도 9는 실시예에 따른 전자 소자의 아키텍처(architecture)를 개략적으로 보여주는 개념도이다.
- [0103] 도 9를 참조하면, 하나의 칩(1000)에 메모리 유닛(memory unit)(1010), ALU(arithmetic logic unit)(1020) 및 제어 유닛(control unit)(1030)이 형성될 수 있다. 동일한 기판 상에 메모리 유닛(1010), ALU(1020) 및 제어 유닛(1030)을 모놀리식(monolithic)하게 집적하여 칩(1000)을 형성할 수 있다. ALU(1020) 및 제어 유닛(1030) 각각은 전술한 실시예들 중 어느 하나에 따른 도메인 스위칭 소자(100)(101)(102)를 포함하는 로직 트랜지스터를 포함할 수 있다. 예를 들어, 로직 트랜지스터는 반강유전성(anti-ferroelectricity)를 가지며 실질적으로 비이력(non-hysteresis) 거동 특성을 갖는 도메인 스위칭층을 포함할 수 있다. 메모리 유닛(1010)은 메모리 소자를 포함할 수 있다. 예를 들어, 상기 메모리 소자는 강유전 도메인을 포함하면서 이력(hysteresis) 거동 특성을 갖는 도메인층을 포함할 수 있다. 메모리 유닛(1010), ALU(1020) 및 제어 유닛(1030)은 온-칩(on-chip)에서 메탈 라인(metal line)으로 상호 연결되어 직접 통신할 수 있다. 메모리 유닛(1010)은 메인 메모리 및 캐시 메모리를 모두 포함할 수 있다. 이러한 칩(1000)은 on-chip memory processing unit이라고 할 수 있다. 칩(1000)과 연결된 입출력 소자(2000)가 더 구비될 수 있다.
- [0104] 이러한 전자 소자는 하나의 칩에 메모리 유닛과 로직 소자 유닛을 함께 집적하여 제조할 수 있기 때문에, 비용 측면에서 유리할 수 있다. 또한, 메모리 유닛과 로직 소자 유닛 간에 데이터 전송량이 크고 데이터 전송이 연속

적으로 이루어지는 응용 분야, 예컨대, 뉴로모픽 소자(neuromorphic device) 분야에 실시예의 전자 소자를 적용하면, 효율 향상, 속도 향상, 전력 소모 감소 등 다양한 효과를 얻을 수 있다. 뉴로모픽 소자(neuromorphic device)의 기본적인 구성 및 동작방식은 잘 알려진 바와 같기 때문에, 이에 대한 자세한 설명은 배제한다.

[0105] 경우에 따라, 실시예에 따른 전자소자는, 하나의 칩에서 서브-유닛들(sub-units)의 구분없이, 컴퓨팅(computing) 단위 소자들과 메모리 단위 소자들이 상호 인접하여 형성되는 아키텍처(architecture)로도 구현될 수 있다.

[0106] 도 10은 다른 실시예에 따른 전자 소자의 아키텍처(architecture)를 개략적으로 보여주는 개념도이다.

[0107] 도 10을 참조하면, CPU 칩(1500)은 캐시 메모리(cache memory)(1510), ALU(1520) 및 제어 유닛(1530)을 포함할 수 있다. ALU(1520) 및 제어 유닛(1530) 각각은 전술한 실시예들 중 어느 하나에 따른 도메인 스위칭 소자(100)(101)(102)를 포함하는 로직 트랜지스터를 포함할 수 있다. 예를 들어, 로직 트랜지스터는 반강유전성(anti-ferroelectricity)을 나타내며 실질적으로 비이력(non-hysteresis) 거동 특성을 갖는 도메인 스위칭층을 포함할 수 있다.

[0108] CPU 칩(1500)과 별개로 메인 메모리(1600) 및 보조 스토리지(1700)가 구비될 수 있고, 입출력 소자(2500)가 구비될 수 있다. 예를 들어, 캐시 메모리(1510)는 SRAM(static random access memory)으로 구성될 수 있고, 메인 메모리(1600)는 DRAM(dynamic random access memory)으로 구성될 수 있다.

[0109] 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 구체적인 실시예의 예시로서 해석되어야 한다. 예를 들어, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 도 1 내지 도 7의 도메인 스위칭 소자 및 도 9, 도 10의 전자 소자의 구성은 다양하게 변형될 수 있음을 알 수 있을 것이다. 또한, 도 8a 내지 도 8g를 참조하여 설명한 도메인 스위칭 소자의 제조방법도 다양하게 변형될 수 있음을 알 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 명세서의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 포함된 것으로 해석되어야 할 것이다.

부호의 설명

[0110] 100, 101, 102: 도메인 스위칭 소자

110: 기판

120: 유전체층

130: 배리어층

140: 반강유전층

142: 도메인 스위칭층

CH: 채널 영역

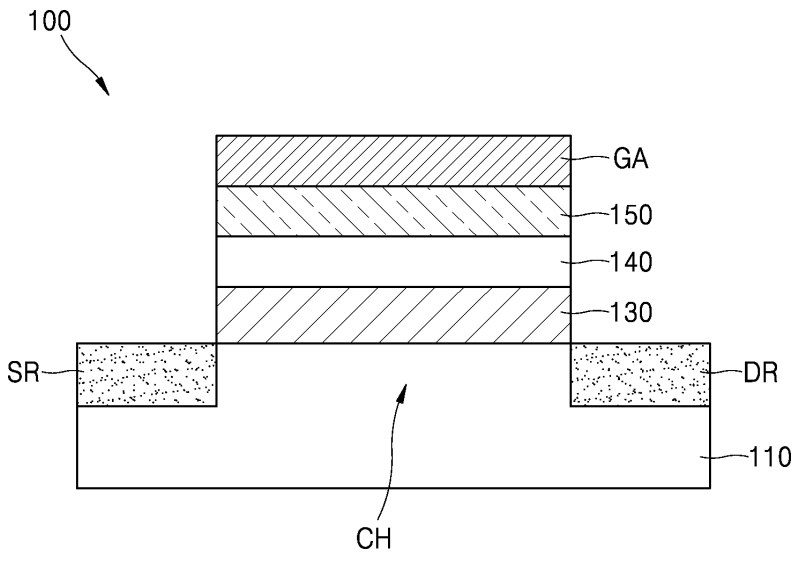
SR: 소스

DR: 드레인

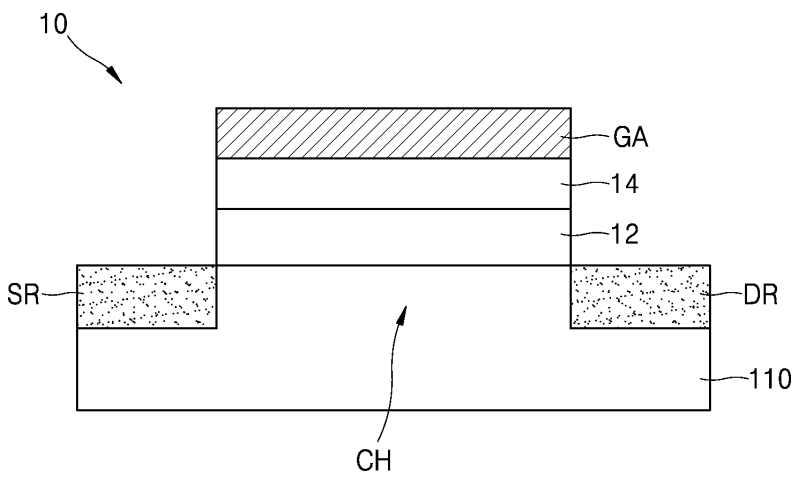
GA: 게이트 전극

도면

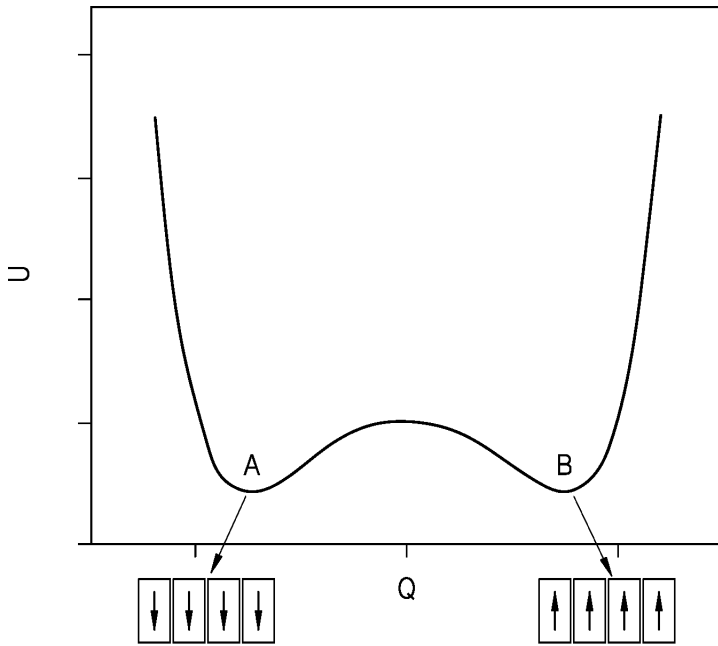
도면1



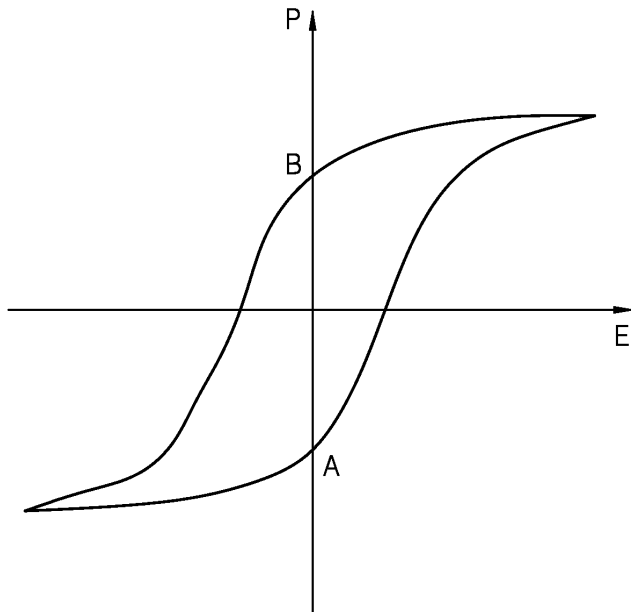
도면2



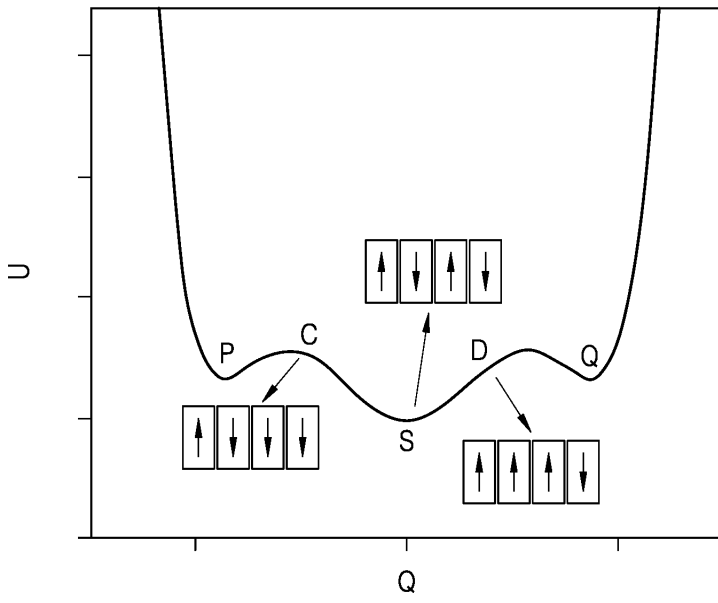
도면3a



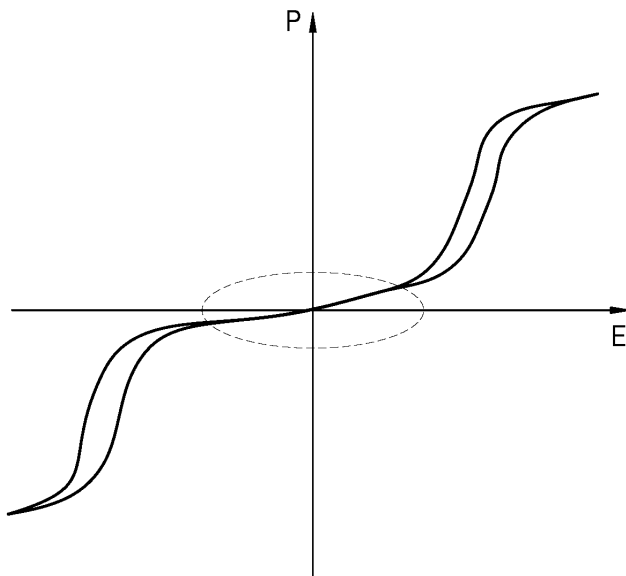
도면3b



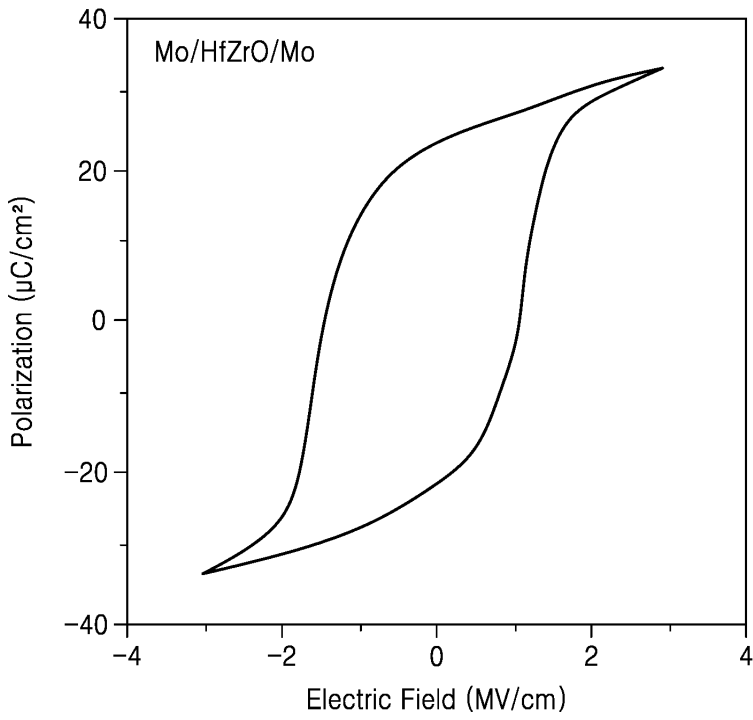
도면4a



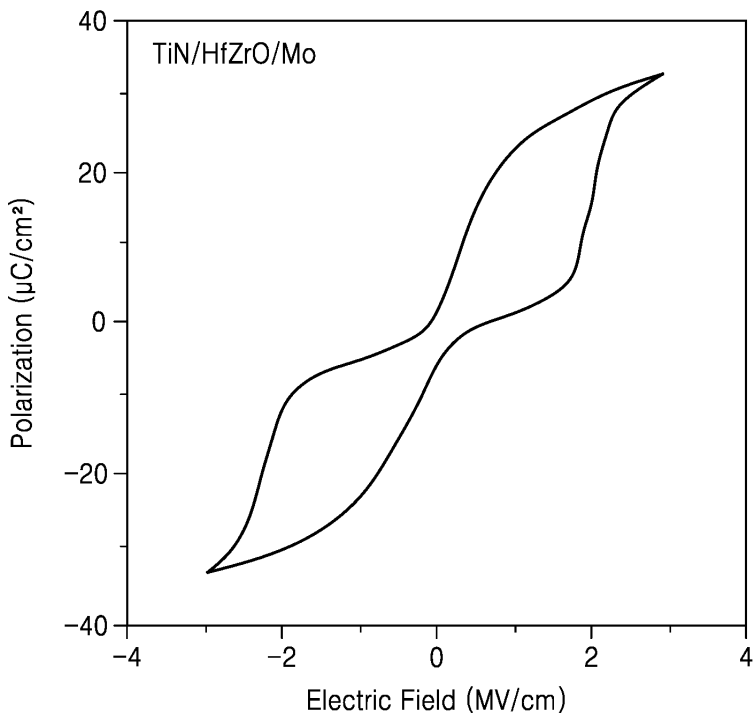
도면4b



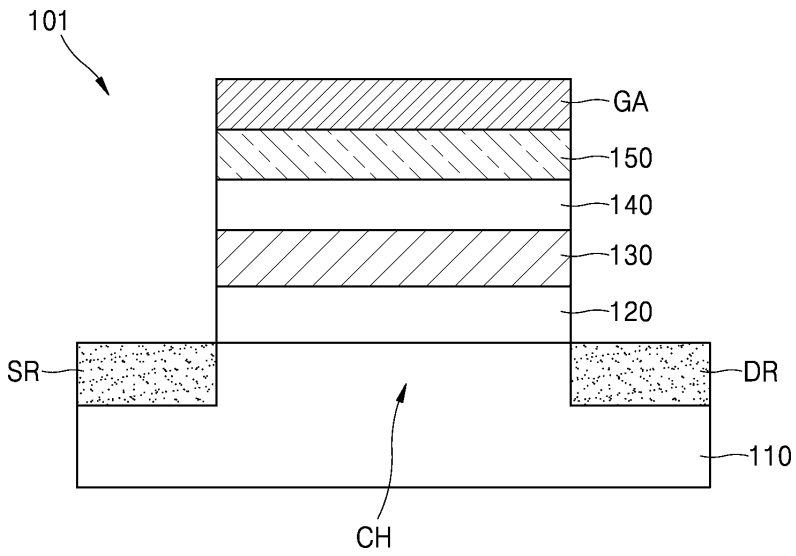
도면5



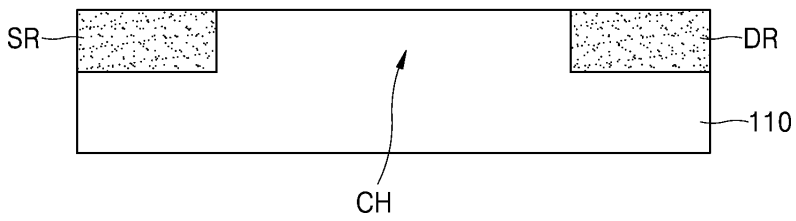
도면6



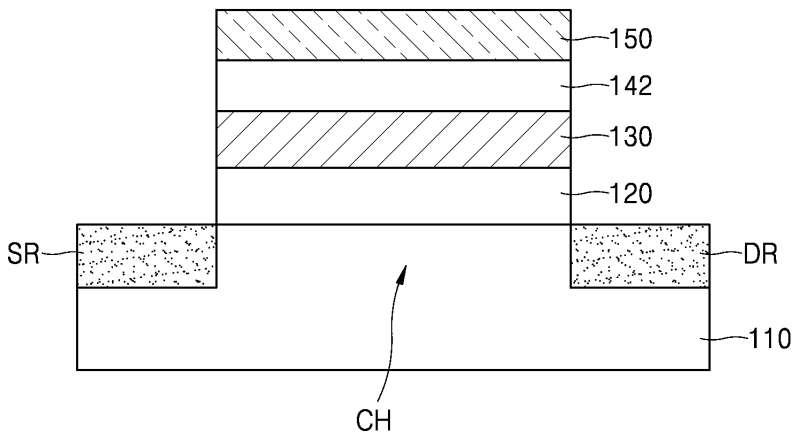
도면7



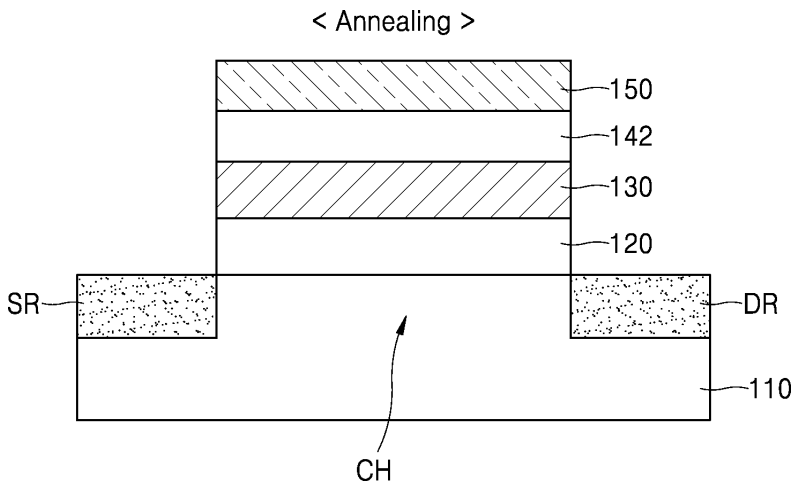
도면8a



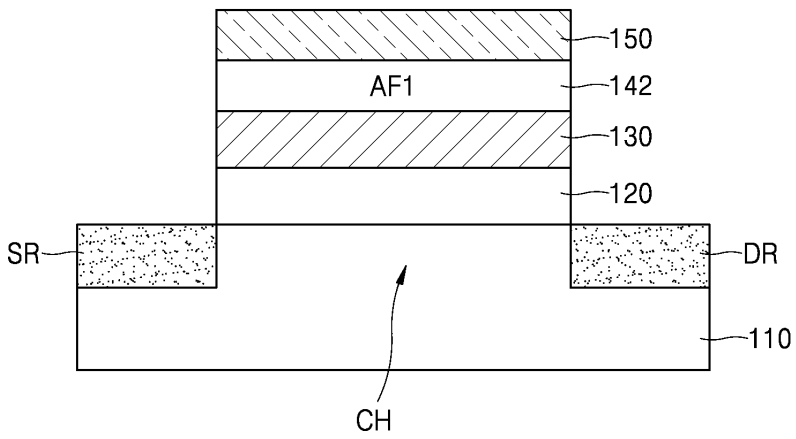
도면8b



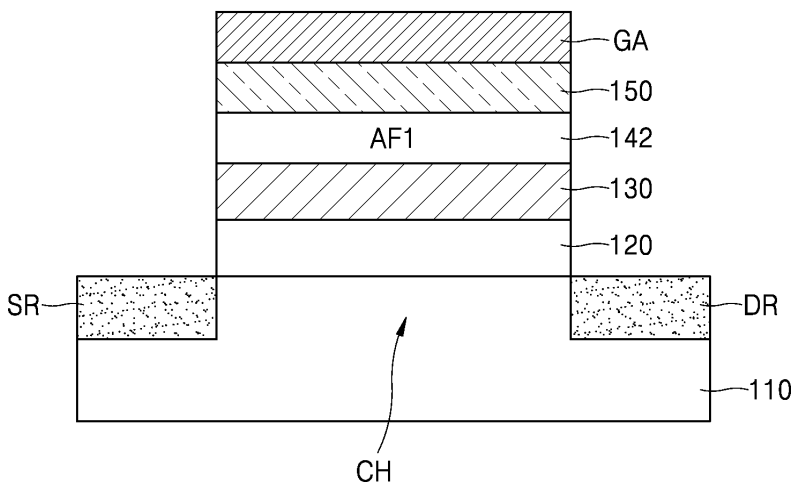
도면8c



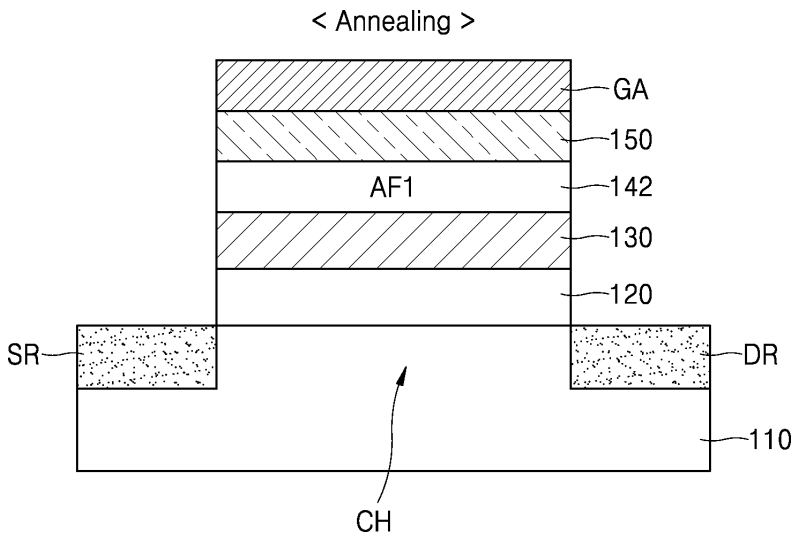
도면8d



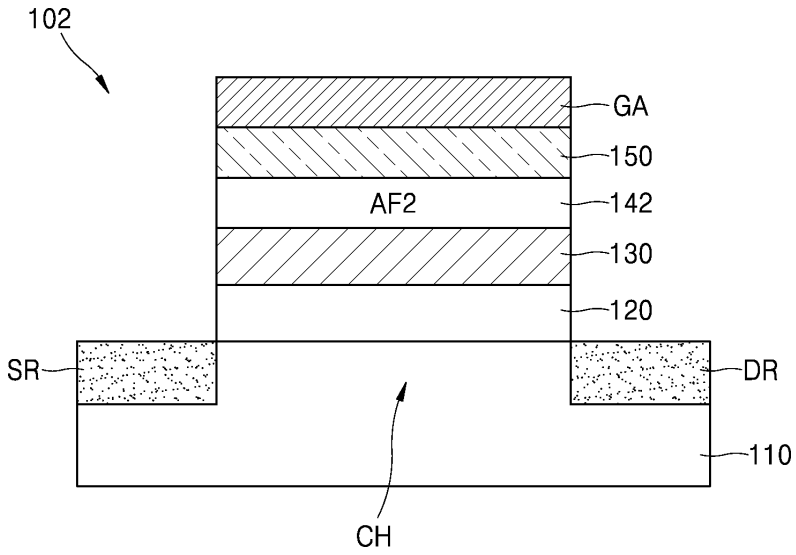
도면8e



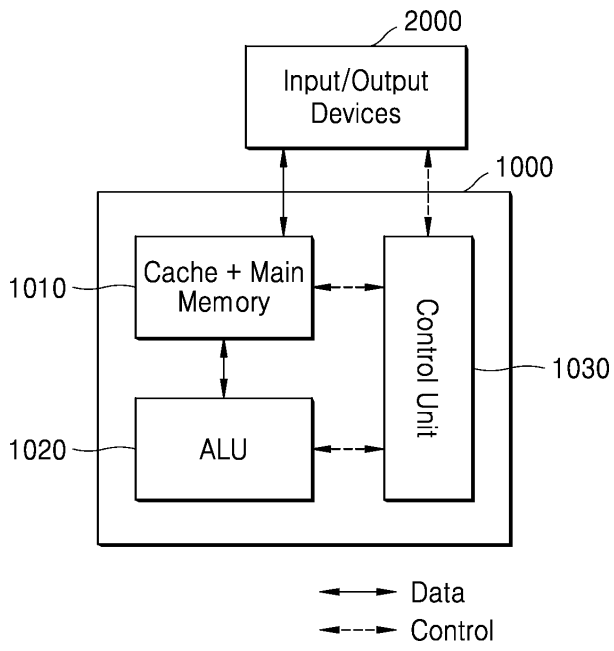
도면8f



도면8g



도면9



도면10

