

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-93301
(P2018-93301A)

(43) 公開日 平成30年6月14日(2018.6.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/355 (2011.01)	HO4N 5/335 550	5C024
HO4N 5/374 (2011.01)	HO4N 5/335 740	5C122
HO4N 5/225 (2006.01)	HO4N 5/225 F	

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願2016-233249 (P2016-233249)
(22) 出願日 平成28年11月30日(2016.11.30)

(71) 出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(74) 代理人 100126240
弁理士 阿部 琢磨
(74) 代理人 100124442
弁理士 黒岩 創吾
(72) 発明者 小布施 武範
東京都大田区下丸子3丁目30番2号キヤ
ノン株式会社内
Fターム(参考) 5C024 AX01 CX47 CX51 GX03 GX18
GY31 HX01 HX17 HX50 JX41
5C122 DA03 DA04 EA21 EA68 FA08
FC02 FC06 FC17 FH18 HA86
HB01 HB02

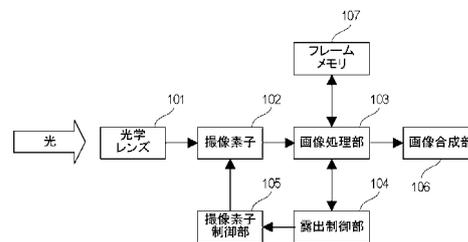
(54) 【発明の名称】 撮像素子及び撮像素子の制御方法

(57) 【要約】

【課題】 フレームレートを高く維持しながらも、飽和量を上げることで好適なHDR合成が可能な撮像装置を提供すること。

【解決手段】 入射光によって生じた電荷の蓄積を行う光電変換部と、光電変換部で蓄積された電荷を保持する保持部と、保持部に保持された電荷に基づく信号を出力する増幅部と、光電変換部から保持部へ電荷を転送する第1の転送スイッチと、保持部から増幅部へ電荷を転送する第2の転送スイッチと、光電変換部で発生した電荷をリセットするリセットスイッチとをそれぞれが有し、且つ行列状に配置された複数の画素と、複数の画素における第1の転送スイッチ、リセットスイッチを制御する制御手段と、制御手段によるリセットスイッチを制御するタイミングと第1の転送スイッチを制御するタイミングで決定される露出時間に関連する設定パラメータを設定するための設定手段と、を備える撮像素子であることを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入射光によって生じた電荷の蓄積を行う光電変換部と、前記光電変換部で蓄積された電荷を保持する保持部と、前記保持部に保持された電荷に基づく信号を出力する増幅部と、前記光電変換部から前記保持部へ電荷を転送する第 1 の転送スイッチと、前記保持部から前記増幅部へ電荷を転送する第 2 の転送スイッチと、前記光電変換部で発生した電荷をリセットするリセットスイッチとをそれぞれが有し、且つ行列状に配置された複数の画素と

、
前記複数の画素における前記第 1 の転送スイッチ、前記リセットスイッチを制御する制御手段と、

前記制御手段による前記リセットスイッチを制御するタイミングと前記第 1 の転送スイッチを制御するタイミングで決定される露出時間に関連する設定パラメータを設定するための設定手段と、

を備える撮像素子であって、

前記制御手段は、前記設定パラメータによって設定された第 1 の露出時間と前記第 1 の露出時間よりも長い第 2 の露出時間を用いて周期的に制御する場合に、前記第 1 の露出時間において前記第 1 の転送スイッチを制御する回数が前記第 2 の露出時間において前記第 1 の転送スイッチを制御する回数よりも多く制御することを特徴とする撮像素子。

【請求項 2】

前記制御手段は前記設定パラメータに基づいて前記第 2 の転送スイッチを制御し、

前記第 1 の転送スイッチ及び前記リセットスイッチはそれぞれ複数行に対して同時に制御され、且つ前記第 2 の転送スイッチは前記複数行に対して順次制御されることを特徴とする請求項 1 に記載の撮像素子。

【請求項 3】

前記制御手段は前記第 1 の露出時間による制御と前記第 2 の露出時間による制御を 1 フレーム毎に周期的に切替えることを特徴とする請求項 1 又は 2 に記載の撮像素子。

【請求項 4】

前記制御手段は、前記第 1 の露出時間と前記第 2 の露出時間を用いて周期的に制御する場合に、前記第 1 の露出時間において前記第 1 の転送スイッチの制御を 2 回行うことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の撮像素子。

【請求項 5】

前記増幅部は転送された電荷に基づいて出力する信号の増幅度を可変するための可変手段を含み、

前記制御手段は、前記第 1 の露出時間と前記第 2 の露出時間を用いて周期的に制御する場合に、前記第 1 の露出時間において生じた電荷に基づいて出力する信号の増幅度を、前記第 2 の露出時間において生じた電荷に基づいて出力する信号の増幅度よりも小さく制御することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の撮像素子。

【請求項 6】

少なくとも前記複数の画素を含む第 1 のチップと、前記制御手段及び前記設定手段の少なくとも一方を含む第 2 のチップとが積層構造を有することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の撮像素子。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載の撮像素子と、

前記撮像素子から出力される信号に基づいて画像データを生成する生成手段と、

前記第 1 の露出時間において生じた電荷に基づいて生成された暗画像に関する画像データと、前記第 2 の露出時間において生じた電荷に基づいて生成された明画像に関する画像データとを合成してダイナミックレンジが拡大する合成手段とを備えることを特徴とする撮像装置。

【請求項 8】

入射光によって生じた電荷の蓄積を行う光電変換部と、前記光電変換部で蓄積された電

10

20

30

40

50

荷を保持する保持部と、前記保持部に保持された電荷に基づく信号を出力する増幅部と、前記光電変換部から前記保持部へ電荷を転送する第1の転送スイッチと、前記保持部から前記増幅部へ電荷を転送する第2の転送スイッチと、前記光電変換部で発生した電荷をリセットするリセットスイッチとをそれぞれが有し、且つ行列状に配置された複数の画素と、

前記複数の画素における前記第1の転送スイッチ、前記リセットスイッチを制御する制御部と、

前記制御部が前記リセットスイッチを制御するタイミングと前記第1の転送スイッチを制御するタイミングで決定される露出時間に関連する設定パラメータを設定するための設定部と、

を備える撮像素子の制御方法であって、

前記設定パラメータによって設定された第1の露出時間と前記第1の露出時間よりも長い第2の露出時間を用いて周期的に制御する制御ステップを含み、

前記制御ステップにおいて、前記第1の露出時間において前記第1の転送スイッチを制御する回数は前記第2の露出時間において前記第1の転送スイッチを制御する回数よりも多いことを特徴とする撮像素子の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像素子及び撮像素子の制御方法に関し、特に撮像画像のダイナミックレンジを拡大する機能を有する撮像素子及び撮像素子の制御方法に関する。

【背景技術】

【0002】

撮像装置の機能のひとつに、ハイダイナミックレンジ（以下、HDR）と呼ばれる、従来の映像よりも幅広いダイナミックレンジを表現する機能が知られている。HDRを実現する手法として、まずオーバー露出（明るい）画像とアンダー露出（暗い）画像を撮像する。その後、被写体が明るく白飛びしそうな部分はアンダー露出画像、被写体が暗く黒潰れしそうな部分はオーバー露出画像を用いて合成（以下、HDR合成）する手法がある。ここで、アンダー露出画像は、被写体明部を使用することになるため、撮像素子で取り込むことのできる電子数は多いほうが好ましい。また、それぞれの画像は時間的に連続し、かつ被写体の動きが少ない状態で取得することが好ましい。そのため、HDR合成を行う静止画であれば連写速度、動画であればフレームレートを速くすることが求められている。

【0003】

また、撮像素子で取り込むことのできる電子数を増加させる技術が知られている。特許文献1では、撮像素子の、光電変換部と、電荷を保持する保持部と、光電変換部から電荷保持部へ電荷を転送する第1の転送スイッチと、電荷保持部から増幅部へ電荷を転送する第2の転送スイッチを持つ撮像装置が開示されている。さらに、当該撮像装置において第2の転送スイッチがオンする間に第1の転送スイッチを複数回オンすることで、光電変換部から電荷保持部へ複数回電荷を転送し、飽和電荷量を上げることが可能となる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2015-177349

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に記載の撮像素子において、保持部で電荷を保持し光電変換部から保持部へ次の転送が行われている間は、保持部から増幅部へ電荷を転送できないため、信号を読み出すことができない。そのため、光電変換部から保持部へ電荷を転送する

10

20

30

40

50

転送スイッチを複数回オンさせる場合に、フレームレートを上げることが難しいという問題があった。

【0006】

本発明はこのような従来技術の課題に鑑みなされたものであり、フレームレートを高く維持しながらも、飽和電荷量を上げることで好適なHDR合成が可能な撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

上述の問題点を解決するため、本発明の撮像素子は、入射光によって生じた電荷の蓄積を行う光電変換部と、前記光電変換部で蓄積された電荷を保持する保持部と、前記保持部に保持された電荷に基づく信号を出力する増幅部と、前記光電変換部から前記保持部へ電荷を転送する第1の転送スイッチと、前記保持部から前記増幅部へ電荷を転送する第2の転送スイッチと、前記光電変換部で発生した電荷をリセットするリセットスイッチとをそれぞれが有し、且つ行列状に配置された複数の画素と、前記複数の画素における前記第1の転送スイッチ、前記リセットスイッチを制御する制御手段と、前記制御手段による前記リセットスイッチを制御するタイミングと前記第1の転送スイッチを制御するタイミングで決定される露出時間に関連する設定パラメータを設定するための設定手段と、を備える撮像素子であって、前記制御手段は、前記設定パラメータによって設定された第1の露出時間と前記第1の露出時間よりも長い第2の露出時間を用いて周期的に制御する場合に、前記第1の露出時間において前記第1の転送スイッチを制御する回数が前記第2の露出時間において前記第1の転送スイッチを制御する回数よりも多く制御することを特徴とする。

10

20

【発明の効果】

【0008】

フレームレートを高く維持しながらも、飽和電荷量を上げることで好適なHDR合成が可能な撮像装置を提供することが可能となる。

【図面の簡単な説明】

【0009】

【図1】本発明の撮像装置における代表的な構成を示す図である。

【図2】本発明の撮像素子内の詳細例を示す図である。

30

【図3】本発明の撮像素子の画素部の詳細例を示す図である。

【図4】本発明における、転送スイッチの動作タイミングを示す図である。

【図5】本発明のHDR撮像の際の、転送スイッチの動作タイミングを示す図である。

【図6】本発明における、転送スイッチの動作と電荷量の推移を示す図である。

【図7】第1の実施形態におけるフローチャートである。

【図8】第2の実施形態におけるフローチャートである。

【発明を実施するための形態】

【0010】

以下、添付図面を参照して本発明を実施するための形態を詳細に説明する。ただし、本形態において例示される構成要素の寸法、材質、形状、それらの相対配置などは、本発明が適用される装置の構成や各種条件により適宜変更が可能であり、本発明がそれらの例示に限定されるものではない。

40

【0011】

(第1の実施形態)

図1は、本発明の実施形態に係る撮像装置におけるブロック図である。図1の各ブロックについて下記に説明する。なお、本実施形態に係る撮像装置は一例として、デジタルカメラであるが、監視カメラ、携帯電話、車載(移動体)カメラ等においても適用可能である。

【0012】

光学レンズ101は、被写体の光を取り込む。代表的なものとしては、ピントを合わせ

50

るためのフォーカス機構、光量や被写界深度を調節する絞り機構、焦点距離を変化させるためのズーム機構を有することを特徴とし、撮像素子に光を結像して入光するための光学レンズである。なお、光学レンズ101の各機構は不図示のレンズ制御部によって制御され、当該レンズ制御部は後述するシステム制御CPUによって制御される。

【0013】

撮像素子102は光学レンズ101からの入射光を受け、それを電気信号へ変換し画像信号として出力する。ここで、本実施形態における撮像素子102の詳細の構成は図2を用いて後述する。

【0014】

画像処理部103は、撮像素子102からの画像信号を14bitのデジタル信号として取得する。撮像素子からの出力がアナログ信号であれば、アナログ・デジタルフロントエンドを含む構成としてもよい。本実施形態において、画像信号は各画素における入射光に依存した信号に相当する。したがって、全ての画素からの画像信号を取得することによって1フレーム分の映像を生成することが可能となる。画像処理部は、画像信号に対して任意の画像処理及び解析処理を行い各ブロックへ出力する。画像処理としては光学レンズ101の光学収差を補正する収差補正処理、撮像素子102の画素等の欠陥を補正する欠陥補正処理、ランダムノイズを低減するためのノイズ低減処理等が含まれる。また、画像信号に各種の補正を行った後に、映像データに圧縮するデジタル信号処理部を含む構成としてもよい。また、画像信号に対して実行する解析処理として、対象被写体(顔等)の有無を検出する被写体検出処理、被写体の動きを検出する動き検出処理、被写体の輝度を検出する輝度検出処理等が含まれる。さらに、画像処理部103は、各種演算と撮像装置全体を制御するシステム制御CPUを含む。システム制御CPUは、撮像装置全体を制御するために各構成要素を統括的に制御及び各種パラメータ等の設定を行う。また、システム制御CPUは、データを電气的に書き込み・消去可能なメモリ等を含み、これに記録されたプログラムを実行する。なお、メモリは、システム制御CPUが実行するプログラム格納領域、プログラム実行中のワーク領域、データの格納領域等として使用される。

【0015】

露出制御部104は、画像処理部103より出力される画像信号の解析結果に基づいて、撮像素子102やレンズ101、不図示のストロボ等、における各露出の設定値を算出する。具体的には、画像処理部103にて画像信号を解析した結果に含まれる被写体の輝度に基づいて、メモリに保持されたプログラム線図を用いて、撮像素子102に設定する露出時間、レンズ101に含まれる絞りのF値、ストロボの発光量等の露出に関連したパラメータを決定する。なお、露出制御部104が各設定パラメータを算出するための目標輝度はシステム制御CPUから適宜入力される。

【0016】

撮像素子制御部105は、撮像素子102へ各種設定値を送信する。各種設定値には露出制御部104が算出した露出時間、撮像素子102を駆動するためのクロックや同期信号、動作モードを決定するため、各項目に関連したパラメータ等が含まれる。

【0017】

画像合成部106は、画像処理部103より入力される複数の画像に基づいてHDR合成処理を行うブロックである。画像合成部106は主に明るい被写体の画像を取得するためのアンダー露出画像と、主に暗い被写体の画像を取得するためのオーバー露出画像が入力され、両画像を合成してHDR画像を生成する。なお、本実施形態においてはアンダー露出画像とオーバー露出画像の2枚の画像の合成に関して例示するが、これに限られるものではない。例えば、3枚以上の画像合成においても適用可能である。

【0018】

フレームメモリ107は、時間的に異なる2枚の画像を合成するために、先に撮像素子102から出力された画像信号を記録しておくメモリである。

【0019】

なお、画像処理部、露出制御部、撮像素子制御部、画像合成部は、ひとつのLSIでま

10

20

30

40

50

とめられていてもよく、本区分が形態を限定するものではない。また、各部の順序も本形態にとられるものではない。また、各ブロックの一部を撮像素子102に含めるように構成してもよい。この場合、光を電気信号に変換する光電変換部を備えるチップに対して上記ブロックを含む信号処理用のチップを積層構造として撮像素子102に盛り込む形態が想定される。

【0020】

また、図1には不図示の画像を表示するための表示部、画像を保存するための保存部、各種設定を行う操作部、撮像装置外部と通信するための通信部等を設ける構成としてもよい。

【0021】

次に、図2を用いて、本実施形態の撮像素子102と画像処理部103の構成を詳細に説明する。

【0022】

図2の各ブロックについて下記に説明する。102は、図1における撮像素子102に相当し、並列型AD変換器を実装した撮像素子(CMOSイメージセンサ)である。

【0023】

21は、画像処理LSIであり、撮像素子102が出力する画像データに対し、ホワイトバランス処理や、ガンマ処理などの現像処理を行い、最終的にモニタに出力したり、記録媒体に記録したりする。本構成は図1における画像処理部103に含まれる。

【0024】

また、画像処理LSIは、システム制御CPUにより撮像装置の動作モードに応じて撮像素子と通信(例えばシリアル通信)し、制御を行う。なお、当該通信は撮像素子制御部105経由で行われるが、図2においては説明の簡略化のため省略してある。

【0025】

撮像素子102は、タイミング制御部200、画素部210、垂直走査回路220、列回路230、水平転送回路240、信号処理回路250、外部出力回路260、コントローラ回路270からなる。

【0026】

タイミング制御部200は、撮像素子制御部105からの制御に基づいてこの撮像素子の各ブロックに対する動作CLKを供給し、また、各ブロックにタイミング信号を供給し、動作を制御するものである。各種パラメータの設定部を含み、撮像素子102に含まれる各ブロックに対して制御信号を送信する。

【0027】

画素部210は、入射光を光電変換するフォトダイオードを含み、当該フォトダイオードから入射光量に応じた電圧値として出力する光電変換素子(画素)が行列状に配置されている。光電変換素子表面には、各々にカラーフィルタとマイクロレンズが実装されている。そして、R(赤)、G(緑)、B(青)の3色のカラーフィルタを用いることで、いわゆるRGB原色カラーフィルタによるベイヤー配列の周期構造をとっているが一般的であるが、必ずしもこの限りではない。また、シリコンを用いた半導体基板状に形成されるものに限定されず、例えば有機物からなる光電変換膜をフォトダイオードの代わりに用いてもよいし、これらを組み合わせた構成としてもよい。

【0028】

また、画素部210にはグローバルシャッタ動作を実現するために、画素部の構造をローリングシャッタ形式のものから変更している。本撮像装置の構造については、図3を用いて後述する。

【0029】

垂直走査回路220は、2次元に配置された画素部210が有した画素信号電圧を、1フレーム中に順次読み出しするためのタイミング制御(垂直走査)を行う。一般的に、画像信号は1フレーム中に上部の行から下部の行にかけて、行単位で順次読み出される。なお、本実施形態の垂直走査回路220は、画像信号の読み出し走査とシャッター動作を一

10

20

30

40

50

致させるローリングシャッタ動作が可能である。さらに、画素信号の読み出し走査と平行して露光を行い、有効画素の全てに対して同時にシャッター動作を行うグローバルシャッター動作も可能である。垂直走査回路220は画素信号電圧の読み出し制御以外にも、画素部210に対するリセット動作（露出時間）の制御、複数の行を同時に操作する加算制御等を行う。

【0030】

列回路230は、列ごとに画素部210から列ごとに共通の垂直信号線経由で読みだされた信号を電氣的に増幅するためのアンプや、信号をアナログデジタル変換する回路を備える。また、列間で信号を加算するための加算回路等を備える構成としてもよい。なお、各回路の動作タイミングはタイミング制御部200によって制御される。

10

【0031】

水平転送回路240は、列回路からの画素信号を、水平方向に送信する回路である。出力は信号処理回路250に入力される。信号処理回路250はデジタル信号処理を行う回路であり、デジタル信号処理で一定量のオフセット値を加えるほかに、シフト演算や乗算を行うことで、簡易にゲイン演算を行うことができる。また、画素部210に、意図的に遮光した画素領域を持つことで、これを利用したデジタルの黒レベルクランプ動作を行ってもよい。

【0032】

信号処理回路250の出力は、外部出力回路260に渡される。外部出力回路260はシリアライザ機能を有し、信号処理回路250からの多ビットの入力パラレル信号をシリアル信号に変換する。また、このシリアル信号を、例えばLVDS信号等に変換し、外部デバイス（画像処理LSI21）との画像情報の受け渡しとして出力する。

20

【0033】

コントローラ回路270は、画像処理LSI21とのI/F部であり、シリアル通信手段などを用いて、撮像素子制御部を経て撮像素子102への制御を受ける。

【0034】

次に図3を用いて、図2における画素部210内の1単位に相当する画素の構成を詳細に説明する。

【0035】

光電変換部31は、入射した光に基づいて生じる電荷を蓄積する。

30

【0036】

35は転送スイッチ1（TX1）であり、ゲート端子が操作されノード間が導通することで、光電変換部31に蓄積した電荷を保持部32へ転送する。なお、TX1は垂直走査回路220によって制御される。

【0037】

36は転送スイッチ2（TX2）であり、ゲート端子が操作されノード間が導通することで、保持部32で保持された電荷を増幅部33へ転送する。なお、TX2は垂直走査回路220によって制御される。

【0038】

37はリセットトランジスタ（RES）であり、ゲート端子が操作されノード間が導通することで、光電変換部31、保持部32、増幅部33等の電圧を電源電位（VDD）にリセットする。なお、RESは垂直走査回路220によって制御される。

40

【0039】

38は画素選択トランジスタ（SEL）であり、ゲート端子が操作されノード間が導通することで、増幅部33に保持された電圧値に基づく信号がソースフォロア回路経由で垂直出力線39へ出力される。なお、SELは垂直走査回路220によって制御される。

【0040】

34は画素リセットスイッチ（OFD）であり、ゲート端子が操作されノード間が導通することで、光電変換部31で発生した電荷が破棄され、VDDにリセットされる。なお、OFDは垂直走査回路220によって制御される。

50

【 0 0 4 1 】

40は増幅部33に対して並列で接続される補助容量であり、接続用スイッチ(F D i n c)のゲート端子が操作されノード間が導通・切断されることによって、増幅部33の容量を可変することが可能となる。増幅部33の容量が変化することによって、垂直出力線39に出力する信号の増幅度を減少・増加させるとともに、増幅部33で扱う飽和電荷量を向上させることができる。なお、F D i n cは垂直走査回路220によって制御される。

【 0 0 4 2 】

なお、本実施形態の撮像素子102の画素には増幅部33に加えて保持部32を設けている。画素毎に二つの容量を備えることで、光電変換部31で発生した電荷に基づく信号を垂直出力線39へ信号を出力するまで溜めておくことが可能となる。これによって、各画素から垂直出力線39へ信号を出力するまでの間においても光電変換部31は電荷を蓄積することが可能となる。そのため、画素部210に含まれる画素に対して同時に蓄積制御(グローバルシャッタ動作)が可能となる。

10

【 0 0 4 3 】

図4は、O F DとT X 1, T X 2のオンするタイミングであって、垂直同期信号(V D)を基準に表したタイミングチャートである。

【 0 0 4 4 】

V Dに同期してO F Dに対してO n信号が入力されることによって、同タイミングで光電変換部31の電荷が破棄される。その後、光電変換部31において光電変換による電荷の蓄積が再度開始される。そして、本実施形態の撮像素子102の制御において、T X 1に対して同期期間内に1回以上のO N信号が入力される。これにより、光電変換部31において、電荷蓄積が終了する前に1回以上の保持部への電荷転送が行われることとなる。本動作を画素部210に含まれる複数行の画素において同時に実行することにより、グローバルシャッタ動作を実現することが可能となる。加えて、垂直走査回路220が撮像素子102の各行に対してT X 2を順次制御(垂直走査)し、各画素の信号を垂直出力線39経由で順次列回路230に出力する。これにより、1フレーム分の画像信号を取得することとなる。

20

【 0 0 4 5 】

なお、図4(a)は、光電変換部31の蓄積期間中に、保持部32へ転送を2回行っている動作を示しているが、それ以上の回数であってもよい。本実施形態の撮像素子102は、光電変換部31の飽和量に対して、保持部32の飽和量が多くなるように設定されている。これにより、光電変換部31に蓄積される電荷を同期期間内(蓄積期間中)に複数回の転送を行うことで、保持部31の電荷飽和量いっぱいまで有効に電荷を撮り出すことが可能となる。これにより、実効的に光電変換部31の飽和量を拡張されることとなる。

30

【 0 0 4 6 】

一方、図4(b)は、図4(a)に示した動作モードに対して光電変換部31の蓄積期間の最後に、T X 1に対して1回のO N信号が入力される。これにより、光電変換部31において、電荷蓄積が終了する前に1回の保持部への電荷転送が行われることとなる。図4(b)に示した動作モードの場合は、光電変換部31の飽和量分のみが保持部32へ転送されることとなる。

40

【 0 0 4 7 】

図5は、H D R合成処理を実施するための画像信号を取得する場合の、撮像素子102の動作モードの例を示したタイミングチャートである。図5に示したタイミングチャートは所定の1又は2フレームに関して示したものであり、実際には図5(a)または図5(b)に示した各動作は周期的(例えば60 f p sや120 f p s)に繰り返される。図5(a)に示す動作モードでは、暗画像(露出時間を短くしているアンダー露出画像)を取得するために、O F DをO NするタイミングとT X 1をO Nするタイミングを近づけ、電荷が蓄積される時間である露出時間を短く設定する。また、次の同期期間(フレーム)では、明画像(本例では露出時間を長くしているオーバー露出画像)を取得するために、暗

50

画像よりも電荷が蓄積されるように露出時間を長く設定する。しかしながら、図5(a)に示した動作モードにおいては、暗画像及び明画像の各フレームに対して光電変換部31からの転送は各1回のみしか行われておらず、各フレームにおける飽和量は同量となる。

【0048】

そこで、図5(b)に示す動作モードでは、図5(a)に示す動作モードと異なり、暗画像の露出時間の間にTX1を複数回ONする。これにより、光電変換部31の飽和量よりも大きく、保持部32の飽和量まで電荷を取得することが可能となる。

【0049】

ここでTX1を複数回ONするためには、前フレームの保持部32の電荷を、TX2を制御して垂直出力線39へ出力することを完了させる必要がある。前フレームの保持部32の電荷をすべて出力した状態で、はじめて次のフレームの光電変換部31の電荷を保持部32へ転送することが可能となる。

10

【0050】

ここで、OFDをできるかぎりTX1に近づけることで露出時間を短くすることができ、次のフレームの撮像動作をはじめられるためのフレームレートを向上させることができる。図5(b)に示す動作モードによって、暗画像に用いる画像信号において飽和量を大きくすることが可能となる。これにより、HDR合成において暗画像からは特に被写体の明部を用いることが期待されるため、被写体の明部の画質を向上する効果を得ることができる。なお、本実施形態においては1フレーム毎に周期的に暗画像の取得と明画像の取得を切替える動作を示したが、これに限られるものではなく、各画像を複数連続に取得するよう

20

【0051】

図6は、図5に示したタイミングチャートに加え、光電変換部31の電荷量の推移の例を示した図である。

【0052】

図6(a)は、図5(a)の動作モード時(暗画像における光電変換部から保持部への転送を1回にしている場合)の電荷量の推移を示している。上段に示した被写体が暗い場合は、光電変換部31の電荷の溜まる速度が遅く、時間経過に対して電荷量の増加が少ない。一方で、下段に示した被写体が明るい場合は、光電変換部31の電荷の溜まる速度が速い。そして、下段に示した場合よりも被写体がさらに明るい場合には、暗画像でも光電変換部31の飽和量まで電荷が溜まってしまふ懸念がある。

30

【0053】

図6(b)は、図5(b)の動作モード時(暗画像における光電変換部から保持部への転送を2回にしている場合)の電荷量の推移を示している。上段に示した被写体が暗い場合は、図6(a)における光電変換部31の電荷のたまる速度と同等である。しかし、図6(b)で示すように、図6(a)の下段に示した場合よりも被写体が明るい場合、光電変換部31に電荷が溜まる速度が速くも、保持部32へ一度電荷を転送するため、光電変換部31の飽和量を超えた電荷量まで電荷を取得することが可能となる。

【0054】

このようにして、暗画像では、光電変換部31から保持部32へ複数回転送を行うことで、暗画像の特に明るい被写体のダイナミックレンジを向上させることが可能となる。

40

【0055】

図7は本実施形態の撮像装置におけるHDR合成を行う場合の動作をフローチャートに示したものである。なお、本フローチャートの処理はシステム制御CPUが実行する。

【0056】

まず、ステップS1において、システム制御CPUは、HDRモードの設定を確認する。ONであった場合にはステップS2に処理を進め、OFFであった場合にはステップS7に処理を進める。なお、HDRモードの設定は不図示の操作部材を用いてユーザーにより指示可能としてもよいし、被写体の輝度分布を解析した結果を用いて自動的に設定するよう

50

【 0 0 5 7 】

ステップ S 2 において、システム制御 CPU は、撮像素子制御部 1 0 5 を制御し、暗画像取得用の設定値を撮像素子 1 0 2 に送信する。この設定により、撮像素子 1 0 2 は図 5 (b) に示した動作モードにて動作を開始する。そして、暗画像を取得した後にステップ S 3 に処理を進める。

【 0 0 5 8 】

ステップ S 3 において、システム制御 CPU は、ステップ S 2 にて取得した暗画像をフレームメモリ 1 0 7 に記録させる。そして、ステップ S 4 に処理を進める。

【 0 0 5 9 】

ステップ S 4 において、システム制御 CPU は、撮像素子制御部 1 0 5 を制御し、明画像取得用の設定値を撮像素子 1 0 2 に送信する。この設定により、撮像素子 1 0 2 は図 5 (b) に示した動作モードにて動作を開始する。そして、明画像を取得した後にステップ S 5 に処理を進める。

10

【 0 0 6 0 】

ステップ S 5 において、システム制御 CPU は、明画像を取得し、所定の処理を行った明画像とフレームメモリ 1 0 7 に記録した暗画像を画像合成部 1 0 6 に出力する。そして、ステップ S 6 に処理を進める。

【 0 0 6 1 】

ステップ S 6 において、システム制御 CPU は、画像合成部 1 0 6 を制御し、暗画像と明画像を用いて H D R 合成を行う。ここでは、H D R 合成の詳細は省略する。そしてステップ S 7 に処理を進める。

20

【 0 0 6 2 】

ステップ S 7 において、システム制御 CPU は、撮像動作を続行するかを判定し、続行する場合はステップ S 1 まで処理を戻す。

【 0 0 6 3 】

上述したように、H D R 合成するための暗画像取得の際に、光電変換部 3 1 から保持部 3 2 への転送を複数回行うことで、被写体明部のダイナミックレンジを向上させることができる。さらには、複数回の転送は必要な露出時間内で行うために、フレームレートの低下も抑えることができる。

【 0 0 6 4 】

なお、本例では暗画像を取得してから、明画像を取得する構成になっているが、順序は逆でも良い。また、暗画像取得時及び明画像取得時の両場合においての 2 回以上の転送を行うようにしてもよい。この場合、明画像取得時の転送回数と比較して暗画像取得時の転送回数の方が多くことが好ましい。

30

【 0 0 6 5 】

なお、図 7 のステップ S 2 において図 5 (b) に示した動作モードで動作する例を示したが、画像信号を増幅するためのゲイン設定等を考慮して、高ゲイン時 (被写体が暗い場合) には図 5 (a) に示した動作モードで動作する判定動作を行うようにしてもよい。

【 0 0 6 6 】

(第 2 の実施形態)

第 2 の実施形態においては撮像装置及び撮像素子 1 0 2 の各構成は同様であるため、その説明を省略する。本実施形態では、第 1 の実施形態と異なる部分である暗画像取得の際に、光電変換部 3 1 から保持部 3 2 への転送を複数回行ったときの、増幅部 3 3 の動作について詳細に説明する。

40

【 0 0 6 7 】

図 5 (b) で示した動作を行い、光電変換部 3 1 の飽和量を拡大した場合に、保持部 3 2 以降の後段の回路においても拡大した飽和量に対応する必要がある。特に、保持部 3 2 の飽和量を最大まで出力させるためには、増幅部 3 3 の容量値も大きくする必要がある。一方で、増幅部 3 3 の容量を大きくすると、増幅部 3 3 の増幅度は低下してしまう。このため、明画像を取得する場合には、増幅度を上げるために増幅部 3 3 の容量値は小さい方

50

が好ましい。本実施形態において、暗画像取得時と明画像取得時で増幅部 33 の容量値を可変するため、FDinc を制御する動作に関して詳述する。

【0068】

ここで、図 3 で示した画素の回路において FDinc が ON した場合、増幅部 33 には補助容量 40 が追加されることとなり、補助容量分の容量値が増加することとなる。そのため、暗画像取得時には、FDinc を ON し、増幅部 33 の容量値を大きくし、明画像取得時には、FDinc は OFF し、増幅部 33 の容量値を小さくするように制御することが好ましい。

【0069】

図 8 は本実施形態の撮像装置における HDR 合成を行う場合の動作をフローチャートに示したものである。なお、本フローチャートの処理はシステム制御 CPU が実行する。図 8 のフローチャートに示した処理において図 7 のステップ S2 に相当するステップ以外は図 7 の処理と同様であるため、その説明を所略する。以下では、図 7 のステップ S2 に相当するステップ S8 に関して説明する。

10

【0070】

ステップ S8 において、システム制御 CPU は、図 7 のステップ S2 で行う制御に加えて、撮像素子制御部 105 を制御し、FDinc を ON する制御を行う。本動作により増幅部 33 で利用可能な電荷量を大きくすることが可能となる。一方で、ステップ S4 において、明画像を取得する際は、図 7 と同様に FDinc を OFF する。

【0071】

上述したように、HDR 合成処理するための暗画像取得の際に、光電変換部 31 から保持部 32 への転送を複数回行い、且つ飽和量が増大した場合でも増幅部 33 の電荷の容量値を変える。このことで、取得できる飽和量を向上させ、被写体明部のダイナミックレンジを向上させることができる。

20

【0072】

(その他の実施形態)

本発明は、上述の実施形態の 1 以上の機能を実現するプログラムを、ネットワーク又は記録媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける 1 つ以上のプロセッサがプログラムを読み出し実行する処理でも実現可能である。また、1 以上の機能を実現する回路 (例えば、ASIC) によっても実現可能である。

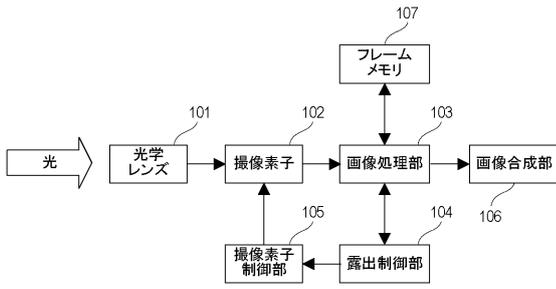
30

【符号の説明】

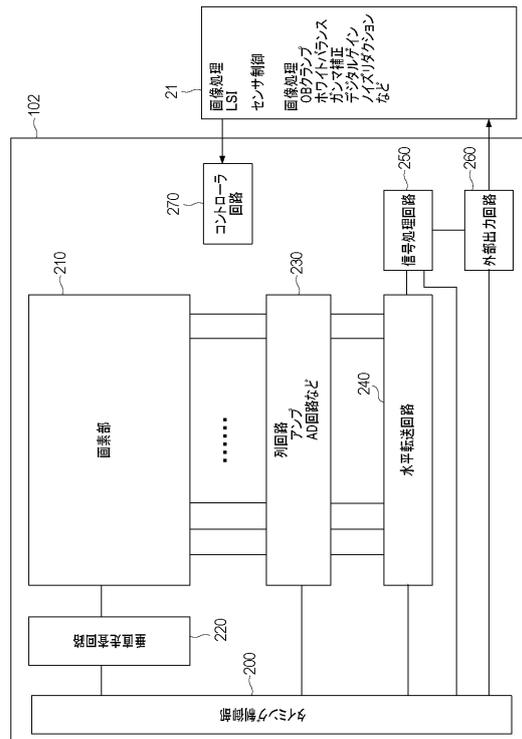
【0073】

- 101 光学レンズ
- 102 撮像素子
- 103 画像処理部
- 104 露出制御部
- 105 撮像素子制御部
- 106 画像合成部
- 107 フレームメモリ

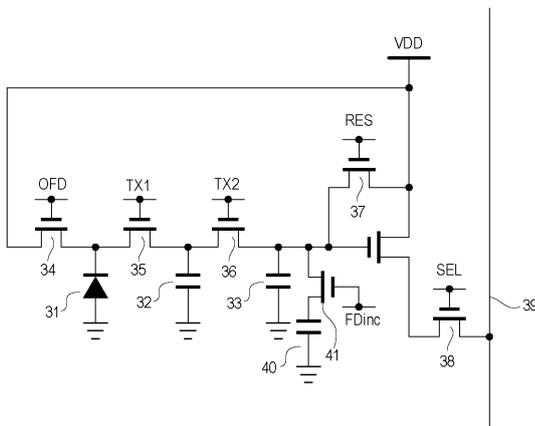
【 図 1 】



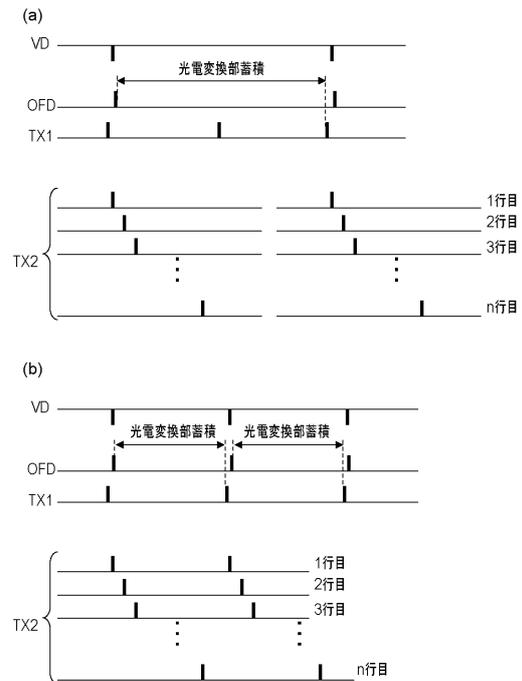
【 図 2 】



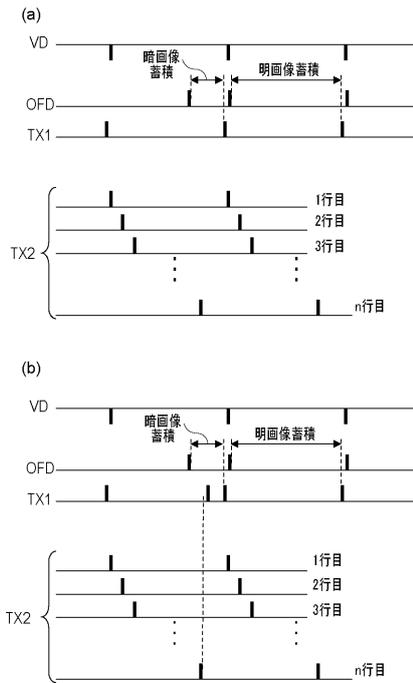
【 図 3 】



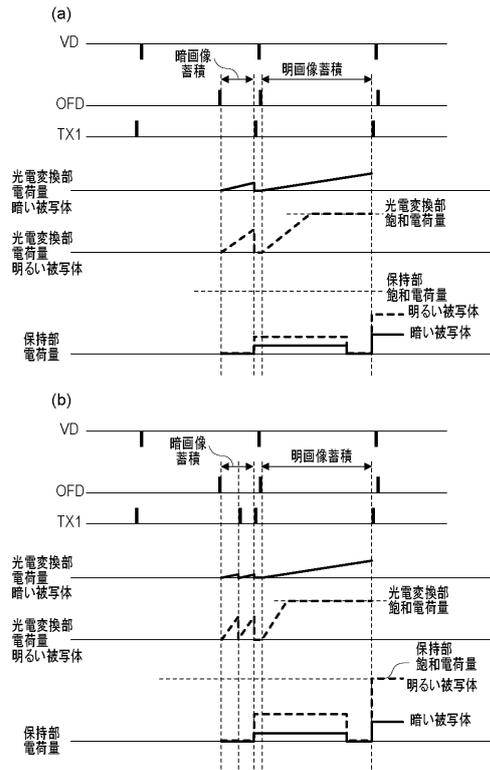
【 図 4 】



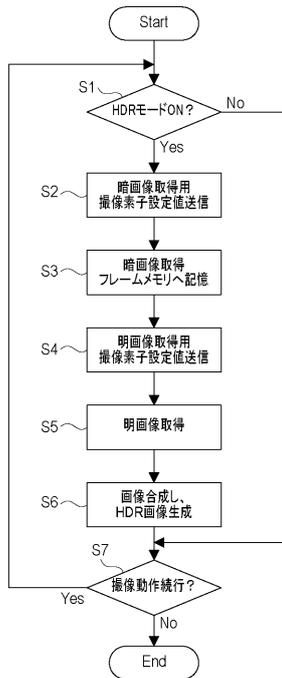
【図5】



【図6】



【図7】



【図8】

