



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2021-0035894  
(43) 공개일자 2021년04월01일

- (51) 국제특허분류(Int. Cl.)  
G03F 7/20 (2006.01) G03F 1/36 (2012.01)
- (52) CPC특허분류  
G03F 7/70441 (2013.01)  
G03F 1/36 (2013.01)
- (21) 출원번호 10-2021-7006358
- (22) 출원일자(국제) 2019년08월12일  
심사청구일자 2021년03월02일
- (85) 번역문제출일자 2021년03월02일
- (86) 국제출원번호 PCT/EP2019/071615
- (87) 국제공개번호 WO 2020/043474  
국제공개일자 2020년03월05일
- (30) 우선권주장  
62/725,631 2018년08월31일 미국(US)

- (71) 출원인  
에이에스엠엘 네델란즈 비.브이.  
네델란드 5500 아하 벨트호벤 피.오.박스 324
- (72) 발명자  
스펜스, 크리스토퍼, 알란  
미국, 캘리포니아 95054, 산타 클라라, 4211 버튼  
드라이브
- (74) 대리인  
특허법인(유)화우

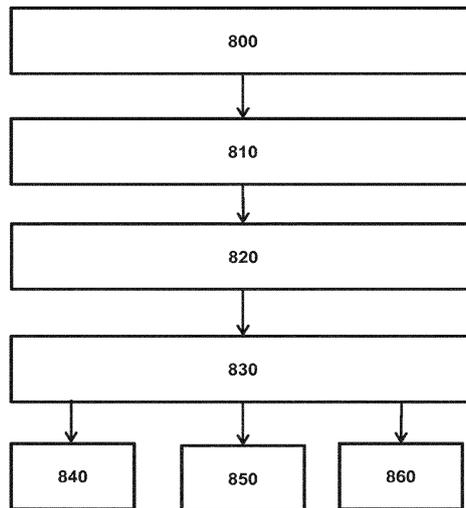
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **측정 방법 및 장치**

**(57) 요약**

이미징 공정을 제어하는 방법은 자격검증된 광 근접 보정(OPC) 모델을 사용하며, 이는 패터닝 공정에서 OPC-후 디자인을 사용하여 기판에 패턴을 형성하는 공정에서 OPC-전 디자인에 대한 OPC 수정들의 거동을 모델링하도록 구성되는 OPC 모델을 얻는 단계, 제조 환경에서 패터닝 공정을 사용하는 단계, 제조 환경에서 패터닝 공정을 사용하여 패터닝된 기판들에서의 공정 제어 데이터를 수집하는 단계, 수집된 공정 제어 데이터를 데이터베이스에 저장하는 단계, 하드웨어 컴퓨터 시스템에 의해 저장된 수집된 공정 제어 데이터를 분석하여 OPC 모델이 선택된 임계치 내에서 패턴 피쳐들을 보정하고 있는지를 검증하는 단계, 및 선택된 임계치를 벗어나는 패턴 피쳐들에 대해 이미징 오차들을 보정하도록 이미징 공정에 대한 수정을 결정하는 단계를 포함한다.

**대표도** - 도8



(52) CPC특허분류  
*G03F 7/705* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

광 근접 보정(optical proximity correction: OPC) 모델을 사용하는 이미징 공정을 제어하는 방법으로서,  
 패터닝 공정에서 OPC-후 디자인을 사용하여 기판 상에 패턴을 형성하는 공정에서 OPC-전 디자인에 대한 OPC 수정들의 거동을 모델링하도록 구성되는 OPC 모델을 얻는 단계;  
 제조 환경에서 상기 패터닝 공정을 사용하는 단계;  
 상기 제조 환경에서 상기 패터닝 공정을 사용하여 패터닝된 기판들에서의 공정 제어 데이터를 수집하는 단계;  
 데이터베이스에 수집된 공정 제어 데이터를 저장하는 단계;  
 하드웨어 컴퓨터 시스템에 의해, 상기 OPC 모델이 선택된 임계치 내에서 패턴 피처(pattern feature)들을 보정하고 있는지를 검증(verify)하기 위해, 저장된, 수집된 공정 제어 데이터를 분석하는 단계; 및  
 상기 선택된 임계치를 벗어나는 패턴 피처들에 대해, 이미징 오차들을 보정하도록 상기 이미징 공정에 대한 수정을 결정하는 단계를 포함하는 방법.

#### 청구항 2

제 1 항에 있어서,  
 상기 수정들은 상기 기판 상의 이미징된 피처들이 선택된 한계들 내에서 정확하도록 상기 패터닝 공정을 보정하도록 선택되는 방법.

#### 청구항 3

제 1 항에 있어서,  
 상기 패터닝 공정은 포토리소그래피 공정인 방법.

#### 청구항 4

제 1 항에 있어서,  
 상기 분석하는 단계는 상기 저장된, 수집된 공정 제어 데이터에 대한 근본 원인 분석의 적용을 포함하는 방법.

#### 청구항 5

제 1 항에 있어서,  
 상기 수정은 포토리소그래피 패터닝 공정의 공정 파라미터의 조정을 포함하는 방법.

#### 청구항 6

제 5 항에 있어서,  
 상기 파라미터는: 도즈, 포커스, 및 조명 설정으로 이루어진 그룹으로부터 선택되는 1 이상의 파라미터인 방법.

#### 청구항 7

제 1 항에 있어서,  
 상기 수정은 상기 광 근접 보정들의 리타겟팅(retargeting)을 포함하는 방법.

#### 청구항 8

제 1 항에 있어서,

상기 수정은 상기 OPC 모델을 재구축하고 재구축된 OPC 모델을 자격검증(qualify)하는 것을 포함하는 방법.

**청구항 9**

제 1 항에 있어서,

상기 수정은 상기 OPC 모델을 적응적으로 섭동(adaptively perturb)시키는 것을 포함하는 방법.

**청구항 10**

제 1 항에 있어서,

분석하는 단계는:

상기 OPC-후 디자인의 복수의 패턴 타입들 중 하나의 멤버(member)들 사이에서 공통 오차들을 결정하는 단계;

상기 공통 오차들을 나타내는 패턴들을 적어도 하나의 패턴 그룹으로 그룹화하는 단계; 및

상기 적어도 하나의 패턴 그룹을 포함하는 패턴들에 제한된 수정이도록 상기 이미징 공정에 대한 수정을 결정하는 단계를 포함하는 방법.

**청구항 11**

제 10 항에 있어서,

상기 패턴들을 그룹화하는 단계는 기계 학습 알고리즘을 사용하는 단계를 포함하는 방법.

**청구항 12**

제 10 항에 있어서,

상기 패턴들을 그룹화하는 단계는 패턴 매칭 알고리즘을 사용하는 단계를 포함하는 방법.

**청구항 13**

제 12 항에 있어서,

상기 패턴 매칭 알고리즘은 퍼지 패턴 매칭 알고리즘(fuzzy pattern matching algorithm)을 포함하는 방법.

**청구항 14**

제 10 항에 있어서,

상기 패턴들을 그룹화하는 단계는 디자인 규칙 분석을 사용하는 단계를 포함하는 방법.

**청구항 15**

제 1 항에 있어서,

상기 선택된 임계치 내에 있지 않은 피쳐들과 동일한 타입의 피쳐들을 포함하는 것으로 결정된 패턴들을 포함하도록 적어도 일부 메트롤로지 사이트(metrology site)들이 선택되는 방법.

**발명의 설명**

**기술 분야**

[0001] 본 출원은 2018년 8월 31일에 출원된 미국 출원 62/725,631의 우선권을 주장하며, 이는 본 명세서에서 그 전문이 인용참조된다.

[0002] 본 기재내용은 측정 방법들 및 장치들에 관한 것이다.

**배경 기술**

[0003] 리소그래피 장치는 기판 상에, 통상적으로는 기판의 타겟부 상에 원하는 패턴을 적용시키는 기계이다. 리소그

래피 장치는, 예를 들어 집적 회로(IC)의 제조 시에 사용될 수 있다. 그 경우, 대안적으로 마스크 또는 레티클이라 칭하는 패터닝 디바이스가 IC의 개별층 상에 형성될 회로 패턴을 생성하기 위해 사용될 수 있다. 이 패턴은 기판(예컨대, 실리콘 웨이퍼) 상의 (예를 들어, 다이의 부분, 한 개 또는 수 개의 다이를 포함하는) 타겟부 상으로 전사(transfer)될 수 있다. 패턴의 전사는 통상적으로 기판 상에 제공된 방사선-감응재(레지스트)층 상으로의 이미징(imaging)을 통해 수행된다. 일반적으로, 단일 기판은 연속하여 패터닝되는 인접한 타겟부들의 네트워크를 포함할 것이다. 알려진 리소그래피 장치는, 한 번에 타겟부 상으로 전체 패턴을 노광함으로써 각각의 타겟부가 조사(irradiate)되는 소위 스테퍼, 및 빔을 통해 주어진 방향("스캐닝"-방향)으로 패턴을 스캐닝하는 한편, 이 방향과 평행하게 또는 역-평행하게(anti parallel) 기판을 동기적으로 스캐닝함으로써 각각의 타겟부가 조사되는 소위 스캐너를 포함한다. 또한, 기판 상에 패턴을 임프린트(imprint)함으로써 패터닝 디바이스로부터 기판으로 패턴을 전사할 수도 있다.

**발명의 내용**

[0004] 반도체 디바이스들과 같은 디바이스들을 제조하는 것은 통상적으로 디바이스들의 다양한 피쳐(feature)들 및 다수 층들을 형성하기 위해 다수의 제작 공정들을 이용하여 기판(예를 들어, 반도체 웨이퍼)을 처리하는 것을 수반한다. 이러한 층들 및 피쳐들은 통상적으로, 예를 들어 증착, 리소그래피, 에칭, 화학-기계적 연마, 및 이온 주입을 이용하여 제조되고 처리된다. 다수 디바이스들은 기판의 복수의 다이들 상에 제작된 후, 개별적인 디바이스들로 분리될 수 있다. 이 디바이스 제조 공정은 패터닝 공정으로 간주될 수 있다. 패터닝 공정은 기판에 패턴을 제공하기 위해 리소그래피 장치를 이용하는 광학 및/또는 나노임프린트(nanoimprint) 리소그래피와 같은 패터닝 단계를 수반하며, 통상적이지만 선택적으로 현상 장치에 의한 레지스트 현상, 베이킹 툴을 이용한 기판의 베이킹, 에칭 장치를 이용하는 패턴을 이용한 에칭 등과 같은 1 이상의 관련 패턴 처리 단계를 수반한다. 또한, 통상적으로 1 이상의 메트롤로지 공정이 패터닝 공정에서 수반된다.

[0005] 메트롤로지 공정들은 패터닝 공정 동안 다양한 단계들에서 사용되어, 공정을 모니터링 및 제어한다. 예를 들어, 메트롤로지 공정들은 패터닝 공정 동안 기판 상에 형성되는 피쳐들의 상대 위치[예를 들어, 정합(registration), 오버레이, 정렬 등] 또는 치수[예를 들어, 선폭(line width), 임계 치수(CD), 두께 등]와 같은 기판의 1 이상의 특성을 측정하는 데 사용되어, 예를 들어 패터닝 공정의 성능이 1 이상의 특성으로부터 결정될 수 있도록 한다. 1 이상의 특성이 허용가능하지 않은 경우[예를 들어, 특성(들)에 대한 사전설정된 범위를 벗어나는 경우], 1 이상의 특성의 측정들은 패터닝 공정에 의해 제조되는 추가 기판들이 허용가능한 특성(들)을 갖도록 패터닝 공정의 1 이상의 파라미터를 변경하는 데 사용될 수 있다.

[0006] 리소그래피 및 다른 패터닝 공정 기술들의 발전에 따라, 기능 요소들의 치수는 계속해서 감소된 한편, 디바이스 당 트랜지스터와 같은 기능 요소들의 양은 수십 년 동안 꾸준히 증가되어 왔다. 그러는 동안, 오버레이, 임계 치수(CD) 등에 관한 정확성의 요건은 점점 더 엄격해졌다. 오버레이 오차, CD 오차 등과 같은 오차들이 패터닝 공정에서 필연적으로 생성될 것이다. 예를 들어, 이미징 오차가 광학 수차, 패터닝 디바이스 가열, 패터닝 디바이스 오차, 및/또는 기판 가열로부터 생성될 수 있으며, 예를 들어 오버레이 오차, CD 오차 등에 관하여 특징지어질 수 있다. 추가적으로 또는 대안적으로, 오차는 에칭, 현상, 베이킹 등과 같은 패터닝 공정의 다른 부분들에서 도입될 수 있으며, 유사하게 예를 들어 오버레이 오차, CD 오차 등에 관하여 특징지어질 수 있다. 오차는 디바이스가 기능하지 못하는 것 또는 기능하는 디바이스의 1 이상의 전기적 문제를 포함하는, 디바이스의 기능에 관한 문제를 직접 야기할 수 있다.

[0007] 앞서 유의되는 바와 같이, 패터닝 공정들에서는, 예를 들어 공정 제어 및 검증(verification)을 위해, 흔히 생성되는 구조체들의 측정들을 수행하는 것이 바람직하다. 통상적으로, 구조체들의 1 이상의 파라미터, 예를 들어 구조체의 임계 치수, 기판 상이나 기판 내에 형성되는 연속 층들 간의 오버레이 오차 등이 측정되거나 결정된다. 패터닝 공정에서 형성되는 미세 구조체들의 측정들을 수행하는 다양한 기술들이 알려져 있다. 이러한 측정들을 수행하는 다양한 툴들이 알려져 있으며, 임계 치수(CD)를 측정하는 데 흔히 사용되는 스캐닝 전자 현미경(SEM)을 포함하고, 이에 제한되지는 않는다. SEM은 높은 분해능을 가지며, 30 nm 이하, 20 nm 이하, 10 nm 이하, 또는 5 nm 이하 정도의 피쳐들을 분해할 수 있다. 반도체 디바이스들의 SEM 이미지들은 디바이스 레벨에서 무슨 일이 일어나는지를 관찰하기 위해 반도체 팹에서 흔히 사용된다.

[0008] (디바이스 구조체들의 SEM 이미지들로부터 추출된 바와 같은) 측정 정보는 공정 모델링, 기존 모델 캘리브레이션(재캘리브레이션 포함), 결함 검출, 추산, 특성화 또는 분류, 수율 추산, 공정 제어 또는 모니터링 등에 사용될 수 있다.

[0009] 이미징 공정을 제어하는 방법은 자격검증된 광 근접 보정(optical proximity correction: OPC) 모델을

사용하며, 이는 패터닝 공정에서 OPC-후 디자인을 사용하여 기관에 패턴을 형성하는 공정에서 OPC-전 디자인에 대한 OPC 수정들의 거동을 모델링하도록 구성되는 OPC 모델을 얻는 단계, 제조 환경에서 패터닝 공정을 사용하는 단계, 제조 환경에서 패터닝 공정을 사용하여 패터닝된 기관들에서의 공정 제어 데이터를 수집하는 단계, 수집된 공정 제어 데이터를 데이터베이스에 저장하는 단계, 하드웨어 컴퓨터 시스템에 의해 저장된 수집된 공정 제어 데이터를 분석하여 OPC 모델이 선택된 임계치 내에서 패턴 피쳐들을 보정하고 있는지를 확인하는 단계, 및 선택된 임계치를 벗어나는 패턴 피쳐들에 대해 이미징 오차들을 보정하도록 이미징 공정에 대한 수정을 결정하는 단계를 포함한다.

[0010] 일 실시형태에서, 패터닝 공정을 사용하여 일련의 기관에 디바이스 패턴을 적용하는 디바이스 제조 방법이 제공되며, 상기 방법은 본 명세서에서 설명되는 방법을 사용하는 패터닝 공정을 사용하여 형성되는 패터닝된 구조체를 평가하는 단계, 및 상기 방법의 결과에 따라 기관들 중 1 이상에 대해 패터닝 공정을 제어하는 단계를 포함한다. 일 실시예에서, 패터닝된 구조체는 기관들 중 적어도 하나 상에 형성되고, 상기 방법은 상기 방법의 결과에 따라 이후 기관들에 대한 패터닝 공정을 제어하는 단계를 포함한다.

[0011] 일 실시형태에서, 프로세서가 본 명세서에서 설명되는 방법을 수행하게 하도록 구성되는 기계-판독가능한 명령어들을 포함하는 비-일시적(non-transitory) 컴퓨터 프로그램 제품이 제공된다.

[0012] 일 실시형태에서, 검사 시스템이 제공된다. 상기 시스템은 본 명세서에서 설명되는 바와 같은 검사 장치; 및 본 명세서에서 설명되는 바와 같은 비-일시적 컴퓨터 프로그램 제품을 포함하는 분석 엔진을 포함한다. 일 실시예에서, 검사 장치는 전자 빔 검사 장치를 포함한다. 일 실시예에서, 상기 시스템은 방사선 빔을 변조하기 위한 패터닝 디바이스를 유지하도록 구성되는 지지 구조체 및 방사선-감응성 기관 상으로 변조된 방사선 빔을 투영하도록 배치되는 투영 광학 시스템을 포함하는 리소그래피 장치를 더 포함한다.

**도면의 간단한 설명**

[0013] 이제 첨부된 도면들을 참조하여, 단지 예시의 방식으로만 실시예들을 설명할 것이다:

- 도 1은 리소그래피 장치의 일 실시예를 개략적으로 도시하는 도면;
- 도 2는 리소그래피 셀(lithographic cell) 또는 클러스터(cluster)의 일 실시예를 개략적으로 도시하는 도면;
- 도 3은 스캐닝 전자 현미경(SEM)의 일 실시예를 개략적으로 도시하는 도면;
- 도 4는 전자 빔 검사 장치의 일 실시예를 개략적으로 도시하는 도면;
- 도 5는 패터닝 공정의 적어도 일부를 모델링 및/또는 시뮬레이션하는 예시적인 흐름도;
- 도 6은 모델 캘리브레이션을 위한 예시적인 흐름도;
- 도 7은 방법의 일 실시예에 따라 분석되는 패턴의 일 실시예를 개략적으로 도시하는 도면; 및
- 도 8은 일 실시예에 따른 이미징 공정을 제어하는 방법을 위한 예시적인 흐름도이다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 실시예들을 상세히 설명하기에 앞서, 실시예들이 구현될 수 있는 예시적인 환경을 제시하는 것이 유익하다.

[0015] 도 1은 리소그래피 장치(LA)를 개략적으로 도시한다. 상기 장치는:

[0016] - 방사선 빔(B)(예를 들어, DUV 방사선 또는 EUV 방사선)을 컨디셔닝(condition)하도록 구성되는 조명 시스템(일루미네이터)(IL);

[0017] - 패터닝 디바이스(예를 들어, 마스크)(MA)를 지지하도록 구성되고, 소정 파라미터들에 따라 패터닝 디바이스를 정확히 위치시키도록 구성된 제 1 위치설정기(PM)에 연결되는 지지 구조체(예를 들어, 마스크 테이블)(MT);

[0018] - 기관(예를 들어, 레지스트-코팅된 웨이퍼)(W)을 유지하도록 구성되고, 소정 파라미터들에 따라 기관을 정확히 위치시키도록 구성된 제 2 위치설정기(PW)에 연결되는 기관 테이블(예를 들어, 웨이퍼 테이블)(WT); 및

[0019] - 기관(W)의 (예를 들어, 1 이상의 다이를 포함하는) 타겟부(C) 상으로 패터닝 디바이스(MA)에 의해 방사선 빔(B)에 부여된 패턴을 투영하도록 구성되는 투영 시스템(예를 들어, 굴절 투영 렌즈 시스템)(PS)을 포함한다.

[0020] 조명 시스템은 방사선을 지향, 성형, 또는 제어하기 위하여, 굴절, 반사, 자기, 전자기, 정전기 또는 다른 타입

의 광학 구성요소들, 또는 여하한의 그 조합과 같은 다양한 타입들의 광학 구성요소들을 포함할 수 있다.

- [0021] 패터닝 디바이스 지지 구조체는 패터닝 디바이스의 방위, 리소그래피 장치의 디자인, 및 예를 들어 패터닝 디바이스가 진공 환경에서 유지되는지의 여부와 같은 다른 조건들에 의존하는 방식으로 패터닝 디바이스를 유지한다. 패터닝 디바이스 지지 구조체는 패터닝 디바이스를 유지하기 위해 기계적, 진공, 정전기, 또는 다른 클램핑 기술들을 이용할 수 있다. 패터닝 디바이스 지지 구조체는, 예를 들어 필요에 따라 고정되거나 이동가능할 수 있는 프레임 또는 테이블일 수 있다. 패터닝 디바이스 지지 구조체는, 패터닝 디바이스가 예를 들어 투영 시스템에 대해 원하는 위치에 있을 것을 보장할 수 있다. 본 명세서의 "레티클" 또는 "마스크"라는 용어의 어떠한 사용도 "패터닝 디바이스"라는 좀 더 일반적인 용어와 동의어로 간주될 수 있다.
- [0022] 본 명세서에서 사용되는 "패터닝 디바이스"라는 용어는, 기관의 타겟부에 패턴을 생성하기 위해서 방사선 빔의 단면에 패턴을 부여하는 데 사용될 수 있는 여하한의 디바이스를 언급하는 것으로 폭넓게 해석되어야 한다. 방사선 빔에 부여된 패턴은, 예를 들어 상기 패턴이 위상-시프팅 피쳐(phase-shifting feature)들 또는 소위 어시스트 피쳐(assist feature)들을 포함하는 경우, 기관의 타겟부 내의 원하는 패턴과 정확히 일치하지 않을 수도 있다는 것을 유의하여야 한다. 일반적으로, 방사선 빔에 부여된 패턴은 집적 회로와 같이 타겟부에 생성될 디바이스 내의 특정 기능 층에 해당할 것이다.
- [0023] 패터닝 디바이스는 투과형 또는 반사형일 수 있다. 패터닝 디바이스의 예로는 마스크, 프로그램가능한 거울 어레이, 및 프로그램가능한 LCD 패널들을 포함한다. 마스크는 리소그래피 분야에서 잘 알려져 있으며, 바이너리(binary)형, 교번 위상-시프팅형 및 감쇠 위상-시프팅형과 같은 마스크 타입, 및 다양한 하이브리드(hybrid) 마스크 타입들을 포함한다. 프로그램가능한 거울 어레이의 일 예시는 작은 거울들의 매트릭스 구성을 채택하며, 그 각각은 입사하는 방사선 빔을 상이한 방향으로 반사시키도록 개별적으로 기울어질 수 있다. 기울어진 거울들은 거울 매트릭스에 의해 반사되는 방사선 빔에 패턴을 부여한다.
- [0024] 본 명세서에서 사용되는 "투영 시스템"이라는 용어는, 사용되는 노광 방사선에 대하여, 또는 침지 액체의 사용 또는 진공의 사용과 같은 다른 인자들에 대하여 적절하다면, 굴절, 반사, 카타디옵트릭(catadioptric), 자기, 전자기 및 정전기 광학 시스템, 또는 여하한의 그 조합을 포함하는 여하한 타입의 투영 시스템을 포괄하는 것으로 폭넓게 해석되어야 한다. 본 명세서의 "투영 렌즈"라는 용어의 어떠한 사용도 "투영 시스템"이라는 좀 더 일반적인 용어와 동의어로 간주될 수 있다.
- [0025] 본 명세서에 도시된 바와 같이, 상기 장치는 (예를 들어, 투과 마스크를 채택하는) 투과형으로 구성된다. 대안적으로, 상기 장치는 (예를 들어, 앞서 언급된 바와 같은 타입의 프로그램가능한 거울 어레이를 채택하거나, 반사 마스크를 채택하는) 반사형으로 구성될 수 있다.
- [0026] 리소그래피 장치는 2 개(듀얼 스테이지) 이상의 테이블들(예를 들어, 2 이상의 기관 테이블, 2 이상의 패터닝 디바이스 지지 구조체, 또는 기관 테이블과 메트랄로지 테이블)을 갖는 형태로 구성될 수 있다. 이러한 "다수 스테이지" 기계에서는 추가적인 테이블이 병행하여 사용될 수 있으며, 또는 1 이상의 테이블이 패턴 전사에 사용되고 있는 동안 1 이상의 다른 테이블에서는 준비작업 단계가 수행될 수 있다.
- [0027] 또한, 리소그래피 장치는 투영 시스템과 기관 사이의 공간을 채우기 위해서, 기관의 적어도 일부분이 비교적 높은 굴절률을 갖는 액체, 예컨대 물로 덮일 수 있는 형태로도 구성될 수 있다. 또한, 침지 액체는 리소그래피 장치 내의 다른 공간들, 예를 들어 마스크와 투영 시스템 사이에도 적용될 수 있다. 침지 기술은 투영 시스템의 개구수(numerical aperture)를 증가시키는 기술로 당업계에 잘 알려져 있다. 본 명세서에서 사용되는 "침지"라는 용어는 기관과 같은 구조체가 액체 내에 잠겨야 함을 의미하는 것이라기보다는, 단지 액체가 노광 시 투영 시스템과 기관 사이에 놓인다는 것을 의미한다.
- [0028] 도 1을 참조하면, 일루미네이터(IL)는 방사선 소스(SO)로부터 방사선 빔을 수용한다. 예를 들어, 소스가 엑시머 레이저(excimer laser)인 경우, 소스 및 리소그래피 장치는 별도의 개체일 수 있다. 이러한 경우, 소스는 리소그래피 장치의 일부분을 형성하는 것으로 간주되지 않으며, 방사선 빔은 예를 들어 적절한 지향 거울 및/또는 빔 익스팬더(beam expander)를 포함하는 빔 전달 시스템(BD)의 도움으로, 소스(SO)로부터 일루미네이터(IL)로 통과된다. 다른 경우, 예를 들어 소스가 수은 램프인 경우, 소스는 리소그래피 장치의 통합부일 수 있다. 소스(SO) 및 일루미네이터(IL)는, 필요에 따라 빔 전달 시스템(BD)과 함께 방사선 시스템이라고도 칭해질 수 있다.
- [0029] 일루미네이터(IL)는 방사선 빔의 각도 세기 분포를 조정하는 조정기(AD)를 포함할 수 있다. 일반적으로, 일루미네이터의 필드 평면 내의 세기 분포의 적어도 외반경 및/또는 내반경 크기(통상적으로, 각각 외측- $\sigma$  및 내측

- $\sigma$ 라 함)가 조정될 수 있다. 또한, 일루미네이터(IL)는 인티그레이터(IN) 및 콘덴서(CO)와 같이, 다양한 다른 구성요소들을 포함할 수도 있다. 일루미네이터는 방사선 빔의 단면에 원하는 균일성(uniformity) 및 세기 분포를 갖기 위해, 방사선 빔을 컨디셔닝하는 데 사용될 수 있다.

[0030] 방사선 빔(B)은 패터닝 디바이스 지지체(예를 들어, 마스크 테이블: MT) 상에 유지되는 패터닝 디바이스(예를 들어, 마스크)(MA) 상에 입사되며, 패터닝 디바이스에 의해 패터닝된다. 패터닝 디바이스(예를 들어, 마스크)(MA)를 가로질렀으면, 방사선 빔(B)은 투영 시스템(PS)을 통과하며, 이는 기관(W)의 타겟부(C) 상에 상기 빔을 포커스한다. 제 2 위치설정기(PW) 및 위치 센서(IF)(예를 들어, 간섭계 디바이스, 리니어 인코더, 2-D 인코더 또는 용량성 센서)의 도움으로, 기관 테이블(WTa)은 예를 들어 방사선 빔(B)의 경로 내에 상이한 타겟부(C)들을 위치시키도록 정확하게 이동될 수 있다. 이와 유사하게, 제 1 위치설정기(PM) 및 (도 1에 명확히 도시되지 않은) 또 다른 위치 센서는, 예를 들어 마스크 라이브러리(mask library)로부터의 기계적인 회수 후에, 또는 스캔하는 동안, 방사선 빔(B)의 경로에 대해 패터닝 디바이스(예를 들어, 마스크)(MA)를 정확히 위치시키는 데 사용될 수 있다. 일반적으로, 패터닝 디바이스 지지체(예를 들어, 마스크 테이블)(MT)의 이동은 장-행정 모듈(long-stroke module: 개략 위치설정) 및 단-행정 모듈(short-stroke module: 미세 위치설정)의 도움으로 실현될 수 있으며, 이는 제 1 위치설정기(PM)의 일부분을 형성한다. 이와 유사하게, 기관 테이블(WTa)의 이동은 장-행정 모듈 및 단-행정 모듈을 이용하여 실현될 수 있으며, 이는 제 2 위치설정기(PW)의 일부분을 형성한다. (스캐너와는 대조적으로) 스테퍼의 경우, 패터닝 디바이스 지지체(예를 들어, 마스크 테이블)(MT)는 단-행정 액추에이터에만 연결되거나 고정될 수 있다.

[0031] 패터닝 디바이스(예를 들어, 마스크)(MA) 및 기관(W)은 마스크 정렬 마크들(M1, M2) 및 기관 정렬 마크들(P1, P2)을 이용하여 정렬될 수 있다. 비록, 예시된 기관 정렬 마크들은 지정된(dedicated) 타겟부들을 차지하고 있지만, 그들은 타겟부들 사이의 공간들 내에 위치될 수도 있다[이들은 스크라이브-레인 정렬 마크(scribe-lane alignment mark)들로 알려져 있음]. 이와 유사하게, 패터닝 디바이스(예를 들어, 마스크)(MA) 상에 하나보다 많은 다이가 제공되는 상황들에서, 마스크 정렬 마크들은 다이들 사이에 위치될 수 있다. 또한, 디바이스 피쳐들 사이에서 다이들 내에 작은 정렬 마커들이 포함될 수도 있으며, 이 경우 마커들은 인접한 피쳐들과 상이한 여하한의 패터닝 또는 다른 공정 조건들을 필요로 하지 않고, 가능한 한 작은 것이 바람직하다. 정렬 마커들을 검출하는 정렬 시스템의 일 실시예는 아래에서 더 설명된다.

[0032] 도시된 장치는 다음 모드들 중 적어도 하나에서 사용될 수 있다:

[0033] - 스텝 모드에서, 패터닝 디바이스 지지체(예를 들어, 마스크 테이블)(MT) 및 기관 테이블(WTa)은 기본적으로 정지 상태로 유지되는 한편, 방사선 빔에 부여된 전체 패턴은 한 번에 타겟부(C) 상으로 투영된다[즉, 단일 정적 노광(single static exposure)]. 그 후, 기관 테이블(WTa)은 상이한 타겟부(C)가 노광될 수 있도록 X 및/또는 Y 방향으로 시프트된다. 스텝 모드에서, 노광 필드의 최대 크기는 단일 정적 노광 시에 이미징되는 타겟부(C)의 크기를 제한한다.

[0034] - 스캔 모드에서, 패터닝 디바이스 지지체(예를 들어, 마스크 테이블)(MT) 및 기관 테이블(WTa)은 방사선 빔에 부여된 패턴이 타겟부(C) 상으로 투영되는 동안에 동기적으로 스캐닝된다[즉, 단일 동적 노광(single dynamic exposure)]. 패터닝 디바이스 지지체(예를 들어, 마스크 테이블)(MT)에 대한 기관 테이블(WTa)의 속도 및 방향은 투영 시스템(PS)의 확대(축소) 및 이미지 반전 특성에 의하여 결정될 수 있다. 스캔 모드에서, 노광 필드의 최대 크기는 단일 동적 노광 시 타겟부의 (스캐닝되지 않는 방향으로의) 폭을 제한하는 반면, 스캐닝 동작의 길이는 타겟부의 (스캐닝 방향으로의) 높이를 결정한다.

[0035] - 또 다른 모드에서, 패터닝 디바이스 지지체(예를 들어, 마스크 테이블)(MT)는 프로그램가능한 패터닝 디바이스를 유지하여 기본적으로 정지된 상태로 유지되며, 방사선 빔에 부여된 패턴이 타겟부(C) 상으로 투영되는 동안 기관 테이블(WTa)이 이동되거나 스캐닝된다. 이 모드에서는, 일반적으로 펄스화된 방사선 소스(pulsed radiation source)가 채택되며, 프로그램가능한 패터닝 디바이스는 기관 테이블(WTa)의 매 이동 후, 또는 스캔 중에 계속되는 방사선 펄스 사이사이에 필요에 따라 업데이트된다. 이 작동 모드는 앞서 언급된 바와 같은 타입의 프로그램가능한 거울 어레이와 같은 프로그램가능한 패터닝 디바이스를 이용하는 마스크없는 리소그래피(maskless lithography)에 용이하게 적용될 수 있다.

[0036] 또한, 상술된 사용 모드들의 조합 및/또는 변형, 또는 완전히 다른 사용 모드들이 채택될 수도 있다.

[0037] 리소그래피 장치(LA)는 2 개의 테이블들(WTa, WTb)(예를 들어, 2 개의 기관 테이블들), 및 테이블들이 교환될 수 있는 2 개의 스테이션들 - 노광 스테이션 및 측정 스테이션 - 을 갖는 소위 듀얼 스테이지 타입으로 이루어

진다. 예를 들어, 하나의 테이블 상의 기판이 노광 스테이션에서 노광되고 있는 동안, 또 다른 기판이 측정 스테이션에서 다른 기판 테이블 상으로 로딩(load)되고 다양한 준비작업 단계들이 수행될 수 있다. 준비작업 단계들은 레벨 센서(LS)를 이용하여 기판의 표면 제어를 매핑(map)하는 단계, 및 정렬 센서(AS)를 이용하여 기판 상의 정렬 마커들의 위치를 측정하는 단계를 포함할 수 있으며, 두 센서들은 기준 프레임(RF)에 의해 지지된다. 위치 센서(IF)가 노광 스테이션뿐 아니라 측정 스테이션에 있는 동안 테이블의 위치를 측정할 수 없는 경우, 제 2 위치 센서가 제공되어 두 스테이션들에서 테이블의 위치들이 추적될 수 있게 할 수 있다. 또 다른 예시로서, 하나의 테이블 상의 기판이 노광 스테이션에서 노광되고 있는 동안, 기판이 없는 또 다른 테이블은 측정 스테이션에서 대기한다(선택적으로, 측정 활동이 발생할 수 있음). 이 다른 테이블은 1 이상의 측정 디바이스를 가지며, 선택적으로 다른 툴들(예를 들어, 세정 장치)을 가질 수 있다. 기판이 노광을 완료한 경우, 기판이 없는 테이블은 예를 들어 측정들을 수행하도록 노광 스테이션으로 이동하고, 기판을 갖는 테이블은 기판이 언로딩되고 또 다른 기판이 로딩되는 위치(예를 들어, 측정 스테이션)로 이동한다. 이 다수-테이블 구성들은 장치의 스루풋을 상당히 증가시킬 수 있다.

[0038] 도 2에 나타난 바와 같이, 리소그래피 장치(LA)는 때때로 리소셀(lithocell) 또는 리소클러스터라고도 칭하는 리소그래피 셀(LC)의 일부분을 형성할 수 있으며, 이는 기판 상에 1 이상의 패턴 전사-전 및 패턴 전사-후 공정들을 수행하는 장치도 포함한다. 통상적으로, 이들은 레지스트 층을 증착시키는 1 이상의 스핀 코터(spin coater: SC), 패턴링된 레지스트를 현상하는 1 이상의 디벨로퍼(developer: DE), 1 이상의 칠 플레이트(chill plate: CH), 및 1 이상의 베이킹 플레이트(bake plate: BK)를 포함한다. 기판 핸들러 또는 로봇(RO)이 입력/출력 포트들(I/O1, I/O2)로부터 기판을 집어올리고, 이를 상이한 공정 디바이스들 사이에서 이동시키며, 리소그래피 장치의 로딩 베이(load bay: LB)로 전달한다. 흔히 집합적으로 트랙이라고도 하는 이 디바이스들은, 리소그래피 제어 유닛(LACU)을 통해 리소그래피 장치를 제어하는 감독 제어 시스템(supervisory control system: SCS)에 의해 자체 제어되는 트랙 제어 유닛(TCU)의 제어를 받는다. 따라서, 스루풋과 처리 효율성을 최대화하기 위해 상이한 장치가 작동될 수 있다.

[0039] 패턴링 공정에 의해 처리(예를 들어, 노광)되는 기판이 올바르게 일관성있게(consistently) 처리될 수 있도록 하기 위해서는, 후속한 층들 간의 오버레이 오차, 라인 두께, 임계 치수(CD) 등과 같은 1 이상의 속성을 측정하도록 처리된 기판을 검사하는 것이 바람직하다. 오차가 검출되는 경우, 예를 들어 패턴링 공정의 디자인을 변화시키거나 이를 디자인하는 툴을 변화시키는 것, 실행되는 패턴링 공정을 제어하는 것 등에 관하여 패턴링 공정에 대해 조정이 수행될 수 있다.

[0040] 검사 장치가 이러한 측정을 위해 사용될 수 있다. 검사 장치는 기판의 1 이상의 속성을 결정하는 데 사용되며, 특히 상이한 기판들 또는 동일한 기판의 상이한 층들의 1 이상의 속성이 층마다 및/또는 기판에 걸쳐 및/또는 상이한 기판들에 걸쳐, 예를 들어 기판마다 어떻게 변하는지를 결정하는 데 사용된다. 검사 장치는 리소그래피 장치(LA) 또는 리소셀(LC)에 통합될 수 있으며, 또는 독립형 디바이스(stand-alone device)일 수 있다.

[0041] 기판의 1 이상의 속성을 결정하기 위한 검사 장치는 여러 상이한 형태들을 취할 수 있다. 예를 들어, 검사 장치는 기판을 조명하고 기판에 의해 전향된 방사선을 검출하기 위해 광자 전자기 방사선을 사용할 수 있고; 이러한 검사 장치들은 브라이트-필드(bright-field) 검사 장치들로 칭해질 수 있다. 브라이트-필드 검사 장치는, 예를 들어 150 내지 900 nm 범위의 파장을 갖는 방사선을 사용할 수 있다. 검사 장치는 이미지-기반, 즉 기판의 이미지를 취할 수 있고, 및/또는 회절-기반, 즉 회절된 방사선의 세기를 측정할 수 있다. 검사 장치는 제품 피쳐들(예를 들어, 마스크의 피쳐들 또는 기판을 사용하여 형성될 집적 회로의 피쳐들)을 검사할 수 있고, 및/또는 특정 측정 타겟들(예를 들어, 오버레이 타겟들, 포커스/도즈 타겟들, CD 게이지 패턴들 등)을 검사할 수 있다.

[0042] 예를 들어, 반도체 웨이퍼들의 검사는 흔히 광학-기반 분해능-이하 툴들(브라이트-필드 검사)로 행해진다. 하지만, 몇몇 경우에, 측정될 소정 피쳐들이 너무 작아서 브라이트-필드 검사를 이용하여 효과적으로 측정되지 않는다. 예를 들어, 반도체 디바이스의 피쳐들에서의 결함들의 브라이트-필드 검사가 어려울 수 있다. 더욱이, 시간이 진행됨에 따라, 패턴링 공정들을 사용하여 제조되는 피쳐들(예를 들어, 리소그래피를 사용하여 제조되는 반도체 피쳐들)은 더 작아지고 있고, 많은 경우에 피쳐들의 밀도도 증가하고 있다. 따라서, 더 높은 분해능의 검사 기술이 사용되고 요구된다. 예시적인 검사 기술은 전자 빔 검사이다. 전자 빔 검사는 검사될 기판 상의 작은 스폿에 전자 빔을 포커싱하는 것을 수반한다. 검사되는 기판의 영역에 걸쳐 빔과 기판 사이의 상대 이동을 제공하고(이하, 전자 빔을 스캐닝하는 것으로 지칭됨), 전자 검출기로 이차 및/또는 후방산란된 전자들을 수집함으로써 이미지가 형성된다. 그 후, 이미지 데이터는 예를 들어 결함들을 식별하도록 처리된다.

- [0043] 따라서, 일 실시예에서, 검사 장치는 기관 상에 노광되거나 전사되는 구조체(예를 들어, 집적 회로와 같은 디바이스의 구조체의 일부 또는 전부)의 이미지를 산출하는 [예를 들어, 스캐닝 전자 현미경(SEM)과 동일하거나 유사한] 전자 빔 검사 장치일 수 있다. 도 3은 전자 빔 검사 장치(200)의 일 실시예를 개략적으로 도시한다. 전자 소스(201)로부터 방출되는 일차 전자 빔(202)이 집광 렌즈(203)에 의해 수렴된 후, 빔 디플렉터(204), E x B 디플렉터(205), 및 대물 렌즈(206)를 통과하여 포커스에서 기관 테이블(101) 상의 기관(100)을 조사한다.
- [0044] 기관(100)이 전자 빔(202)으로 조사될 때, 기관(100)으로부터 이차 전자들이 생성된다. 이차 전자들은 E x B 디플렉터(205)에 의해 편향되고 이차 전자 검출기(207)에 의해 검출된다. 예를 들어, X 또는 Y 방향 중 다른 방향에서의 기관 테이블(101)에 의한 기관(100)의 연속적인 이동과 함께, X 또는 Y 방향에서의 빔 디플렉터(204)에 의한 전자 빔(202)의 반복적인 스캐닝 또는 빔 디플렉터(204)에 의한 전자 빔의 2 차원 스캐닝과 동기화하여 샘플로부터 생성되는 전자들을 검출함으로써 2-차원 전자 빔 이미지가 얻어질 수 있다. 따라서, 일 실시예에서, 전자 빔 검사 장치는 전자 빔 검사 장치에 의해 전자 빔이 제공될 수 있는 각도 범위[예를 들어, 디플렉터(204)가 전자 빔(202)을 제공할 수 있는 각도 범위]에 의해 정의되는 전자 빔에 대한 시야(field of view)를 갖는다. 따라서, 시야의 공간 크기는 전자 빔의 각도 범위가 표면에 충돌할 수 있는 공간 크기이다(여기서, 표면은 고정될 수 있거나, 필드에 대해 이동할 수 있음).
- [0045] 이차 전자 검출기(207)에 의해 검출되는 신호는 아날로그/디지털(A/D) 변환기(208)에 의해 디지털 신호로 변환되고, 디지털 신호는 이미지 처리 시스템(300)으로 전송된다. 일 실시예에서, 이미지 처리 시스템(300)은 처리 유닛(304)에 의한 처리를 위해 디지털 이미지들의 전부 또는 일부를 저장하는 메모리(303)를 가질 수 있다. 처리 유닛(304)(예를 들어, 특별히 디자인된 하드웨어 또는 하드웨어 및 소프트웨어의 조합 또는 소프트웨어를 포함한 컴퓨터 관독가능한 매체)은 디지털 이미지들을 디지털 이미지들을 나타내는 데이터셋들로 변환하거나 처리하도록 구성된다. 일 실시예에서, 처리 유닛(304)은 본 명세서에 설명된 방법의 실행을 야기하도록 구성되거나 프로그램된다. 또한, 이미지 처리 시스템(300)은 참조 데이터베이스에 디지털 이미지들 및 대응하는 데이터셋들을 저장하도록 구성되는 저장 매체(301)를 가질 수 있다. 디스플레이 디바이스(302)가 이미지 처리 시스템(300)과 연결되어, 운영자가 그래픽 사용자 인터페이스의 도움으로 장비의 필요한 작동을 수행할 수 있도록 할 수 있다.
- [0046] 도 4는 검사 장치의 추가 실시예를 개략적으로 나타낸다. 시스템은 샘플 스테이지(88)에서 (기관과 같은) 샘플(90)을 검사하는 데 사용되며, 하전 입자 빔 생성기(81), 집광 렌즈 모듈(82), 프로브 형성 대물 렌즈 모듈(83), 하전 입자 빔 편향 모듈(84), 이차 하전 입자 검출기 모듈(85), 및 이미지 형성 모듈(86)을 포함한다.
- [0047] 하전 입자 빔 생성기(81)는 일차 하전 입자 빔(91)을 생성한다. 집광 렌즈 모듈(82)은 생성된 일차 하전 입자 빔(91)을 집광한다. 프로브 형성 대물 렌즈 모듈(83)은 집광된 일차 하전 입자 빔을 하전 입자 빔 프로브(92)로 포커스한다. 하전 입자 빔 편향 모듈(84)은 형성된 하전 입자 빔 프로브(92)를 샘플 스테이지(88)에 고정된 샘플(90) 상의 관심 영역의 표면에 걸쳐 스캔한다. 일 실시예에서, 하전 입자 빔 생성기(81), 집광 렌즈 모듈(82) 및 프로브 형성 대물 렌즈 모듈(83), 또는 이들의 동등한 디자인들, 대안예들 또는 여하한 그 조합은 함께 스캐닝 하전 입자 빔 프로브(92)를 생성하는 하전 입자 빔 프로브 생성기를 형성한다.
- [0048] 이차 하전 입자 검출기 모듈(85)은 하전 입자 빔 프로브(92)에 의해 충격을 받을 때 (아마도 샘플 표면으로부터의 다른 반사되거나 산란된 하전 입자들과 함께) 샘플 표면으로부터 방출되는 이차 하전 입자들(93)을 검출하여, 이차 하전 입자 검출 신호(94)를 발생시킨다. 이미지 형성 모듈(86)(예를 들어, 컴퓨팅 디바이스)은 이차 하전 입자 검출기 모듈(85)과 커플링되어, 이차 하전 입자 검출기 모듈(85)로부터 이차 하전 입자 검출 신호(94)를 수신하고, 이에 따라 적어도 하나의 스캔 이미지를 형성한다. 일 실시예에서, 이차 하전 입자 검출기 모듈(85) 및 이미지 형성 모듈(86), 또는 이들의 동등한 디자인들, 대안예들 또는 여하한 그 조합은 함께 하전 입자 빔 프로브(92)에 의해 충격을 받는 샘플(90)로부터 방출된 검출된 이차 하전 입자들로부터 스캔 이미지를 형성하는 이미지 형성 장치를 형성한다.
- [0049] 일 실시예에서, 모니터링 모듈(87)은 이미지 형성 장치의 이미지 형성 모듈(86)에 커플링되어, 이미지 형성 모듈(86)로부터 수신되는 샘플(90)의 스캔 이미지를 사용하여 패터닝 공정의 모니터링, 제어 등을 수행하고, 및/또는 패터닝 공정 디자인, 제어, 모니터링 등을 위한 파라미터를 도출한다. 따라서, 일 실시예에서, 모니터링 모듈(87)은 본 명세서에 설명된 방법의 실행을 야기하도록 구성되거나 프로그램된다. 일 실시예에서, 모니터링 모듈(87)은 컴퓨팅 디바이스를 포함한다. 일 실시예에서, 모니터링 모듈(87)은 여기에서 기능을 제공하고 모니터링 모듈(87)을 형성하거나 그 안에 배치되는 컴퓨터 관독가능한 매체 상에 인코딩되는 컴퓨터 프로그램을 포함한다.

- [0050] 일 실시예에서, 프로브를 사용하여 기관을 검사하는 도 3의 전자 빔 검사 툴과 같이, 도 4의 시스템의 전자 전류는 예를 들어 도 3에 도시된 바와 같은 CD SEM에 비해 상당히 더 크므로, 프로브 스폿이 충분히 커서 검사 속도가 빠를 수 있다. 하지만, 분해능은 큰 프로브 스폿으로 인해 CD SEM에 비해 높지 않을 수 있다.
- [0051] 예를 들어, 도 3 및/또는 도 4의 시스템으로부터의 SEM 이미지는 이미지에서 디바이스 구조체들을 나타내는 대상물들의 에지들을 설명하는 윤곽들을 추출하도록 처리될 수 있다. 그 후, 이 윤곽들은 통상적으로 사용자-정의 커트-라인에서 CD와 같은 메트릭을 통해 정량화된다. 따라서, 통상적으로 디바이스 구조체들의 이미지들은 추출된 윤곽들에서 측정되는 에지간 거리(CD) 또는 이미지들 간의 간단한 픽셀 차이들과 같은 메트릭을 통해 비교되고 정량화된다.
- [0052] 이제, 패터닝 공정에서 기관을 측정하는 것 외에도, 예를 들어 패터닝 공정의 디자인, 제어, 모니터링 등을 수행하는 데 사용될 수 있는 결과들을 생성하기 위해 1 이상의 툴을 사용하는 것이 흔히 바람직하다. 이를 위해, 패터닝 디바이스를 위한 패턴 디자인(예를 들어, 분해능-이하 어시스트 피쳐들 또는 광 근접 보정들의 추가를 포함함), 패터닝 디바이스를 위한 조명 등과 같은 패터닝 공정의 1 이상의 측면의 전산 제어, 디자인 등에 사용되는 1 이상의 툴이 제공될 수 있다. 따라서, 패터닝을 수반하는 제조 공정의 전산 제어, 디자인 등을 위한 시스템에서, 주요 제조 시스템 구성요소들 및/또는 프로세스들이 다양한 기능 모듈들에 의해 설명될 수 있다. 특히, 일 실시예에서, 통상적으로 패턴 전자 단계를 포함하는 패터닝 공정의 1 이상의 단계 및/또는 장치를 설명하는 1 이상의 수학적 모델이 제공될 수 있다. 일 실시예에서, 패터닝 공정의 시뮬레이션은 패터닝 디바이스에 의해 제공되는 측정된 또는 디자인 패턴을 사용하여 패터닝 공정이 패터닝된 기관을 어떻게 형성하는지를 시뮬레이션하기 위해 1 이상의 수학적 모델을 사용하여 수행될 수 있다.
- [0053] 패터닝 공정(예를 들어, 리소그래피 장치에서의 리소그래피)의 부분들을 모델링 및/또는 시뮬레이션하는 예시적인 흐름도가 도 5에 예시된다. 이해하는 바와 같이, 모델들은 상이한 패터닝 공정을 나타낼 수 있으며, 아래에서 설명되는 모델들을 모두 포함할 필요는 없다. 소스 모델(500)이 패터닝 디바이스의 조명의 광학적 특성들(방사선 세기 분포, 대역폭 및/또는 위상 분포를 포함함)을 나타낸다. 소스 모델(500)은 개구수 세팅들, 조명 시그마( $\sigma$ ) 세팅들 및 여하한 특정 조명 형상[예를 들어, 환형, 쿼드러폴(quadrupole), 다이폴(dipole) 등과 같은 오프-엑시스(off-axis) 방사선 형상]을 포함(이에 제한되지는 않음)하는 조명의 광학적 특성들을 나타낼 수 있으며, 여기서  $\sigma$ (또는 시그마)는 일루미네이터의 외반경 크기이다.
- [0054] 투영 광학기 모델(510)이 투영 광학기의 광학적 특성들(투영 광학기에 의해 야기되는 방사선 세기 분포 및/또는 위상 분포에 대한 변화들을 포함함)을 나타낸다. 투영 광학기 모델(510)은 수차, 왜곡, 1 이상의 굴절률, 1 이상의 물리적 크기, 1 이상의 물리적 치수 등을 포함하는 투영 광학기의 광학적 특성들을 나타낼 수 있다.
- [0055] 패터닝 디바이스 모델 모듈(120)은 패터닝 디바이스의 패턴 내에 디자인 피쳐들이 어떻게 레이아웃되는지를 포착하고, 예를 들어 미국 특허 제 7,587,704호에서 설명되는 바와 같은 패터닝 디바이스의 상세한 물리적 속성들의 표현을 포함할 수 있다. 시뮬레이션의 목적은, 예를 들어 이후 디바이스 디자인과 비교될 수 있는 에지 배치 및 CD를 정확히 예측하는 것이다. 디바이스 디자인은 일반적으로 OPC-전 패터닝 디바이스 레이아웃으로서 정의되며, GDSII 또는 OASIS와 같은 표준화된 디지털 파일 포맷으로 제공될 것이다.
- [0056] 디자인 레이아웃 모델(520)이 패터닝 디바이스에 의해 형성되는, 또는 패터닝 디바이스 상의 피쳐들의 일 구성을 나타내는 디자인 레이아웃(예를 들어, 집적 회로, 메모리, 전자 디바이스 등의 피쳐에 대응하는 디바이스 디자인 레이아웃)의 광학적 특성들(주어진 디자인 레이아웃에 의해 야기되는 방사선 세기 분포 및/또는 위상 분포에 대한 변화들을 포함함)을 나타낸다. 디자인 레이아웃 모델(520)은, 예를 들어 그 전문이 인용참조되는 미국 특허 제 7,587,704호에서 설명되는 바와 같은 물리적 패터닝 디바이스의 1 이상의 물리적 속성을 나타낼 수 있다. 리소그래피 투영 장치에서 사용되는 패터닝 디바이스는 바뀔 수 있기 때문에, 패터닝 디바이스의 광학적 속성들을 적어도 조명 및 투영 광학기를 포함한 리소그래피 투영 장치의 나머지의 광학적 속성들과 분리하는 것이 바람직하다.
- [0057] 에어리얼 이미지(530)가 소스 모델(500), 투영 광학기 모델(510) 및 디자인 레이아웃 모델(520)로부터 시뮬레이션될 수 있다. 에어리얼 이미지(AI)는 기관 레벨에서의 방사선 세기 분포이다. 리소그래피 투영 장치의 광학적 속성들(예를 들어, 조명, 패터닝 디바이스 및 투영 광학기의 속성들)이 에어리얼 이미지를 좌우한다.
- [0058] 기관 상의 레지스트 층이 에어리얼 이미지에 의해 노광되고, 에어리얼 이미지는 그 안에 잠재적인 "레지스트 이미지"(RI)로서 레지스트 층으로 전사된다. 레지스트 이미지(RI)는 레지스트 층에서 레지스트의 용해도(solubility)의 공간 분포로서 정의될 수 있다. 레지스트 모델(540)을 이용하여 에어리얼 이미지(530)로부터

레지스트 이미지(550)가 시뮬레이션될 수 있다. 레지스트 모델은 에어리얼 이미지로부터 레지스트 이미지를 계산하기 위해 사용될 수 있으며, 이 예시는 본 명세서에서 그 전문이 인용참조되는 미국 특허 출원 공개공보 US 2009-0157360호에서 찾아볼 수 있다. 레지스트 모델은 통상적으로 레지스트 노광, 노광후 베이킹(PEB) 및 현상 시 일어나는 화학 공정들의 효과들을 설명하여, 예를 들어 기관 상에 형성되는 레지스트 피쳐들의 윤곽들을 예측하고, 따라서 이는 통상적으로 이러한 레지스트 층의 속성들(예를 들어, 노광, 노광후 베이킹 및 현상 시 일어나는 화학 공정들의 효과들)에만 관련된다. 일 실시예에서, 레지스트 층의 광학적 속성들, 예를 들어 굴절률, 필름 두께, 전파 및 편광 효과들은 투영 광학기 모델(510)의 일부로서 포착될 수 있다.

[0059] 따라서, 일반적으로, 광학 및 레지스트 모델 간의 연결은 레지스트 층 내의 시뮬레이션된 에어리얼 이미지 세기이며, 이는 기관 상으로의 방사선의 투영, 레지스트 계면에서의 굴절 및 레지스트 필름 스택에서의 다수 반사들로부터 발생한다. 방사선 세기 분포(에어리얼 이미지 세기)는 입사 에너지의 흡수에 의해 잠재적인 "레지스트 이미지"로 바뀌고, 이는 확산 과정 및 다양한 로딩 효과들에 의해 더 수정된다. 풀-칩 적용들을 위해 충분히 빠른 효율적인 시뮬레이션 방법들이 2-차원 에어리얼(및 레지스트) 이미지에 의해 레지스트 스택에서 현실적인 3-차원 세기 분포를 근사시킨다.

[0060] 일 실시예에서, 레지스트 이미지는 패턴 전사-후 공정 모델 모듈(150)로의 입력으로서 사용될 수 있다. 패턴 전사-후 공정 모델(150)은 1 이상의 레지스트 현상-후 공정들(예를 들어, 에칭, 현상 등)의 성능을 정의한다.

[0061] 패터닝 공정의 시뮬레이션은, 예를 들어 레지스트 및/또는 에칭된 이미지 내의 윤곽, CD, 에지 배치(예를 들어, 에지 배치 오차) 등을 예측할 수 있다. 따라서, 시뮬레이션의 목적은 예를 들어 프린트된 패턴의 에지 배치, 및/또는 에어리얼 이미지 세기 기울기, 및/또는 CD 등을 정확히 예측하는 것이다. 이 값들은, 예를 들어 패터닝 공정을 보정하고, 결함이 발생할 것으로 예측되는 곳을 식별하는 등을 위해 의도된 디자인과 비교될 수 있다. 의도된 디자인은 일반적으로 OPC-전 디자인 레이아웃으로서 정의되며, 이는 GDSII 또는 OASIS와 같은 표준화된 디지털 파일 포맷 또는 다른 파일 포맷으로 제공될 수 있다.

[0062] 따라서, 모델 공식화는 전체 공정의 알려진 물리학 및 화학적 성질의 전부는 아니더라도 대부분을 설명하고, 모델 파라미터들 각각은 바람직하게는 별개의 물리적 또는 화학적 효과에 대응한다. 따라서, 모델 공식화는 모델이 전체 제조 공정을 시뮬레이션하는 데 얼마나 잘 사용될 수 있는지에 대한 상한을 설정한다.

[0063] 본 명세서에 설명된 1 이상의 모델의 적용예는 패터닝 공정의 정교한 미세조정(fine-tuning) 단계들, 예를 들어 조명, 투영 시스템 및/또는 패터닝 디바이스 디자인에 적용되는 미세조정 단계들이다. 이들은, 예를 들어 개구수의 최적화, 간섭성(coherence) 세팅들의 최적화, 맞춤 조명 방식(customized illumination schemes), 패터닝 디바이스 상이나 패터닝 디바이스 내에서의 위상 시프팅 피쳐들의 사용, 패터닝 디바이스 레이아웃에서의 광 근접 보정, 패터닝 디바이스 레이아웃에서의 분해능-이하 어시스트 피쳐들의 배치 또는 일반적으로 "분해능 향상 기술들"(resolution enhancement techniques: RET)로 정의된 다른 방법들을 포함하며, 이에 제한되지는 않는다.

[0064] 일 예시로서, 광 근접 보정(OPC)은 기관 상의 프린트된 피쳐의 최종 크기 및 배치가 단순히 패터닝 디바이스 상의 대응하는 피쳐의 크기 및 배치의 함수가 아닐 것이라는 사실을 설명한다. 통상적인 전자 디바이스 디자인들에 존재하는 작은 피쳐 크기들 및 높은 피쳐 밀도들에 대해, 주어진 피쳐의 특정 에지의 위치는 다른 인접한 피쳐들의 존재나 부재에 의해 어느 정도 영향을 받을 것이다. 일 실시예에서, 이 근접 효과들은 하나보다 많은 피쳐로부터의 방사선의 커플링(coupling)으로부터 일어난다. 일 실시예에서, 근접 효과들은 일반적으로 리소그래피 노광에 따라오는 노광후 베이킹(PEB), 레지스트 현상, 및 에칭 시의 확산 및 다른 화학적 영향들로부터 일어난다.

[0065] 피쳐들이 주어진 디바이스 디자인의 요건들에 따라 기관 상에 생성될 것을 보장하기 위해, 정교한 수치 모델들을 이용하여 근접 효과들이 예측되어야 하고, 성공적인 디바이스 제조가 가능해지기 전에 패터닝 디바이스의 디자인에 보정 또는 전치-왜곡(pre-distortion)이 적용된다. 이 수정들은 라인 폭 또는 에지 위치의 시프팅 또는 편향(biasing), 및/또는 자체가 프린트되려는 것이 아니라 연계된 주요 피쳐의 속성들에 영향을 미칠 1 이상의 어시스트 피쳐의 적용을 포함할 수 있다. OPC-전 디자인에 대한 이 수정들은 일반적으로 OPC 피쳐들 또는 OPC 수정들로 칭해질 수 있다.

[0066] 모델-기반 패터닝 공정 디자인의 적용은, 칩 디자인에 전형적으로 존재하는 수백만의 피쳐들을 감안하면 상당한 연산 리소스(computational resource)들 및 우수한 공정 모델들을 필요로 한다. 하지만, 모델-기반 디자인을 적용하는 것은 일반적으로 정밀 과학이 아니라, 디바이스 디자인의 모든 가능한 약점들을 항상 분석하지는 않는

반복 공정이다. 그러므로, 패터닝 디바이스의 제조로 형성되는 디자인 결함들의 가능성을 감소시키기 위해, OPC-후 디자인들, 즉 OPC 및 여하한 다른 RET에 의한 모든 패턴 수정들의 적용 후 패터닝 디바이스 레이아웃들이 디자인 검사, 예를 들어 캘리브레이션된 수치 공정 모델들을 이용한 집약적인 풀-칩 시뮬레이션에 의해 검증되어야 한다.

[0067] 하지만, 때로는 모델 파라미터들은 예를 들어 측정 및 관독 오류들로부터 부정확할 수 있고, 및/또는 시스템에 다른 결함들이 존재할 수 있다. 모델 파라미터들의 정밀한 캘리브레이션으로, 매우 정확한 시뮬레이션들이 행해질 수 있다. 따라서, 전산 패터닝 공정 평가가 패터닝 공정을 정확하게 설명하는 견고한 모델들을 수반하여야 하므로, 이러한 모델들에 대한 캘리브레이션 절차가 사용되어 적용가능한 공정 윈도우에 걸쳐 유효하고 견고하며 정확한 모델들을 달성하여야 한다.

[0068] 전산 모델들의 캘리브레이션을 가능하게 하기 위해(또한, 선택적으로 리소그래피 장치에 의해 노광되는 기관이 올바르게 일관성있게 노광되도록 하기 위해), 검사 장치를 사용하여 기관 상에 프린트되는 패턴들의 다양한 측정들을 수행하는 것이 바람직하다. 일부 실시예들에서, 검사 장치는 기관 상에 노광되거나 전사되는 1 이상의 구조체[예를 들어, 1 이상의 테스트(또는 캘리브레이션) 패턴 또는 디바이스의 구조체들 전부 또는 일부에 대응하는 1 이상의 패턴]의 이미지를 산출하는 스캐닝 전자 현미경(SEM)일 수 있다.

[0069] 따라서, 일 실시예에서, 기관 상에 소정 수의 1-차원 및/또는 2-차원 게이지 패턴들을 프린트하고(예를 들어, 게이지 패턴들은 특별히 지정된 측정 패턴들일 수 있거나, 기관 상에 프린트되는 바와 같은 디자인 디바이스 패턴의 디바이스 부분들일 수 있음), 프린트된 패턴들에 대한 측정들을 수행함으로써 캘리브레이션이 수행된다. 더 구체적으로, 이러한 1-차원 게이지 패턴들은 다양한 피치 및 CD를 갖는 라인-공간 패턴들이며, 2-차원 게이지 패턴들은 통상적으로 라인-엔드(line-end), 접촉부(contact), 및/또는 SRAM(Static Random Access Memory) 패턴들을 포함한다. 그 후, 이 패턴들은 기관 상에 이미징되고, 결과적인 기관 CD 또는 접촉홀(비아 또는 스텝-칩 비아라고도 함) 에너지가 측정된다. 그 후, 원래 게이지 패턴들 및 그 기관 측정들이 함께 사용되어 모델 예측과 기관 측정 간의 차이를 감소시키거나 최소화하는 모델 파라미터들을 결정한다. 일 실시예에서, 1 이상의 게이지 또는 캘리브레이션 패턴들은 디바이스 내의 구조체들에 대응하지 않을 수 있다. 그러나, 1 이상의 게이지 또는 캘리브레이션 패턴은 1 이상의 디바이스 패턴의 정확한 예측을 허용하기 위해 디바이스 내의 1 이상의 패턴과 충분한 유사성을 갖는다.

[0070] 앞서 설명된 바와 같은 예시적인 모델 캘리브레이션 프로세스가 도 6에 예시되어 있다. 프로세스는 게이지 및 선택적으로 다른 테스트 패턴들을 포함할 수 있는 디자인 레이아웃(600)으로 시작하며, 이는 GDSII 또는 OASIS와 같은 표준 포맷일 수 있다. 다음으로, 디자인 레이아웃은 610에서 패터닝 디바이스 레이아웃을 생성하는 데 사용되며, 이는 GDSII 또는 OASIS와 같은 표준 포맷일 수 있고, OPC 또는 다른 RET 피쳐들을 포함할 수 있다. 그 후, 일 실시예에서, 시뮬레이션 및 측정을 위해 2 개의 개별 경로들이 취해진다.

[0071] 시뮬레이션 경로에서, 패터닝 디바이스 레이아웃 및 모델(620)이 사용되어 단계 630에서 시뮬레이션된 레지스트 이미지를 생성한다. 모델(620)은 전산 리소그래피에서 사용하기 위한 패터닝 공정의 모델을 제공하며, 캘리브레이션 프로세스는 가능한 한 정확하게 모델(620)을 구성하는 것을 목표로 하여, 전산 리소그래피 결과들도 마찬가지로 정확하도록 한다. 그 후, 시뮬레이션된 레지스트 이미지는 단계 640에서 예측된 임계 치수(CD) 등을 결정하는 데 사용된다.

[0072] 측정 경로에서, 패터닝 디바이스 레이아웃(610)은 물리적 마스크(예를 들어, 레티클)로 사용되거나 이를 형성하기 위해 사용되며, 이는 그 후 650에서 기관 상에 이미징된다. 기관을 패터닝하는 데 사용되는 패터닝 공정(예를 들어, 광학 리소그래피에 대한 NA, 포커스, 도즈, 조명 소스 등)은 모델(620)에서 캡처되도록 의도된 것과 동일하다. 그 후, [예를 들어, (SEM 등과 같은) 메트롤로지 툴을 사용한] 측정들이 660에서 실제 패터닝된 기관에서 수행되며, 이는 측정된 CD, 윤곽 등을 산출한다.

[0073] 660으로부터의 측정들과 640으로부터의 예측들 간의 비교가 670에서 수행된다. 비교가 사전설정된 오차 임계치 내에서 예측들이 측정들과 매칭한다고 결정하는 경우, 모델은 690에서 성공적으로 캘리브레이션된 것으로 간주된다. 그렇지 않은 경우, 모델(620)이 변경되고, 모델(620)을 사용하여 생성된 예측들이 사전설정된 임계치 내에서 측정들과 매칭할 때까지 단계 630, 단계 640 및 단계 670이 반복된다. 일 실시예에서, 모델은 OPC 모델을 포함한다. 이후 설명은 일 실시예로서 OPC 모델에 초점을 맞출 것이지만, 모델은 OPC 모델 이외의 것이거나 OPC 모델에 추가될 수 있다.

[0074] 앞서 언급된 바와 같이, (CD와 같은) 기하학적 파라미터의 값들이 예를 들어 모델 캘리브레이션 또는 다른 목적

을 위해 기관 상의 형성된 패턴의 이미지(예를 들어, SEM 이미지와 같은 전자 빔을 사용하여 생성된 이미지)로부터 추출된다. 예를 들어, 모델 캘리브레이션에 대해 앞서 언급된 바와 같이, 게이지 패턴이 사용될 수 있다.

[0075] 도 7을 참조하면, 다양한 형태들의 패턴(예를 들어, 게이지 패턴)이 개략적으로 도시된다. 도 7은 (예를 들어, 기관에서 생성되도록 디자인된 바와 같이) 예를 들어 공칭적으로 직사각형인 디자인 레이아웃(700)으로부터 기관 상에 생성되는 일반적으로 타원형인 패턴(720)의 이미지를 예시한다. 일반적으로 타원형인 패턴(720)의 경계는 윤곽으로 도시되지만, 윤곽일 필요는 없으며, 오히려 경계는 패턴(720)의 에지를 나타내는 픽셀 데이터일 수 있다(즉, 윤곽이 추출되지 않았음). 또한, 도 7의 패턴은 기관으로부터 돌출되는 타원형이며, 패턴(720)의 내부가 경계 바로 외부의 지점들보다 높다. 하지만, 패턴(720)은 돌출부일 필요는 없으며, 트렌치 타입 구조체일 수 있다; 이 경우, 패턴(720)의 내부는 패턴(720)의 경계 바로 외부의 구역 아래에 있다. 패턴(720)이 트렌치인 경우, 공칭적으로 직사각형인 디자인 레이아웃(700)은 더 작고, 일반적으로 패턴(720)의 내부에 있을 수 있다.

[0076] 패턴의 이미지에서, 게이지들이 특정되고 평가된다. 일 실시예에서, 게이지들은 CD, 에지 위치 등과 같은 기하학적 파라미터의 값들을 결정하기 위한 패턴 상의 평가 위치들이다. 게이지들의 값은 패터닝 공정, 패터닝 공정의 장치 또는 패터닝 공정의 디자인, 제어 등에 사용되는 툴의 디자인, 제어 등에서 다양한 목적으로 사용될 수 있다. 일 특정예에서, 게이지들의 값은 예를 들어 OPC 모델의 캘리브레이션에 사용된다. 따라서, 그 경우, OPC 모델의 캘리브레이션은 효과적으로 게이지들과 관련된 오차를 최소화하는 모델을 생성하는 것을 목표로 한다. 모델 캘리브레이션을 위한 게이지 값들의 결정의 일 실시예가 여기에서 구체적으로 설명되지만, 게이지 값들의 결정은 다양한 목적으로 사용될 수 있음을 이해할 것이다.

[0077] 도 7에서, 예시적인 게이지가 측정되는 패턴의 형상의 경계(예를 들어, 윤곽)에 중첩되는 가상 라인(770), 즉 X 방향에서의 CD에 대한 게이지(770)로서 예시된다. 이해하는 바와 같이, 수많은 다른 게이지들(예를 들어, X 방향에서의 더 많은 게이지들 및 Y 방향에서의 게이지들)이 특정될 수 있다. 게이지(770)는 때로는 커트라인이라고도 하며, 따라서 패턴 상에서의 선택된 "커트"의 측정 거리를 용이하게 한다. 커트라인은 통상적으로 X 및/또는 Y 방향으로, 일부 경우에는 소정 각도로 정렬된다. 또 다른 예시적인 게이지는 평가 포인트(EP)(760)이다. EP(760)는 커트라인과 같은 라인 상의 또 다른 대응 포인트를 반드시 필요로 하지는 않는다. 게이지(770) 또는 EP(760)는 일반적으로 기관 패턴 윤곽으로부터 수집된다(즉, 패턴 이미지가 윤곽을 생성하도록 처리된 후, EP에서의 에지 위치가 원하는 EP에서의 윤곽으로부터 추출됨).

[0078] 게이지들은 패턴 레이아웃 내의 특정 스폿들에 위치되며, 기본적으로 패턴의 경계에서의 포인트들을 나타낸다. 바람직하게는, 패턴의 형상을 나타내도록 다수의 게이지들이 선택되지만, 게이지들의 수는 예를 들어 스루풋 우려 및 수익 감소에 의해 제한된다(예를 들어, 더 많은 게이지가 더 높은 정확성을 제공할 것이지만, 이는 훨씬 더 많은 것을 제공하지 않을 수 있음). 실제로, 여하한의 주어진 OPC 모델에 대해 수천의 상이한 측정들 및/또는 형상들이 구성되며, 따라서 측정되는 여하한의 기관에 다양한 형상들이 존재하고, 이들은 모두 게이지 위치들에 대응하는 정보만큼 실제 OPC 모델이 갖기 원하는 것에 대응하는 값들을 보고하려는 경우에 잘 측정되어야 한다.

[0079] 통상적인 접근법에서, 일단 OPC 모델이 생성되면, 앞서 설명된 바와 같이 많은 수의 측정들의 결과로서 향후 고정될 것이다. 이해하는 바와 같이, 모델이 오차들을 포함하는 경우, 마스크 디자인에 적용되는 최종 OPC도 마찬가지로 오차들을 포함할 것이다. 최신 레이아웃들은 복잡한 레이아웃들의 결과로서 큰 모델 오차를 갖는 경향이 있다. 마찬가지로, 마스크 내의 오차들은 그 마스크를 사용하여 생성되는 모든 웨이퍼들에 복제될 것이다. 즉, OPC 모델에서의 여하한의 오차가 디자인의 영구적인 부분이 되고 제조 과정에서 시스템적인 오차가 된다. 업데이트된 마스크가 제품 메트롤로지로부터 도출되는 정보에 기초하여 디자인되는 경우에도, 원래 OPC 모델은 일반적으로 그 모델에서의 여하한의 오차들을 복제하여 디자인에 대한 변화들을 구현하는 데 사용될 것이다.

[0080] 일단 구축되면, 모델은 칩 수율이 허용가능할 것을 보장하기 위해 실제 웨이퍼에서 검증된다. 따라서, 검증되고 캘리브레이션된 모델은 업데이트하기 어렵고 충분한 품질을 보장하기 위해 매우 엄격한 사양을 필요로 한다. 이는, 예를 들어 3 $\sigma$  주파수 범위에서 발생하는 오차들에 관하여 정의될 수 있다. 패턴들이 훨씬 더 복잡한 현대 생산 환경에서는, 6 또는 심지어 7 $\sigma$  정확성이 최소 요건이 될 수 있다.

[0081] 최종 제품들이 모델 오차들에 매우 민감할 수 있기 때문에, 이러한 극단적인 이벤트들에 대해 최적화된 경우에도, 이미징될 패턴에 대한 약간의 변화들이 초기에 분명하지 않은 OPC 모델에서의 오차들을 드러낼 수 있다. 하지만, 통상적으로 OPC 모델은 향후 모니터링되지 않으므로, 대량 제조 시 사양을 벗어난 경우에 검출되지 않

을 것이다.

- [0082] 또한, OPC 모델은 상이한 패턴들, 상이한 제조 트랙들, 상이한 공정 변수들, 및 생산 측면의 다른 가능한 변화들에 적용될 수 있다. 여하한 작은 모델 오차는 모델을 사용하여 생성되는 마스크들이 이러한 다양한 조건들에 사용되는 경우에 초기에 나타난 것보다 관련성이 높아질 수 있다.
- [0083] 리타겟팅(retargeting)은 공정 윈도우 성능을 개선하는 것을 목표로 마스크 디자인을 위해 OPC 피쳐들이 생성되고 조정되는 프로세스이다. 일 예시에서, 규칙-기반 리타겟팅은 소프트웨어 툴들을 사용하여 자동화된 방식으로 특정 타입의 피쳐에 적용될 수 있다. 기본 예시에서, 격리된 라인들은 조밀한 라인들보다 적절하게 생성하기가 더 어려운 경향이 있다(즉, 공정 윈도우 여유가 더 적음). 따라서, 더 큰 피쳐들에 대해 공정 윈도우 마진이 더 크다는 일반적인 규칙을 활용하여, 격리된 라인들을 더 크게 만드는 규칙이 구현될 수 있다. 리타겟팅 프로세스에서 적용되는 규칙들 및/또는 생성되는 어시스트 피쳐들은 대부분 OPC 모델에 의존할 것이며, 이에 따라 모델에서의 결함들이 리타겟팅 프로세스의 성능 문제들을 유도하는 경향이 있다.
- [0084] 따라서, 본 발명자는 OPC 모델에서의 오차들이 모니터링되고 보정되거나 시간이 지남에 따라 설명될 수 있는 프로세스를 개발하였다. 일단 측정, 분석 및 이해되면, 알려진 OPC 모델 오차들을 보상하기 위해 다양한 프로세스들이 변경될 수 있다. 또한, 일 실시예에 따른 프로세스는 모든 지오메트리를 사양 내에 유지(즉, 여하한 측정된 오차들이 선택된 임계치 내에 있음)하려고 시도하기 위해, 선택적으로 업데이트한 리타겟팅 흐름들로 하여금 사양을 벗어난 위치들을 보정하고 검증하게 하도록 모니터링 및 리타겟팅을 제공할 수 있으며, 또는 대안적으로 OPC 모델의 재구축을 제공할 수 있다.
- [0085] 결과로서, 리타겟팅 접근법은 일회성 적격 모델(one-time qualified model)에 엄격히 의존하는 대신에, 시간이 지남에 따라 수집되는 정보에 기초하여 적응적으로 업데이트될 수 있다.
- [0086] 일 실시예에서, 데이터베이스가 제조 공정의 다양한 측면들로부터 공정 제어 데이터를 수집하고 저장(800)하는 데 사용된다. 예를 들어, 공정 제어 시스템의 데이터베이스 모듈이 사용되어 공정 모니터링 및 제어 데이터를 포함한 성능-관련 데이터를 수집할 수 있다. 이러한 한 가지 데이터베이스는, 예를 들어 ASML의 VCP(virtual control platform)를 포함할 수 있다.
- [0087] 데이터베이스는 현장의 데이터 센터에서 리소셀과 분리된 컴퓨터 시스템에 포함되거나, 심지어 리소그래피 생산 라인에서 멀리 떨어진 컴퓨터 시스템에 포함될 수 있다. 이는, 예를 들어 OPC 모델 및 다른 생산 모델들, 프로세스들 및 데이터와 관련된 데이터를 저장하고 분석하기 위한 하드웨어 클러스터를 포함할 수 있다. 다른 모델들은, 예를 들어 에칭 모델 및 레지스트 모델을 포함할 수 있다.
- [0088] 수집되는 데이터는, 예를 들어 CD 제어 데이터, OPC 캘리브레이션 데이터, OPC 모니터링 및 핫스팟 CD 데이터, 결함 데이터, 패터닝 공정에서 사용되는 스캐너 또는 (에칭 및 증착 툴들과 같은) 다른 툴들로부터의 데이터, 예컨대 설정, 내부 센서 및 자체-모니터링 데이터, 및 예를 들어 제품 웨이퍼들의 SEM 또는 다른 이미징을 포함한 프로세스 메트릭로지 데이터를 포함할 수 있다. 원칙적으로, 제조 공정의 출력을 나타내는 여하한 데이터가 상기 방법에 대한 입력을 형성할 수 있다. 특정 생산 라인들 또는 트랙들, 예를 들어 리소그래피 툴 또는 에칭 툴과 같은 특정 공정 툴, 및 특정 공정들의 성능을 추적하기 위해, 생산 과정에서 채택되는 특정 시스템들에 대한 식별 정보를 포함하는 데이터가 수집될 수 있다.
- [0089] 그 후, 수집된 데이터는 분석되고 POR(process of record) 모델 정보와 비교(810)되어, 모델에서의 다양한 가능한 결함들이 식별될 수 있도록 할 수 있다. 이러한 방식으로, 모델들은 가장 잘 알려진 방법 흐름들을 사용하여 재-검증 및/또는 점진적으로 수정될 수 있다. 모델들의 분석 및 비교 및 검증 프로세스는 시간이 지남에 따라 반복적으로 수행될 수 있다.
- [0090] 재-검증에서, 수집된 데이터는 알려진 POR 및 기존 모델들을 고려하여 데이터에 대한 예상 또는 예측 값들과 비교된다. 수집된 데이터와 예측 사이에 차이가 존재하는 경우, 모델은 사양을 벗어난 것으로 간주될 수 있다. 이 재-검증은 예를 들어 매일 수행될 수 있지만, 원칙적으로 다소 빈번하게 수행될 수 있다. 일 실시예에서, 이는 매일 여러 번 수행된다.
- [0091] 일단 데이터가 수집되면, 이는 여러 방식으로 분석될 수 있다. 예를 들어, 시간 경과에 따른 웨이퍼 데이터를 사용하여 OPC 모델의 성능을 결정하는 것이 유용할 수 있다. 즉, 주어진 공정을 사용하여 생성되는 웨이퍼들에 대한 공정 모니터링 및 제어 데이터에서의 변화들이 선택된 기간에 걸쳐 모니터링된다. 특히, 공정에서의 변화들에 민감한 OPC 게이지들이 변화 여부를 알기 위해 베이스라인에 대해 확인된다. 공정에 관한 데이터는 생산 라인 상의 장비 변화(상이한 장비), 타겟 패턴들의 디자인 변화, 또는 시간 경과에 따른 다른 변화들의 결과로

서 변화할 수 있다.

- [0092] 일단 변화들 또는 오차들이 관찰되면, 근본-원인 분석(820)이 수행될 수 있다. 이 근본-원인 분석은 무엇보다도 관찰되는 문제들이 주로 OPC 모델 자체와 관련되는지, 아니면 다른 인자들과 관련되는지를 결정하여야 한다.
- [0093] OPC 모델이 오차의 중요한 원인이라고 결정되면, 공정을 조정하기 위해 취해야 할 시정 조치에 대한 결정이 내려질 수 있다(830). 공정을 조정하는 것은 (도즈, 포커스 등과 같은) 공정 조건들에 대한 보정들 및 OPC 모델에 대한 변화들을 둘 다 의미하는 것으로 이해되어야 한다. 단기적으로는, 예를 들어 이미징 성능을 개선하기 위해 도즈 또는 포커스 조건들에 대한 보정들이 이루어질 수 있다(840). 마찬가지로, OPC 모델은 모델의 완전한 개정보다 적게 이루어지는 적응적 섭동(adaptive perturbations)을 거칠 수 있다. 장기적으로는, 리타겟팅과 같은 OPC에 대한 수정들이 구현될 수 있다(850). 리타겟팅은 새로운 레티클이 생성될 것을 요구한다는 사실을 고려하면, 통상적으로 리타겟팅을 위한 제어 루프는 예를 들어 도즈 또는 포커스에 대한 수정들보다 더 긴 시간에 걸쳐 이루어진다.
- [0094] 그 후, 모델은 데이터베이스에 수집되어 있는 수집된 모니터링 및 제어 데이터를 사용하여 조정될 수 있다. 이는, 예를 들어 사양을 벗어난 결과들의 원인이 예측대로 작동하지 않는 기계 때문인지 여부를 결정할 수 있다. 예를 들어, 틀들의 하나의 특정 조합이 열악한 결과들을 생성하는 경우, 실패한 조합이 사용되지 않을 것을 보장하도록 생산 작업흐름이 조정될 수 있다.
- [0095] 또 다른 예시에서, 모델의 성능은 스캐너 흐름, 트랙 흐름, 에칭 흐름 등에 대해 확인될 수 있다. 모델의 효과들은 이전에 수집, 분석 및 비교된 패턴 세트들에 대한 이력 데이터(historical data)에 기초하여 다른 효과들과 분리될 수 있다. OPC 모델 자체는 변화되지 않는 한편, 공정 및 디자인 변화들은 더 흔히 변화되기 때문에, 다른 오차 원인들에 대해 모델의 효과들을 격리하는 것이 가능하다. 특정 원인들을 격리하기 위해 근본 원인 분석 알고리즘들이 적용될 수 있다. 예를 들어, 스캐너 성능 문제가 원인인 경우, 이는 수집된 데이터의 분석으로부터 분명할 것이다. 반면에, 새로운 디자인이 구현되었고 사양을 벗어난 거동이 관찰되는 경우, 디자인은 관찰된 문제의 원인인 것으로 이해될 수 있다.
- [0096] 유사하게, 사양을 벗어나는 특정 패턴들이 식별될 수 있다. 즉, 다수의 웨이퍼들 또는 다수의 디자인들에 걸쳐, 유사한 패턴들 또는 패턴 타입들(예를 들어, 접촉홀들, 조밀한 라인들, 격리된 라인들, 조밀한 트렌치, 격리된 트렌치, H 형상들, T 형상들, 다양한 각도들의 코너들, 단일 또는 이중 산란 바아들 등)이 공통 오차들을 나타내는 경우, 이는 공정의 모델링된 거동의 일부에 오차가 존재하는 것으로 추론될 수 있다.
- [0097] 이 접근법에서는, 공통 오차들을 갖는 패턴들이 여러 방식으로 그룹화될 수 있다. 하나는 디자인 규칙들에 의한 것이다. 주어진 디자인에 대해, 특정 공정에서 사용하기 위한 마스크의 디자인 요소들에 대한 파라미터들을 제공하는 규칙들의 세트가 특정될 수 있다. 이 규칙들은, 예를 들어 사양-내 결과들을 보장하도록 노력하면서 생산 공정들에서의 변화를 허용하기 위해 피처 크기들 및 피처들 간의 거리들에 대한 특정 제한들을 지정한다. 디자인 규칙들을 살핌으로써, 패턴들이 유사성을 위해 그룹화될 수 있다.
- [0098] 또 다른 실시예에서, 기계 학습 알고리즘들이 공통 오차들을 갖는 적절한 패턴 그룹들을 식별하기 위해 적용될 수 있다. 실시예는 여하한의 특정 기계 학습 모델에 제한되지 않는다. 기계 학습 모델은, 예를 들어 뉴럴 네트워크, 컨볼루션 뉴럴 네트워크(CNN), 베이지안 네트워크, 일반화된 선형 모델, 딥 러닝 모델 또는 다른 이용 가능한 기계 학습 모델들일 수 있다. 이해하는 바와 같이, 기계 학습 알고리즘들은 공통 오차들을 나타내는 것으로 함께 그룹화되어야 하는 패턴들을 식별하도록 트레이닝(train)될 수 있다.
- [0099] 마찬가지로, 다양한 패턴 매칭 알고리즘들이 적용될 수 있다. 템플릿 매칭, 트레이닝된 패턴 매칭, 커널 기반 패턴 매칭 등이 사용될 수 있다. 이론상으로는 엄격한 매칭을 사용하는 것이 가능하지만, 정확한 패턴들이 이미지의 다양한 부분들에서 흔히 재현되지 않는다는 것을 고려하면 퍼지 분류(fuzzy classification)가 바람직한 접근법일 수 있다. 이미지 인식 알고리즘들이 교대로 사용될 수 있다.
- [0100] 특정 타입의 패턴이 사양을 벗어날 수 있는 공정의 특징에는 세리프(serif)가 라인 단부들의 단축을 적절하게 보정하지 못하는 공정이다. 즉, 격리된 라인 패턴들에서 라인 단부들의 단축을 보정하기 위해 세리프들이 사용되고, 시간이 지남에 따라 격리된 라인 패턴들의 라인 단부들에서 결함들이 관찰되는 OPC 모델에서, 세리프들의 성능이 OPC 모델에서 적절하게 모델링되지 않았음을 추론하는 것이 합리적일 수 있다. 이는 여러 상이한 공정들에서 또는 상이한 생산 장비를 사용하여 동일한 효과가 관찰되는 경우에 특히 가능성이 높은 결론이다. 이해하는 바와 같이, 새로운 패턴들이 구현됨에 따라, 예를 들어 패턴-기반 오차 원인들 대 공정-기반 오차 원인들이 격리될 수 있도록 겹치는 피처들이 존재할 것이다.

- [0101] 특정 패턴이 이러한 시스템적 문제를 나타내는 경우, 패턴-기반 리타겟팅(850)이 구현될 수 있다. 즉, 그 패턴을 포함하는 디자인의 모든 부분에 대해, 보정이 적용된다. 이 보정은, 예를 들어 마스크 디자인의 변화(예를 들어, 세리프 또는 다른 어시스트 피처의 크기 증가 또는 감소, 선택된 거리만큼 피처 에지 이동 등)일 수 있거나, 공정의 변화(예를 들어, 도즈 증가 또는 감소, 또는 에칭 공정 변경)일 수 있다. 새로운 및 새로 자격검증된 OPC 모델이 생성되거나 구현되지 않았더라도, 디자인은 이전 모델의 관찰된 거동 및 그 모델링된 거동과 실제 관찰 간의 차이들을 고려할 수 있다. 추가적으로, 사양을 벗어난 결과를 생성하는 것으로 앞서 결정된 패턴의 동일한 타입을 포함하는 차후 디자인들에 대해, 그 타입의 패턴들 전부 또는 일부가 측정될 것을 보장하도록 메트롤로지 사이트들이 선택될 수 있다.
- [0102] 일 실시예에서, 공통 오차 타입을 갖는 것으로 관찰되는 패턴들에 적용되는 보정들은 사양을 벗어나지 않는 패턴들에 대한 영향을 제한하면서 국부적인 보정을 제공하도록 선택된다. 즉, 특정 패턴의 시스템적 문제에 응답하여 OPC 모델을 완전히 재-디자인하는 것이 모든 패턴들과 관련하여 모델을 변화시키는 것을 수반하는 경우, 그 대신 패턴-기반 리타겟팅은 그 특정 패턴들에만 영향을 미칠 것이다. 다른 타입들의 패턴들에 대한 OPC 보정들은 다시 계산될 필요가 없으며, 선택된 패턴들에 추가되는 보정들은 다른 타입들의 패턴들에 최소 영향만을 미쳐야 한다.
- [0103] 또한, 데이터베이스는 메트롤로지 데이터를 수집하고 적용되는 보정들의 유효성을 검증하는 데 사용될 수 있다. 이전 예시에 따라, 일단 세리프 또는 다른 어시스트 피처들이 격리된 라인 패턴들의 라인 단부들에 대해 수정되면, 변화의 효과를 검증하기 위해 측정들이 수행될 수 있다. 따라서, OPC 모델을 완전히 재-구축 및 재-자격검증하지 않고, 업데이트된 모델은 특정 국부적 변화들에 대해 재-자격검증된다. 이 국부적 자격검증(local qualification)은, 예를 들어 수정된 OPC 피처들의 대상이 된 격리된 라인들에 대한 CD와 같은 1 이상의 관련 이미지 파라미터를 측정함으로써 수행될 수 있다.
- [0104] 이러한 방식으로, 이미 사양 내에 있는 패턴의 그 구역들은 사양 내에 유지되어야 하는 한편, 사양 내에 있지 않은 그 구역들은 보정되거나 개선될 수 있다.
- [0105] 패턴-기반 리타겟팅이 사용되는 경우, 데이터베이스는 리타겟팅에서 이루어진 보정들의 유효성을 검증하도록 메트롤로지 사이트 목록들을 생성하기 위해 패턴 데이터베이스와 조합하여 사용될 수 있다. 즉, 패턴-기반 리타겟팅의 효과들의 관찰에 적합한 특정 메트롤로지 사이트들이 선택되고, 이러한 특정 사이트들에서의 측정들이 검증에 사용된다. 이러한 방식으로, 패턴-기반 리타겟팅에 기초한 OPC 모델에 대한 업데이트들이 추가적인 패턴 디자인 프로세스들에서 더 사용하기 위해 자격검증될 수 있다.
- [0106] 따라서, 상기 방법의 한 가지 출력은 OPC 모델에 대한 업데이트된 리타겟팅 레시피이다. 그 후, 업데이트된 레시피는 향후 다른 타겟 이미지들에서 조정을 수행하는 데 사용될 수 있다.
- [0107] 일 실시예에서, 모델은 원래 모델의 관찰된 결함들에 기초하여 재구축(860)될 수 있다. 재구축은, 예를 들어 그림자 모드(shadow mode) 또는 측면 경로에서 수행될 수 있다. 즉, 이는 직접 수행 및 구현되는 것이 아니라, 오히려 제조 공정을 변화시키지 않고 모델들의 지속적인 업데이트를 수반하며, 업데이트된 모델은 지속적인 방식으로 실제 성능에 대해 확인된다. 이러한 방식으로, 제조 공정은 새로운 OPC 모델이 구축되고 자격검증되는 동안에 반드시 중단되는 것은 아니다. 즉, 모델을 완전히 재-구축하기보다는 모델에 점진적으로 추가하는 것이다.
- [0108] 요약하면, 보정 및 제어를 위해 3 개의 상이한 시간 스케일들이 고려될 수 있다. 데이터가 수집되고 사양을 벗어난 성능이 관찰됨에 따라, 생산 공정이 조정되어 보정들을 수행한다. 공정 제어들(예를 들어, 도즈, 포커스, 조명 세팅들)의 변화들을 사용하여 단기 보정들이 적용될 수 있다. 리타겟팅을 사용하여 중기 변화들이 구현될 수 있다. 마지막으로, 모델을 수정하고 업데이트된 모델을 재자격검증함으로써 장기 변화들이 구현될 수 있다.
- [0109] 일 실시예에서, 이미지를 얻는 것은 (예를 들어, 도 3 및/또는 도 4를 참조하여 설명된 장치와 같은) 검사 장치를 사용하여 기관 상의 형성된 패턴을 측정하는 것을 포함한다. 일 실시예에서, 형성된 패턴의 측정은 공간 배어링에 관한 정보에 의해 안내된다. 즉, 패턴은 공간 배어링 정보가 제공되는 1 이상의 EP 각각에 대응하는 공간 배어링 방향을 따른 구역들에서 특별히 측정된다. 예를 들어, 도 7에 나타난 바와 같이, 연관되는 형성된 패턴에 대한 EP 730 및/또는 EP 740의 위치는 필요한 경우 검사 장치의 좌표계에서 결정될 수 있으며, 그 후 측정은 (예를 들어, 검사 장치에 의해 EP 730 및/또는 EP 740의 위치들에 관한 정보로부터 결정될 수 있거나, 또는 공간 배어링 정보로 포함될 수 있는) 공간 배어링 방향을 따른 및 형성된 패턴에 대한 EP 730 및/또는 EP 740의 위치로부터 임계 거리 내에서 수행될 수 있다. 일 실시예에서, 안내된 측정은 패턴의 구역들에서 추가

측정 정보를 얻는 검사 장치를 포함한다. 일 실시예에서, 안내된 측정은 패턴의 구역들에서 측정 정보를 얻고 패턴 상의 다른 위치들에서는 얻지 않는 검사 장치를 포함한다.

- [0110] 840에서, 측정된 패턴 이미지 상의 1 이상의 EP의 위치 결정이 수행된다. 필요한 경우, 이미지는 공간 베어링 정보의 좌표계, 예를 들어 GDS, GDSII 또는 OASIS 좌표계)로, 또는 시뮬레이션된 패턴 윤곽으로(예를 들어, 이미지 내의 형성된 패턴의 일반화된 형상과 시뮬레이션된 타겟 윤곽을 수학적으로 정렬할 수 있는 컴퓨터 이미지 처리 기술에 의해), 또는 공간적으로 분산된 EP 730 및/또는 EP 740의 컬렉션의 위치들로(예를 들어, 이미지 내의 형성된 패턴의 일반화된 형상과 공간적으로 분산된 EP 730 및/또는 EP 740을 수학적으로 정렬할 수 있는 컴퓨터 이미지 처리 기술에 의해) 정렬된다. 정렬은 검사 장치의 D2DB(die to database) 기능을 사용하여 수행될 수 있다.
- [0111] 측정된 패턴 이미지 상의 1 이상의 EP의 위치를 결정하기 위해, 공간 베어링 정보에 포함되거나 그로부터 도출되는 공간 베어링 방향이 시뮬레이션된 타겟 윤곽 상의 연관된 EP 및/또는 타겟 다각형 상의 연관된 EP의 위치와 함께 사용된다. 일 실시예에서, 공간 베어링 정보가 공간 베어링 방향을 포함하지 않는 경우, 공간 베어링 방향은 공간 베어링 정보에 포함되는 타겟 다각형 상의 연관된 EP의 위치 및 시뮬레이션된 타겟 윤곽 상의 EP의 위치로부터 계산될 수 있다.
- [0112] 특히, 측정된 패턴 이미지 상의 1 이상의 EP의 위치를 결정하기 위해, 이미지 좌표계에서의 시뮬레이션된 타겟 윤곽 상의 연관된 EP의 위치 및/또는 타겟 다각형 상의 연관된 EP로부터의 위치가 결정되거나 표시되고, 이미지는 이미지 좌표계에서의 시뮬레이션된 타겟 윤곽 상의 연관된 EP의 위치 및/또는 이미지 좌표계에서의 타겟 다각형 상의 연관된 EP로부터의 위치로부터 공간 베어링 방향을 따라 분석되어, 공간 베어링 방향을 따라 패턴의 경계가 차단되는 위치를 식별한다. 따라서, 일 실시예에서 및 도 7의 맥락에서, 결과는 그 교차점에서 패턴 이미지(720) 상의 EP 760의 위치를 식별하기 위해 측정된 패턴 이미지(720)의 경계로의 가상 라인(750)의 차단을 효과적으로 결정하는 것이다. 물론, 이 차단의 식별을 달성하기 위해 이미지에 라인이 그려질 필요는 없다. 오히려, 데이터 처리 기술이 이미지 좌표계에서의 EP 730 및/또는 이미지 좌표계에서의 EP 740의 위치로부터 750 방향을 따라 적용되어, 패턴 이미지(720)의 경계에 도달하는 위치를 식별할 수 있다. 경계를 식별하는 이미지 데이터 처리 기술은 이러한 목적을 위한 여하한의 현재 또는 미래 기술일 수 있다. 일 실시예에서, 알려진 측정 알고리즘(예를 들어, CD 측정 알고리즘) 및 연관된 임계치가 예를 들어 커트라인 게이지 결정에 사용되는 바와 같이 사용될 수 있다. 예를 들어, 일 실시예에서, 이미지 데이터 처리는 픽셀 데이터의 값들의 기울기 (gradient)를 평가하고, 기울기가 소정 임계치(예를 들어, 최대 기울기 또는 최대값의 10 % 이내)를 교차하거나 충족하는 경계를 식별할 수 있다. 이 기술은 패턴의 에지의 상향 또는 하향 경사 상의 어딘가의 위치(예를 들어, 경사의 중간 정도 또는 바닥에서 약 10 내지 30 %의 경사 상의 위치)로서 경계의 식별을 가능하게 할 수 있다.
- [0113] 본 실시예들은 다음 항목들을 이용하여 더 설명될 수 있다:
- [0114] 1. 광 근접 보정(OPC) 모델을 사용하는 이미징 공정을 제어하는 방법으로서,
- [0115] 패턴링 공정에서 OPC-후 디자인을 사용하여 기관 상에 패턴을 형성하는 공정에서 OPC-전 디자인에 대한 OPC 수정들의 거동을 모델링하도록 구성되는 OPC 모델을 얻는 단계;
- [0116] 제조 환경에서 패턴링 공정을 사용하는 단계;
- [0117] 제조 환경에서 패턴링 공정을 사용하여 패턴링된 기관들에서의 공정 제어 데이터를 수집하는 단계;
- [0118] 수집된 공정 제어 데이터를 데이터베이스에 저장하는 단계;
- [0119] 하드웨어 컴퓨터 시스템에 의해, 저장된 수집된 공정 제어 데이터를 분석하여, OPC 모델이 선택된 임계치 내에서 패턴 피쳐들을 보정하고 있는지를 검증하는 단계; 및
- [0120] 선택된 임계치를 벗어나는 패턴 피쳐들에 대해, 이미징 오차들을 보정하도록 이미징 공정에 대한 수정을 결정하는 단계를 포함하는 방법.
- [0121] 2. 1 항에 있어서, 수정들은 기관 상의 이미징된 피쳐들이 선택된 한계들 내에서 정확하도록 패턴링 공정을 보정하도록 선택되는 방법.
- [0122] 3. 1 항에 있어서, 패턴링 공정은 포토리소그래피 공정인 방법.
- [0123] 4. 1 항에 있어서, 분석하는 단계는 저장된 수집된 공정 제어 데이터에 대한 근본 원인 분석의 적용을 포함하는

방법.

- [0124] 5. 1 항에 있어서, 수정은 포토리소그래피 패터닝 공정의 공정 파라미터를 조정하는 단계를 포함하는 방법.
- [0125] 6. 5 항에 있어서, 파라미터는: 도즈, 포커스, 및 조명 세팅으로 이루어진 그룹으로부터 선택되는 1 이상의 파라미터인 방법.
- [0126] 7. 1 항에 있어서, 수정은 광 근접 수정들을 리타겟팅하는 것을 포함하는 방법.
- [0127] 8. 1 항에 있어서, 수정은 OPC 모델을 재구축하고 재구축된 OPC 모델을 자격검증하는 것을 포함하는 방법.
- [0128] 9. 1 항에 있어서, 수정은 OPC 모델의 적응적 섭동을 수행하는 것을 포함하는 방법.
- [0129] 10. 앞선 항들 중 어느 하나에 있어서, 분석하는 단계는:
- [0130] OPC-후 디자인의 복수의 패턴 타입들 중 하나의 멤버들 사이에서 공통 오차들을 결정하는 단계;
- [0131] 공통 오차들을 나타내는 패턴들을 패턴들의 적어도 하나의 그룹으로 그룹화하는 단계; 및
- [0132] 패턴들의 적어도 하나의 그룹을 포함하는 패턴들에 제한된 수정이도록 이미징 공정에 대한 수정을 결정하는 단계를 포함하는 방법.
- [0133] 11. 10 항에 있어서, 패턴들을 그룹화하는 단계는 기계 학습 알고리즘을 사용하는 단계를 포함하는 방법.
- [0134] 12. 10 항에 있어서, 패턴들을 그룹화하는 단계는 패턴 매칭 알고리즘을 사용하는 단계를 포함하는 방법.
- [0135] 13. 12 항에 있어서, 패턴 매칭 알고리즘은 퍼지 패턴 매칭 알고리즘을 포함하는 방법.
- [0136] 14. 10 항에 있어서, 패턴들을 그룹화하는 단계는 디자인 규칙 분석을 사용하는 단계를 포함하는 방법.
- [0137] 15. 1 항에 있어서, 선택된 임계치 내에 있지 않은 피쳐들과 동일한 타입의 피쳐들을 포함하는 것으로 결정된 패턴들을 포함하도록 적어도 일부 메트롤로지 사이트들이 선택되는 방법.
- [0138] 16. 15 항에 있어서, 동일한 타입의 피쳐들은 패턴 매칭 알고리즘을 사용하여 선택되는 방법.
- [0139] 17. 1 항에 있어서, 공정 제어 데이터는: CD 제어 데이터, OPC 캘리브레이션 데이터, OPC 모니터링 및 핫스팟 CD 데이터, 결함 데이터, 도즈 설정, 포커스 설정, 조명 설정, 메트롤로지 데이터, SEM 데이터, 및 시스템 내부 센서 데이터로 이루어진 그룹으로부터 선택되는 방법.
- [0140] 18. 1 항에 있어서, 얻어지는 OPC 모델은 자격검증된 OPC 모델인 방법.
- [0141] 19. 패터닝 공정을 사용하여 일련의 기관들에 디바이스 패턴이 적용되는 디바이스 제조 방법으로서,
- [0142] 1 항 내지 18 항의 방법에 따라 이미징 공정을 제어하는 단계를 포함하는 방법.
- [0143] 20. 프로세서가 1 항 내지 18 항 중 어느 하나의 방법을 수행하게 하도록 구성되는 기계-관독가능한 명령어들을 포함하는 비-일시적 컴퓨터 프로그램 제품.
- [0144] 21. 광 근접 보정(OPC) 모델을 사용하는 이미징 공정을 제어하는 시스템으로서,
- [0145] 복수의 포토리소그래피 패터닝 장치들과 통신하며,
- [0146] OPC-전 디자인에 대한 OPC 수정들의 거동을 모델링하도록 구성되는 OPC 모델에 따라 OPC-후 디자인을 사용하는 포토리소그래피 패터닝 공정을 사용하여 제조 환경에서 패터닝되는 기관들로부터 공정 제어 데이터를 수집하고,
- [0147] 수집된 공정 제어 데이터를 데이터베이스에 저장하도록 구성되는 데이터베이스;
- [0148] 데이터베이스와 통신하며,
- [0149] 저장된 수집된 공정 제어 데이터를 분석하여 OPC 모델이 선택된 임계치 내에서 패턴 피쳐들을 보정하고 있는지를 검증하고,
- [0150] 선택된 임계치를 벗어나는 패턴 피쳐들에 대해, 이미징 오차들을 보정하기 위해 이미징 공정에 대한 수정을 결정하도록 구성되는 하드웨어 컴퓨터 시스템을 포함하는 시스템.
- [0151] 일 실시예는 본 명세서에 설명된 바와 같은 방법의 실행을 가능하게 하는 기계-관독가능한 명령어들의 1 이상의 시퀀스를 포함한 컴퓨터 프로그램을 포함할 수 있다. 이 컴퓨터 프로그램은, 예를 들어 도 1 내지 도 4 중 어

는 하나의 장치와, 또는 장치 내에 포함될 수 있다. 또한, 이러한 컴퓨터 프로그램이 저장되어 있는 데이터 저장 매체(예를 들어, 반도체 메모리, 자기 또는 광학 디스크)가 제공될 수 있다. 예를 들어, 도 1 내지 도 4 중 어느 하나에 나타난 타입의 기존 장치가 이미 생산중 및/또는 사용중인 경우, 일 실시예는 장치의 프로세서가 본 명세서에 설명된 바와 같은 방법을 수행하게 하는 업데이트된 컴퓨터 프로그램 제품들의 제공에 의해 구현될 수 있다.

[0152] 본 발명의 일 실시예는 본 명세서에 개시된 바와 같은 방법의 실행을 야기하는 기계-판독가능한 명령어들의 1 이상의 시퀀스를 포함한 컴퓨터 프로그램, 또는 이러한 컴퓨터 프로그램이 저장되어 있는 데이터 저장 매체(예를 들어, 반도체 메모리, 자기 또는 광학 디스크)의 형태를 취할 수 있다. 또한, 기계 판독가능한 명령어는 2 이상의 컴퓨터 프로그램으로 구현될 수 있다. 2 이상의 컴퓨터 프로그램들은 1 이상의 상이한 메모리 및/또는 데이터 저장 매체에 저장될 수 있다.

[0153] 본 명세서에 설명된 여하한의 제어기들은 각각 또는 조합하여, 1 이상의 컴퓨터 프로그램이 리소그래피 장치의 적어도 하나의 구성요소 내에 위치되는 1 이상의 컴퓨터 프로세서에 의해 판독될 때 작동가능할 수 있다. 제어기들은 각각 또는 조합하여, 신호들을 수신, 처리 및 전송하기 위한 여하한의 적절한 구성을 가질 수 있다. 1 이상의 프로세서가 제어기들 중 적어도 하나와 통신하도록 구성된다. 예를 들어, 각각의 제어기가 앞서 설명된 방법들에 대한 기계-판독가능한 명령어들을 포함하는 컴퓨터 프로그램들을 실행하기 위한 1 이상의 프로세서를 포함할 수 있다. 제어기들은 이러한 컴퓨터 프로그램들을 저장하는 데이터 저장 매체, 및/또는 이러한 매체를 수용하는 하드웨어를 포함할 수 있다. 따라서, 제어기(들)는 1 이상의 컴퓨터 프로그램의 기계 판독가능한 명령어들에 따라 작동할 수 있다.

[0154] 이상, 광학 리소그래피와 관련하여 실시예들의 특정 사용예를 언급하였지만, 본 발명의 일 실시예는 다른 적용예들에 사용될 수 있으며, 예를 들어 근접 보정이 전자 빔 기술을 사용한 마스크 기록에 사용될 수도 있고, 앞선 내용은 광학 이미징 방법들에 대한 적용과 병행하여 방법에서 적용될 수 있음을 이해할 것이다.

[0155] 본 명세서에서는, IC의 제조에 대하여 특히 언급되지만, 본 명세서의 기재내용은 다수의 다른 가능한 적용예들을 갖는다는 것을 이해하여야 한다. 예를 들어, 이는 집적 광학 시스템, 자기 도메인 메모리용 안내 및 검출 패턴, 평판 디스플레이, MEMS(micro-electro mechanical systems), 액정 디스플레이 패널, 박막 자기 헤드 등의 제조 시에 채택될 수 있다. 당업자라면, 이러한 대안적인 적용예와 관련하여, 본 명세서의 "레티클", "웨이퍼" 또는 "다이"라는 용어의 어떠한 사용도 각각 "마스크", "기판" 및 "타겟부"라는 좀 더 일반적인 용어와 교환가능한 것으로 간주되어야 함을 이해할 것이다.

[0156] 본 명세서에서 언급되는 기판은 노광 전후에, 예를 들어 트랙(전형적으로, 기판에 레지스트 층을 도포하고 노광된 레지스트를 현상하는 틀), 메트롤로지 틀 및/또는 검사 틀에서 처리될 수 있다. 적용가능하다면, 이러한 기판 처리 틀과 다른 기판 처리 틀에 본 명세서의 기재내용이 적용될 수 있다. 또한, 예를 들어 다층 IC를 생성하기 위하여 기판이 한 번 이상 처리될 수 있으므로, 본 명세서에 사용되는 기판이라는 용어는 이미 여러 번 처리된 층들을 포함하는 기판을 칭할 수도 있다.

[0157] 달리 특정적으로 명시되지 않는 한, 본 명세서에서 사용된 "방사선" 및 "빔"이라는 용어는 이온 빔 또는 전자 빔과 같은 입자 빔뿐만 아니라, (예를 들어, 365, 355, 248, 193, 157 또는 126 nm, 또는 그 정도의 파장을 갖는) 자외(UV) 방사선 및 (예를 들어, 5 내지 20 nm 범위 내의 파장을 갖는) 극자외(EUV) 방사선을 포함하는 모든 형태의 전자기 방사선을 포괄한다.

[0158] "마스크", "레티클", "패터닝 디바이스"라는 용어들은 본 명세서에서 교환가능하게 이용된다는 것을 유의한다. 또한, 리소그래피 시뮬레이션/최적화에서는 물리적 패터닝 디바이스가 반드시 사용되는 것이 아니라 디자인 레이아웃이 물리적 패터닝 디바이스를 나타내도록 사용될 수 있기 때문에, 당업자라면 특히 리소그래피 시뮬레이션/최적화와 관련하여 "마스크"/"패터닝 디바이스" 및 "디자인 레이아웃"이라는 용어가 교환가능하게 이용될 수 있음을 인식할 것이다.

[0159] 본 명세서에서 사용되는 바와 같은 "투영 광학기"라는 용어는, 예를 들어 굴절 광학기, 반사 광학기, 어퍼처(aperture) 및 카타디옵트릭 광학기를 포함하는 다양한 타입의 광학 시스템들을 포괄하는 것으로서 폭넓게 해석되어야 한다. 또한, "투영 광학기"라는 용어는 집합적으로 또는 개별적으로 방사선 투영 빔을 지향, 성형 또는 제어하기 위해 이 디자인 타입들 중 어느 하나에 따라 작동하는 구성요소들을 포함할 수 있다. "투영 광학기"라는 용어는, 광학 구성요소가 리소그래피 투영 장치의 광학 경로 상의 어디에 위치되든지, 리소그래피 투영 장치 내의 여하한의 광학 구성요소를 포함할 수 있다. 투영 광학기는 방사선이 패터닝 디바이스를 지나가기 전에

소스로부터의 방사선을 성형, 조정 및/또는 투영하는 광학 구성요소들, 및/또는 방사선이 패터닝 디바이스를 지나간 후에 방사선을 성형, 조정 및/또는 투영하는 광학 구성요소들을 포함할 수 있다. 투영 광학기는 일반적으로 소스 및 패터닝 디바이스를 배제한다.

[0160] 시스템 또는 공정의 최적화 공정에서, 시스템 또는 공정의 성능 지수(figure of merit)가 비용 함수로서 표현될 수 있다. 최적화 공정은 비용 함수를 최적화(예를 들어, 최소화 또는 최대화)하는 시스템 또는 공정의 파라미터들(디자인 변수들)의 세트를 발견하는 공정으로 압축된다. 비용 함수는 최적화의 목표에 따라 여하한 적절 한 형태를 가질 수 있다. 예를 들어, 비용 함수는 시스템 또는 공정의 소정 특성들(평가 포인트들)의 의도된 값들(예를 들어, 이상적인 값들)에 대한 이러한 특성들의 편차들의 가중 RMS(root mean square)일 수 있다; 또한, 비용 함수는 이 편차들의 최대값(즉, 가장 심한 편차)일 수도 있다. 본 명세서에서 "평가 포인트"라는 용어는 시스템 또는 공정의 여하한 특성들을 포함하는 것으로 폭넓게 해석되어야 한다. 시스템 또는 공정의 디자인 변수들은 시스템 또는 공정의 구현의 실용성(practicality)들로 인해 상호의존적이고, 및/또는 유한한 범위로 한정될 수 있다. 리소그래피 장치 또는 패터닝 공정의 경우, 제약은 흔히 패터닝 디바이스 제조가능 디자인 규칙들, 및/또는 조절가능한 범위들과 같은 하드웨어의 물리적 속성들 및 특성들과 관련되고, 평가 포인트들은 도즈 및 포커스와 같은 비-물리적 특성들뿐 아니라, 기관 상의 레지스트 이미지 또는 패턴의 물리적 포인트들을 포함할 수 있다.

[0161] 본 명세서에서 사용되는 바와 같은 "최적화하는" 및 "최적화"라는 용어는 패터닝의 결과들 및/또는 공정들이 1 이상의 바람직한 특성, 예컨대 기관 상의 디자인 레이아웃의 더 높은 전사 정확성, 더 큰 공정 윈도우 등을 갖도록 패터닝 공정 장치, 패터닝 공정의 1 이상의 단계 등을 조정하는 것을 칭하거나 의미한다. 따라서, 본 명세서에서 사용되는 "최적화하는" 및 "최적화"라는 용어는 1 이상의 파라미터에 대한 1 이상의 값의 초기 세트에 비해, 적어도 하나의 관련 메트릭에서 개선, 예를 들어 국부적 최적을 제공하는 1 이상의 파라미터에 대한 1 이상의 값을 식별하는 공정을 칭하거나 의미한다. "최적" 및 다른 관련 용어들은 이에 따라 해석되어야 한다. 일 실시예에서, 최적화 단계들은 1 이상의 메트릭에서 추가 개선을 제공하도록 반복적으로 적용될 수 있다.

[0162] 블록 다이어그램들에서, 예시된 구성요소들은 개별 기능 블록들로서 도시되어 있지만, 실시예들은 본 명세서에 설명된 기능이 예시된 바와 같이 구성되는 시스템들로 제한되지 않는다. 구성요소들 각각에 의해 제공되는 기능은 현재 도시된 것과 상이하게 구성되는 소프트웨어 또는 하드웨어 모듈들에 의해 제공될 수 있으며, 예를 들어 이러한 소프트웨어 또는 하드웨어는 (예를 들어, 데이터 센터 내에서 또는 지리적으로) 혼합, 결합, 복제, 분리, 분포, 또는 달리 상이하게 구성될 수 있다. 본 명세서에 설명된 기능은 유형의 비-일시적 기계 판독가능한 매체 상에 저장된 코드를 실행하는 1 이상의 컴퓨터의 1 이상의 프로세서에 의해 제공될 수 있다. 몇몇 경우, 타사의 콘텐츠 전송 네트워크가 네트워크를 통해 전달되는 정보의 일부 또는 전부를 호스팅할 수 있으며, 이 경우 정보(예를 들어, 콘텐츠)가 공급되거나 달리 제공되라고 하는 범위에 대하여, 정보는 콘텐츠 전송 네트워크로부터 그 정보를 검색하도록 명령어들을 송신함으로써 제공될 수 있다.

[0163] 달리 특정적으로 명시되지 않는 한, 논의에서 명백한 바와 같이, 본 명세서 전반에 걸쳐 "처리", "연산", "계산", "결정" 등과 같은 용어를 사용한 설명들은 특수 목적 컴퓨터 또는 유사한 특수 목적 전자 처리/연산 디바이스와 같은 특정한 장치의 동작 또는 공정을 지칭한다는 것을 이해한다.

[0164] 본 출원은 수 개의 발명들을 설명한다는 것을 이해하여야 한다. 이러한 발명들을 다수의 개별 특허 출원들로 분리하기보다는, 출원인은 이 발명들을 단일 문서로 그룹화하였는데, 이는 이들의 관련 대상이 출원 과정에서 절약에 적합하기 때문이다. 하지만, 이러한 발명들의 별개의 장점들 및 측면들은 합쳐지지 않아야 한다. 몇몇 경우, 실시예들이 본 명세서에 명시된 결점들을 모두 해결하지만, 본 발명들은 독립적으로 유용하며, 몇몇 실시예들은 이러한 문제들의 서브세트만을 해결하거나 본 기재내용을 검토하는 당업자에게 명백할 언급되지 않은 다른 이점들을 제공한다는 것을 이해하여야 한다. 비용의 제약으로 인해, 본 명세서에 개시된 일부 발명들은 현재 청구되지 않을 수 있으며, 본 청구항을 보정함으로써 또는 계속 출원과 같이 추후 출원에서 청구될 수 있다. 유사하게, 공간 제약으로 인해, 본 문서의 초록(Abstract)이나 발명의 요약(Summary of the Invention) 부분들은 이러한 발명들 전부의 포괄적인 목록 또는 이러한 발명들의 모든 실시형태들을 포함하는 것으로 간주되어서는 안 된다.

[0165] 설명 및 도면들은 본 발명을 개시된 특정 형태로 제한하려는 것이 아니라, 반대로 첨부된 청구항에 의해 정의되는 본 발명의 기술사상 및 범위 내에 있는 모든 변형예, 균등물 및 대안예를 포함하기 위한 것임을 이해하여야 한다.

[0166] 본 발명의 다양한 실시형태들의 변형예들 및 대안적인 실시예들은 이 설명을 고려하여 당업자에게 명백할 것이

다. 따라서, 이 설명 및 도면들은 단지 예시적인 것으로서 해석되어야 하며, 본 발명을 수행하는 일반적인 방식을 당업자에게 교시하기 위한 것이다. 본 명세서에 도시되고 설명된 본 발명의 형태들은 실시예들의 예시들로서 취해진 것으로 이해되어야 한다. 본 명세서에 도시되고 기술된 것들을 대신하여 요소들 및 재료들이 대체될 수 있으며, 부품들 및 공정들은 역전되거나 생략될 수 있고, 소정 특징들은 독립적으로 이용될 수 있으며, 실시예들 또는 실시예들의 특징들은 조합될 수 있고, 이는 모두 본 발명의 이러한 설명의 이점을 가진 후에 당업자에게 명백할 것이다. 다음 청구항들에 기재된 본 발명의 기술사상 및 범위를 벗어나지 않고 본 명세서에 설명된 요소들이 변경될 수 있다. 본 명세서에 사용된 표제는 단지 편제의 목적만을 위한 것이며, 설명의 범위를 제한하는 데 사용되지는 않는다.

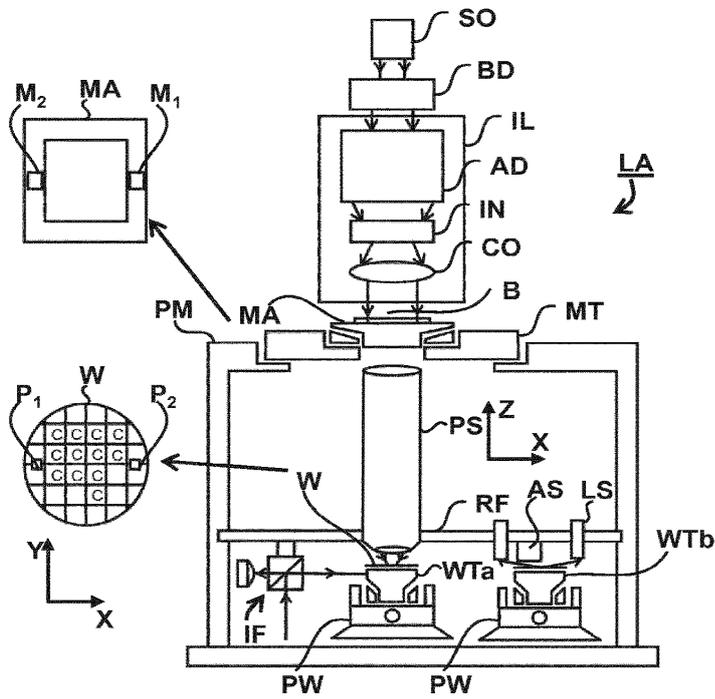
[0167] 본 출원 전반에 걸쳐 사용된 바와 같이, 단어 "할 수 있다(may)"는 의무적인 의미(즉, 해야 함을 의미함)보다는 허용의 의미(즉, 가능성을 가짐을 의미함)로 사용된다. "포함한다" 및 "포함하는" 등의 단어는 포함하지만 이에 제한되지는 않는다는 것을 의미한다. 본 출원 전반에 걸쳐 사용된 바와 같이, 단수 형태 "a", "an" 및 "the"는 내용이 명시적으로 달리 지시하지 않는 한 복수의 대상을 포함한다. 따라서, 예를 들어 "하나의 요소"에 대한 언급은 "하나 또는 그 이상"과 같은 1 이상의 요소에 대한 다른 용어 및 어구의 사용에도 불구하고 2 이상의 요소들의 조합을 포함한다. "또는(or)"이라는 용어는 달리 명시되지 않는 한, 비-배타적이며, 즉 "및(and)"과 "또는(or)"을 모두 포괄한다. 예를 들어, "X에 응답하여, Y", "X 때, Y", "X라면, Y", "X의 경우, Y" 등과 같은 조건부 관계를 설명하는 용어는, 선행 조건이 필요 원인 조건이거나, 선행 조건이 충분 원인 조건이거나, 또는 선행 조건이 결과의 기여 원인 조건인 인과 관계들을 포괄하고, 예를 들어 "조건 Y를 얻을 때 상태 X가 발생한다"는 "X는 Y에서만 발생한다" 및 "X는 Y와 Z에서 발생한다"에 일반적이다. 이러한 조건부 관계들은 일부 결과가 지연될 수 있기 때문에 선행 조건을 얻은 바로 후의 결과들에 제한되지 않으며, 조건부 진술에서 선행 조건은 그 결과들에 연결되고, 예를 들어 선행 조건은 결과 발생의 가능성과 관련이 있다. 복수의 속성들 또는 기능들이 복수의 대상들(예를 들어, 단계 A, 단계 B, 단계 C 및 단계 D를 수행하는 1 이상의 프로세서)에 매핑된다는 언급은, 달리 지시되지 않는 한, 이러한 모든 대상에 매핑되는 이러한 모든 속성들 또는 기능들, 및 속성들 또는 기능들의 서브세트들에 매핑되는 속성들 또는 기능들의 서브세트들을 둘 다(예를 들어, 단계 A 내지 단계 D를 각각 수행하는 모든 프로세서들, 및 프로세서 1이 단계 A를 수행하고, 프로세서 2가 단계 B 및 단계 C의 일부를 수행하고, 프로세서 3이 단계 C의 일부와 단계 D를 수행하는 경우 둘 다) 포괄한다. 나아가, 달리 지시되지 않는 한, 하나의 값 또는 동작이 또 다른 조건 또는 값에 "기초한다"는 언급은, 조건 또는 값이 유일한 인자인 인스턴스들 및 조건 또는 값이 복수의 인자들 중 하나의 인자인 인스턴스들을 둘 다 포괄한다. 달리 지시되지 않는 한, 일부 집합의 "각각"의 인스턴스가 일부 속성을 갖는다는 언급들은, 더 큰 집합의 달리 동일하거나 유사한 일부 멤버들이 해당 속성을 갖지 않는 경우를 제외하는 것으로 읽혀서는 안 되며, 즉 각각(each)이 반드시 각각 및 모든 것(each and every)을 의미하는 것은 아니다.

[0168] 소정 미국 특허, 미국 특허 출원 또는 기타 자료(예를 들어, 기사)가 인용참조된 범위에서, 이러한 미국 특허, 미국 특허 출원 및 기타 자료의 텍스트는 이러한 자료와 본 명세서에 명시된 기재내용 및 도면 간에 상충하지 않는 정도로만 인용참조된다. 이러한 상충의 경우, 이러한 인용참조된 미국 특허, 미국 특허 출원 및 기타 자료에서의 여하한 이러한 상충하는 텍스트는 본 명세서에서 구체적으로 인용참조되지 않는다.

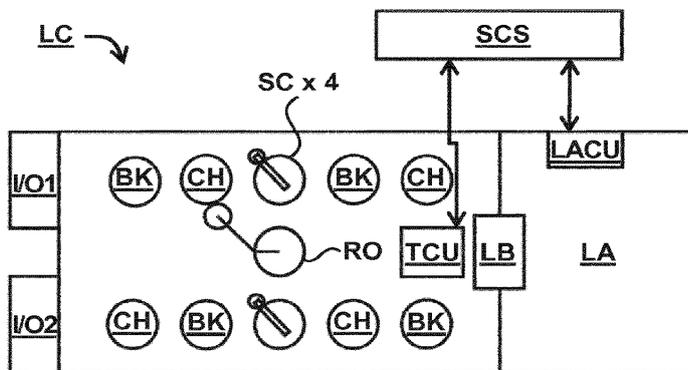
[0169] 상기 서술내용은 예시를 위한 것이지, 제한하려는 것이 아니다. 따라서, 당업자라면 아래에 설명되는 청구항들의 범위를 벗어나지 않고 서술된 바와 같이 본 발명에 대한 변형예가 행해질 수도 있음을 이해할 것이다. 예를 들어, 1 이상의 실시예의 1 이상의 측면은 적절하다면 1 이상의 다른 실시예의 1 이상의 측면과 조합되거나 이를 대신할 수 있다. 그러므로, 이러한 응용예 및 변형예들은 본 명세서에 나타낸 교시 및 안내에 기초하여, 개시된 실시예들의 균등물의 의미 및 범위 내에 있도록 의도된다. 본 명세서에서, 어구 또는 전문 용어는 예시에 의한 설명을 위한 것이며 제한하려는 것이 아니므로, 당업자라면 본 명세서의 전문 용어 또는 어구가 교시 및 안내를 고려하여 해석되어야 한다는 것을 이해하여야 한다. 본 발명의 범위와 폭은 상술된 예시적인 실시예들 중 어느 것에 의해서도 제한되지 않아야 하며, 다음의 청구항 및 그 균등물에 따라서만 정의되어야 한다.

도면

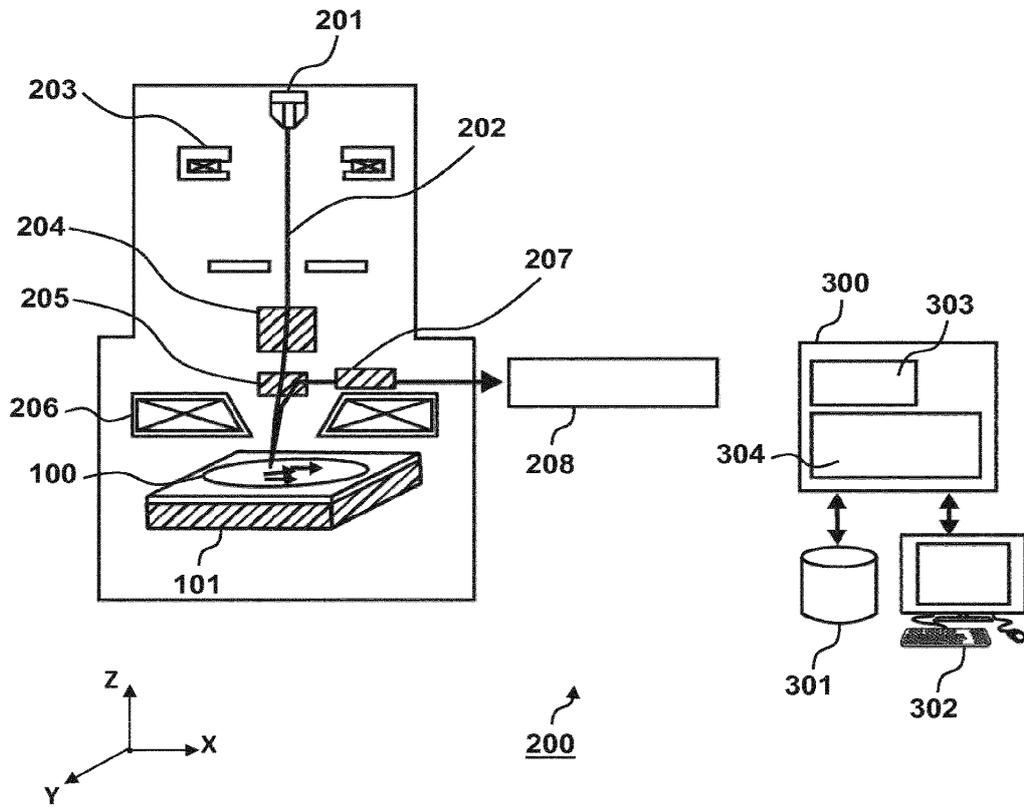
도면1



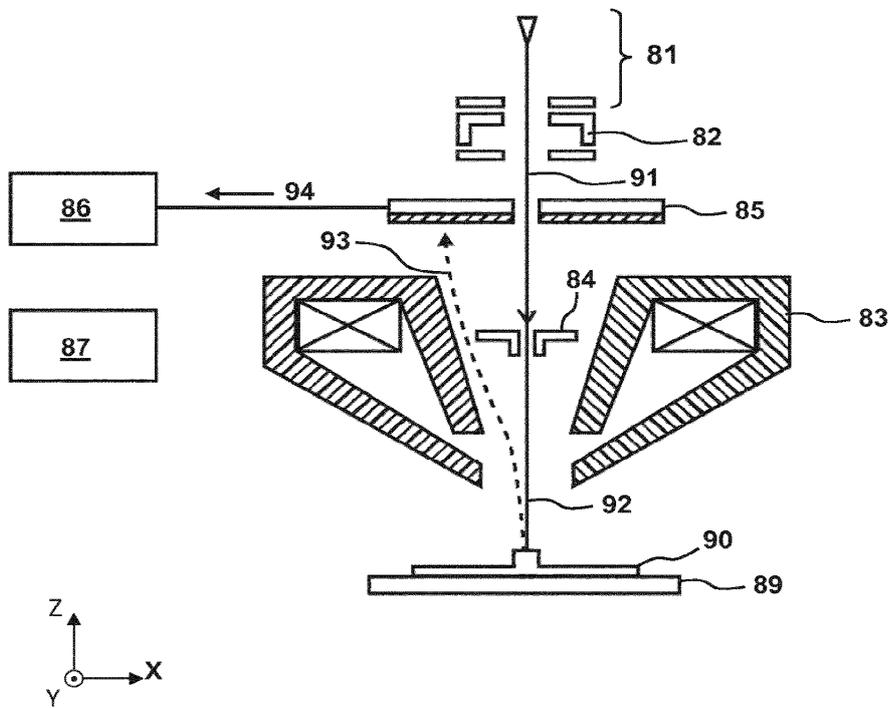
도면2



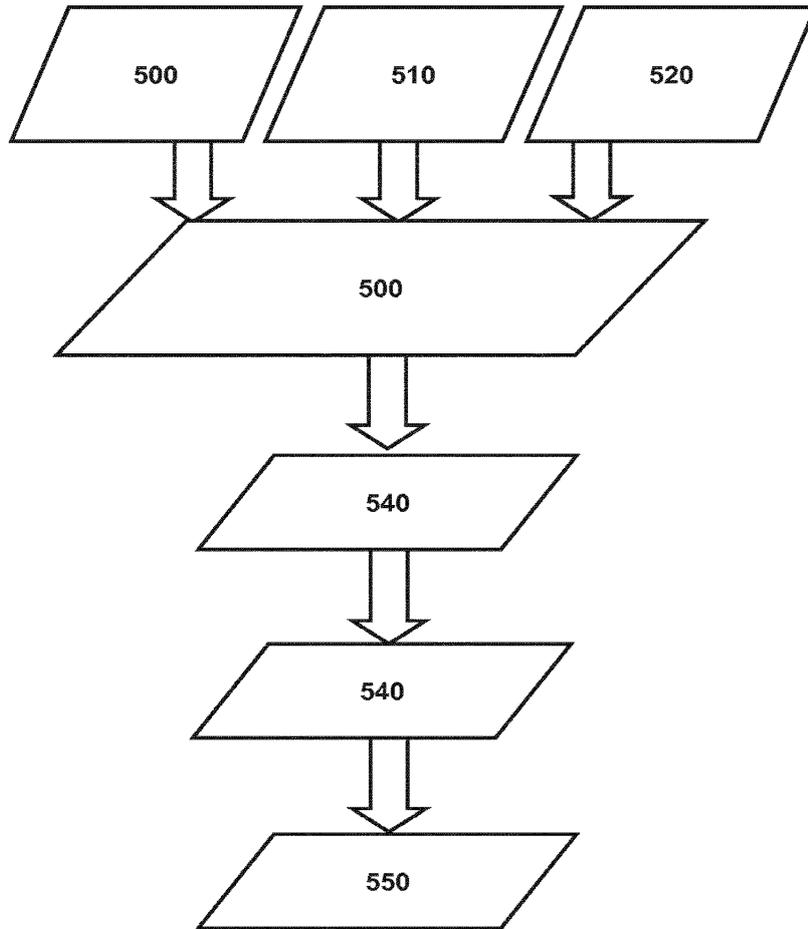
도면3



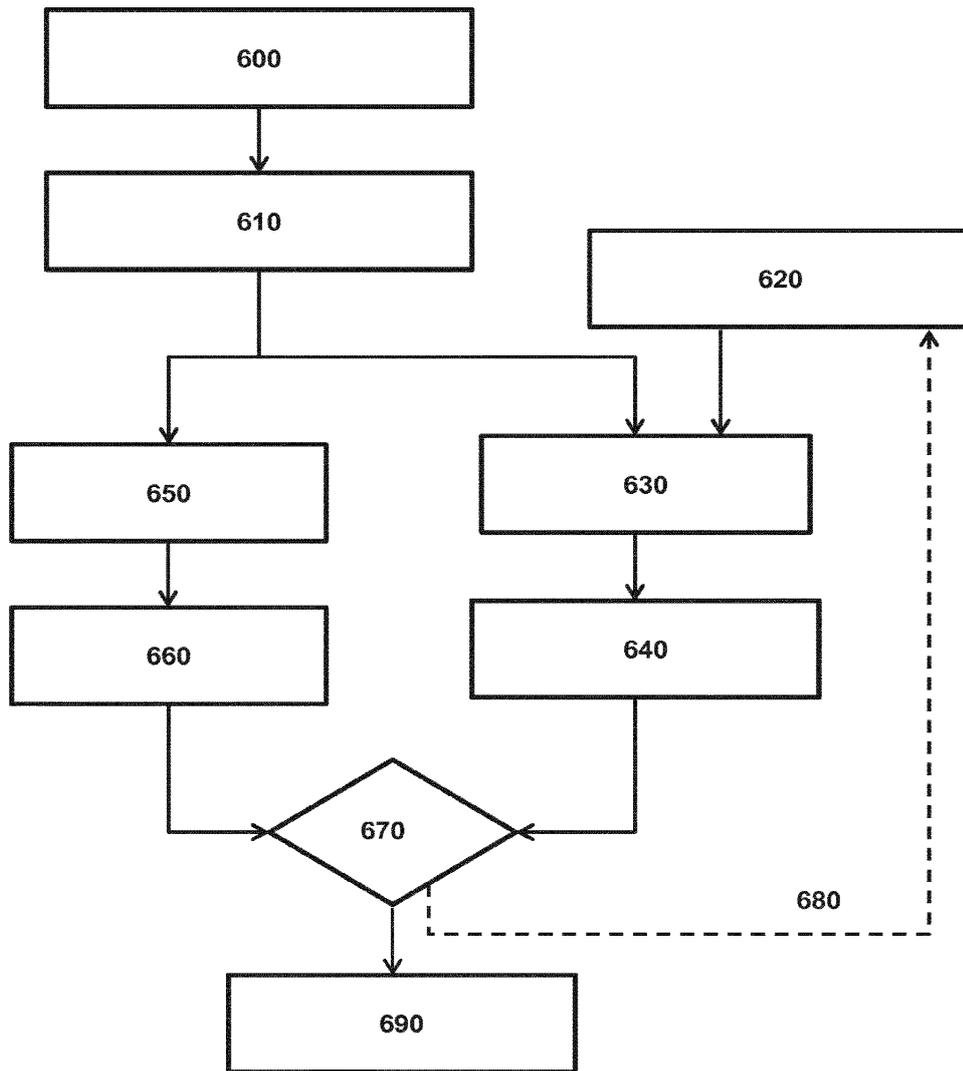
도면4



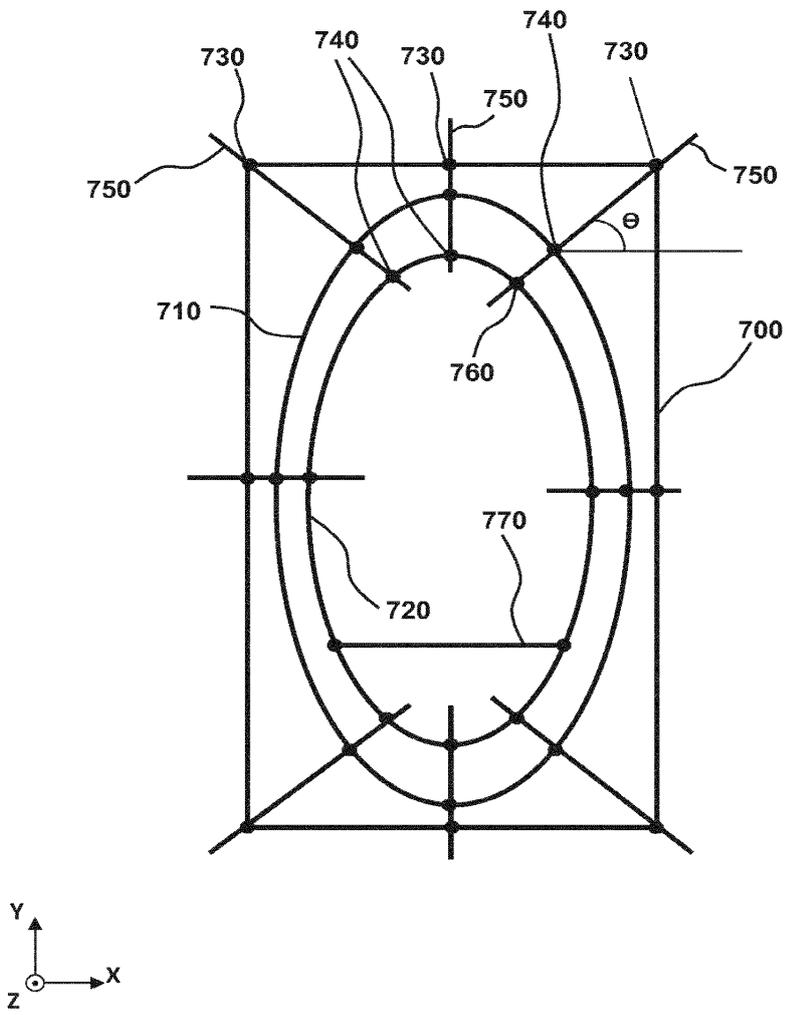
도면5



도면6



도면7



도면8

