

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5089876号  
(P5089876)

(45) 発行日 平成24年12月5日(2012.12.5)

(24) 登録日 平成24年9月21日(2012.9.21)

(51) Int. Cl.	F I
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 K
	G09G 3/20 641D
	G09G 3/20 642D
	G09G 3/20 623V
請求項の数 8 (全 18 頁) 最終頁に続く	

(21) 出願番号	特願2005-295630 (P2005-295630)	(73) 特許権者	308040351
(22) 出願日	平成17年10月7日(2005.10.7)		三星モバイルディスプレイ株式会社
(65) 公開番号	特開2006-119639 (P2006-119639A)		Samsung Mobile Display Co., Ltd.
(43) 公開日	平成18年5月11日(2006.5.11)		大韓民国京畿道龍仁市器興区農書洞山24
審査請求日	平成17年10月7日(2005.10.7)		San #24 Nongseo-Dong,
(31) 優先権主張番号	10-2004-0085253		Giheung-Gu, Yongin-City,
(32) 優先日	平成16年10月25日(2004.10.25)		Gyeonggi-Do 446-711 Republic of
(33) 優先権主張国	韓国 (KR)		KOREA
		(74) 代理人	100146835
			弁理士 佐伯 義文
		(74) 代理人	100089037
			弁理士 渡邊 隆
最終頁に続く			

(54) 【発明の名称】 発光表示装置

(57) 【特許請求の範囲】

【請求項1】

選択信号を伝達する複数の選択信号線、データ信号を伝達する複数のデータ線、前記選択信号線及び前記データ線に各々連結される第1グループ及び第2グループの複数の画素を含む発光表示装置において、

前記各画素は、

前記選択信号にตอบสนองして前記データ信号に対応する電流を出力端に出力する画素駆動部；

前記画素駆動部の出力端に各々電氣的に連結され、第1及び第2発光制御信号に基づいて前記画素駆動部から出力される電流を選択的に伝達する第1及び第2スイッチング素子；及び

前記第1及び第2スイッチング素子によって伝達される電流に対応して各々発光する第1及び第2発光素子；を含み、

第1フィールド及び第2フィールドの各々で前記第1グループの複数の画素の選択信号線に印加する選択信号を順次に生成し、前記第1フィールドでは前記第1グループの複数の画素に印加される第1発光制御信号を順次に生成し、前記第2フィールドでは前記第1グループの複数の画素に印加される第2発光制御信号を順次に生成する第1駆動部；及び

第1フィールド及び第2フィールドの各々で前記第2グループの複数の画素の選択信号線に印加する選択信号を順次に生成し、前記第1フィールドでは前記第2グループの複数の画素に印加される第1発光制御信号を順次に生成し、前記第2フィールドでは前記第2

グループの複数の画素に印加される第2発光制御信号を順次に生成する第2駆動部；を含み、

前記第1駆動部は、

第1パルスを有する第1信号を第1期間だけシフトしながら順次に生成する第1シフトレジスター；

第1イネーブル信号、前記第1信号、及び前記第1信号が前記第1期間だけシフトされた信号が同一論理レベルである期間に、第2パルスを有する前記第1グループの複数の画素の選択信号線に印加される選択信号を出力する第1回路部；

第3パルスを有する第2信号を第2期間だけシフトしながら順次に生成する第2シフトレジスター；及び

前記第2信号の前記第3パルスが出力されている期間には前記第1パルスを有する第1信号を前記第1グループの画素に印加する第1発光制御信号として出力し、前記第2信号の前記第3パルスが出力されている期間以外の期間には前記第1パルスを有する第1信号を前記第1グループの前記画素以外の画素に印加する第2発光制御信号として出力する第2回路部；を含むことを特徴とする発光表示装置。

【請求項2】

前記第2駆動部は、

第1パルスを有する第1信号を第1期間だけシフトしながら順次に生成する第3シフトレジスター；

第2イネーブル信号、前記第1信号、及び前記第1信号が前記第1期間だけシフトされた信号が同一論理レベルである期間に、第2パルスを有する前記第2グループの複数の画素の選択信号線に印加される選択信号を出力する第3回路部；

第3パルスを有する第2信号を第2期間だけシフトしながら順次に生成する第4シフトレジスター；及び

前記第2信号の前記第3パルスが出力されている期間には前記第1パルスを有する第1信号を前記第2グループの画素に印加する第1発光制御信号として出力し、前記第2信号の前記第3パルスが出力されている期間以外の期間には前記第1パルスを有する第1信号を前記第2グループの前記画素以外の画素に印加する第2発光制御信号として出力する第4回路部；を含むことを特徴とする請求項1に記載の発光表示装置。

【請求項3】

前記第1イネーブル信号の周期は前記第1シフトレジスターに入力されるクロック信号の周期の半分であることを特徴とする請求項2に記載の発光表示装置。

【請求項4】

前記第2イネーブル信号は前記第1イネーブル信号の反転した信号であることを特徴とする請求項3に記載の発光表示装置。

【請求項5】

前記第1回路部は、第1イネーブル信号、前記第1信号、及び前記第1信号が前記第1期間だけシフトされた信号を入力として受けるNANDゲートを含むことを特徴とする請求項1に記載の発光表示装置。

【請求項6】

前記第2回路部は、

前記第1信号の反転した信号及び前記第2信号を入力として受けて前記第1発光制御信号を出力するNANDゲート；及び

前記第1信号及び前記第2信号を入力として受けるNORゲート及び前記NORゲートの出力を反転させて前記第2発光制御信号を出力するインバータ；を含むことを特徴とする請求項1に記載の発光表示装置。

【請求項7】

前記第1フィールドで前記選択信号の第2パルスが印加される間に、前記データ線には前記第1発光素子に対応するデータ信号が伝達され、前記第2フィールドで前記選択信号の第2パルスが印加される間に、前記データ線には前記第2発光素子に対応するデータ信

10

20

30

40

50

号が伝達されることを特徴とする請求項 1 に記載の発光表示装置。

【請求項 8】

前記第 1 駆動部の信号線は前記複数の選択信号線及び前記第 1 及び第 2 発光制御信号線の中で奇数番目の信号線であり、前記第 2 駆動部の信号線は前記複数の選択信号線及び前記第 1 及び第 2 発光制御信号線の中で偶数番目の信号線であることを特徴とする請求項 1 乃至 7 のいずれか一に記載の発光表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光表示装置に関し、特に、有機物質の電界発光（以下、“有機 EL”とする）を利用した有機 EL 表示装置に関する。

10

【背景技術】

【0002】

一般に、発光表示装置は、有機物質の電界発光を利用した有機 EL (Organic Electro Luminescence) 表示装置であって、行列形態に配列された  $n \times m$  個の有機発光セルを電圧駆動あるいは電流駆動して映像を表示する。

このような有機発光セルは、ダイオード特性を有するため有機発光ダイオード (Organic Light Emission Diode; OLED) と呼ばれ、アノード (ITO)、有機薄膜、カソード電極層 (金属) の構造からなる。有機薄膜は、電子及び正孔の均衡を良くして発光効率を向上させるために、発光層 (emitting layer、EML)、電子輸送層 (electron transport layer、ETL)、及び正孔輸送層 (hole transport layer、HTL) を含む多層構造からなり、また、別途の電子注入層 (electron injecting layer、EIL) 及び正孔注入層 (hole injecting layer、HIL) を含む。このような有機発光セルが  $n \times m$  個のマトリクス形態に配列されて有機 EL 表示パネルを形成する。

20

【0003】

このような構造の有機発光セルを駆動する方式としては、単純マトリクス (passive matrix) 方式及び薄膜トランジスタ (thin film transistor、TFT) または MOSFET を利用した能動駆動 (active matrix) 方式がある。単純マトリクス方式は、正極及び負極を直交するように形成し、ラインを選択して駆動するのに比べて、能動駆動方式は、薄膜トランジスタを各 ITO (indium tin oxide) 画素電極に連結し、薄膜トランジスタのゲートに連結されたキャパシタの容量によって維持された電圧によって駆動する方式である。

30

【0004】

以下、一般的な能動駆動有機 EL 表示装置の画素回路について説明する。

図 1 は画素回路であって、 $n \times m$  個の画素のうちの一つ、つまり第 1 行及び第 1 列に位置する画素を等価的に示したものである。

図 1 に示したように、一つの画素 10 は、3 つの副画素 10r、10g、10b からなり、副画素 10r、10g、10b には各々赤色 (R)、緑色 (G)、及び青色 (B) の光を発光する有機 EL 素子 OLEDr、OLEDg、OLEDb が形成されている。そして、副画素がストライプ形態に配列された構造では、副画素 10r、10g、10b は、各々別個のデータ線 D1r、D1g、D1b 及び共通の選択信号線 S1 に連結されている。

40

【0005】

赤色の副画素 10r は、有機 EL 素子 OLEDr を駆動するための 2 つのトランジスタ M1r、M2r 及びキャパシタ C1r を含む。同様に、緑色の副画素 10g は、2 つのトランジスタ M1g、M2g 及びキャパシタ C1g を含み、青色の副画素 10b も、2 つのトランジスタ M1b、M2b 及びキャパシタ C1b を含む。これら副画素 10r、10g、10b の動作は全て同一なので、以下では、一つの副画素 10r を例に挙げて説明する。

【0006】

50

電源電圧（VDD）と有機EL素子OLEDrのアノードとの間に駆動トランジスタM1rが連結されて発光のための電流を有機EL素子OLEDrに伝達し、有機EL素子OLEDrのカソードは電源電圧（VDD）より低い電圧（VSS）に連結されている。駆動トランジスタM1rの電流量はスイッチングトランジスタM2rを通じて印加されるデータ電圧によって制御されるようになっている。この時、キャパシタC1rがトランジスタM1rのソースとゲートとの間に連結されて印加された電圧を一定の期間維持する。トランジスタM2rのゲート側にはオン/オフ形態の選択信号を伝達する選択信号線S1が連結されており、ソース側には赤色の副画素10rに相当するデータ電圧を伝達するデータ線D1rが連結されている。

【0007】

10

動作を見てみると、スイッチングトランジスタM2rがゲートに印加される選択信号に応答して導通すると、データ線D1rからのデータ電圧（ $V_{DATA}$ ）がトランジスタM1rのゲートに印加される。そうすると、キャパシタC1rによってゲートとソースとの間に充電された電圧（ $V_{GS}$ ）に対応してトランジスタM1rに電流（ $I_{OLED}$ ）が流れ、この電流（ $I_{OLED}$ ）に対応して有機EL素子OLEDrが発光する。この時、有機EL素子OLEDrに流れる電流（ $I_{OLED}$ ）は式(1)のようになる。

【0008】

【数1】

$$I_{OLED} = \frac{\beta}{2}(V_{GS} - V_{TH})^2 = \frac{\beta}{2}(V_{DD} - V_{DATA} - |V_{TH}|)^2 \quad \dots(1)$$

20

【0009】

図1に示した画素回路では、データ電圧に対応する電流が有機EL素子OLEDrに供給され、供給された電流に対応する輝度で有機EL素子OLEDrが発光する。この時、印加されるデータ電圧は、所定の階調を表現するために、一定の範囲で多段階の値を有する。

上記説明のように、有機EL表示装置は、一つの画素10が3つの副画素10r、10g、10bからなり、副画素別に有機EL素子を駆動するための駆動トランジスタ、スイッチングトランジスタ、及びキャパシタが形成される。また、副画素別にデータ信号を伝達するためのデータ線及び電源電圧（VDD）を伝達するための電源線が形成される。このように、画素を駆動するために多くの配線が必要であり、画素領域内にこれら全てを配置するのが難しく、画素領域で発光する領域に相当する開口率も減少するという問題点がある。したがって、画素を駆動するための配線の数及び素子の数を減少させることができる画素回路の開発が要求されているのが実情である。

30

【発明の開示】

【発明が解決しようとする課題】

【0010】

40

本発明が目的とする技術的課題は、一つの画素駆動素子に複数の発光素子を共通に連結することによって、配線及び素子の数を減少させて開口率及び収率を向上させ、設計時のパネル空間の活用が容易である、発光表示装置を提供することにある。

本発明の他の技術的課題は、画素駆動素子に共通に連結された複数の発光素子が順次に発光することができるようにする信号を印加する駆動装置を含む、発光表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0011】

前記技術的課題を達成するために、本発明の一つの特徴による発光表示装置は、選択信号を伝達する複数の選択信号線、データ信号を伝達する複数のデータ線、前記選択信号線

50

及び前記データ線に各々連結される第1グループ及び第2グループの複数の画素を含む発光表示装置において、前記各画素は、前記選択信号に応答して前記データ信号に対応する電流を出力端に出力する画素駆動部；前記画素駆動部の出力端に各々電氣的に連結され、第1及び第2発光制御信号に基づいて前記画素駆動部から出力される電流を選択的に伝達する第1及び第2スイッチング素子；及び前記第1及び第2スイッチング素子によって伝達される電流に対応して各々発光する第1及び第2発光素子；を含み、第1フィールド及び第2フィールドの各々で前記第1グループの複数の画素の選択信号線に印加する選択信号を順次に生成し、前記第1フィールドでは前記第1グループの複数の画素に印加される第1発光制御信号を順次に生成し、前記第2フィールドでは前記第1グループの複数の画素に印加される第2発光制御信号を順次に生成する第1駆動部；及び第1フィールド及び第2フィールドの各々で前記第2グループの複数の画素の選択信号線に印加する選択信号を順次に生成し、前記第1フィールドでは前記第2グループの複数の画素に印加される第1発光制御信号を順次に生成し、前記第2フィールドでは前記第2グループの複数の画素に印加される第2発光制御信号を順次に生成する第2駆動部；を含み、前記第1駆動部は、第1パルスをも有する第1信号を第1期間だけシフトしながら順次に生成する第1シフトレジスタ；

10

第1イネーブル信号、前記第1信号、及び前記第1信号が前記第1期間だけシフトされた信号が同一論理レベルである期間に、第2パルスをも有する前記第1グループの複数の画素の選択信号線に印加される選択信号を出力する第1回路部；

第3パルスをも有する第2信号を第2期間だけシフトしながら順次に生成する第2シフトレジスタ；及び前記第2信号の前記第3パルスが出力されている期間には前記第1パルスをも有する第1信号を前記第1グループの画素に印加する第1発光制御信号として出力し、前記第2信号の前記第3パルスが出力されている期間以外の期間には前記第1パルスをも有する第1信号を前記第1グループの前記画素以外の画素に印加する第2発光制御信号として出力する第2回路部；を含む。

20

#### 【0013】

前記第2駆動部は、第1パルスをも有する第1信号を第1期間だけシフトしながら順次に生成する第3シフトレジスタ；第2イネーブル信号、前記第1信号、及び前記第1信号が前記第1期間だけシフトされた信号が同一論理レベルである期間に、第2パルスをも有する前記第2グループの複数の画素の選択信号線に印加される選択信号を出力する第3回路部；第3パルスをも有する第2信号を第2期間だけシフトしながら順次に生成する第4シフトレジスタ；及び前記第2信号の前記第3パルスが出力されている期間には前記第1パルスをも有する第1信号を前記第2グループの画素に印加する第1発光制御信号として出力し、前記第2信号の前記第3パルスが出力されている期間以外の期間には前記第1パルスをも有する第1信号を前記第2グループの前記画素以外の画素に印加する第2発光制御信号として出力する第4回路部；を含むことができる。

30

#### 【0014】

前記第1イネーブル信号の周期は前記第1シフトレジスタに入力されるクロック信号の周期の半分であり、前記第2イネーブル信号は前記第1イネーブル信号の反転した信号であり得る。

40

前記第1回路部は、第1イネーブル信号、前記第1信号、及び前記第1信号が前記第1期間だけシフトされた信号を入力として受けるNANDゲートを含むことができる。

前記第2回路部は、前記第1信号の反転した信号及び前記第2信号を入力として受けて前記第1発光制御信号を出力するNANDゲート；及び前記第1信号及び前記第2信号を入力として受けるNORゲート及び前記NORゲートの出力を反転させて前記第2発光制御信号を出力するインバータ；を含むことができる。

#### 【0015】

前記第1フィールドで前記選択信号の第2パルスが印加される間に、前記データ線には前記第1発光素子に対応するデータ信号が伝達され、前記第2フィールドで前記選択信号の第2パルスが印加される間に、前記データ線には前記第2発光素子に対応するデータ信

50

号が伝達されることができる。

前記第1駆動部の信号線は前記複数の選択信号線及び前記第1及び第2発光制御信号線の中で奇数番目の信号線であり、前記第2駆動部の信号線は前記複数の選択信号線及び前記前記第1及び第2発光制御信号線の中で偶数番目の信号線であり得る。

【発明の効果】

【0019】

本発明によれば、奇数番目の信号線及び偶数番目の信号線に印加される信号を各々異なる駆動装置で生成して印加する。このようにすることで、駆動装置に入力されるクロック信号の周波数は、一つの駆動装置で全ての信号線に印加される信号を生成する場合と比較して半分になる。したがって、駆動装置で消費される消費電力は減少する。また、3つの信号、つまり選択信号及び2つの発光制御信号を生成するために、3つの開始信号(SP)が入力されるのではなく、奇数信号線駆動部及び偶数信号線駆動部の各々に同一な2つの開始信号(SP1、SP2)が各々入力されるので、入力配線の数も減少させることができ、駆動装置の大きさを小さくすることができる。

10

【発明を実施するための最良の形態】

【0020】

以下、添付した図面を参照して、本発明の実施例について、本発明が属する技術分野における通常の知識を有する者が容易に実施することができるように詳細に説明する。しかし、本発明は多様な相異した形態で実現でき、ここで説明する実施例に限定されない。

説明に先立って選択信号線に関する用語を定義すると、現在の選択信号を伝達しようとする選択信号線を“現在の選択信号線”とし、現在の選択信号が伝達される前に選択信号を伝達した選択信号線を“直前の選択信号線”とする。また、現在の選択信号線の選択信号に基づいて発光する画素を“現在の画素”とし、直前の選択信号線の選択信号に基づいて発光する画素を“直前の画素”とする。

20

【0021】

図2は本発明の実施例による有機EL表示装置の構成を概略的に示す図面である。

図2に示したように、本発明の実施例による有機EL表示装置は、表示パネル100、奇数信号線駆動部200、偶数信号線駆動部300、及びデータ駆動部400を含む。表示パネル100は、行方向にのびているn個の選択信号線S[i]、n個の発光制御信号線E1[i]、E2[i]、列方向にのびているm個のデータ線D[j]、n個の電源線VDD、及びn×m個の画素110を含む。ここで、'i'は1からnの間の任意の自然数であり、'j'は1からmの間の任意の自然数である。

30

【0022】

画素110は、隣接する任意の2つの選択信号線S[i-1]、S[i]及び隣接する任意の2つのデータ線D[j-1]、D[j]によって形成される画素領域に形成され、赤色(R)有機EL素子、緑色(G)有機EL素子、及び青色(B)有機EL素子のうちのいずれか2つの有機EL素子が含まれる。このような構造の画素110は、現在の選択信号線S[i]、直前の選択信号線S[i-1]、発光制御信号線E1[i]、E2[i]、及びデータ線D[j]から伝達される信号によって、一つのデータ線D[j]から印加されたデータ信号に基づいて2つの有機EL素子が時分割的に発光するように駆動される。一つの画素110で2つの有機EL素子を時分割的に発光させるために、2つの発光制御信号線E1[i]、E2[i]を含み、各発光制御信号線E1[i]、E2[i]に印加される発光制御信号は、一つの画素に含まれた2つの有機EL素子が選択的に発光するように制御する。

40

【0023】

奇数信号線駆動部200は、表示パネル100に形成されたn個の選択信号線S[i]の中で奇数番目の信号線、つまり選択信号線S[1]、S[3]、S[5]、・・・、S[n-1]に当該ラインの画素にデータ信号が印加されるように選択信号を生成して順次に印加し、n個の発光制御信号線E1[i]、E2[i]の中で奇数番目の信号線、つまり発光制御信号線E1[1]、E1[3]、E1[5]、・・・、E1[n-1]及び発光制御信号線E2[1]、E2[3]、E2[5]、・・・、E2[n-1]に当該ラインの画素に有機EL素子OLED

50

1、OLE D 2 が選択的に発光することができるように発光制御信号を生成して順次に印加する。

【0024】

偶数信号線駆動部300は、表示パネル100に形成されたn個の選択信号線S[i]の中で偶数番目の信号線、つまり選択信号線S[2]、S[4]、S[6]、・・・、S[n]に当該ラインの画素にデータ信号が印加されるように選択信号を生成して順次に印加し、n個の発光制御信号線E1[i]、E2[i]の中で偶数番目の信号線、つまり発光制御信号線E1[2]、E1[4]、E1[6]、・・・、E1[n]及び発光制御信号線E2[2]、E2[4]、E2[6]、・・・、E2[n]に当該ラインの画素に有機EL素子OLE D 1、OLE D 2 が選択的に発光することができるように発光制御信号を生成して順次に印加する。

10

【0025】

データ駆動部400は、選択信号が順次に印加される時ごとに選択信号が印加されたラインの画素に対応するデータ信号をデータ線D[1]～D[m]に印加する。

【0026】

本実施例で、奇数及び偶数信号線駆動部200、300及びデータ駆動部400は、各々表示パネル100が形成された基板に電氣的に連結される。これとは異なって、奇数及び偶数信号線駆動部200、300及びデータ駆動部400を表示パネル100のガラス基板上に直接装着することもでき、表示パネル100の基板に選択信号線、データ線、及びトランジスタと同一層に形成されている駆動回路に代替されることもできる。または、奇数及び偶数信号線駆動部200、300及びデータ駆動部400を表示パネル100の

20

【0027】

また、本発明の実施例では、一つのフレームが2つのフィールドに時分割されて駆動され、2つのフィールドでは各々赤色、緑色、及び青色のデータのうちのいずれか2つのデータが記入されて発光が行われる。このために、信号線駆動部200、300は、フィールドごとに選択信号を順次に選択信号線S[i]に伝達し、一つの画素に含まれた2つの有機EL素子が当該フィールドの間に発光が行われるように、発光制御信号を当該発光制御信号線E1[i]、E2[i]に順次に印加する。そして、データ駆動部400は、フィールドごとにR、G、Bデータ信号を当該データ線D[j]に印加する。

30

【0028】

以下、図3を参照して、本発明の第1実施例による画素110について詳細に説明する。

図3は本発明の第1実施例による有機EL表示装置の画素110を示す回路図である。そして、図3では、有機物質の電界発光を利用する画素を例示し、説明の便宜上、i番目の行の選択信号線S[i]及びj番目の列のデータ線D[j]に形成される画素領域の画素を代表として示した(ここで、iは1からnの間の自然数であり、jは1からmの間の自然数である)。以下の説明では、説明の便宜上、発光制御信号線E1[i]、E2[i]に印加される発光制御信号の符号も発光制御信号線と同一に'E1[i]、E2[i]'と表示し、選択信号線S[i]に印加される選択信号の符号も同一に'S[i]'と表示する。画素110の有機EL素子OLE D 1及び有機EL素子OLE D 2は、赤色(R)有機EL素子、緑色(G)有機EL素子、及び青色(B)有機EL素子のうちのいずれか2つであり、画素110の全てのトランジスタM1、M21、M22、M3、M4、M5はpチャンネルトランジスタで示した。

40

【0029】

図3のように、画素回路110は、画素駆動部115、2つの有機EL素子OLE D 1、OLE D 2、及び2つの有機EL素子OLE D 1、OLE D 2を各々選択的に発光するように制御するトランジスタM21、M22を含む。

画素駆動部115は、選択信号線S[i]及びデータ線D[j]に連結され、データ線D[

50

j]を通じて伝達されるデータ信号に対応して有機EL素子OLED1、OLED2に印加される電流を生成する。本実施例で、画素駆動部115は、4つのトランジスタ及び2つのキャパシタ、つまりトランジスタM1、トランジスタM3、トランジスタM4、トランジスタM5、キャパシタCvth、及びキャパシタCstを含む。しかし、本発明による画素駆動部は、このような4つのトランジスタ及び2つのキャパシタに限定されず、有機EL素子OLED1、OLED2に印加される電流を生成する回路であれば充分である。

#### 【0030】

具体的に、トランジスタM5は、ゲートが現在の選択信号線S[i]に連結され、ソースがデータ線D[j]に連結されて、選択信号線S[i]からの選択信号にตอบสนองしてデータ線D[j]から印加されたデータ電圧をキャパシタCvthのノードBに伝達する。トランジスタM4は、直前の選択信号線S[i-1]からの選択信号にตอบสนองしてキャパシタCvthのノードBを電源VDDに直接連結する。トランジスタM3は、直前の選択信号線S[i-1]からの選択信号にตอบสนองしてトランジスタM1をダイオード連結させる。駆動トランジスタM1は、有機EL素子OLED1、OLED2を駆動するための駆動トランジスタであって、ゲートがキャパシタCvthのノードAに連結され、ソースが電源VDDに連結されて、ゲートに印加される電圧によって有機EL素子OLED1、OLED2に印加される電流を制御する。

#### 【0031】

また、キャパシタCstは、一電極が電源VDDに連結され、他電極がトランジスタM4のドレーン電極(ノードB)に連結されて、キャパシタCvthは、一電極がキャパシタCstの他電極に連結されて2つのキャパシタが直列連結され、他電極が駆動トランジスタM1のゲート(ノードA)に連結される。

そして、駆動トランジスタM1のドレーンには、有機EL素子OLED1、OLED2が選択的に発光するように制御するトランジスタM21、M22のソースが各々連結され、トランジスタM21、M22のゲートには、各々発光制御信号線E1[i]、E2[i]が連結される。トランジスタM21、M22のドレーンには、各々有機EL素子OLED1、OLED2のアノードが連結され、有機EL素子OLED1、OLED2のカソードには、電源電圧(VDD)より低い電源電圧(VSS)が印加される。このような電源電圧(VSS)としては負の電圧または接地電圧を使用することができる。

#### 【0032】

以下、図4を参照して、本発明の第1実施例による有機EL表示装置の駆動方法について詳細に説明する。図4は本発明の第1実施例による有機EL表示装置の信号タイミング図である。

図4に示したように、本発明の第1実施例による有機EL表示装置は、1フレームが2つのフィールド1F、2Fに分割されて駆動され、各フィールド1F、2Fで選択信号(S[1]~S[n])が順次に印加される。画素駆動部115を共有する2つの有機EL素子OLED1、OLED2は、各々一つのフィールドに相当する期間の間発光する。そして、フィールド1F、2Fは行別に独立的に定義され、図4では、第1行の選択信号線S[1]を基準に2つのフィールド1F、2Fを示した。

#### 【0033】

第1フィールド1Fで、直前の選択信号線S[0]にローレベルの選択信号が印加される間、トランジスタM3及びトランジスタM4が導通する。トランジスタM3が導通してトランジスタM1はダイオード連結状態となる。したがって、トランジスタM1のゲートとソースとの間の電圧差がトランジスタM1のしきい電圧(Vth)になる時まで変化する。この時、トランジスタM1のソースが電源VDDに連結されているので、トランジスタM1のゲート、つまりキャパシタCvthのノードAに印加される電圧は電源電圧(VDD)及びしきい電圧(Vth)の合計になる。また、トランジスタM4が導通してキャパシタCvthのノードBには電源電圧VDDが印加され、キャパシタCvthに充電される電圧(Vcvth)は式(2)の通りになる。



【 0 0 3 4 】

【 数 2 】

$$V_{Cvth} = V_{CvthA} - V_{CvthB} = (VDD + Vth) - VDD = Vth \quad \dots (2)$$

【 0 0 3 5 】

ここで、 $V_{Cvth}$  はキャパシタ  $Cvth$  に充電される電圧を意味し、 $V_{CvthA}$  はキャパシタ  $Cvth$  のノード A に印加される電圧、 $V_{CvthB}$  はキャパシタ  $Cvth$  のノード B に印加される電圧を意味する。

10

【 0 0 3 6 】

現在の選択信号線  $S[1]$  にローレベルの選択信号が印加される間、トランジスタ  $M5$  が導通してデータ線  $D1$  から印加されたデータ電圧 ( $Vdata$ ) がノード B に印加される。また、キャパシタ  $Cvth$  にはトランジスタ  $M1$  のしきい電圧 ( $Vth$ ) に該当する電圧が充電されているので、トランジスタ  $M1$  のゲートにはデータ電圧 ( $Vdata$ ) 及びトランジスタ  $M1$  のしきい電圧 ( $Vth$ ) の合計に対応する電圧が印加される。つまり、トランジスタ  $M1$  のゲートとソースとの間の電圧 ( $Vgs$ ) は下記の式 (3) の通りになる。

【 0 0 3 7 】

【 数 3 】

20

$$Vgs = (Vdata + Vth) - VDD \quad \dots (3)$$

【 0 0 3 8 】

直前の選択信号線  $S[0]$  及び現在の選択信号線  $S[1]$  にローレベルの選択信号が印加される間、発光制御信号 ( $E1[1]$ ) 及び発光制御信号 ( $E2[1]$ ) は全てハイレベルになってトランジスタ  $M21$  及びトランジスタ  $M22$  が全て遮断されるので、漏れた電流が有機 EL 素子  $OLED2$ 、 $OLED2$  に流れるのが防止される。

30

現在の選択信号線  $S[1]$  にローレベルの選択信号が印加された後にハイレベルの信号が印加されると、発光制御線  $E1[1]$  にローレベルの発光制御信号が印加されてトランジスタ  $M21$  が導通され、トランジスタ  $M1$  のゲート - ソース電圧 ( $Vgs$ ) に対応する電流 ( $I_{OLED}$ ) が有機 EL 素子  $OLED1$  に供給されて有機 EL 素子  $OLED1$  は発光する。電流 ( $I_{OLED}$ ) は式 (4) の通りである。

【 0 0 3 9 】

【 数 4 】

$$I_{OLED} = \frac{\beta}{2}(Vgs - Vth)^2 = \frac{\beta}{2}((Vdata + Vth - VDD) - Vth)^2 = \frac{\beta}{2}(VDD - Vdata)^2 \quad \dots (4)$$

40

【 0 0 4 0 】

ここで、 $I_{OLED}$  は有機 EL 素子  $OLED1$  に流れる電流であり、 $Vgs$  はトランジスタ  $M1$  のソースとゲートとの間の電圧、 $Vth$  はトランジスタ  $M1$  のしきい電圧、 $Vdata$  はデータ電圧、 $\beta$  は定数値である。

【 0 0 4 1 】

第 2 フィールド  $2F$  で、直前の選択信号線  $S[0]$  にローレベルの選択信号が印加される間、第 1 フィールド  $1F$  と同様に、キャパシタ  $Cvth$  に電圧 ( $V_{Cvth}$ ) が充電される。その後、現在の選択信号線  $S[1]$  にローレベルの選択信号が印加される間、トランジ

50

スタM5が導通してデータ線D1から印加されたデータ電圧(Vdata)がノードBに印加される。

【0042】

また、直前の選択信号線S[0]及び現在の選択信号線S[1]にローレベルの選択信号が印加される間、発光制御信号(E1[1])及び発光制御信号(E2[1])は全てハイレベルになってトランジスタM21及びトランジスタM22が全て遮断されるので、漏れた電流が有機EL素子OLED2、OLED2に流れるのが防止される。

現在の選択信号線S[1]にハイレベルの信号が印加されると、発光制御線E2[1]にローレベルの発光制御信号が印加されてトランジスタM22が導通され、トランジスタM1のゲート-ソース電圧(VGS)に対応する電流(I<sub>OLED</sub>)が有機EL素子OLED2に供給されて有機EL素子OLED2は発光する。

10

【0043】

このように、第1フィールド1Fでは、発光制御信号(E1[1])がローレベルで、発光制御信号(E2[1])がハイレベルになって、有機EL素子OLED1が発光する。一方、第2フィールド2Fでは、発光制御信号(E2[1])がローレベルで、発光制御信号(E1[1])がハイレベルになって、有機EL素子OLED2が発光する。

【0044】

図5は本発明の第1実施例による有機EL表示装置の奇数信号線駆動部200の構造を概略的に示す図面であり、図6は奇数信号線駆動部200のシフトレジスタSR<sub>1</sub>、SR<sub>3</sub>、・・・、SR<sub>n-1</sub>、SR<sub>n+1</sub>及び組み合わせ回路210<sub>1</sub>、210<sub>3</sub>、・・・、210<sub>n-1</sub>の出力信号の波形を示す波形図であり、図7は奇数信号線駆動部200のシフトレジスタESR<sub>1</sub>、ESR<sub>3</sub>、・・・、ESR<sub>n-1</sub>及び組み合わせ回路220<sub>1</sub>、220<sub>3</sub>、・・・、220<sub>n-1</sub>の出力信号の波形を示す波形図である。

20

【0045】

図5のように、奇数信号線駆動部200は、シフトレジスタSR<sub>1</sub>、SR<sub>3</sub>、・・・、SR<sub>n-1</sub>、SR<sub>n+1</sub>、シフトレジスタESR<sub>1</sub>、ESR<sub>3</sub>、・・・、ESR<sub>n-1</sub>、組み合わせ回路210<sub>1</sub>、210<sub>3</sub>、・・・、210<sub>n-1</sub>、及び組み合わせ回路220<sub>1</sub>、220<sub>3</sub>、・・・、220<sub>n-1</sub>を含む。

【0046】

シフトレジスタSR<sub>1</sub>は、開始信号(SP1)及びクロック信号(c1k)を受信して、クロック信号(c1k)がハイレベルである間は開始信号(SP1)を出力し、クロック信号(c1k)がローレベルである間はクロック信号(c1k)がハイレベルである時の開始信号(SP1)をラッチして出力して信号(SR[1])を生成する。シフトレジスタSR<sub>3</sub>は、信号(SR[1])及びクロック信号(c1k)を受信して、クロック信号(c1k)がローレベルである間は信号(SR[1])を出力し、クロック信号(c1k)がハイレベルである間はクロック信号(c1k)がローレベルである時の信号(SR[1])をラッチして出力して信号(SR[3])を生成する。このようにして、図6に示されているように、信号(SR[1])が半クロックシフトされた信号(SR[3])が生成される。同様に、シフトレジスタSR<sub>n-1</sub>は、シフトレジスタSR<sub>n-3</sub>で生成された信号(SR[n-3])及びクロック信号(c1k)を受信して、信号(SR[n-3])が半クロックシフトされた信号(SR[n-1])を生成する。

30

40

【0047】

組み合わせ回路210<sub>1</sub>は、イネーブル信号(enb)、信号(SR[1])、及び信号(SR[3])を受信して、入力される3つの信号が全てハイレベルである区間にローレベルを有する選択信号(S[1])を生成する。組み合わせ回路210<sub>3</sub>は、イネーブル信号(enb)、信号(SR[3])、及び信号(SR[5]、図示せず)を受信して、入力される3つの信号が全てハイレベルである区間にローレベルを有する選択信号(S[3])を生成する。同様に、図6に示されているように、組み合わせ回路210<sub>n-1</sub>は、イネーブル信号(enb)、信号(SR[n-1])、及び信号(SR[n+1])を受信して、入力される3つの信号が全てハイレベルである区間にローレベルを有する選択信号(S[n-

50

1])を生成する。したがって、組み合わせ回路 $210_1$ 、 $210_3$ 、 $\dots$ 、 $210_{n-1}$ はNANDゲートであり得る。これに加えて、NANDゲートの出力端に連続的に連結される2つのインバータをさらに含むことができる。

#### 【0048】

このようにして、奇数信号線駆動部200は、シフトレジスタ $SR_1$ 、 $SR_3$ 、 $\dots$ 、 $SR_{n-1}$ 、 $SR_{n+1}$ 及び組み合わせ回路 $210_1$ 、 $210_3$ 、 $\dots$ 、 $210_{n-1}$ を利用して奇数信号線の選択信号( $S[1]$ 、 $S[3]$ 、 $S[5]$ 、 $\dots$ 、 $S[n-1]$ )を生成して順次に印加する。

シフトレジスタ $ESR_1$ は、開始信号( $SP2$ )及びクロック信号( $clk$ )を受信して、クロック信号( $clk$ )がローレベルである間は開始信号( $SP2$ )を出力し、クロック信号( $clk$ )がハイレベルである間はクロック信号( $clk$ )がローレベルである時の開始信号( $SP2$ )をラッチして出力して信号( $ESR[1]$ )を生成する。シフトレジスタ $ESR_3$ は、信号( $ESR[1]$ )及びクロック信号( $clk$ )を受信して、クロック信号( $clk$ )がハイレベルである間は信号( $ESR[1]$ )を出力し、クロック信号( $clk$ )がローレベルである間はクロック信号( $clk$ )がハイレベルである時の信号( $ESR[1]$ )をラッチして出力して信号( $ESR[3]$ )を生成する。このようにして、図7に示されているように、信号( $ESR[1]$ )が半クロックシフトされた信号( $ESR[3]$ )が生成される。同様に、シフトレジスタ $ESR_{n-1}$ は、シフトレジスタ $ESR_{n-3}$ で生成された信号( $ESR[n-3]$ )及びクロック信号( $clk$ )を受信して、信号( $ESR[n-3]$ )が半クロックシフトされた信号( $ESR[n-1]$ )を生成する。

組み合わせ回路 $220_1$ は、信号( $SR[1]$ )及び信号( $ESR[1]$ )を受信して、発光制御信号( $E1[1]$ 、 $E2[1]$ )を生成する。具体的に、図7のように、発光制御信号( $E1[1]$ )は、信号( $SR[1]$ )がローレベルであり信号( $ESR[1]$ )がハイレベルである間にだけローレベルを有する。つまり、信号( $ESR[1]$ )がハイレベルである間はローレベルの信号( $SR[1]$ )が発光制御信号( $E1[1]$ )として出力される。発光制御信号( $E2[1]$ )は、信号( $SR[1]$ )及び信号( $ESR[1]$ )が全てローレベルである間にだけローレベルを有する。つまり、信号( $ESR[1]$ )がローレベルである間はローレベルの信号( $SR[1]$ )が発光制御信号( $E2[1]$ )として出力される。組み合わせ回路 $220_3$ は、信号( $SR[3]$ )及び信号( $ESR[3]$ )を受信して、発光制御信号( $E1[3]$ 、 $E2[3]$ )を生成する。具体的に、図7のように、発光制御信号( $E1[3]$ )は、信号( $SR[3]$ )がローレベルであり信号( $ESR[3]$ )がハイレベルである間にだけローレベルを有し、発光制御信号( $E2[3]$ )は、信号( $SR[3]$ )及び信号( $ESR[3]$ )が全てローレベルである間にだけローレベルを有する。同様に、組み合わせ回路 $220_{n-1}$ は、信号( $SR[n-1]$ )及び信号( $ESR[n-1]$ )を受信して、発光制御信号( $E1[n-1]$ 、 $E2[n-1]$ )を生成する。したがって、組み合わせ回路 $220_1$ 、 $220_3$ 、 $\dots$ 、 $220_{n-1}$ は、第1発光制御信号を生成するためのインバータ及びNANDゲートと第2発光制御信号を生成するためのNORゲート及びインバータとを含むことができる。

#### 【0049】

このようにして、奇数信号線駆動部200は、シフトレジスタ $ESR_1$ 、 $ESR_3$ 、 $\dots$ 、 $ESR_{n-1}$ 及び組み合わせ回路 $220_1$ 、 $220_3$ 、 $\dots$ 、 $220_{n-1}$ を利用して発光制御信号( $E1[1]$ 、 $E1[3]$ 、 $E1[5]$ 、 $\dots$ 、 $E1[n-1]$ )及び発光制御信号( $E2[1]$ 、 $E2[3]$ 、 $E2[5]$ 、 $\dots$ 、 $E2[n-1]$ )を順次に生成して印加する。

#### 【0050】

図8は本発明の第1実施例による有機EL表示装置の偶数信号線駆動部300の構造を概略的に示す図面であり、図9は偶数信号線駆動部300のシフトレジスタ $SR_2$ 、 $SR_4$ 、 $\dots$ 、 $SR_n$ 、 $SR_{n+2}$ 及び組み合わせ回路 $310_2$ 、 $310_4$ 、 $\dots$ 、 $310_n$ の出力信号の波形を示す波形図であり、図10は偶数信号線駆動部300のシフト

10

20

30

40

50

レジスタ $ESR_2$ 、 $ESR_4$ 、 $\dots$ 、 $ESR_n$ 及び組み合わせ回路 $320_2$ 、 $320_4$ 、 $\dots$ 、 $320_n$ の出力信号の波形を示す波形図である。

【0051】

図8のように、偶数信号線駆動部300は、シフトレジスタ $SR_2$ 、 $SR_4$ 、 $\dots$ 、 $SR_n$ 、 $SR_{n+2}$ 、シフトレジスタ $ESR_2$ 、 $ESR_4$ 、 $\dots$ 、 $ESR_n$ 、組み合わせ回路 $310_2$ 、 $310_4$ 、 $\dots$ 、 $310_n$ 、及び組み合わせ回路 $320_2$ 、 $320_4$ 、 $\dots$ 、 $320_n$ を含む。偶数信号線駆動部300のシフトレジスタ $SR_2$ 、 $SR_4$ 、 $\dots$ 、 $SR_n$ 、 $SR_{n+2}$ 、シフトレジスタ $ESR_2$ 、 $ESR_4$ 、 $\dots$ 、 $ESR_n$ 、及び組み合わせ回路 $320_2$ 、 $320_4$ 、 $\dots$ 、 $320_n$ は、奇数信号線駆動部200のシフトレジスタ $SR_1$ 、 $SR_3$ 、 $\dots$ 、 $SR_{n-1}$ 、 $SR_{n+1}$ 、シフトレジスタ $ESR_1$ 、 $ESR_3$ 、 $\dots$ 、 $ESR_{n-1}$ 、及び組み合わせ回路 $220_1$ 、 $220_3$ 、 $\dots$ 、 $220_{n-1}$ と各々同一な構造であるので、詳細な説明は省略する。ただし、偶数信号線駆動部300の組み合わせ回路 $310_2$ 、 $310_4$ 、 $\dots$ 、 $310_n$ には、奇数信号線駆動部200の組み合わせ回路 $210_1$ 、 $210_3$ 、 $\dots$ 、 $210_{n-1}$ に入力されるイネーブル信号( $enb$ )が反転した信号( $\neg enb$ )が入力されるという点が異なる。

10

【0052】

したがって、偶数信号線駆動部300で、組み合わせ回路 $310_2$ は、イネーブル信号( $\neg enb$ )、信号( $SR[2]$ )、及び信号( $SR[4]$ )を受信して、入力される3つの信号が全てハイレベルである区間にローレベルを有する選択信号( $S[2]$ )を生成する。組み合わせ回路 $310_4$ は、イネーブル信号( $\neg enb$ )、信号( $SR[4]$ )、及び信号( $SR[6]$ 、図示せず)を受信して、入力される3つの信号が全てハイレベルである区間にローレベルを有する選択信号( $S[4]$ )を生成する。同様に、図9に示されているように、組み合わせ回路 $310_n$ は、イネーブル信号( $\neg enb$ )、信号( $SR[n]$ )、及び信号( $SR[n+2]$ )を受信して、入力される3つの信号が全てハイレベルである区間にローレベルを有する選択信号( $S[n]$ )を生成する。

20

【0053】

このようにして、偶数信号線駆動部300は、シフトレジスタ $SR_2$ 、 $SR_4$ 、 $\dots$ 、 $SR_n$ 、 $SR_{n+2}$ 及び組み合わせ回路 $310_2$ 、 $310_4$ 、 $\dots$ 、 $310_n$ を利用して、図9に示されているように、偶数番目の信号線の選択信号( $S[2]$ 、 $S[4]$ 、 $S[6]$ 、 $\dots$ 、 $S[n]$ )を生成して順次に印加する。

30

また、偶数信号線駆動部300は、シフトレジスタ $ESR_2$ 、 $ESR_4$ 、 $\dots$ 、 $ESR_n$ 及び組み合わせ回路 $320_2$ 、 $320_4$ 、 $\dots$ 、 $320_n$ を利用して、図10に示されているように、発光制御信号( $E1[2]$ 、 $E1[4]$ 、 $E1[6]$ 、 $\dots$ 、 $E1[n]$ )及び発光制御信号( $E2[2]$ 、 $E2[4]$ 、 $E2[6]$ 、 $\dots$ 、 $E2[n]$ )を順次に生成して印加する。

【0054】

一方、奇数信号線駆動部200のシフトレジスタ $ESR_1$ 、 $ESR_3$ 、 $\dots$ 、 $ESR_{n-1}$ 及び組み合わせ回路 $220_1$ 、 $220_3$ 、 $\dots$ 、 $220_{n-1}$ は、偶数信号線駆動部300のシフトレジスタ $ESR_2$ 、 $ESR_4$ 、 $\dots$ 、 $ESR_n$ 、組み合わせ回路 $310_2$ 、 $310_4$ 、 $\dots$ 、 $310_n$ 、及び組み合わせ回路 $320_2$ 、 $320_4$ 、 $\dots$ 、 $320_n$ と入力信号が同一で構造も同一なので、図4に示されているように、奇数発光制御信号( $E1[1]$ 、 $E2[1]$ )及び偶数発光制御信号( $E1[2]$ 、 $E2[2]$ )は同一な信号となる。

40

【0055】

本発明の第1実施例によれば、奇数番目の信号線及び偶数番目の信号線に印加される信号を各々異なる駆動装置で生成して印加する。このようにすることで、駆動装置に入力されるクロック信号の周波数は、一つの駆動装置で全ての信号線に印加される信号を生成する場合と比較して半分になる。したがって、駆動装置で消費される消費電力は減少する。また、3つの信号、つまり選択信号及び2つの発光制御信号を生成するために、3つの開

50

始信号 (SP) が入力されるのではなく、奇数信号線駆動部及び偶数信号線駆動部の各々に同一な2つの開始信号 (SP1、SP2) が各々入力されるので、入力配線の数も減少させることができ、駆動装置の大きさを小さくすることができる。

【0056】

次に、図11乃至図14を参照して本発明の第2実施例について説明する。

図11は本発明の第2実施例による奇数信号線駆動部200'の構造を示す図面である。

本発明の第2実施例による奇数信号線駆動部200'は、信号遅延などによって選択信号 (S[i-1]) 及び選択信号 (S[i]) が重なるのを防止するために、第1実施例による奇数信号線駆動部200とは異なるイネーブル信号 (ENB1) を使用する。

したがって、奇数信号線駆動部200'は、組み合わせ回路210<sub>2</sub>、210<sub>4</sub>、・・・、210<sub>n</sub>にイネーブル信号 (ENB1) が入力されるという点を除いては、奇数信号線駆動部200と同一なので、詳細な説明は省略する。

図12のように、イネーブル信号 (ENB1) が組み合わせ回路210<sub>1</sub>、210<sub>3</sub>、・・・、210<sub>n-1</sub>に入力されることによって、選択信号 (S[1]) のローレベルの幅が狭くなる。

【0057】

図13は本発明の第2実施例による偶数信号線駆動部300'の構造を示す図面である。

本発明の第2実施例による偶数信号線駆動部300'は、偶数信号線駆動部300とは異なるイネーブル信号 (ENB2) を使用する。

図13のように、イネーブル信号 (ENB2) が組み合わせ回路310<sub>2</sub>、310<sub>4</sub>、・・・、310<sub>n</sub>に入力されることによって、選択信号 (S[2]) のローレベルの幅が狭くなる。

このように、イネーブル信号 (ENB1) 及びイネーブル信号 (ENB2) を使用してローレベルの幅が狭い選択信号 (S[i]) を生成することによって、信号遅延などによって連続する2つの選択信号 (S[i-1]、S[i]) が重なるのを効果的に防止することができる。

【0058】

以上のように、本発明の実施例では、一つの画素回路に2つの発光素子が含まれ、5つのトランジスタ、2つのキャパシタを含むことを例示して説明したが、これに限定されず、本発明は、発光素子に印加する電流を出力する駆動トランジスタ、駆動トランジスタと発光素子との間に電氣的に連結された発光制御トランジスタを含むいずれの画素回路にも適用することができる。また、本発明は、発光表示装置の他にも、一つのシフトレジスタから生成された信号に基づいて2つの信号を生成する装置にも適用することができる。つまり、本発明の権利範囲は実施例のような構造に限定されず、請求の範囲で定義している本発明の基本概念を利用した当業者の様々な変形及び改良形態も本発明の権利範囲に属するのである。

【図面の簡単な説明】

【0059】

【図1】従来の発光表示パネルの画素回路を示す図面である。

【図2】本発明の実施例による有機EL表示装置の構造を概略的に示す平面図である。

【図3】本発明の第1実施例による一つの画素回路の等価回路図である。

【図4】本発明の第1実施例による有機EL表示装置の信号タイミング図である。

【図5】本発明の第1実施例による有機EL表示装置の奇数信号線駆動部の構造を概略的に示す図面である。

【図6】奇数信号線駆動部の出力信号の波形を示す波形図である。

【図7】奇数信号線駆動部の出力信号の波形を示す波形図である。

【図8】本発明の第1実施例による有機EL表示装置の偶数信号線駆動部の構造を概略的に示す図面である。

10

20

30

40

50

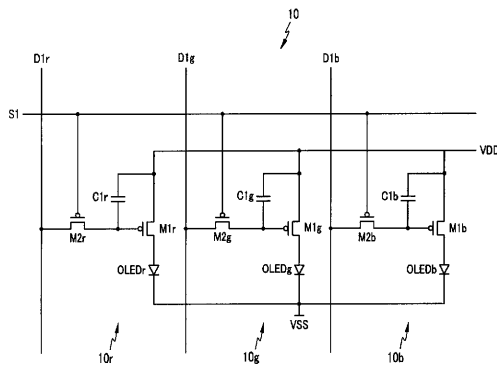
- 【図9】偶数信号線駆動部の出力信号の波形を示す波形図である。
- 【図10】偶数信号線駆動部の出力信号の波形を示す波形図である。
- 【図11】本発明の第2実施例による奇数信号線駆動部の構造を示す図面である。
- 【図12】奇数信号線駆動部の出力信号の波形を示す波形図である。
- 【図13】本発明の第2実施例による偶数信号線駆動部の構造を示す図面である。
- 【図14】偶数信号線駆動部の出力信号の波形を示す波形図である。

【符号の説明】

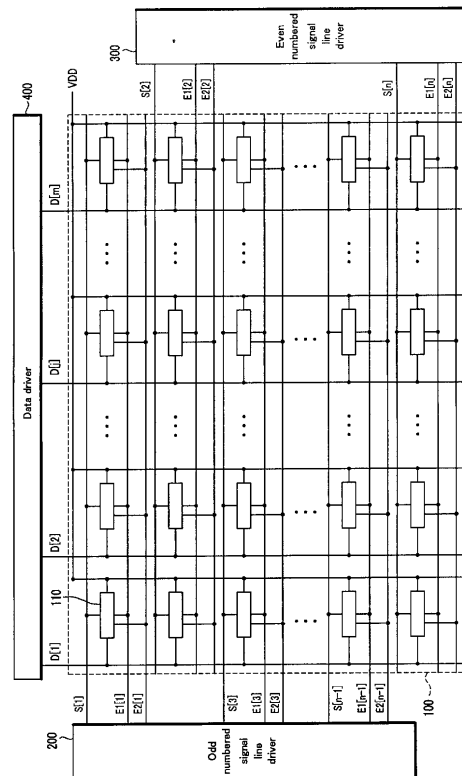
【0060】

- 100 表示パネル
- 110 画素
- 115 画素駆動部
- 200 奇数信号線駆動部
- 300 偶数信号線駆動部
- 400 データ駆動部

【図1】

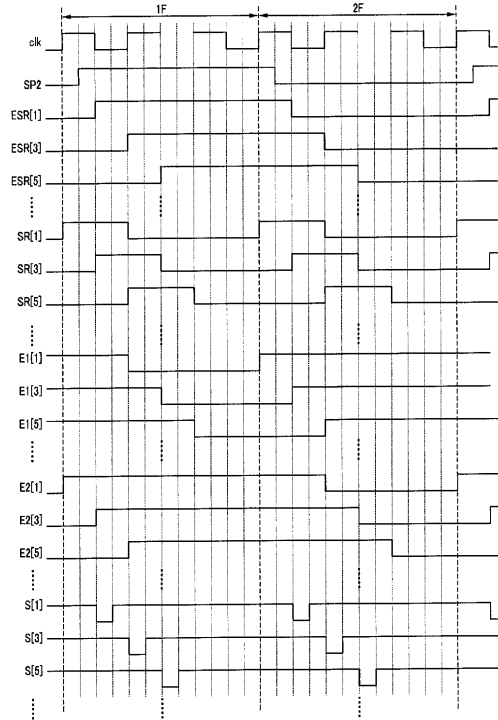


【図2】

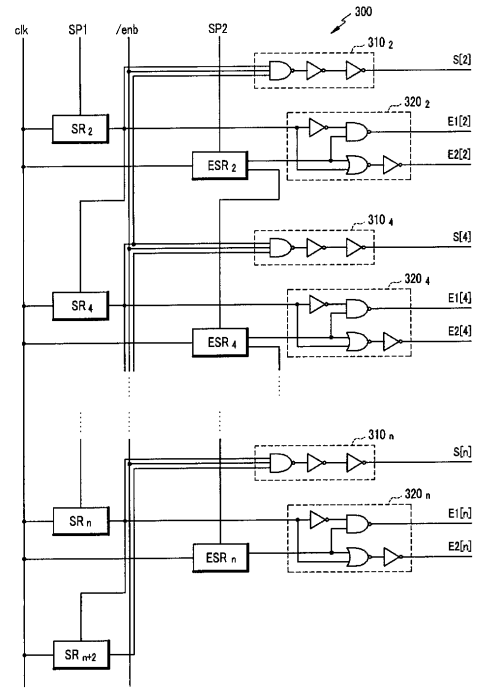




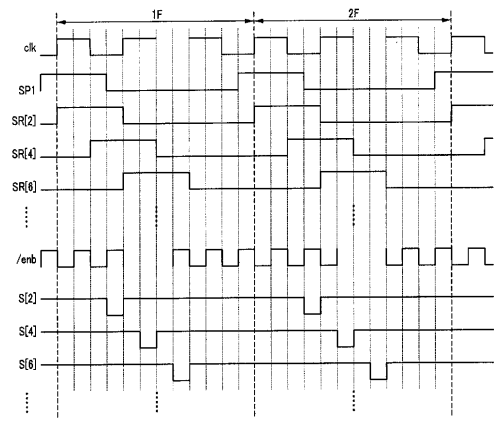
【 図 7 】



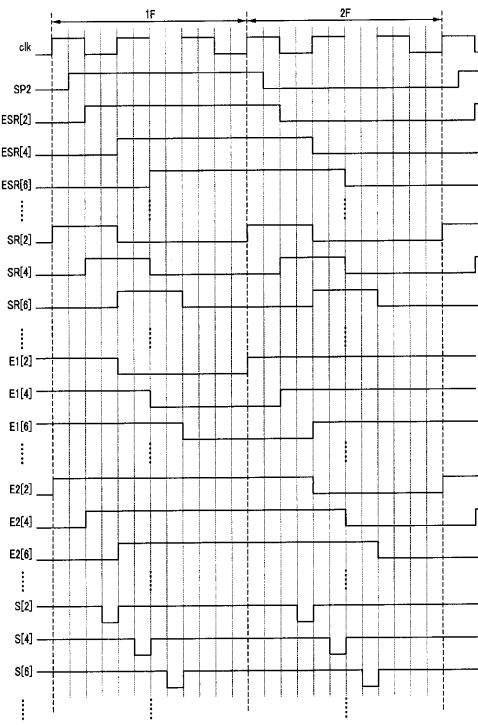
【 図 8 】



【 図 9 】

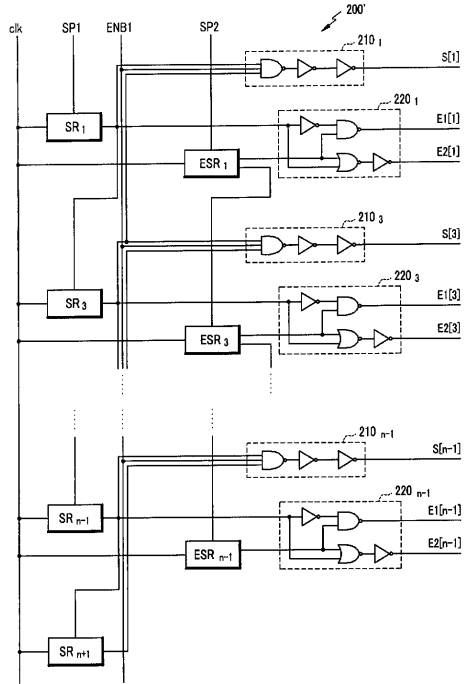


【 図 10 】

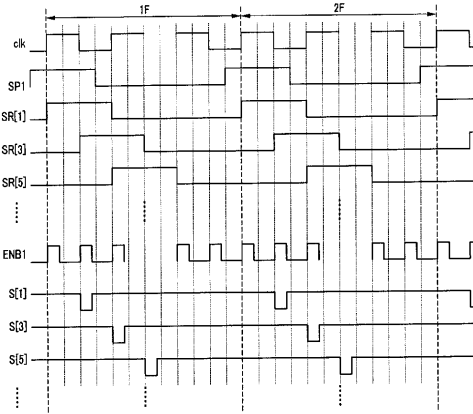




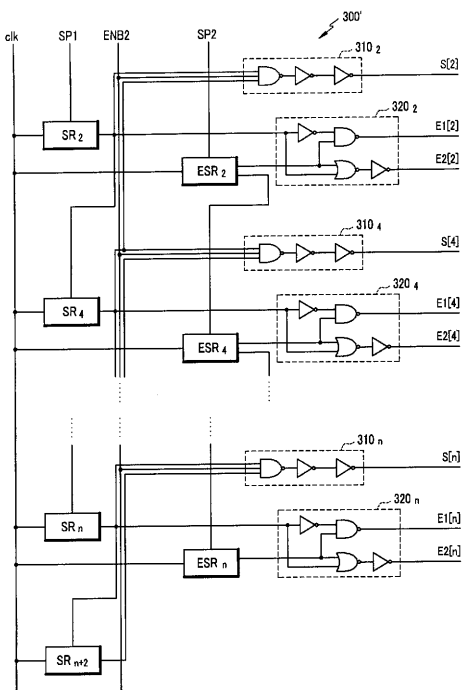
【 図 1 1 】



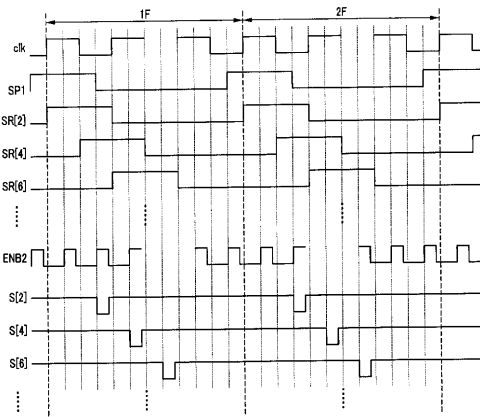
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



## フロントページの続き

(51)Int.Cl. F I  
 G 0 9 G 3/20 6 2 2 P  
 G 0 9 G 3/20 6 2 1 A  
 G 0 9 G 3/20 6 2 4 B

(74)代理人 100108453  
 弁理士 村山 靖彦  
 (72)発明者 巖 基明  
 大韓民国京畿道水原市靈通区 シン 洞 5 7 5 番地

審査官 小川 浩史

(56)参考文献 特開 2 0 0 3 - 1 2 2 3 0 6 ( J P , A )  
 特開昭 6 2 - 1 8 7 8 8 7 ( J P , A )  
 特開平 3 - 8 5 5 9 1 ( J P , A )  
 特開平 4 - 3 5 5 7 8 9 ( J P , A )  
 特開 2 0 0 0 - 3 4 7 6 2 8 ( J P , A )  
 欧州特許出願公開第 1 4 6 5 1 4 6 ( E P , A 2 )  
 特開 2 0 0 3 - 2 5 5 8 9 9 ( J P , A )  
 特開 2 0 0 3 - 1 4 0 6 1 9 ( J P , A )  
 特開 2 0 0 3 - 2 2 0 5 8 ( J P , A )  
 特開 2 0 0 2 - 2 6 8 6 1 5 ( J P , A )  
 特開 2 0 0 3 - 1 0 8 0 7 0 ( J P , A )  
 特開 2 0 0 3 - 2 1 6 1 0 0 ( J P , A )  
 特許第 4 2 0 9 8 3 1 ( J P , B 2 )  
 特許第 4 2 0 9 8 3 2 ( J P , B 2 )  
 特許第 4 2 0 9 8 3 3 ( J P , B 2 )  
 特許第 4 2 9 5 1 6 3 ( J P , B 2 )  
 特開 2 0 0 5 - 1 6 5 2 6 6 ( J P , A )  
 特許第 4 1 0 2 3 6 8 ( J P , B 2 )  
 特許第 4 1 0 5 7 0 2 ( J P , B 2 )  
 特開 2 0 0 5 - 3 3 8 8 3 7 ( J P , A )  
 特許第 4 0 9 5 9 8 9 ( J P , B 2 )  
 特許第 4 1 7 7 8 1 6 ( J P , B 2 )  
 特開 2 0 0 6 - 1 1 4 8 7 6 ( J P , A )  
 特開 2 0 0 9 - 2 1 7 2 9 1 ( J P , A )

(58)調査した分野(Int.Cl. , DB名)  
 G 0 9 G 3 / 2 0 - 3 / 3 8