

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-65801  
(P2015-65801A)

(43) 公開日 平成27年4月9日(2015.4.9)

|                             |              |             |
|-----------------------------|--------------|-------------|
| (51) Int.Cl.                | F I          | テーマコード (参考) |
| <b>HO2M 3/155 (2006.01)</b> | HO2M 3/155 P | 5H730       |
|                             | HO2M 3/155 K |             |
|                             | HO2M 3/155 F |             |

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2014-91518 (P2014-91518)  
 (22) 出願日 平成26年4月25日 (2014.4.25)  
 (31) 優先権主張番号 特願2013-175581 (P2013-175581)  
 (32) 優先日 平成25年8月27日 (2013.8.27)  
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000004260  
 株式会社デンソー  
 愛知県刈谷市昭和町1丁目1番地  
 (74) 代理人 110000567  
 特許業務法人 サトー国際特許事務所  
 (72) 発明者 秦 武廣  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内  
 (72) 発明者 池川 幸平  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内  
 (72) 発明者 朝日 隆志  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内

最終頁に続く

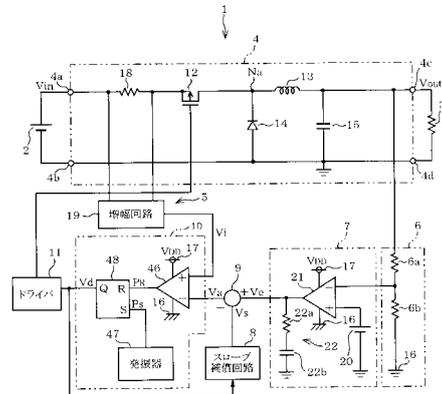
(54) 【発明の名称】 スイッチング電源装置

(57) 【要約】

【課題】スロープ補償信号にスイッチングノイズが重畳しても正常に動作するようにしたスイッチング電源装置を提供する。

【解決手段】減算回路9は、誤差信号V<sub>e</sub>からスロープ補償信号V<sub>s</sub>が引かれた補償誤差信号V<sub>a</sub>を出力する。減算回路9は、誤差信号V<sub>e</sub>を電圧-電流変換して第1電流を出力する第1回路と、スロープ補償信号V<sub>s</sub>を電圧-電流変換して第2電流を出力する第2回路と、第1電流から第2電流を引いた差電流分を電流-電圧変換する第3回路とを備えて構成されている。

【選択図】 図1



1: スイッチング電源装置  
 4: 主回路  
 5: 電流検出回路  
 6: 電圧検出回路  
 7: 誤差増幅回路  
 10: 補償信号生成回路  
 12: スイッチング素子  
 13: インダクタ  
 16, 17: 第1, 第2電流線

## 【特許請求の範囲】

## 【請求項 1】

スイッチング素子(12, 12a, 12b)とインダクタ(13)とを有し、駆動信号がオンレベルになると前記スイッチング素子がオンして前記インダクタに流れる電流を増加させ、前記駆動信号がオフレベルになると前記スイッチング素子がオフして前記インダクタに流れる電流を出力側に還流させる主回路(4, 52, 62, 72)と、

前記インダクタに流れる電流に対応した電流検出信号を出力する電流検出回路(5)と

、  
前記主回路の出力電圧に対応した検出電圧を出力する電圧検出回路(6)と、

前記主回路の目標出力電圧に対応した基準電圧と前記検出電圧との差に応じた誤差信号を出力する誤差増幅回路(7)と、

スイッチ回路(26)が並列に接続されたコンデンサ(23)と定電流回路(24)との直列回路を備え、前記駆動信号がオンレベルになると前記スイッチ回路がオフし、前記駆動信号がオフレベルになると前記スイッチ回路がオンすることにより、前記コンデンサの電圧に基づいてスロープ補償信号を生成するスロープ補償回路(8)と、

前記誤差信号を電圧-電流変換して第1電流を出力する第1回路(33, 33a)と、

前記スロープ補償信号を電圧-電流変換して第2電流を出力する第2回路(34, 34a)と、

前記第1電流から前記第2電流を引いた差電流分を電流-電圧変換して前記誤差信号から前記スロープ補償信号が引かれた補償誤差信号を出力する第3回路(100, 100a)と、

クロック信号に同期して前記駆動信号をオンレベルにし、前記電流検出信号が前記補償誤差信号に達した時に前記駆動信号をオフレベルにして電流モード制御を実行する駆動信号生成回路(10)と、を備えていることを特徴とするスイッチング電源装置。

## 【請求項 2】

前記第3回路(100)は、

前記第1電流から前記第2電流を引いた差電流を出力する差電流生成回路(35)と、

前記差電流生成回路(35)の差電流を電流-電圧変換して前記誤差信号から前記スロープ補償信号が引かれた補償誤差信号を出力する変換回路(36)と、を備えていることを特徴とする請求項1記載のスイッチング電源装置。

## 【請求項 3】

前記第1回路(33)、前記第2回路(34)、前記差電流生成回路(35)および前記変換回路(36)は、第1電源線(16)と第2電源線(17)を通して与えられる電源電圧により動作し、

前記第1回路(33)および前記第2回路(34)は、

ゲートに電圧信号が入力され、ドレインが前記第1電源線に接続された第1導電型の第1トランジスタ(37)と、

ゲートが前記第1トランジスタのソースに接続された第2導電型の第2トランジスタ(39)と、

前記第2トランジスタのソースと前記第1電源線との間に接続された第1抵抗(40)と、

前記第1トランジスタにバイアス電流を流すバイアス回路(38)とを備えて構成され、

前記差電流生成回路(35)は、

前記第2電源線と前記第1回路の第2トランジスタのドレインとの間に接続された第3トランジスタ(41)と、

前記第2電源線と前記第2回路の第2トランジスタのドレインとの間に接続され、前記第3トランジスタとともにカレントミラー回路を構成する第4トランジスタ(42)と、

前記第2電源線と前記第1回路の第2トランジスタのドレインとの間でダイオード接続された第5トランジスタ(43)とを備えて構成され、

10

20

30

40

50

前記変換回路(36)は、前記第5トランジスタとともにカレントミラー回路を構成する第6トランジスタ(44)と、

前記第6トランジスタと前記第1電源線との間に接続され、電圧信号を生成する第2抵抗(45)とを備えて構成されていることを特徴とする請求項2記載のスイッチング電源装置。

【請求項4】

前記第1回路(33a)は、前記誤差信号となる電圧信号が入力される第1抵抗(81)により構成され、

前記第2回路(34a)は、前記スローブ補償信号となる電圧信号が入力される第2抵抗(83)により構成され、

前記第3回路(100a)は、前記第1回路の第1抵抗及び前記第2回路の第2抵抗がそれぞれ非反転入力端子及び反転入力端子の何れかに接続され第1電源線(16)と第2電源線(17)を通して与えられる電源電圧により動作するオペアンプ(80)と、前記オペアンプの非反転入力端子と前記第2電源線との間に接続された第3抵抗(82)と、前記オペアンプの反転入力端子と出力端子との間に接続された第4抵抗(84)と、により構成されていることを特徴とする請求項1記載のスイッチング電源装置。

【請求項5】

前記第1～第4抵抗(81～84)は、互いに同一種類又は/及び同一抵抗値により構成されていることを特徴とする請求項4記載のスイッチング電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流モード制御方式のスイッチング電源装置に関する。

【背景技術】

【0002】

従来から用いられている電圧モード制御方式のスイッチング電源装置は、基準電圧と出力電圧の差に応じてゲート電圧のデューティ比を調整することにより、出力電圧を目標電圧に等しく制御している。しかし、電圧モード制御方式のスイッチング電源装置は、出力電圧に基づいてのみフィードバック制御を行うため、出力電圧変動に対する応答速度が遅いという問題があった。

【0003】

そこで、近年では、出力電圧に加えてインダクタ電流をフィードバック制御に用いる電流モード制御方式のスイッチング電源装置が多く用いられている。しかし、電流モード制御方式のスイッチング電源装置は、例えばピーク電流検出方式の場合、PWM駆動信号のデューティ比が50%を超えるとサブハーモニック発振により不安定動作となることが知られている。

【0004】

このサブハーモニック発振を防止するための手段として、スローブ補償が用いられている。スローブ補償には、電流検出信号に鋸波などのスローブ補償信号を加算する方法、誤差増幅器から出力される誤差信号からスローブ補償信号を減算する方法などがある。特許文献1には、誤差増幅器の出力端子にコンデンサと定電流回路を直列に接続し、コンデンサと定電流回路との接続点に生成される減算信号(=誤差信号-スローブ補償信号)を、コンパレータを用いてインダクタ電流と比較する構成が示されている。コンデンサには、セット信号に同期してオンする放電用トランジスタが並列に接続されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2005-39925号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

## 【0006】

特許文献1に記載された構成では、セット信号により放電用トランジスタがオンオフする時に、コンデンサの端子間にスイッチングノイズが重畳する。このスイッチングノイズが重畳した減算信号は、そのままコンパレータに入力される。その結果、セット信号が入力された直後に、スイッチングノイズにより減算信号がインダクタ電流を下回り、コンパレータがリセット信号を出力する虞がある。リセット信号が出力されると、正常なデューティ比を持つPWM駆動信号が得られず、出力電圧が低下することが懸念される。

## 【0007】

本発明は上記事情に鑑みてなされたもので、その目的は、スローブ補償信号にスイッチングノイズが重畳しても正常に動作するスイッチング電源装置を提供することにある。

10

## 【課題を解決するための手段】

## 【0008】

請求項1に記載したスイッチング電源装置は、主回路、電流検出回路、電圧検出回路、誤差増幅回路、スローブ補償回路、駆動信号生成回路に加え、さらに第1、第2および第3回路を備えている。主回路は、スイッチング素子とインダクタを有している。主回路は、駆動信号がオンレベルになると、スイッチング素子がオンしてインダクタに流れる電流を増加させ、駆動信号がオフレベルになると、スイッチング素子がオフしてインダクタに流れる電流を出力側に還流させる。

## 【0009】

電流検出回路は、インダクタに流れる電流に対応した電流検出信号を出力する。電圧検出回路は、主回路の出力電圧に対応した検出電圧を出力する。誤差増幅回路は、主回路の目標出力電圧に対応した基準電圧と検出電圧との差に応じた誤差信号を出力する。スローブ補償回路は、スイッチ回路が並列に接続されたコンデンサと定電流回路との直列回路を備えている。スローブ補償回路は、駆動信号がオンレベルになるとスイッチ回路をオフし、駆動信号がオフレベルになるとスイッチ回路をオンし、コンデンサの電圧に基づいてスローブ補償信号を生成する。

20

## 【0010】

第1回路は、誤差信号を電圧-電流変換して第1電流を出力し、第2回路は、スローブ補償信号を電圧-電流変換して第2電流を出力する。差電流生成回路は第1電流から第2電流を引いた差電流を出力する。第3回路は、これらの差電流分を電流-電圧変換し、誤差信号からスローブ補償信号が引かれた補償誤差信号を出力する。駆動信号生成回路は、クロック信号に同期して駆動信号をオンレベルにし、電流検出信号が補償誤差信号に達した時に駆動信号をオフレベルにして電流モード制御を実行する。

30

## 【0011】

スイッチ回路がオンオフ動作すると、スイッチ回路の寄生容量、配線インダクタンスなどに起因して、コンデンサの電圧(スローブ補償信号)に急峻なスイッチングノイズが重畳する虞がある。このスイッチングノイズは、第2回路、および第3回路の寄生容量等によって低減または消滅する。つまり、第1、第2、第3回路は、誤差信号からスローブ補償信号を減算する機能と、スイッチングノイズなどのノイズ成分を低減または消滅させる機能を併せ持つ。その結果、スイッチングノイズが低減または消滅した補償誤差信号が得られるので、スイッチングノイズによる誤動作を防止して正常な電流モード制御を実行できる。

40

## 【0012】

請求項2記載のように、第3回路を、第1電流から前記第2電流を引いた差電流を出力する差電流生成回路と、差電流生成回路の差電流を電流-電圧変換して誤差信号からスローブ補償信号が引かれた補償誤差信号を出力する変換回路と、を備えるように構成すると良い。

## 【0013】

請求項3記載の手段によれば、第1回路、第2回路、差電流生成回路および変換回路は、第1電源線と第2電源線を通して与えられる電源電圧により動作する。第1回路および

50

第2回路は、ゲートに電圧信号が入力され、ドレインが第1電源線に接続された第1導電型の第1トランジスタと、ゲートが第1トランジスタのソースに接続された第2導電型の第2トランジスタと、第2トランジスタのソースと第1電源線との間に接続された第1抵抗と、第1トランジスタにバイアス電流を流すバイアス回路とを備えている。例えば、第1、第2トランジスタのゲート・ソース間電圧が等しい場合、第1抵抗には、(電圧信号の電圧値/第1抵抗の抵抗値)で定まる電流(第1電流、第2電流)が流れる。

【0014】

差電流生成回路は、第2電源線と第1回路の第2トランジスタのドレインとの間に接続された第3トランジスタと、第2電源線と第2回路の第2トランジスタのドレインとの間に接続され、第3トランジスタとともにカレントミラー回路を構成する第4トランジスタと、第2電源線と第1回路の第2トランジスタのドレインとの間でダイオード接続された第5トランジスタとを備えている。第5トランジスタには、第1電流から第2電流を引いた差電流が流れる。

10

【0015】

変換回路は、第5トランジスタとともにカレントミラー回路を構成する第6トランジスタと、第6トランジスタと第1電源線との間に接続された第2抵抗とを備えている。第2抵抗には、(差電流×第2抵抗の抵抗値)で定まる電圧が生成される。

【0016】

各トランジスタのゲート・ソース間、ゲート・ドレイン間、ドレイン・ソース間には寄生容量が存在する。スイッチングノイズなどクロック信号に比べ格段に高い周波数成分は、この寄生容量を通して第1電源線または第2電源線に逃れる。その結果、変換回路は、スイッチングノイズが低減または消滅した電圧信号を出力することができる。

20

【図面の簡単な説明】

【0017】

【図1】第1の実施形態を示すスイッチング電源装置の構成図

【図2】スロープ補償回路の回路構成図

【図3】減算回路のブロック構成図

【図4】減算回路の回路構成図

【図5】電流モード制御の波形図

【図6】第2の実施形態を示すスイッチング電源装置の構成図(図1相当図)

30

【図7】第3の実施形態を示すスイッチング電源装置の構成図(図1相当図)

【図8】第4の実施形態を示すスイッチング電源装置の構成図(図1相当図)

【図9】第5の実施形態を示す減算回路のブロック構成図(図3相当図)

【図10】減算回路の回路構成図(図4相当図)

【発明を実施するための形態】

【0018】

各実施形態において実質的に同一部分には同一符号を付して説明を省略する。

(第1の実施形態)

以下、第1の実施形態について図1から図5を参照しながら説明する。図1に示すスイッチング電源装置1は、車載バッテリー2から電圧 $V_{in}$ を入力してピーク電流検出方式の電流モード制御を行い、車載機器などの負荷3(図中、抵抗の記号で示す)に対し安定化した出力電圧 $V_{out}$ を出力する降圧型のレギュレータである。

40

【0019】

このスイッチング電源装置1は、主回路4、電流検出回路5、電圧検出回路6、誤差増幅回路7、スロープ補償回路8、減算回路9、駆動信号生成回路10およびドライバ11を備えている。主回路4は、入力端子4aと出力端子4cとの間に直列に接続されたPチャネル型MOSトランジスタ12(スイッチング素子)とインダクタ13、トランジスタ12とインダクタ13の共通接続ノードNaとグランドとの間に接続されたダイオード14、および出力端子4c、4d間に接続されたコンデンサ15から構成されている。入力端子4bと出力端子4dはグランドに接続されている。

50

## 【 0 0 2 0 】

ドライバ 1 1 からトランジスタ 1 2 に印加されるゲート電圧  $V_g$  がオンレベル ( Lレベル ) になると、トランジスタ 1 2 がオンし、入力端子 4 a からトランジスタ 1 2 を通してインダクタ 1 3 に流れる電流が増大する。ゲート電圧  $V_g$  がオフレベル ( Hレベル ) になると、トランジスタ 1 2 がオフし、インダクタ 1 3 に流れていた電流がダイオード 1 4 を介して出力側に還流する。なお、ダイオード 1 4 に替えて、スイッチング素子例えば Nチャネル型 MOS トランジスタを用いた同期整流方式としてもよい。この場合、トランジスタ 1 2 と Nチャネル型 MOS トランジスタは、相補的にオン駆動される。

## 【 0 0 2 1 】

電圧検出回路 6、誤差増幅回路 7、スローブ補償回路 8、減算回路 9 および駆動信号生成回路 1 0 は、第 1 電源線 1 6 と第 2 電源線 1 7 との間に与えられる電源電圧  $V_{dd}$  により動作する。第 1 電源線 1 6 はグランド電位を持つ。電流検出回路 5 は、トランジスタ 1 2 に直列に設けられたシャント抵抗 1 8 と、シャント抵抗 1 8 の電圧を増幅して電流検出信号  $V_i$  を出力する増幅回路 1 9 とから構成されている。電流検出信号  $V_i$  は、トランジスタ 1 2 がオンしているときにインダクタ 1 3 に流れる電流に対応した信号である。これに替えて、インダクタ 1 3 と直列にシャント抵抗 1 8 を設けてもよい。この場合の電流検出信号  $V_i$  は、トランジスタ 1 2 のオンオフにかかわらずインダクタ 1 3 に流れる電流に対応した信号である。

## 【 0 0 2 2 】

電圧検出回路 6 は、抵抗 6 a、6 b からなる分圧回路により構成されており、出力電圧  $V_{out}$  に対応した検出電圧を出力する。誤差増幅回路 7 は、基準電圧生成回路 2 0、誤差増幅器 2 1 および位相補償回路 2 2 から構成されている。基準電圧生成回路 2 0 は、出力電圧  $V_{out}$  の目標電圧に対応した基準電圧を出力する。誤差増幅器 2 1 は、基準電圧と検出電圧との差に応じた誤差信号  $V_e$  を出力する。位相補償回路 2 2 は、誤差増幅器 2 1 の出力端子と電源線 1 6 ( グランド ) との間に直列接続された抵抗 2 2 a とコンデンサ 2 2 b とから構成されている。

## 【 0 0 2 3 】

スローブ補償回路 8 は、図 2 に示すようにコンデンサ 2 3 を用いた充放電回路を備え、コンデンサ 2 3 の電圧  $V_c$  に基づいた鋸波状のスローブ補償信号  $V_s$  を生成する。電源線 1 7、1 6 間には、MOS トランジスタ 2 4、ダイオード接続された MOS トランジスタ 2 5 およびコンデンサ 2 3 が直列に接続されている。トランジスタ 2 4 は、バイアス電圧  $V_{bias}$  を入力して定電流回路として動作する。

## 【 0 0 2 4 】

コンデンサ 2 3 には Nチャネル型 MOS トランジスタ 2 6 が並列接続されている。トランジスタ 2 6 は、駆動信号生成回路 1 0 から出力される PWM 駆動信号  $V_d$  をインバータ 2 7 で反転した信号によりオンオフ動作するスイッチ回路である。駆動信号  $V_d$  がトランジスタ 1 2 にとってのオンレベルになるとトランジスタ 2 6 がオフし、駆動信号  $V_d$  がオフレベルになるとトランジスタ 2 6 がオンする。

## 【 0 0 2 5 】

トランジスタ 2 5 のゲートには、トランジスタ 2 8 のゲートが接続されている。トランジスタ 2 8 のソースと電源線 1 6 との間には抵抗 2 9 が接続されている。トランジスタ 2 5、2 8 のゲート・ソース間電圧が等しい場合、抵抗 2 9 には ( コンデンサ 2 3 の電圧  $V_c$  / 抵抗 2 9 の抵抗値 ) に等しい電流が流れる。この電流は、トランジスタ 3 0、3 1 からなるカレントミラー回路を介して抵抗 3 2 に流れる。抵抗 2 9、3 2 の抵抗値が等しい場合、スローブ補償信号  $V_s$  は電圧  $V_c$  に等しくなる。

## 【 0 0 2 6 】

図 1 に示す減算回路 9 は、図 3 に示すように第 1 変換回路 ( 第 1 回路相当 ) 3 3、第 2 変換回路 ( 第 2 回路相当 ) 3 4、差電流生成回路 3 5 および第 3 変換回路 3 6 から構成される第 3 回路 1 0 0 により構成されている。第 1 変換回路 3 3 は、誤差信号  $V_e$  を電圧 - 電流変換して第 1 電流  $I_1$  を出力する。第 2 変換回路 3 4 は、スローブ補償信号  $V_s$  を電

10

20

30

40

50

圧 - 電流変換して第 2 電流  $I_2$  を出力する。差電流生成回路 35 は、第 1 電流  $I_1$  から第 2 電流  $I_2$  を引いた差電流 ( $I_1 - I_2$ ) を出力する。第 3 変換回路 36 は、差電流を電流 - 電圧変換して誤差信号  $V_e$  からスローブ補償信号  $V_s$  が引かれた補償誤差信号  $V_a$  を出力する。ここで、第 3 回路 100 は、第 1 電流  $I_1$  から第 2 電流  $I_2$  を引いた差電流 ( $I_1 - I_2$ ) を電流 - 電圧変換して補償誤差信号  $V_a$  として出力していると言える。

#### 【0027】

図 4 は、減算回路 9 の具体的な回路構成例を示している。第 1 変換回路 33 と第 2 変換回路 34 は同じ回路構成を対称形に一对構成したものであり、図 4 中には一对となっている回路要素に同一符号を付して表している。ドレインが電源線 16 に接続された P チャネル型 MOS トランジスタ 37 (第 1 トランジスタ) は、ソースフォロアに接続され、バッファ回路として動作する。そのゲートには、誤差信号  $V_e$  またはスローブ補償信号  $V_s$  が入力されている。電源線 17 とトランジスタ 37 のソースとの間には、バイアス電圧  $V_{bias}$  を入力して定電流を流すトランジスタ 38 (バイアス回路) が接続されている。

10

#### 【0028】

N チャネル型 MOS トランジスタ 39 (第 2 トランジスタ) のゲートはトランジスタ 37 のソースに接続されており、ソースと電源線 16 との間に第 1 抵抗 40 が接続されている。第 1 抵抗 40 の抵抗値を  $R$  とすれば、第 1 変換回路 33 は  $I_1 = V_e / R$  の電流を出力し、第 2 変換回路 34 は  $I_2 = V_s / R$  の電流を出力する。

#### 【0029】

差電流生成回路 35 は、P チャネル型 MOS トランジスタ 41、42 (第 3、第 4 トランジスタ) からなるカレントミラー回路と、ダイオード接続された P チャネル型 MOS トランジスタ 43 (第 5 トランジスタ) から構成されている。トランジスタ 41 は、電源線 17 と第 1 変換回路 33 のトランジスタ 39 との間に接続されており、トランジスタ 42 は、電源線 17 と第 2 変換回路 34 のトランジスタ 39 との間に接続されている。トランジスタ 43 は、電源線 17 と第 1 変換回路 33 のトランジスタ 39 との間でダイオード接続されている。

20

#### 【0030】

第 3 変換回路 36 は、トランジスタ 43 とともにカレントミラー回路を構成する P チャネル型 MOS トランジスタ 44 (第 6 トランジスタ) と、トランジスタ 44 と電源線 16 との間に接続された第 2 抵抗 45 とから構成されている。第 2 抵抗 45 の抵抗値は  $R$  である。ここで第 1 抵抗 40 及び第 2 抵抗 45 は互いに同一種類 (例えば拡散抵抗、または、ポリ抵抗) の抵抗により構成されていると良く、また前述したように互いに抵抗値を同一抵抗値にすると良い。このとき環境温度変化に起因した温度補償効果を向上できる。特に半導体集積回路装置内に構成されている場合に好適である。上述した 2 つのカレントミラー回路のミラー比が 1 の場合、トランジスタ 41、42 には電流  $I_2$  が流れ、トランジスタ 43、44 には電流  $I_1 - I_2$  が流れる。その結果、抵抗 45 には ( $V_e - V_s$ ) の補償誤差信号  $V_a$  が生成される。

30

#### 【0031】

図 1 に遡って、駆動信号生成回路 10 は、コンパレータ 46、発振器 47 および RS フリップフロップ 48 (以下、RSFF48 と称す) から構成されている。コンパレータ 46 は、電流検出信号  $V_i$  が増加して補償誤差信号  $V_a$  に達した時に H レベルのリセット信号  $P_r$  を出力する。発振器 47 は、クロック信号に同期した H レベルのセット信号  $P_s$  を出力する。RSFF48 は、セット信号  $P_s$  により駆動信号  $V_d$  をオンレベル (H レベル) にし、リセット信号  $P_r$  により駆動信号  $V_d$  をオフレベル (L レベル) にする。ドライバ 11 は、駆動信号  $V_d$  のオンオフレベルに従ってトランジスタ 12 をオンオフさせるゲート電圧  $V_g$  を出力する。

40

#### 【0032】

次に、図 5 も参照しながら本実施形態の作用および効果を説明する。時刻  $t_1$  に発振器 47 がセット信号  $P_s$  を出力すると、RSFF48 がセットされる。駆動信号  $V_d$  がオンレベル (H レベル) に立ち上がり、トランジスタ 12 がオンする。これにより、 배터리

50

2 からシャント抵抗 18、トランジスタ 12、インダクタ 13 を介してコンデンサ 15 および負荷 3 に電流が流れる。インダクタ 13 に流れる電流は、インダクタ 13 のインダクタンスを  $L$  とすれば  $(V_{in} - V_{out}) / L$  の傾きで増大する。

【0033】

誤差増幅回路 7 は出力電圧  $V_{out}$  の偏差に応じた誤差信号  $V_e$  を出力し、スローブ補償回路 8 は鋸波状のスローブ補償信号  $V_s$  を出力する。減算回路 9 は、誤差信号  $V_e$  からスローブ補償信号  $V_s$  を減算して補償誤差信号  $V_a$  を出力する。時刻  $t_2$  で電流検出信号  $V_i$  が補償誤差信号  $V_a$  に達すると、コンパレータ 46 は H レベルのリセット信号  $P_r$  を出力し  $R S F F$  48 がリセットされる。駆動信号  $V_d$  がオフレベル (L レベル) に立ち下がり、トランジスタ 12 がオフする。これにより、インダクタ 13 に流れていた電流は、ダイオード 14 を介して出力側に還流する。以上の繰り返しにより電流モード制御が行われる。

10

【0034】

駆動信号  $V_d$  のレベルが変化すると、スローブ補償回路 8 のトランジスタ 26 がオンオフ動作する。この時、トランジスタ 26 の寄生容量、配線インダクタンスなどに起因して、コンデンサ 23 の電圧  $V_c$  に急峻なスイッチングノイズが発生する。このスイッチングノイズは、スローブ補償信号  $V_s$  にも重畳する。このスイッチングノイズがコンパレータ 46 に入力されると、コンパレータ 46 の比較動作に誤りが生じ、PWM 駆動信号  $V_d$  のデューティ比が本来のデューティ比に比べ短くなるなどの不具合が生じる。

【0035】

これに対し、本実施形態の減算回路 9 は、スローブ補償信号  $V_s$  に重畳したスイッチングノイズを低減または消滅させる作用を持つ。減算回路 9 は、2 つの電圧信号をそれぞれ電流信号に変換し、電流相互の減算を行い、その結果の電流信号を電圧信号に変換して出力する。この変換過程および減算過程を経ることにより、高周波成分を持つスイッチングノイズが低減または消滅する。

20

【0036】

本実施形態の減算回路 9 は、トランジスタ (例えば MOS トランジスタ) を用いて構成されている。トランジスタには寄生容量が存在する。例えば MOS トランジスタのゲート・ソース間、ゲート・ドレイン間、ドレイン・ソース間には、それぞれ寄生容量が存在する。スイッチングノイズなどクロック信号に比べ格段に高い周波数成分は、この寄生容量、抵抗 40 などを通して電源線 16 または電源線 17 に逃れる。例えば、第 2 変換回路 34 のトランジスタ 37 のドレイン・ソース間の寄生容量は、スイッチングノイズを電源線 16 に逃すバイパスコンデンサの作用を持つ。差電流生成回路 35 のトランジスタ 41、42 のゲート・ソース間の寄生容量は、スイッチングノイズを電源線 17 に逃すバイパスコンデンサの作用を持つ。

30

【0037】

その結果、スローブ補償信号  $V_s$  に重畳したスイッチングノイズは、第 2 変換回路 34、差電流生成回路 35 および第 3 変換回路 36 において低減または消滅する。つまり、減算回路 9 は、誤差信号  $V_e$  からスローブ補償信号  $V_s$  を減算する機能と、スイッチングノイズなどのノイズ成分を低減させる機能を併せ持つ。その結果、減算回路 9 は、スイッチングノイズが低減または消滅した補償誤差信号  $V_a$  を出力する。

40

【0038】

本実施形態のスイッチング電源装置 1 は、誤差信号  $V_e$  からスローブ補償信号  $V_s$  を減算してスローブ補償制御を行うので、サブハーモニック発振を防止して安定した電流モード制御を実行できる。減算回路 9 は、スローブ補償信号  $V_s$  に重畳したスイッチングノイズを低減または消滅させるので、スイッチングノイズによる誤動作を防止して、誤差信号  $V_e$  に応じた正常な PWM デューティ比で電流モード制御を実行できる。誤差増幅器 21 の出力には位相補償回路 22 を除いてコンデンサが接続されないため、AC 特性への影響が小さくなり、位相補償回路 22 の定数設定が容易になる。

【0039】

50

## (第2の実施形態)

図6に示す第2の実施形態に係るスイッチング電源装置51は、昇圧型のレギュレータである。主回路52は、入力端子52aと出力端子52cとの間に直列に接続されたインダクタ13とダイオード14、インダクタ13とダイオード14の共通接続ノードNbとグランドとの間に接続されたNチャンネル型MOSトランジスタ12(スイッチング素子)、および出力端子52c、52d間に接続されたコンデンサ15から構成されている。その他の構成は、図1に示したスイッチング電源装置1と同様である。

## 【0040】

ドライバ11からトランジスタ12に印加されるゲート電圧 $V_g$ がオンレベル(Hレベル)になると、トランジスタ12がオンし、入力端子52aからインダクタ13、トランジスタ12を通してインダクタ13に流れる電流が増大する。ゲート電圧 $V_g$ がオフレベル(Lレベル)になると、トランジスタ12がオフし、インダクタ13に流れていた電流がダイオード14を介して出力側に還流する。その結果、入力電圧 $V_{in}$ を昇圧した出力電圧 $V_{out}$ が得られる。ダイオード14に替えて、スイッチング素子例えばPチャンネル型MOSトランジスタを用いた同期整流方式としてもよい。この場合、トランジスタ12とPチャンネル型MOSトランジスタは、相補的にオン駆動される。

10

本実施形態の動作波形は図5に示す波形と同じである。本実施形態によっても第1の実施形態と同様の作用および効果が得られる。

## 【0041】

## (第3の実施形態)

図7に示す第3の実施形態に係るスイッチング電源装置61は、反転型のレギュレータである。主回路62は、入力端子62aと出力端子62cとの間に直列に接続されたトランジスタ12とダイオード14、トランジスタ12とダイオード14の共通接続ノードNcとグランドとの間に接続されたインダクタ13、および出力端子62c、62d間に接続されたコンデンサ15から構成されている。その他の構成は、図1に示したスイッチング電源装置1と同様である。

20

## 【0042】

ドライバ11からトランジスタ12に印加されるゲート電圧 $V_g$ がオンレベル(Lレベル)になると、トランジスタ12がオンし、入力端子62aからトランジスタ12を通してインダクタ13に流れる電流が増大する。ゲート電圧 $V_g$ がオフレベル(Hレベル)になると、トランジスタ12がオフし、インダクタ13に流れていた電流がダイオード14を介して出力側に還流する。その結果、入力電圧 $V_{in}$ に対し逆極性の出力電圧 $V_{out}$ が得られる。ダイオード14に替えて、スイッチング素子例えばNチャンネル型MOSトランジスタを用いた同期整流方式としてもよい。この場合、トランジスタ12とNチャンネル型MOSトランジスタは、相補的にオン駆動される。

30

本実施形態の動作波形は図5に示す波形と同じである。本実施形態によっても第1の実施形態と同様の作用および効果が得られる。

## 【0043】

## (第4の実施形態)

図8に示す第4の実施形態に係るスイッチング電源装置71は、昇降圧型のレギュレータである。主回路72の入力端子72aと出力端子72cの間には、Pチャンネル型MOSトランジスタ12a、インダクタ13、ダイオード14bが直列に接続されている。トランジスタ12aとインダクタ13の共通接続ノードNdとグランドの間にはダイオード14aが接続されている。インダクタ13とダイオード14bの共通接続ノードNeとグランドの間にはNチャンネル型MOSトランジスタ12bが接続されている。出力端子72c、72d間にはコンデンサ15が接続されている。その他の構成は、図1に示したスイッチング電源装置1と同様である。

40

## 【0044】

ドライバ11は、MOSトランジスタ12a、12bにゲート電圧 $V_{ga}$ 、 $V_{gb}$ を印加する。ゲート電圧 $V_{ga}$ 、 $V_{gb}$ が同時にオンレベルになると、トランジスタ12a、12bが

50

オンし、入力端子 7 2 a からトランジスタ 1 2 a、インダクタ 1 3、トランジスタ 1 2 b を通して流れる電流が増大する。ゲート電圧  $V_{ga}$ 、 $V_{gb}$  が同時にオフレベルになると、トランジスタ 1 2 a、1 2 b がオフし、インダクタ 1 3 に流れていた電流がダイオード 1 4 a、1 4 b を介して出力側に還流する。その結果、入力電圧  $V_{in}$  に対し昇圧または降圧した出力電圧  $V_{out}$  が得られる。ダイオード 1 4 a、1 4 b に替えて、スイッチング素子（例えば N チャネル型 MOS トランジスタ、P チャネル型 MOS トランジスタ）を用いた同期整流方式としてもよい。

本実施形態の動作波形は図 5 に示す波形と同じである。本実施形態によっても第 1 の実施形態と同様の作用および効果が得られる。

【 0 0 4 5 】

（第 5 の実施形態）

図 9 及び図 1 0 は第 5 の実施形態を示す。図 9 は、図 3 の減算回路 9 に代わる減算回路 9 a の構成を示している。

【 0 0 4 6 】

図 9 に示すように、減算回路 9 に代わる減算回路 9 a は、電圧 - 電流変換回路 3 3 a、電圧 - 電流変換回路 3 4 a、および、電流 - 電圧変換回路 1 0 0 a により構成されている。電圧 - 電流変換回路 3 3 a は、前述実施形態の第 1 変換回路 3 3 に替えて構成され、誤差信号  $V_e$  を電圧 - 電流変換して第 1 電流  $I_1$  を出力する。電圧 - 電流変換回路 3 4 a は、前述実施形態の第 2 変換回路 3 4 に替えて構成され、スローブ補償信号  $V_s$  を電圧 - 電流変換して第 2 電流  $I_2$  を出力する。

【 0 0 4 7 】

電流 - 電圧変換回路 1 0 0 a は、前述実施形態の第 3 回路 1 0 0 に替えて構成され、第 1 電流  $I_1$  から第 2 電流  $I_2$  を引いた差電流 ( $I_1 - I_2$ ) 分を電流 - 電圧変換して誤差信号  $V_e$  からスローブ補償信号  $V_s$  が引かれた補償誤差信号  $V_a$  を出力する。この電流 - 電圧変換回路 1 0 0 a は第 3 回路として動作する回路である。

【 0 0 4 8 】

図 1 0 は、減算回路 9 a の具体的な回路構成例を示している。この図 1 0 に示すように、減算回路 9 a は、オペアンプ 8 0 と、複数の抵抗 8 1 ~ 8 4 とを組み合わせた所謂オペアンプ減算器により構成されている。オペアンプ 8 0 は、第 1 電源線 1 6 と第 2 電源線 1 7 を通して与えられる電源電圧により動作する。

【 0 0 4 9 】

オペアンプ 8 0 の非反転入力端子には、誤差信号  $V_e$  を抵抗 8 1 及び 8 2 で分圧した分圧電圧が入力されている。また、オペアンプ 8 0 の反転入力端子には抵抗 8 3 を通じてスローブ補償信号  $V_s$  が入力されている。オペアンプ 8 0 の反転入力端子と出力端子の間には抵抗 8 4 が接続されており、これにより誤差信号  $V_e$  からスローブ補償信号  $V_s$  が引かれた補償誤差信号  $V_e - V_s (= V_a)$  を出力する。オペアンプ 8 0 はトランジスタ（例えば MOS トランジスタ）を用いて構成されている。トランジスタには寄生容量が存在する。例えば MOS トランジスタのゲート・ソース間、ゲート・ドレイン間、ドレイン・ソース間には、それぞれ寄生容量が存在する。オペアンプ 8 0 は、その内部回路構成により、その高域カットオフ周波数がスイッチングノイズを低減可能な周波数の回路を採用している。その結果、スローブ補償信号  $V_s$  に重畳したスイッチングノイズは、第 2 回路 3 4 a および第 3 回路 1 0 0 a において低減または消滅する。

【 0 0 5 0 】

このような回路構成を採用しても前述実施形態と同様の作用効果を奏する。また、オペアンプ 8 0 の各入力端子には、抵抗 8 1 及び 8 2、抵抗 8 3 及び 8 4 の分圧電圧が入力されるため、前述実施形態の構成に比較して、誤差信号  $V_e$ 、スローブ補償信号  $V_s$  の入力電圧を高くしても良くなる。

また、抵抗 8 1 ~ 8 4 が例えば半導体集積回路内に構成される場合には、互いに同一種類（例えば拡散抵抗、または、ポリ抵抗）の抵抗により構成されていると良い。また、抵抗 8 1 ~ 8 4 は互いに同一抵抗値に設定されていると良い。この結果、環境温度変化に起

10

20

30

40

50

困した温度補償効果を向上できる。

【0051】

(その他の実施形態)

以上、本発明の好適な実施形態について説明したが、本発明は上述した実施形態に限定されるものではなく、発明の要旨を逸脱しない範囲内で種々の変形、拡張を行うことができる。

シャント抵抗18に替えて、MOSトランジスタ12、12a、12bのドレイン・ソース間電圧を検出しても、インダクタ13に流れる電流を検出できる。さらに、MOSトランジスタ12、12a、12bと並列にセンス用の素子を配置し、そのセンス用の素子の両端電圧または電流を検出しても、インダクタ13に流れる電流を検出できる。

10

【0052】

誤差増幅器21の入出力端子間に位相補償回路を設けてもよい。

減算回路9、9aの構成は例示した回路に限られない。減算回路は、例えば抵抗またはトランジスタ等を用いて構成されていれば、当該抵抗による減衰、当該トランジスタに寄生する寄生容量等によりスイッチングノイズを低減できる。

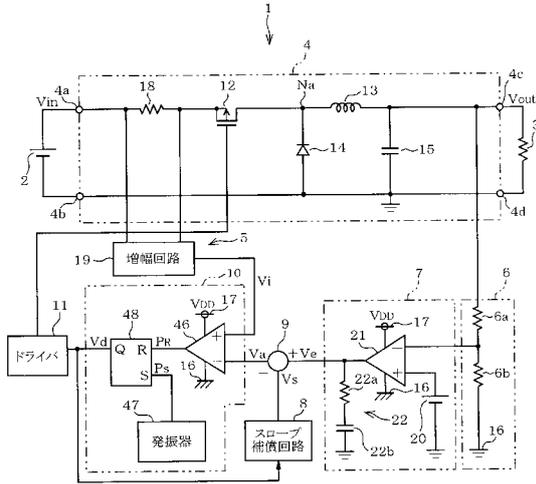
【符号の説明】

【0053】

図面中、1、51、61、71はスイッチング電源装置、4、52、62、72は主回路、5は電流検出回路、6は電圧検出回路、7は誤差増幅回路、8はスロープ補償回路、10は駆動信号生成回路、12、12a、12bはMOSトランジスタ(スイッチング素子)、13はインダクタ、16、17は第1、第2電源線、23はコンデンサ、24はMOSトランジスタ(定電流回路)、26はMOSトランジスタ(スイッチ回路)、33、34は第1、第2変換回路(第1、第2回路)、33a、34aは電圧-電流変換回路(第1、第2回路)、35は差電流生成回路、36は第3変換回路(変換回路)、37、39、41、42、43、44はMOSトランジスタ(第1、第2、第3、第4、第5、第6トランジスタ)、38はMOSトランジスタ(バイアス回路)、40、45は第1、第2抵抗、80はオペアンプ、81は抵抗(第1抵抗)、82は抵抗(第3抵抗)、83は抵抗(第2抵抗)、84は抵抗(第4抵抗)、100は第3回路、100aは電流-電圧変換回路(第3回路)である。

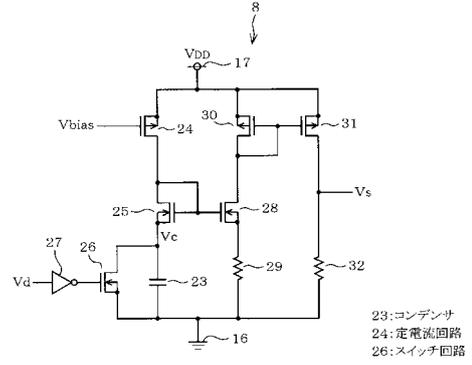
20

【図1】



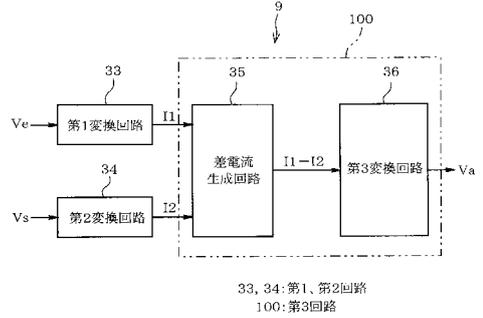
- 1: スイッチング電源装置
- 4: 主回路
- 5: 電流検出回路
- 6: 電圧検出回路
- 7: 誤差増幅回路
- 10: 駆動信号生成回路
- 12: スイッチング素子
- 13: インダクタ
- 16, 17: 第1, 第2電源線

【図2】



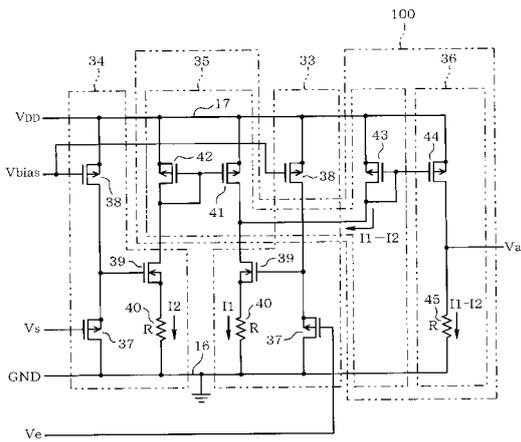
- 23: コンデンサ
- 24: 定電流回路
- 26: スイッチ回路

【図3】



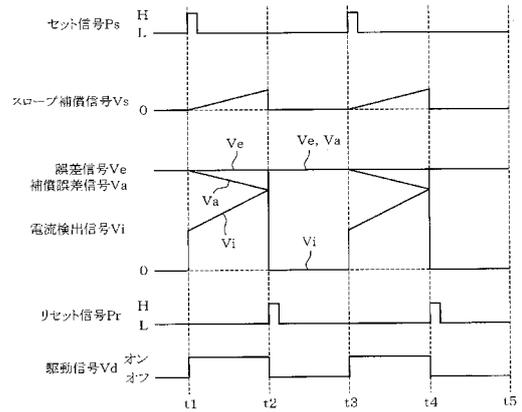
- 33, 34: 第1, 第2回路
- 100: 第3回路

【図4】

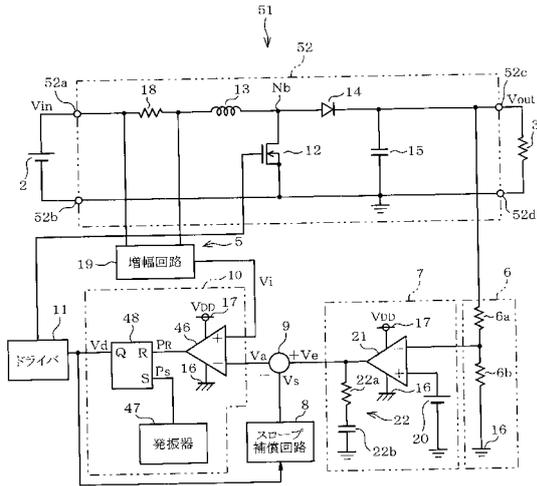


- 33, 34: 第1, 第2回路
- 35: 差電流生成回路
- 36: 変換回路
- 37, 39, 41~44: 第1, 第2, 第3~第6トランジスタ
- 38: バイパス回路
- 40, 45: 第1, 第2抵抗
- 100: 第3回路

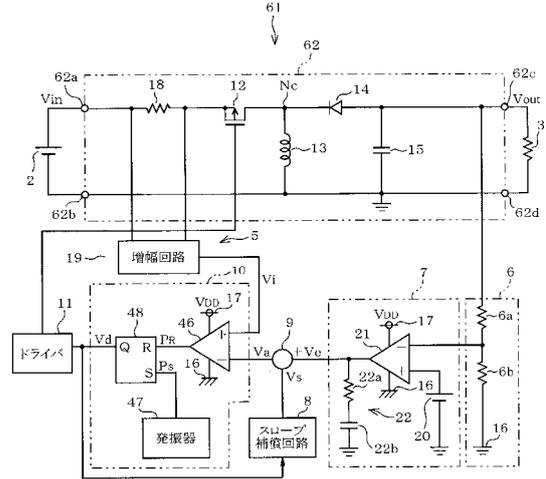
【図5】



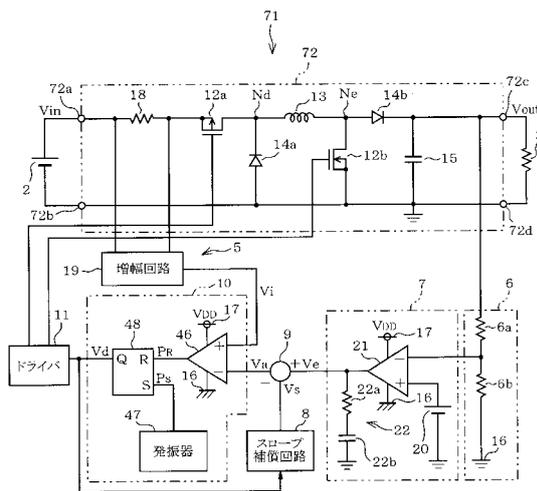
【図6】



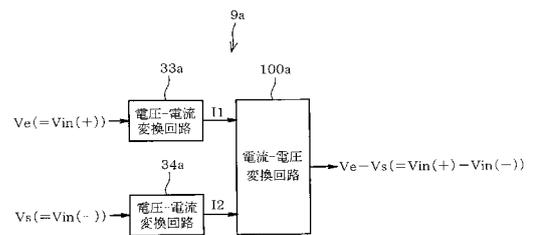
【図7】



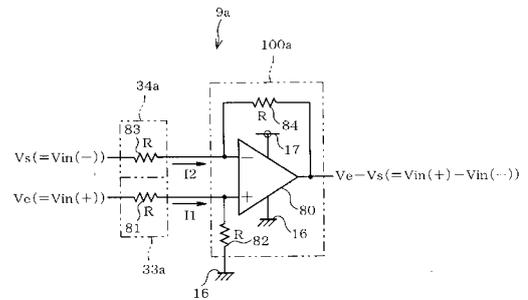
【図8】



【図9】



【図10】



---

フロントページの続き

(72)発明者 中村 剛

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 木崎 貴洋

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 佐竹 弘之

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

Fターム(参考) 5H730 AA03 AA04 AS01 AS04 AS05 BB13 BB14 BB15 BB57 DD04  
DD32 EE59 FD01 FD41 FG05