

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2023年7月13日 (13.07.2023)



(10) 国际公布号  
**WO 2023/130582 A1**

- (51) 国际专利分类号:  
*G11C 7/10* (2006.01)
- (21) 国际申请号: PCT/CN2022/081821
- (22) 国际申请日: 2022年3月18日 (18.03.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
202210017756.1 2022年1月7日 (07.01.2022) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。
- (72) 发明人: 李思曼 (LI, Siman); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。
- (74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中国北京市海淀区西直门北大街32号枫蓝国际A座8F-6, Beijing 100082 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: DATA EXTRACTION CIRCUIT

(54) 发明名称: 数据提取电路

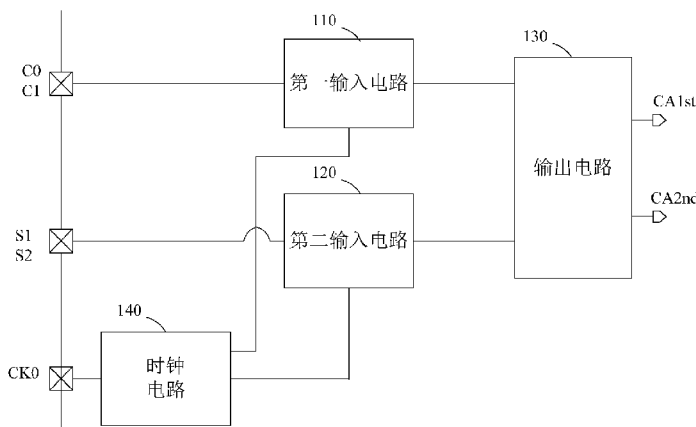


图 2

(57) Abstract: Provided in the present disclosure is a data extraction circuit. The data extraction circuit comprises: a first input circuit, wherein an input end of the first input circuit establishes first input data under the triggering of a first data clock signal and establishes second input data under the triggering of a second data clock signal, and the first input circuit is used for latching the first input data and the second input data under the triggering of a latch clock signal; a second input circuit, wherein an input end of the second input circuit establishes first identification data under the triggering of the first data clock signal and establishes second identification data under the triggering of the second data clock signal, and the second input circuit is used for latching the first identification data and the second identification data under the triggering of the latch clock signal; and an output circuit, which is provided with a first output end and a second output end, wherein the output circuit is connected to the first input circuit and further connected to the second input circuit, and

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

is used for outputting the first input data at the first output end and synchronously outputting the second input data at the second output end under the control of the first identification data and the second identification data, so as to distinguish between data in two cycles.

(57) 摘要: 本公开提供一种数据提取电路, 包括: 第一输入电路, 其输入端在第一数据时钟信号的触发下建立第一输入数据及在第二数据时钟信号的触发下建立第二输入数据, 用于在锁存时钟信号的触发下锁存第一输入数据和第二输入数据; 第二输入电路, 其输入端在第一数据时钟信号的触发下建立第一标识数据及在第二数据时钟信号的触发下建立第二标识数据, 用于在锁存时钟信号的触发下锁存第一标识数据和第二标识数据, 输出电路, 其设有第一输出端和第二输出端, 其与第一输入电路连接, 还与第二输入电路连接, 用于在第一标识数据和第二标识数据的控制下, 在第一输出端输出第一输入数据, 并在第二输出端同步输出第二输入数据, 以实现两个周期数据的区分。

## 数据提取电路

本公开要求于 2022 年 01 月 07 日提交中国专利局、申请号为 202210017756.1、申请名称为“数据提取电路”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

### 技术领域

5 本公开涉及但不限于一种数据提取电路。

### 背景技术

目前, DRAM(Dynamic Random Access Memory 动态随机存取存储器)技术发展迅速, 主要应用的有同步动态随机存取存储器(SDRAM)、第 2 代双倍数据速率(DDR2)SDRAM、  
10 第 3 代双倍数据速率(DDR3)SDRAM、第 4 代双倍数据速率(DDR4)SDRAM 和第 5 代  
双倍数据速率(DDR5)SDRAM 等类型。

但存在数据处理速度无法与处理器数据传送速度相匹配的问题, 导致 DRAM 无法在高速传输的数据中, 准确区分传输的数据。

### 15 发明内容

本公开实施例提供一种数据提取电路, 包括:

第一输入电路, 其输入端在第一数据时钟信号的触发下建立第一输入数据, 其输入端还在第二数据时钟信号的触发下建立第二输入数据, 其用于在锁存时钟信号的触发下锁存  
第一输入数据和第二输入数据;

20 第二输入电路, 其输入端在第一数据时钟信号的触发下建立第一标识数据, 其输入端还在第二数据时钟信号的触发下建立第二标识数据, 用于在锁存时钟信号的触发下锁存第一标识数据和第二标识数据;

输出电路, 其设有第一输出端和第二输出端, 其与第一输入电路连接, 还与第二输入  
25 电路连接, 用于在第一标识数据和第二标识数据的控制下, 在第一输出端输出第一输入数  
据, 并在第二输出端同步输出第二输入数据。

本公开提供的数据提取电路, 第一输入电路将两个时钟周期内接收到的第一输入数据  
和第二输入数据进行锁存, 第二输入电路将两个时钟周期内接收到的第一标识数据和第二  
标识数据进行锁存, 以使输出电路在第一标识数据和第二标识数据的控制下, 经由其第一  
30 输出端输出第一输入数据, 经由其第二输出端输出第二输入数据, 以实现对接收到的两个  
时钟周期内的输入数据进行提取。

### 附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。

图 1 为本公开一实施例提供的获取数据电路的结构示意图；

图 2 为本公开另一实施例提供的获取数据电路的结构示意图；

5 图 3 为本公开又一实施例提供的获取数据电路的结构示意图；

图 4A 和图 4B 为本公开提供的数据时钟信号与锁存时钟信号之间关系；

图 5 为本公开再一实施例提供的获取数据电路的结构示意图；

图 6A 和图 6B 为本公开再一实施例提供的获取数据电路的数据时序示意图。

10 通过上述附图，已示出本公开明确的实施例，后文中将有更详细的描述。这些附图和文字描述并不是为了通过任何方式限制本公开构思的范围，而是通过参考特定实施例为本领域技术人员说明本公开的概念。

## 具体实施方式

15 这里将详细地对示例性实施例进行说明，其示例表示在附图中。下面的描述涉及附图时，除非另有表示，不同附图中的相同数字表示相同或相似的要素。以下示例性实施例中所描述的实施方式并不代表与本公开相一致的所有实施方式。相反，它们仅是与如所附权利要求书中所详述的、本公开的一些方面相一致的装置和方法的例子。

20 对于高速输入信号，内部处理速度较慢的数据接收处理端会先接收缓存，之后依据内部处理时钟进行数据处理，而对于在多批次连续发送的高速数据，无法根据内部时钟判断接收数据的先后，导致数据处理错误。

由 DDR4 的 JEDEC SPEC 可知，DDR4 的输入管脚包含指令数据（Command）管脚和地址数据（Address）管脚。CPU 也就是基于一个时钟周期发送指令数据和地址数据（CMD/ADD）。

25 也就是在 DDR4 中，如图 1 所示，数据获取电路包括数据接收器 201、数据缓冲器 202、触发器 203 以及指令解码器 204，数据获取电路还包括时钟接收器 205 以及时钟缓冲器 206。其中，数据接收器 201 的输出端与数据缓冲器 202 的输入端连接，数据缓冲器 202 的输出端与触发器 203 的数据输入端连接。时钟接收器 205 通过时钟缓冲器 206 与触发器 203 的时钟端连接。CPU 在一个时钟周期发送指令数据和地址数据，数据接收器 201 接收指令数据和地址数据，缓冲器 202 对指令数据和地址数据进行缓冲处理，再由触发器 203 在时钟  
30 信号的控制下对输入端的指令数据和地址数据进行采样，并将采样后的数据输出到指令解码器 204 中，指令解码器 204 所处理的数据是同一个时钟周期内的，不存在同时处理多个周期数据的干扰。

但就 DDR5 而言，对于一个激活（activate）指令，CPU 是基于两个时钟周期发送指令数据和地址数据（CMD/ADD），且标识数据（CS）为低电平（L）时，指示 CPU 发送的

操作指令(Operation)中第一个数据时钟(CK)信息包含了指令数据,例如:Command和BA/BG的信息,标识数据(CS)为高电平(H)时,指示CPU发送的操作指令(Operation)中第二个数据时钟(CK)包含了地址数据,例如:行地址(Row Address)数据和列地址(Column Address)数据。指令数据和地址数据由输入输出接口传输至指令解码器,而对于指令解码器而言,需要处理一个激活(activate)指令所接收的指令数据和地址数据,但并不接收标识数据数据处理信号,导致对于所接收的指令数据和地址数据无法有效区分,会造成解码错误。

在DDR5中,设计数据提取电路以区分CPU发送操作指令中的两个时钟的信息尤为重要。而且由于DDR5中接口输入速度高,由于工艺、设计上带来的限制,需要对数据时钟(CK)进行变换,以适用于DDR5的内部数据处理速度,由于指令解码器的内部处理时钟电路与接口数据传输时钟不同,导致无法依据内部处理时钟频率区分在一个接口数据传输周期内所接收的信息,这也在一定程度上增加数据提取电路设计难度。

如图2所示,本公开一实施例提供一种数据提取电路。该数据提取电路包括第一输入电路110、第二输入电路120以及输出电路130。

待提取数据包括第一输入数据C0和第二输入数据C1。第一输入数据C0和第二输入数据C1通过芯片的多个数据引脚接收,待提取数据经由两个时钟信号周期发送,标记为第一数据时钟信号CK0和第二数据时钟信号CK1。第一数据时钟信号CK0和第二数据时钟信号CK1具有相同的时钟周期,且第一数据时钟信号CK0的相位比第二数据时钟信号CK1的相位早 $360^\circ$ 。

第一标识数据S1用于标识第一输入数据C0的类型,第二标识数据S2用于标识第二输入数据C1的类型。例如:第一标识数据S1指示第一输入数据C0为指令数据,第二标识数据S2指示第二输入数据C1为地址数据。

其中,第一输入电路110设有输入端,在第一数据时钟信号CK0的触发下在第一输入电路110的输入端建立第一输入数据C0,在第二数据时钟信号CK1的触发下在第一输入电路110的输入端建立第二输入数据C1。也就是在两个数据时钟周期内第一输入电路110的输入端接收第一输入数据C0和第二输入数据C1。

在第一输入电路110的输入端建立第一输入数据C0和第二输入数据C1后,第一输入电路110还用于在锁存时钟信号的触发下锁存第一输入数据C0和第二输入数据C1。

第二输入电路120也设有输入端,在第一数据时钟信号CK0的触发下在第二输入电路120的输入端建立第一标识数据S1,在第二数据时钟信号CK1的触发下在第二输入电路120的输入端建立第二标识数据S2。也就是基于两个数据时钟周期第二输入电路120的输入端接收第一标识数据S1和第二标识数据S2。

在第二输入电路120的输入端建立第一标识数据S1和第二标识数据S2后,第二输入电路120还用于在锁存时钟信号的触发下锁存第一标识数据S1和第二标识数据S2。

输出电路 130 设有输入端，输出电路 130 还设有两个输出端，依次标记为第一输出端 CA1st 和第二输出端 CA2nd。输出电路 130 的输入端与第一输入电路 110 的输出端连接，输出电路 130 的输入端还与第二输入电路 120 的输出端连接。

输出电路 130 用于在第一标识数据 S1 和第二标识数据 S2 的控制下，在第一输出端 CA1st 输出第一输入数据 C0，并在第二输出端 CA2nd 同步输出第二输入数据 C1。

其中，第一数据时钟信号 CK0 和第二数据时钟信号 CK1 用于控制在第一输入电路 110 的输入端建立第一输入数据 C0 和第二输入数据 C1 的时刻，还用于控制在第二输入电路 120 的输入端建立第一标识数据 S1 和第二标识数据 S2 的时刻。

锁存时钟信号用于控制第一输入电路 110 的输出端输出第一输入数据 C0 和第二输入数据 C1 的时刻，又由于第一输入数据 C0 和第二输入数据 C1 在第一输入电路 110 的输入端的建立时刻不同，可以在第一输入电路 110 的输出端输出不同时序的第一输入数据 C0 和第二输入数据 C1。

锁存时钟信号还用于控制第二输入电路 120 的输出端输出第一标识数据 S1 和第二标识数据 S2 的时刻，又由于第一标识数据 S1 和第二标识数据 S2 在第二输入电路 120 的输入端的建立时刻不同，可以在第二输入电路 120 的输出端输出不同时序的第一标识数据 S1 和第二标识数据 S2。

通过设置锁存时钟信号与第一数据时钟信号 CK0、第二数据时钟信号 CK1 之间的时序关系，调整第一输入数据 C0、第二输入数据 C1、第一标识数据 S1 和第二标识数据 S2 之间时序关系，以实现在输出电路 130 中由第一标识数据 S1 和第二标识数据 S2 控制第一输入数据 C0 经由输出电路 130 的第一输出端 CA1st 输出，以及第二输入数据 C1 经由输出电路 130 的第二输出端 CA2nd 输出。

在上述技术方案中，第一输入电路 110 将两个时钟周期内接收到的第一输入数据 C0 和第二输入数据 C1 进行锁存，第二输入电路 120 将两个时钟周期内接收到的第一标识数据 S1 和第二标识数据 S2 进行锁存，以使输出电路 130 在第一标识数据 S1 和第二标识数据 S2 的控制下，经由其第一输出端 CA1st 输出第一输入数据 C0，经由其第二输出端 CA2nd 输出第二输入数据 C1，以实现对接收到的两个时钟周期内的输入数据进行区分。

在一实施例中，参考图 3，数据提取电路还包括时钟电路 140，时钟电路 140 与第一输入电路 110 的时钟端连接，时钟电路 140 还与第二输入电路 120 的时钟端连接，用于根据第一数据时钟信号 CK0 生成第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB。

其中，第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB 的时钟周期相同，第一锁存时钟信号 CKT 的相位和第二锁存时钟信号 CKTB 的相位之间相差  $180^\circ$ ，第一锁存时钟信号 CKT 的信号周期为第一数据时钟信号 CK0 的信号周期的两倍。

在上述技术方案中，时钟电路的输出端输出的两个锁存时钟信号的周期为数据时钟信号的两倍，可以延长数据提取电路内部的时钟周期，以降低数据提取电路内部的数据处理

速率，提高数据处理准确率，满足后续数据处理要求。

在一实施例中，参考图 3，第一输入电路 110 包括第一锁存电路 111 和第二锁存电路 112。第一锁存电路 111 设有一个输入端，还设有两个输出端，依次标记为第一输出端 CA1 和第二输出端 CA2。第一锁存电路 111 的两个输出端与输出电路 130 的输入端连接。第一  
5 锁存电路 111 的输入端用于在第一数据时钟信号 CK0 的触发下建立第一输入数据 C0，以及在第二数据时钟信号 CK1 的触发下建立第二输入数据 C1。

第二锁存电路 112 与第一锁存电路 111 类似。也设有一个输入端和两个输出端，依次  
10 标记为第一输出端 CA3 和第二输出端 CA4。第二锁存电路 112 的两个输出端与输出电路 130 的输入端连接。第二锁存电路 112 的输入端用于在第一数据时钟信号 CK0 的触发下建立第一输入数据 C0，以及在第二数据时钟信号 CK1 的触发下建立第二输入数据 C1。

第二输入电路 120 包括第三锁存电路 121 和第四锁存电路 122。第三锁存电路 121 设  
15 有一个输入端和一个输出端 CS1。第三锁存电路 121 的输出端 CS1 与输出电路 130 的控制端连接。第三锁存电路 121 的输入端用于在第一数据时钟信号 CK0 的触发下建立第一标识数据 S1，以及在第二数据时钟信号 CK1 的触发下建立第二标识数据 S2。

第四锁存电路 122 也设有一个输入端和一个输出端 CS2。第四锁存电路 122 的输出端  
20 CS2 与输出电路 130 的控制端连接。第四锁存电路 122 的输入端用于在第一数据时钟信号 CK0 的触发下建立第一标识数据 S1，以及在第二数据时钟信号 CK1 的触发下建立第二标识数据 S2。

第一锁存电路 111 和第二锁存电路 112 用于在第一锁存时钟信号 CKT 和第二锁存时钟  
25 信号 CKTB 的触发下输出相应地输入数据。第三锁存电路 121 和第四锁存电路 122 用于在第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB 的触发下输出相应地标识数据。

当两个锁存时钟信号与两个数据时钟信号之间的相位关系不同时，第一锁存电路 111  
30 的两个输出端所输出的数据和第二锁存电路 112 的两个输出端所输出的数据也会发生变化。第三锁存电路 121 的输出端所输出的数据和第四锁存电路 122 的输出端所输出的数据也会发生变化。

在设计四个锁存电路的锁存顺序时，使第一锁存电路 111 输出的数据与第三锁存电路  
121 输出的数据对应，第二锁存电路 112 输出的数据与第四锁存电路 122 输出的数据对应。  
也就是在第一锁存电路 111 输出第一输入数据 C0 时，第三锁存电路 121 输出第一标识数  
据 S1。在第二锁存电路 112 输出第二输入数据 C1 时，第四锁存电路 122 输出第二标识数  
35 据 S2。通过如此设置，有利于设计相应的输出电路 130，以保证输出电路 130 的第一输出  
端 CA1st 输出第一输入数据 C0，第二输出端 CA2nd 输出第二输入数据 C1。

参考图 4A，若第一锁存时钟信号 CKT 的上升沿对应时刻与第一数据时钟信号 CK0 的  
上升沿对应时刻相同，第二锁存时钟信号 CKTB 的上升沿对应时刻与第一锁存时钟信号  
CKT 的下降沿对应时刻相同，第一锁存电路 111 用于在第一锁存时钟信号 CKT 和第二锁

存时钟信号 CKTB 的触发下依次在第一输出端 CA1 和第二输出端 CA2 建立第一输入数据 C0。也就是先在第一锁存电路 111 的第一输出端 CA1 建立第一输入数据 C0，而后在第一锁存电路 111 的第二输出端 CA2 建立第一输入数据 C0。第二锁存电路 112 用于在第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB 的触发下依次在第一输出端 CA3 和第二输出端 CA4 建立第二输入数据 C1。也就是先在第二锁存电路 112 的第一输出端 CA3 建立第二输入数据 C1，而后在第二锁存电路 112 的第二输出端 CA4 建立第二输入数据 C1。

相应地，第三锁存电路 121 在第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB 的触发下在其输出端 CS1 建立第一标识数据 S1，第四锁存电路 122 用于在第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB 的触发下在其输出端 CS2 建立第二标识数据 S2。

10 参考图 4B，若第二锁存时钟信号 CKTB 的上升沿对应时刻与第一数据时钟信号 CK0 的上升沿对应时刻相同，第一锁存时钟信号 CKT 的上升沿对应时刻与第二锁存时钟信号 CKTB 的下降沿对应时刻相同，第一锁存电路 111 用于在第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB 的触发下依次在第一输出端 CA1 和第二输出端 CA2 建立第二输入数据 C1。第二锁存电路 112 用于在第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB 的触发下依次在第一输出端 CA3 和第二输出端 CA4 建立第一输入数据 C0。

相应地，第三锁存电路 121 在第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB 的触发下在其输出端 CS1 建立第二标识数据 S2，第四锁存电路 122 用于在第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB 的触发下在其输出端 CS2 建立第一标识数据 S1。

在上述技术方案中，通过两个相位相差  $180^\circ$  且周期相同的锁存信号控制第一锁存电路 111 和第二锁存电路 112 的输出端所输出的输入数据以及输入数据时序，上述两个锁存信号也用于控制第三锁存电路 121 和第四锁存电路 122 的输出端所输出的标识数据，从而可以根据标识数据控制输出电路 130 经由其第一输出端 CA1st 输出第一输入数据 C0，经由其第二输出端 CA2nd 输出第二输入数据 C1。且在第一锁存时钟信号 CKT 的上升沿对应时刻与第一数据时钟信号 CK0 的上升沿对应时刻相同，或者第二锁存时钟信号 CKTB 的上升沿对应时刻与第一数据时钟信号 CK0 的上升沿对应时刻相同时，都可以使第一输出端 CA1st 输出第一输入数据，第二输出端 CA2nd 输出第二输入数据。

在一实施例中，继续参考图 3，输出电路 130 包括第一选择电路 131 和第二选择电路 132。其中，第一选择电路 131 设有两个输入端、两个控制端以及一个输出端，其输出端作为输出电路的第一输出端 CA1st。两个输入端依次标记为第一输入端和第二输入端，两个控制端依次标记为第一控制端和第二控制端。

30 第一选择电路 131 的第一输入端与第一锁存电路 111 的第二输出端 CA2 连接，第一选择电路 131 的第二输入端与第二锁存电路 112 的第二输出端 CA4 连接。第一选择电路 131 的第一控制端与第三锁存电路 121 的输出端 CS1 连接，第一选择电路 131 的第二控制端与第四锁存电路 122 的输出端 CS2 连接。第一选择电路 131 用于在第一标识数据 S1 和第二



标识数据 S2 的控制下在其输出端建立第一输入数据 C0。

通过如此设置,若第一锁存时钟信号 CKT 的上升沿对应时刻与第一数据时钟信号 CK0 的上升沿对应时刻相同,第一选择电路 131 的第一输入端接收第一输入数据 C0,第一选择电路 131 的第二输入端接收第二输入数据 C1。若第二锁存时钟信号 CKTB 的上升沿对应时刻与第一数据时钟信号 CK0 的上升沿对应时刻相同,第一选择电路 131 的第一输入端接收第二输入数据 C1,第一选择电路 131 的第二输入端接收第一输入数据 C0。也就是当锁存时钟信号与数据时钟信号之间时序不同时,第一选择电路 131 都会接收第一输入数据 C0,也会接收到第二输入数据 C1,再基于第一标识数据 S1 和第二标识数据 S2 从第一输入数据 C0 和第二输入数据 C1 中选择第一输入数据 C0 输出,以保证在锁存时钟信号与数据时钟信号之间时序不同时输出电路 130 的第一个输出端 CA1st 输出第一输入数据 C0。

其中,第二选择电路 132 设有两个输入端、两个控制端以及一个输出端,其输出端作为输出电路的第二输出端 CA2nd。两个输入端依次标记为第一输入端和第二输入端,两个控制端依次标记为第一控制端和第二控制端。

第二选择电路 132 的第一输入端与第二锁存电路 112 的第一输出端 CA3 连接,第二选择电路 132 的第二输入端与第一锁存电路 111 的第一输出端 CA1 连接。第二选择电路 132 的第一控制端与第三锁存电路 121 的输出端 CS1 连接,第二选择电路 132 的第二控制端与第四锁存电路 122 的输出端 CS2 连接,第二选择电路 132 用于在第一标识数据 S1 和第二标识数据 S2 的控制下在其输出端建立第二输入数据 C1。

通过如此设置,若第一锁存时钟信号 CKT 的上升沿对应时刻与第一数据时钟信号 CK0 的上升沿对应时刻相同,第二选择电路 132 的第一输入端接收第二输入数据 C1,第二选择电路 132 的第二输入端接收第一输入数据 C0。若第二锁存时钟信号 CKTB 的上升沿对应时刻与第一数据时钟信号 CK0 的上升沿对应时刻相同,第二选择电路 132 的第一输入端接收第一输入数据 C0,第二选择电路 132 的第二输入端接收第二输入数据 C1。也就是第二选择电路 132 会接收第一输入数据 C0 和第二输入数据 C1,再基于第一标识数据 S1 和第二标识数据 S2 从第一输入数据 C0 和第二输入数据 C1 中选择第二输入数据 C1 输出,以保证在锁存时钟信号与数据时钟信号之间时序不同时输出电路 130 的第二个输出端 CA2nd 输出第二输入数据 C1。

在一实施例中,第一输入电路 110 还包括第一接收电路 113,第一接收电路 113 的输出端与第一锁存电路 111 的输入端连接,第一接收电路 113 的输出端还与第二锁存电路 112 的输入端连接,第一接收电路 113 用于对第一输入数据 C0 和第二输入数据 C1 进行放大处理,以实现两个输入数据的信号增强。

在一实施例中,第二输入电路 120 还包括第二接收电路 123,第二接收电路 123 的输出端与第三锁存电路 121 的输入端连接,第二接收电路 123 的输出端还与第四锁存电路 122 的输入端连接,第二接收电路 123 用于对第一标识数据 S1 和第二标识数据 S2 进行放大处

理，以实现两个标识数据的信号增强。

在一实施例中，时钟电路 140 包括第三接收电路 141 和分频电路 142，分频电路 142 的输入端与第三接收电路 141 连接，分频电路 142 的输出端与第一输入电路 110 的时钟端连接，分频电路 142 的输出端还与第二输入电路 120 的时钟端连接。第三接收电路 141 用于接收第一数据时钟信号 CK0，分频电路 142 用于对第一数据时钟信号 CK0 进行分频处理，以输出第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB，通过对数据时钟信号进行分频处理，可以降低数据提取电路内部的数据处理速度。第一数据时钟信号 CK0 可以为单时钟信号也可以为差分时钟信号。

在一实施例中，第一输入电路 110 还包括第一缓存电路 114，第一缓存电路 114 的输入端连接第一接收电路 113，第一缓存电路 114 的输出端与第一锁存电路 111 的输入端连接，第一缓存电路 114 的输出端还与第二锁存电路 112 的输入端连接，第一缓存电路 114 用于对进行信号放大的第一输入数据 C0 和第二输入数据 C1 进行缓存处理。

第二输入电路 120 还包括第二缓存电路 124，第二缓存电路 124 的输入端连接第二接收电路 123，第二缓存电路 124 的输出端与第三锁存电路 121 的输入端连接，第二缓存电路 124 的输出端还与第四锁存电路 122 的输入端连接，第二缓存电路 124 用于对进行信号放大的第一标识数据 S1 和第二标识数据 S2 进行缓存处理。

时钟电路 140 还包括第三缓存电路 143，第三缓存电路 143 与分频电路 142 的输出端连接，第三缓存电路 143 用于对第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB 进行缓存处理。

在上述技术方案中，通过在第一输入电路、第二输入电路以及时钟电路内部设置缓存电路，可以避免数据提取电路的外部时钟和内部时钟不同而造成数据丢失，也可以保证两个输入数据、两个标识数据以及锁存时钟信号的同步。

在一实施例中，参考图 5，第一锁存电路 111 包括第一触发器 F1 和第二触发器 F2。第一触发器 F1 的输入端接收第一输入数据 C0 和第二输入数据 C1，第一触发器 F1 的时钟端接收第一锁存时钟信号 CKT，第一触发器 F1 的输出端为第一锁存电路 111 的第一输出端 CA1。

第二触发器 F2 的输入端与第一触发器 F1 的输出端连接，第二触发器 F2 的时钟端接收第二锁存时钟信号 CKTB，第二触发器 F2 的输出端为第一锁存电路 111 的第二输出端 CA2。

继续参考图 5，第二锁存电路 112 包括第三触发器 F3 和第四触发器 F4，第三触发器 F3 的输入端接收第一输入数据 C0 和第二输入数据 C1，第三触发器 F3 的时钟端接收第二锁存时钟信号 CKTB，第三触发器 F3 的输出端为第二锁存电路 112 的第一输出端 CA3。

第四触发器 F4 的输入端与第三触发器 F3 的输出端连接，第四触发器 F4 的时钟端用于接收第一锁存时钟信号 CKT，第四触发器 F4 的输出端为第二锁存电路 112 的第二输出

端 CA4。

参考图 6A, 若第一锁存时钟信号 CKT 的上升沿与第一数据时钟信号 CK0 的上升沿在同一时刻, 第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB 之间相差  $180^\circ$ 。

5 在  $t_0$  时刻到  $t_1$  时刻之间, 也就是在两个输入数据时钟的第一个输入时钟周期 CK0 的上升沿, 第一输入电路 110 接收第一输入数据 C0, 即第一数据时钟周期在第一触发器 F1 的输入端建立第一输入数据 C0。

在  $t_1$  时刻, 第一锁存时钟信号 CKT 上升沿到来, 第一触发器 F1 的输出端输出第一输入数据 C0, 也就是在第一锁存电路 111 的第一输出端 CA1 输出第一输入数据 C0, 并在第二触发器 F2 的输入端建立第一输入数据 C0。

10 在  $t_2$  时刻, 第二锁存时钟信号 CKTB 上升沿到来, 第二触发器 F2 在第二锁存时钟信号 CKTB 的控制下输出第一输入数据 C0, 也就是在第一锁存电路 111 的第二输出端 CA2 输出第一输入数据 C0, 且第二输出端 CA2 输出第一输入数据 C0 的相位比第一输出端 CA1 输出第一输入数据 C0 的相位晚  $180^\circ$ 。

15 在时刻  $t_1$  到时刻  $t_2$  之间, 在两个输入数据时钟的第二个数据时钟周期 CK1 的上升沿, 第一输入电路 110 接收第二输入数据 C1, 即在第三触发器 F3 的输入端建立第二输入数据 C1。

在  $t_2$  时刻, 第二锁存时钟信号 CKTB 的上升沿到来, 第三触发器 F3 在第二锁存时钟信号 CKTB 的控制下输出第二输入数据 C1, 也就是在第二锁存电路 112 的第一输出端 CA3 输出第二输入数据 C1, 并在第四触发器 F4 的输入端建立第二输入数据 C1。

20 在  $t_3$  时刻, 第一锁存时钟信号 CKT 的上升沿再次到来, 第四触发器 F4 在第一锁存时钟信号 CKT 的控制下输出第二输入数据 C1, 也就是在第二锁存电路 112 的第二输出端 CA4 输出第二输入数据 C1, 第二输出端 CA4 输出第二输入数据 C1 的相位比第一输出端 CA3 输出第二输入数据 C1 的相位晚  $180^\circ$ 。

25 继续参考图 6A, 若第一锁存时钟信号 CKT 的上升沿对应时刻与第一数据时钟信号 CK0 的上升沿对应时刻相同, 第一锁存电路 111 的第二输出端 CA2 输出第一输入数据 C0 的时刻  $t_2$  和在第二锁存电路 112 的第一输出端 CA3 输出第二输入数据 C1 的时刻  $t_2$  相同, 也就是在第一选择电路 131 的第一输入端建立第一输入数据 C0 的时刻与第二选择电路 132 的第一输入端建立第二输入数据 C1 的时刻相同, 从而可以在第一标识数据 S1 和第二标识数据 S2 的控制下, 让第一选择电路 131 的第一输入端的数据经其输出端输出, 让第二选择  
30 电路 132 的第一输入端的数据经其输出端输出, 以实现在第一选择电路 131 的输出端输出第一输入数据 C0, 在第二选择电路 132 的输出端同步输出第二输入数据 C1。

参考图 6B, 若第二锁存时钟信号 CKTB 的上升沿与第一数据时钟信号 CK0 的上升沿在同一时刻, 第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB 之间相差  $180^\circ$ 。

在时刻  $t_4$  到时刻  $t_5$  之间, 也就是在两个输入数据时钟的第一个输入时钟周期 CK0 的

上升沿，第一输入电路 110 接收第一输入数据 C0，即在第三触发器 F3 的输入端建立第一输入数据 C0。

在 t5 时刻，第二锁存时钟信号 CKTB 的上升沿到来，第三触发器 F3 的输出端输出第一输入数据 C0，也就是在第二锁存电路 112 的第一输出端 CA3 输出第一输入数据 C0，并在第四触发器 F4 的输入端建立第一输入数据 C0。

在 t6 时刻，第一锁存时钟信号 CKT 的上升沿到来，第四触发器 F4 在第一锁存时钟信号 CKT 的控制下输出第一输入数据 C0，也就是在第二锁存电路 112 的第二输出端 CA4 输出第一输入数据 C0，且第二输出端 CA4 输出第一输入数据 C0 的相位比第一输出端 CA3 输出第一输入数据 C0 的相位晚 180°。

在 t5 时刻到 t6 时刻之间，也就是在两个输入数据时钟的第二个输入时钟周期 CK1 的上升沿，第一输入电路 110 接收第二输入数据 C1，即第一触发器 F1 的输入端建立第二输入数据 C1。

在 t6 时刻，第一锁存时钟信号 CKT 的上升沿到来，第一触发器 F1 的输出端输出第二输入数据 C1，也就是在第一锁存电路 111 的第一输出端 CA1 输出第二输入数据 C1，并在第二触发器 F2 的输入端建立第二输入数据 C1。

在 t7 时刻，第二锁存时钟信号 CKTB 的上升沿再次到来，第二触发器 F2 的输出端输出第二输入数据 C1，也就是在第一锁存电路 111 的第二输出端 CA2 输出第二输入数据 C1，且第二输出端 CA2 输出第二输入数据 C1 的相位比第一输出端 CA1 输出第二输入数据 C1 的相位晚 180°。

若第二锁存时钟信号 CKTB 的上升沿对应时刻与第一数据时钟信号 CK0 的上升沿对应时刻相同，在第二锁存电路 112 的第二输出端 CA4 输出第一输入数据 C0 的时刻 t6 和在第一锁存电路 111 的第一输出端 CA1 输出第二输入数据 C1 的时刻 t6 相同，第一选择电路 131 的第二输入端建立第一输入数据 C0 的时刻与第二选择电路 132 的第二输入端建立第二输入数据 C1 的时刻相同，从而可以在第一标识数据 S1 和第二标识数据 S2 的控制下，让第一选择电路 131 的第二输入端的数据经由其输出端输出，让第二选择电路 132 的第二输入端的数据经由其输出端输出，以实现在第一选择电路 131 的输出端输出第一输入数据 C0，在第二选择电路 132 的输出端同步输出第二输入数据 C1。

继续参考图 5，第三锁存电路 121 包括第五触发器 F5 和第六触发器 F6。第五触发器 F5 的输入端接收第一标识数据 S1 和第二标识数据 S2，第五触发器 F5 的时钟端接收第一锁存时钟信号 CKT。第六触发器 F6 的输入端与第五触发器 F5 的输出端连接，第六触发器 F6 的时钟端接收第二锁存时钟信号 CKTB，第六触发器 F6 的输出端为第三锁存电路 121 的输出端 CS1。

第四锁存电路 122 包括第七触发器 F7 和第八触发器 F8，第七触发器 F7 的输入端接收第一标识数据 S1 和第二标识数据 S2，第七触发器 F7 的时钟端接收第二锁存时钟信号 CKTB，

和第八触发器 F8 的输入端与第七触发器 F7 的输出端连接，第八触发器 F8 的时钟端接收第一锁存时钟信号 CKT，第八触发器 F8 的输出端为第四锁存电路 122 的输出端 CS2。

参考图 6A，若第一锁存时钟信号 CKT 的上升沿与第一数据时钟信号 CK0 的上升沿在同一时刻，第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB 之间相差  $180^\circ$ 。

5 在 t0 时刻到 t1 时刻之间，也就是在两个输入数据时钟的第一个输入时钟周期 CK0 的上升沿，第二输入电路 120 接收第一标识数据 S1，即在第五触发器 F5 的输入端建立第一标识数据 S1。

在 t1 时刻，第一锁存时钟信号 CKT 的上升沿到来，第五触发器 F5 的输出端输出第一标识数据 S1，并在第六触发器 F6 的输入端建立第一标识数据 S1。在 t2 时刻，第二锁存时钟信号 CKTB 到来，第六触发器 F6 在第二锁存时钟信号 CKTB 的控制下输出第一标识数据 S1，也就是在第三锁存电路 121 的输出端 CS1 输出第一标识数据 S1。

10 在时刻 t1 到时刻 t2 之间，也就是两个输入数据时钟的第二个输入时钟周期 CK1 的上升沿，第二输入电路 120 接收第二标识数据 S2，在第七触发器 F7 的输入端建立第二标识数据 S2。

15 在 t2 时刻，第二锁存时钟信号 CKTB 的上升沿到来，第七触发器 F7 在第二锁存时钟信号 CKTB 的控制下输出第二标识数据 S2。在 t3 时刻，第一锁存时钟信号 CKT 的上升沿再次到来，第八触发器 F8 在第一锁存时钟信号 CKT 的控制下输出第二标识数据 S2，也就是在第四锁存电路 122 的输出端 CS2 输出第二标识数据 S2。

20 参考图 6B，若第二锁存时钟信号 CKTB 的上升沿与第一数据时钟信号 CK0 的上升沿在同一时刻，第一锁存时钟信号 CKT 和第二锁存时钟信号 CKTB 之间相差  $180^\circ$ 。

在时刻 t4 到时刻 t5 之间，也就是两个输入数据时钟的第一个输入时钟周期 CK0 的上升沿，第二输入电路 120 接收第一标识数据 S1，第七触发器 F7 的输入端建立第一标识数据 S1。

25 在 t5 时刻，第二锁存时钟信号 CKTB 的上升沿到来，第七触发器 F7 的输出端输出第一标识数据 S1。在 t6 时刻，第一锁存时钟信号 CKT 的上升沿再次到来，第八触发器 F8 在第一锁存时钟信号 CKT 的控制下输出第一标识数据 S1，也就是在第四锁存电路 122 的输出端 CS2 输出第一标识数据 S1。

30 在 t5 时刻到 t6 时刻之间，也就是两个输入数据时钟的第二个输入时钟周期 CK1 的上升沿，第二输入电路 120 接收第二标识数据 S2，即第五触发器 F5 的输入端建立第二标识数据 S2。

在 t6 时刻，第一锁存时钟信号 CKT 的上升沿到来，第五触发器 F5 的输出端输出第二标识数据 S2，并在第六触发器 F6 的输入端建立第二标识数据 S2。在 t7 时刻，第二锁存时钟信号 CKTB 的上升沿再次到来，第六触发器 F6 的输出端输出第二标识数据 S2，也就是在第三锁存电路 121 的输出端 CS1 输出第二标识数据 S2。

继续参考图 5，第一选择电路 131 包括第一传输门 G1 和第二传输门 G2。第一传输门 G1 的输入端为第一选择电路 131 的第一输入端，用于与第一锁存电路 111 的第二输出端 CA2 连接。第一传输门 G1 的控制端为第一选择电路 131 的第一控制端，第一传输门 G1 的输出端为第一选择电路 131 的输出端，作为输出电路的第一输出端 CA1st。

5 第二传输门 G2 输入端为第一选择电路 131 的第二输入端，用于与第二锁存电路 112 的第二输出端 CA4 连接。第二传输门 G2 控制端为第一选择电路 131 的第二控制端，第二传输门 G2 输出端连接第一传输门 G1 的输出端。

10 第二选择电路 132 包括第三传输门 G3 和第四传输门 G4。第三传输门 G3 的输入端为第二选择电路 132 的第一输入端，用于与第二锁存电路 112 的第一输出端 CA3 连接。第三传输门 G3 的控制端为第二选择电路 132 的第一控制端，第三传输门 G3 的输出端为第二选择电路 132 的输出端，作为输出电路的第二输出端 CA2nd。

第四传输门 G4 的输入端为第二选择电路 132 的第二输入端，用于与第一锁存电路 111 的第一输出端 CA1 连接。第四传输门 G4 的控制端为第二选择电路 132 的第二控制端，第四传输门 G4 的输出端连接第一传输门 G1 的输出端。

15 继续参考图 6A，第一标识数据 S1 用于控制第一传输门 G1 的控制端和第三传输门 G3 的控制端，第二标识数据 S2 用于控制第二传输门 G2 的控制端和第四传输门 G4 的控制端，且在 t2 时刻输出第一标识数据 S1，第一标识数据 S1 为低电平，第一传输门 G1 和第三传输门 G3 开启，第一传输门 G1 在 t2 时刻输出第一输入数据 C0，第三传输门 G3 在 t2 输出第二输入数据 C1。

20 继续参考图 6B，第二标识数据 S2 用于控制第一传输门 G1 的控制端和第三传输门 G3 的控制端，第一标识数据 S1 用于控制第二传输门 G2 的控制端和第四传输门 G4 的控制端，且在 t6 时刻输出第一标识数据 S1，第一标识数据 S1 为低电平，第二传输门 G2 和第四传输门 G4 开启，第二传输门 G2 在 t6 时刻输出第一输入数据 C0，第四传输门 G4 在 t6 输出第二输入数据 C1。

25 在第一输入电路 110，通过设置第一锁存电路的结构和第二锁存电路的结构相互对称，以在使第一输入电路可以输出两个时序的第一输入数据和两个时序的第二输入数据，并让第一选择电路与两个锁存电路连接，以保证在锁存时钟信号和数据时钟信号的时序不同时第一选择电路仍可以接收到第一输入数据，从而保证第一选择电路可以在第一标识数据和第二标识数据的控制下输出第一输入数据。同样的原理，保证第二选择电路可以输出第二输入数据。通过固定  
30 第一输入数据和第二输入数据的传输通道，使得后一级指令解码器能够根据固定的数据传输通道准确区分第一输入数据和第二输入数据，不受数据输入频率和内部数据处理频率影响。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本公开旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯

用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和精神由下面的权利要求书指出。

应当理解的是，本公开并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求书来限制。

## 权利要求书

1.一种数据提取电路，包括：

第一输入电路（110），其输入端在第一数据时钟信号的触发下建立第一输入数据，其输入端还在第二数据时钟信号的触发下建立第二输入数据，其用于在锁存时钟信号的触发下锁存所述第一输入数据和所述第二输入数据；

第二输入电路（120），其输入端在所述第一数据时钟信号的触发下建立第一标识数据，其输入端还在所述第二数据时钟信号的触发下建立第二标识数据，用于在所述锁存时钟信号的触发下锁存第一标识数据和第二标识数据；

输出电路（130），其设有第一输出端和第二输出端，其与所述第一输入电路（110）连接，还与所述第二输入电路（120）连接，用于在所述第一标识数据和所述第二标识数据的控制下，在所述第一输出端输出所述第一输入数据，并在所述第二输出端同步输出所述第二输入数据。

2.根据权利要求1所述的数据提取电路，其中，所述第一数据时钟信号和所述第二数据时钟信号具有相同的时钟周期，所述第一数据时钟信号的相位比所述第二数据时钟信号的相位早 $360^\circ$ ；

所述锁存时钟信号包括具有相同时钟周期的第一锁存时钟信号和第二锁存时钟信号；所述第一锁存时钟信号的相位和所述第二锁存时钟信号的相位之间相差 $180^\circ$ 。

3.根据权利要求2所述的数据提取电路，其中，所述第一输入电路（110）包括：

第一锁存电路（111），其设有第一输出端和第二输出端，用于在所述第一锁存时钟信号和第二锁存时钟信号的触发下依次在所述第一输出端和所述第二输出端建立所述第一输入数据；

第二锁存电路（112），其设有第一输出端和第二输出端，用于在所述第一锁存时钟信号和第二锁存时钟信号的触发下依次在所述第一输出端和所述第二输出端建立所述第二输入数据；

其中，所述第一锁存时钟信号的上升沿对应时刻与所述第一数据时钟信号的上升沿对应时刻相同。

4.根据权利要求2所述的数据提取电路，其中，所述第一输入电路（110）包括：

第一锁存电路（111），其设有第一输出端和第二输出端，用于在所述第一锁存时钟信号和第二锁存时钟信号的触发下依次在所述第一输出端和所述第二输出端建立所述第二输入数据；

第二锁存电路（112），其设有第一输出端和第二输出端，用于在所述第一锁存时钟信号和第二锁存时钟信号的触发下依次在所述第一输出端和所述第二输出端建立所述第一输入数据；

其中，所述第二锁存时钟信号的上升沿对应时刻与所述第一数据时钟信号的上升沿对



应时刻相同。

5.根据权利要求 3 或 4 所述的数据提取电路，其中：

所述第一锁存电路（111）包括：

5 第一触发器（F1），其输入端接收所述第一输入数据和所述第二输入数据，其时钟端接收所述第一锁存时钟信号，其输出端为所述第一锁存电路（111）的第一输出端；

第二触发器（F2），其输入端与所述第一触发器（F1）的输出端连接，其时钟端接收所述第二锁存时钟信号，其输出端为所述第一锁存电路（111）的第二输出端；

所述第二锁存电路（112）包括：

10 第三触发器（F3），其输入端接收所述第一输入数据和所述第二输入数据，其时钟端接收所述第二锁存时钟信号，其输出端为所述第二锁存电路（112）的第一输出端；

第四触发器（F4），其输入端与所述第三触发器（F3）的输出端连接，其时钟端用于接收所述第一锁存时钟信号，其输出端为所述第二锁存电路（112）的第二输出端。

6.根据权利要求 2 所述的数据提取电路，其中，所述第二输入电路（120）包括：

15 第三锁存电路（121），其设有输出端，用于在所述第一锁存时钟信号和第二锁存时钟信号的触发下在其输出端建立所述第一标识数据；

第四锁存电路（122），其设有输出端，用于在所述第二锁存时钟信号的触发下在其输出端建立所述第二标识数据；

其中，所述第一锁存时钟信号的上升沿对应时刻与所述第二数据时钟信号的上升沿对应时刻相同。

20 7.根据权利要求 2 所述的数据提取电路，其中，所述第二输入电路（120）包括：

第三锁存电路（121），其设有输出端，用于在所述第一锁存时钟信号和第二锁存时钟信号的触发下在其输出端建立所述第二标识数据；

第四锁存电路（122），其设有输出端，用于在所述第二锁存时钟信号的触发下在其输出端建立所述第一标识数据；

25 其中，所述第二锁存时钟信号的上升沿对应时刻与所述第二数据时钟信号的上升沿对应时刻相同。

8.根据权利要求 6 或 7 所述的数据提取电路，其中：

所述第三锁存电路（121）包括：

30 第五触发器（F5），其输入端接收所述第一标识数据和所述第二标识数据，其时钟端接收所述第一锁存时钟信号；

第六触发器（F6），其输入端与所述第五触发器（F5）的输出端连接，其时钟端接收所述第二锁存时钟信号，其输出端为所述第三锁存电路（121）的输出端；

所述第四锁存电路（122）包括：

第七触发器（F7），其输入端接收所述第一标识数据和所述第二标识数据，其时钟端

接收所述第二锁存时钟信号；

第八触发器（F8），其输入端与所述第七触发器（F7）的输出端连接，其时钟端接收所述第一锁存时钟信号，其输出端为所述第四锁存电路（122）的输出端。

9.根据权利要求3或4所述的数据提取电路，其中，所述输出电路（130）包括：

5 第一选择电路（131），其第一输入端与所述第一锁存电路（111）的第二输出端连接，其第二输入端与所述第二锁存电路（112）的第二输出端连接，其第一控制端与第三锁存电路（121）的输出端连接，其第二控制端与第四锁存电路（122）的输出端连接，用于在所述第一标识数据和所述第二标识数据的控制下在其输出端建立第一输入数据；

10 第二选择电路（132），其第一输入端与所述第二锁存电路（112）的第一输出端连接，其第二输入端与所述第一锁存电路（111）的第一输出端连接，其第一控制端与所述第三锁存电路（121）的输出端连接，其第二控制端与所述第四锁存电路（122）的输出端连接，用于在所述第一标识数据和所述第二标识数据的控制下在其输出端建立第二输入数据。

10.根据权利要求9所述的数据提取电路，其中：

所述第一选择电路（131）包括：

15 第一传输门（G1），其输入端为所述第一选择电路（131）的第一输入端，其控制端为所述第一选择电路（131）的第一控制端，其输出端为所述第一选择电路（131）的输出端；

20 第二传输门（G2），其输入端为所述第一选择电路（131）的第二输入端，其控制端为所述第一选择电路（131）的第二控制端，其输出端连接所述第一传输门（G1）的输出端；

所述第二选择电路（132）包括：

第三传输门（G3），其输入端为所述第二选择电路（132）的第一输入端，其控制端为所述第二选择电路（132）的第一控制端，其输出端为所述第二选择电路（132）的输出端；

25 第四传输门（G4），其输入端为所述第二选择电路（132）的第二输入端，其控制端为所述第二选择电路（132）的第二控制端，其输出端连接所述第一传输门（G1）的输出端。

11.根据权利要求3或4所述的数据提取电路，其中：

所述第一输入电路（110）还包括：

30 第一接收电路（113），其输出端与所述第一锁存电路（111）的输入端连接，其输出端还与所述第二锁存电路（112）的输入端连接，用于对所述第一输入数据和所述第二输入数据进行放大处理；

所述第二输入电路（120）还包括：

第二接收电路（123），其输出端与第三锁存电路（121）的输入端连接，其输出端还

与第四锁存电路（122）的输入端连接，用于对所述第一标识数据和所述第二标识数据进行放大处理。

12.根据权利要求 1 至 4 中任意一项所述的数据提取电路，其中，所述数据提取电路还包括：

5 时钟电路（140），其与所述第一输入电路（110）的时钟端连接，其还与所述第二输入电路（120）的时钟端连接，用于根据所述第一数据时钟信号生成第一锁存时钟信号和第二锁存时钟信号。

13.根据权利要求 12 所述的数据提取电路，其中，所述时钟电路（140），具体包括：第三接收电路（141），用于接收所述第一数据时钟信号；

10 分频电路（142），其与所述第三接收电路（141）连接，其输出端与所述第一输入电路（110）的时钟端连接，其输出端还与所述第二输入电路（120）的时钟端连接，用于对所述第一数据时钟信号进行分频处理，以输出第一锁存时钟信号和第二锁存时钟信号。

14.根据权利要求 13 所述的数据提取电路，其中，所述第一锁存时钟信号的信号周期为所述第一数据时钟信号的信号周期的两倍。

15.根据权利要求 11 所述的数据提取电路，其中；

所述第一输入电路（110）还包括：

第一缓存电路（114），其输入端连接所述第一接收电路（113），其输出端与所述第一锁存电路（111）的输入端连接，其输出端还与所述第二锁存电路（112）的输入端连接，用于对进行信号放大的所述第一输入数据和所述第二输入数据进行缓存处理；

20 所述第二输入电路（120）还包括：

第二缓存电路（124），其输入端连接所述第二接收电路（123），其输出端与所述第三锁存电路（121）的输入端连接，其输出端还与所述第四锁存电路（122）的输入端连接，用于对进行信号放大的所述第一标识数据和所述第二标识数据进行缓存处理。

25 16.根据权利要求 1 至 4 中任意一项所述的数据提取电路，其中，所述第一输入数据为指令数据，所述第二输入数据为地址数据。

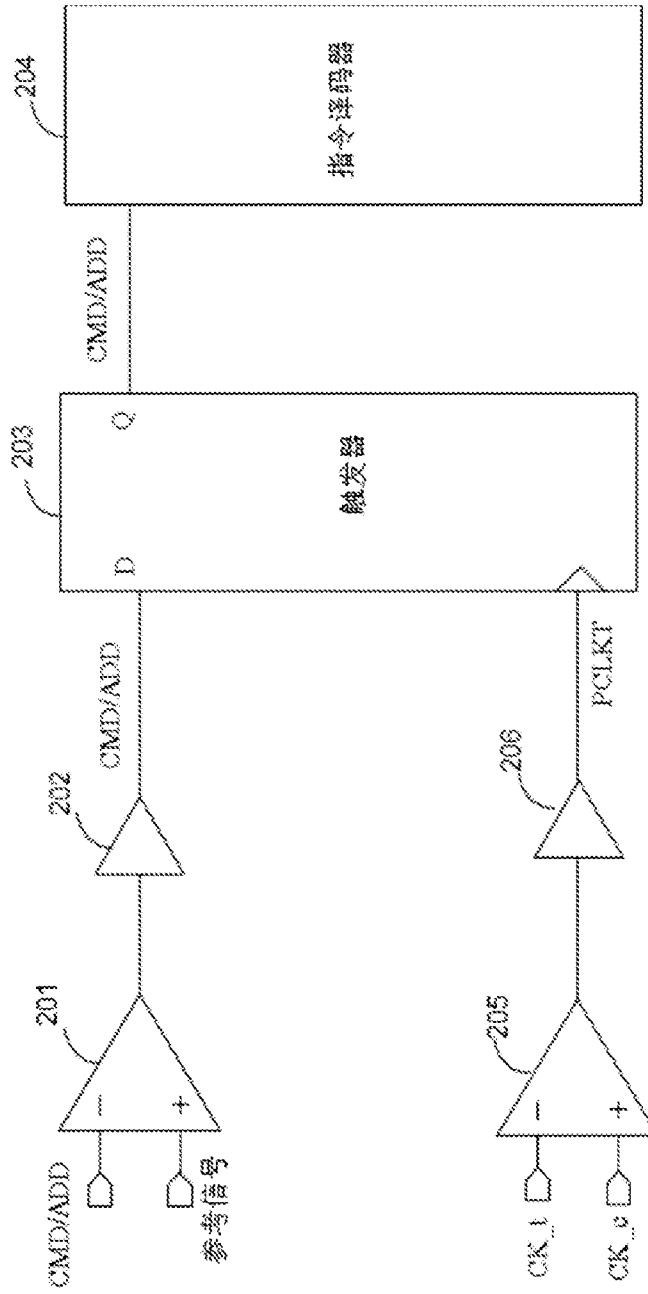


图 1

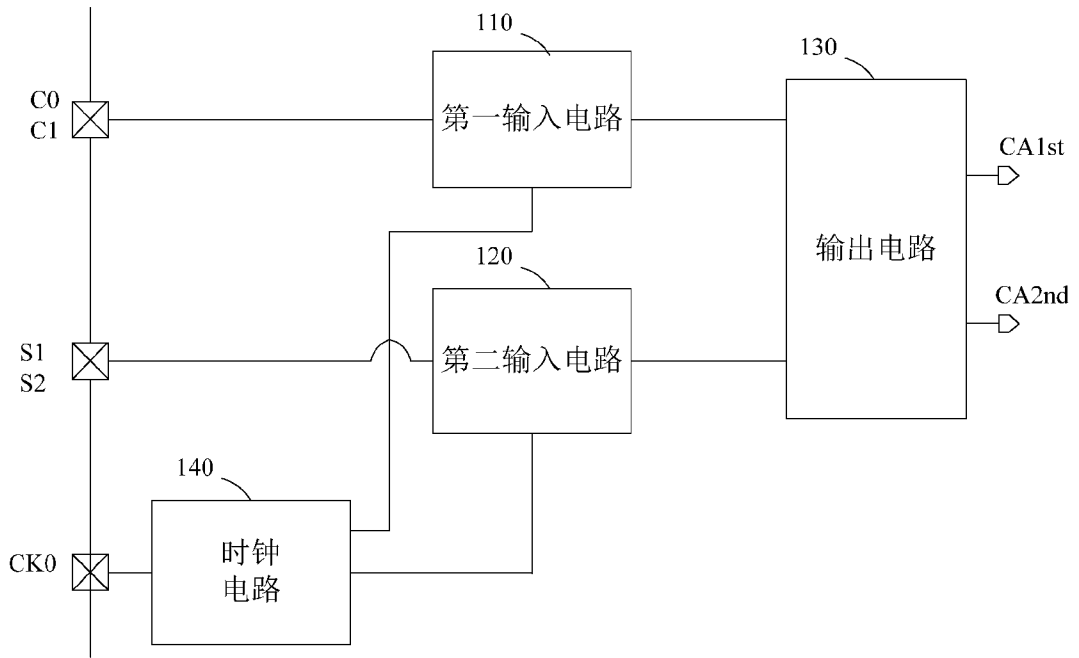


图 2

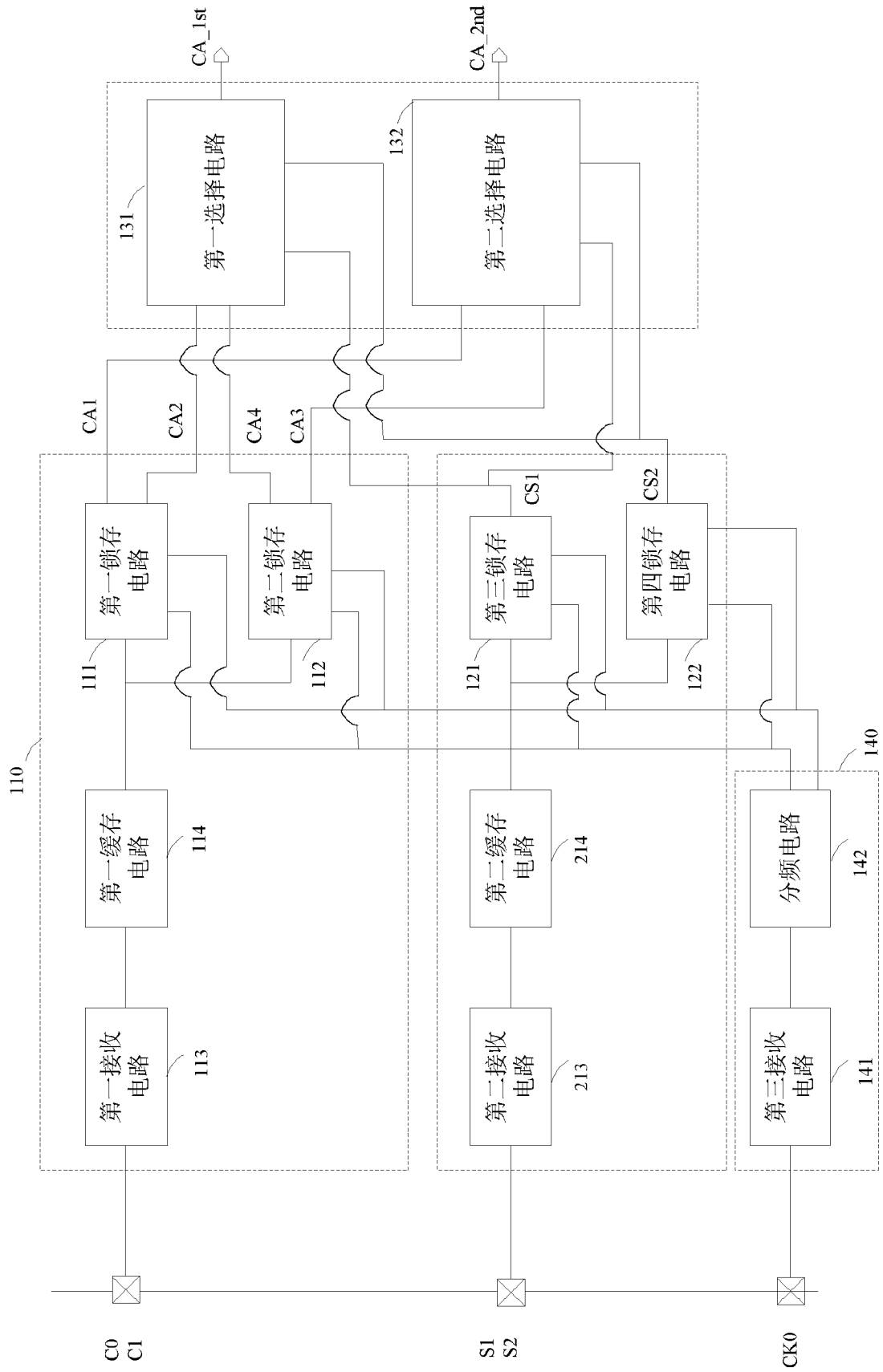


图 3

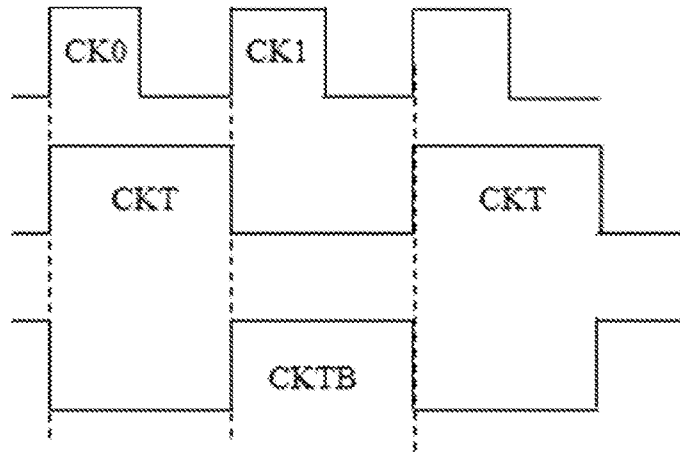


图 4A

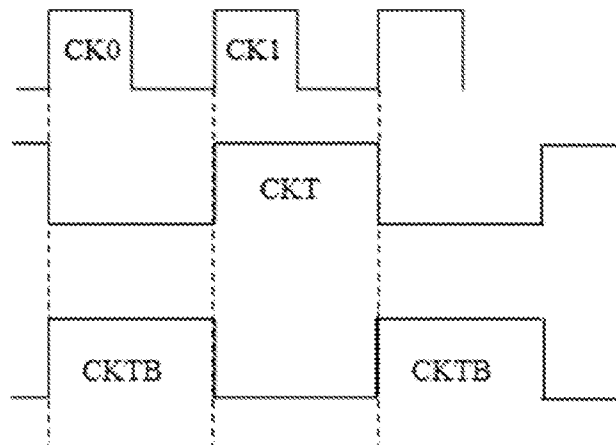


图 4B

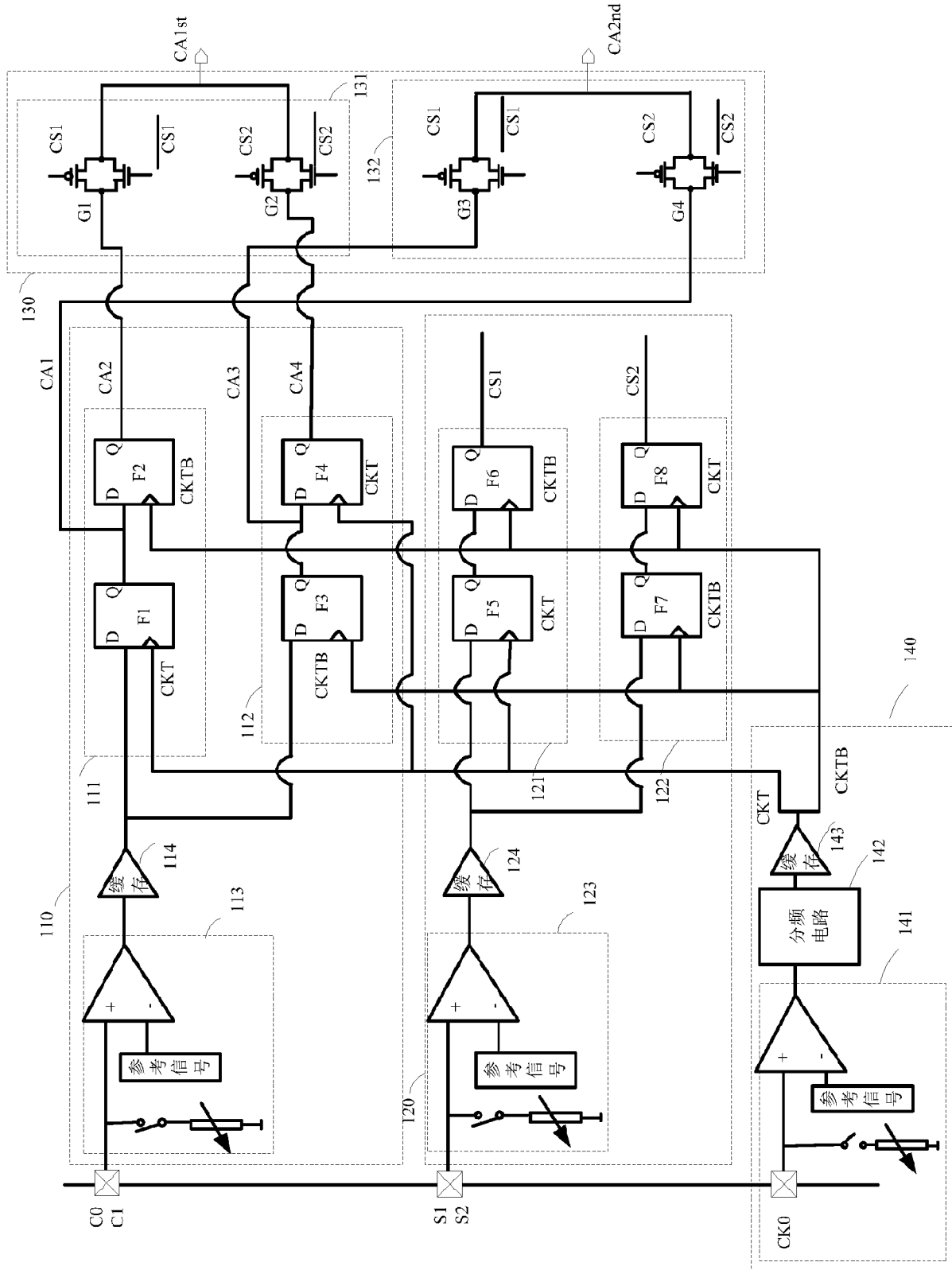


图 5



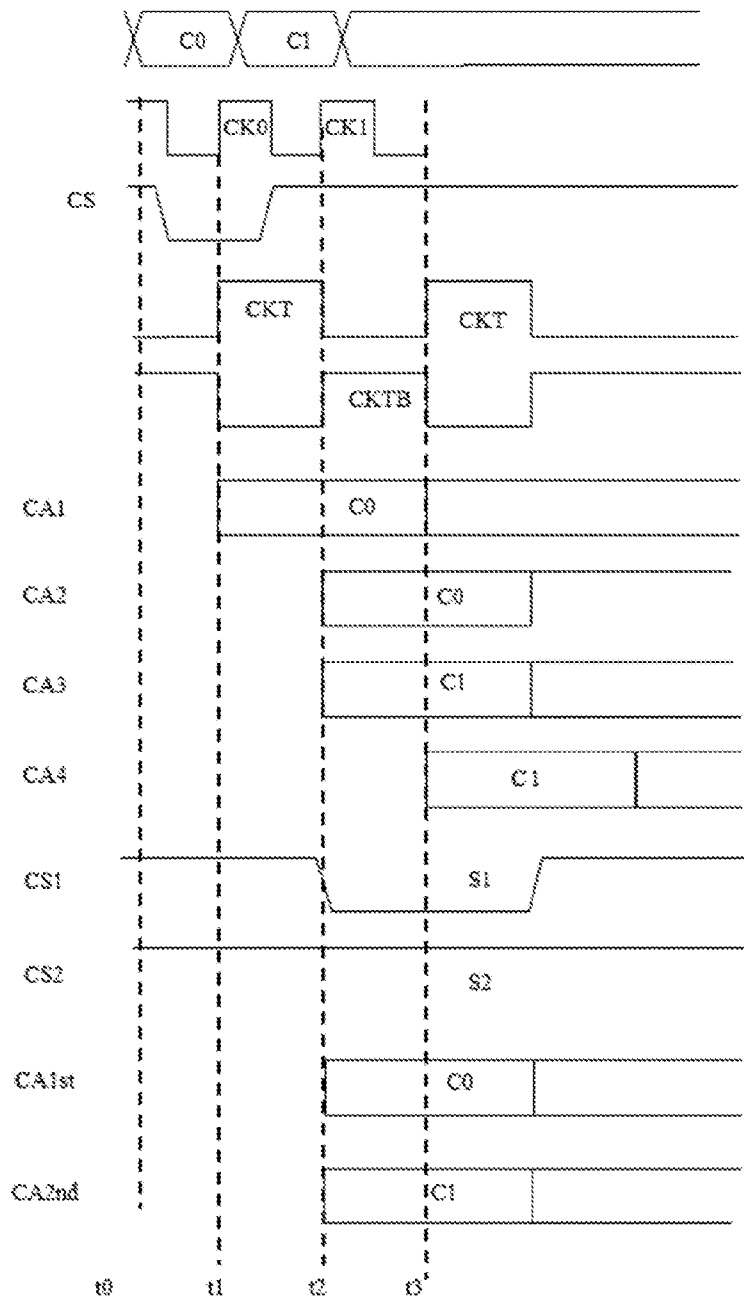


图 6A

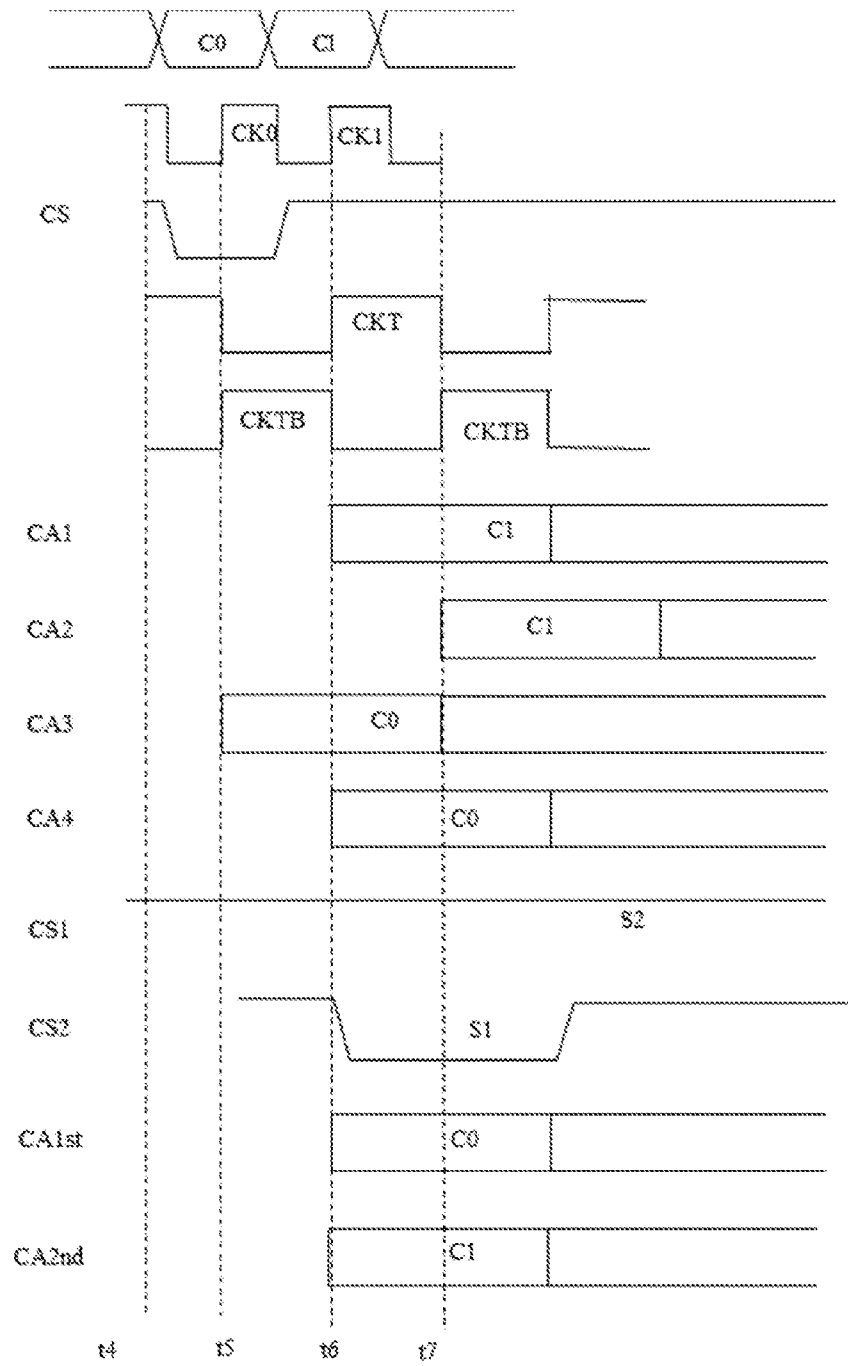


图 6B

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/081821

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> G11C 7/10(2006.01)i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) G11C  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS, CNTXT, ENTXT, ENTXTC, VEN, CNKI: 提取, 并行, 锁存, 时钟, 触发, 同步, latch, tigger, synchron+		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113223571 A (WUXI PETABYTE TECHNOLOGY CO., LTD.) 06 August 2021 (2021-08-06) entire document	1-16
A	US 2021035618 A1 (XIAMEN SIGMASTAR TECHNOLOGY LTD.) 04 February 2021 (2021-02-04) entire document	1-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>		
Date of the actual completion of the international search <b>13 September 2022</b>		Date of mailing of the international search report <b>20 September 2022</b>
Name and mailing address of the ISA/CN <b>China National Intellectual Property Administration (ISA/ CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China</b>  Facsimile No. (86-10)62019451		Authorized officer   Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No. <b>PCT/CN2022/081821</b>
---

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113223571	A	06 August 2021	None			
US	2021035618	A1	04 February 2021	TW	202105190	A	01 February 2021
				US	11227642	B2	18 January 2022
				TW	I718719	B	11 February 2021

国际检索报告

国际申请号

PCT/CN2022/081821

<p><b>A. 主题的分类</b></p> <p>G11C 7/10(2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>											
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS, CNTXT, ENTXT, ENTXTC, VEN, CNKI:提取, 并行, 锁存, 时钟, 触发, 同步, latch, tigger, synchron+</p>											
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 113223571 A (无锡拍字节科技有限公司) 2021年8月6日 (2021 - 08 - 06) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>US 2021035618 A1 (XIAMEN SIGMASTAR TECH LTD) 2021年2月4日 (2021 - 02 - 04) 全文</td> <td>1-16</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 113223571 A (无锡拍字节科技有限公司) 2021年8月6日 (2021 - 08 - 06) 全文	1-16	A	US 2021035618 A1 (XIAMEN SIGMASTAR TECH LTD) 2021年2月4日 (2021 - 02 - 04) 全文	1-16
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求									
A	CN 113223571 A (无锡拍字节科技有限公司) 2021年8月6日 (2021 - 08 - 06) 全文	1-16									
A	US 2021035618 A1 (XIAMEN SIGMASTAR TECH LTD) 2021年2月4日 (2021 - 02 - 04) 全文	1-16									
<input type="checkbox"/> 其余文件在C栏的续页中列出。		<input checked="" type="checkbox"/> 见同族专利附件。									
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p>		<p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>									
<p>国际检索实际完成的日期</p> <p>2022年9月13日</p>		<p>国际检索报告邮寄日期</p> <p>2022年9月20日</p>									
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN)</p> <p>中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>魏婷婷</p> <p>电话号码 010-62411341</p>									

国际检索报告  
关于同族专利的信息

国际申请号  
PCT/CN2022/081821

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113223571	A	2021年8月6日	无			
US	2021035618	A1	2021年2月4日	TW	202105190	A	2021年2月1日
				US	11227642	B2	2022年1月18日
				TW	1718719	B	2021年2月11日