

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-205399  
(P2008-205399A)

(43) 公開日 平成20年9月4日(2008.9.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/82 (2006.01)	HO 1 L 21/82 L	5B046
HO 1 L 21/822 (2006.01)	HO 1 L 21/82 B	5F038
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 D	5F064
GO 6 F 17/50 (2006.01)	GO 6 F 17/50 658K	
	GO 6 F 17/50 658A	

審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2007-42743 (P2007-42743)  
(22) 出願日 平成19年2月22日 (2007.2.22)

(71) 出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(74) 代理人 100066980  
弁理士 森 哲也  
(74) 代理人 100075579  
弁理士 内藤 嘉昭  
(74) 代理人 100103850  
弁理士 崔 秀▲てつ▼  
(72) 発明者 平林 義幸  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
Fターム(参考) 5B046 AA08 BA06 JA01  
5F038 CA05 CA17 CD02 CD05 CD12  
EZ09 EZ10 EZ20  
最終頁に続く

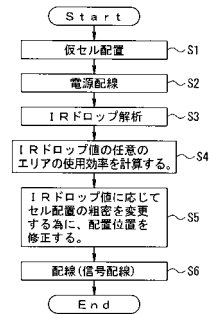
(54) 【発明の名称】 半導体集積回路の設計方法

(57) 【要約】

【課題】レイアウト設計において、電源強化を図りつつ、半導体チップのサイズの最適化、および設計時間の短縮化が図れるようにした半導体集積回路の設計方法の提供。

【解決手段】この発明は、半導体集積回路のレイアウト設計に係るものである。まず、半導体チップ上にセルを配置したのち、そのセルに対する電源配線を行う(S1、S2)。次に、電源配線上に生じる電圧降下を測定し、その測定結果に基づいてIRドロップ解析を行う(S3)。さらに、そのIRドロップの解析結果に基づき、半導体チップ上にすでに配置されているセルの配置位置を変更する(S4、S5)。その終了後に、半導体チップ上のセル間の信号配線を行う(S6)。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

半導体集積回路の設計方法であって、

半導体チップ上にセルを配置したのち、そのセルに対する電源配線を行う第 1 ステップと、

前記電源配線上に生じる電圧降下を測定し、その測定結果に基づいて I R ドロップ解析を行う第 2 ステップと、

前記 I R ドロップの解析結果に基づき、前記半導体チップ上にすでに配置されているセルの配置位置を変更する第 3 ステップと、

この第 3 ステップの終了後に、前記半導体チップ上のセル間の信号配線を行う第 4 ステップと、

からなることを特徴とする半導体集積回路の設計方法。

**【請求項 2】**

前記第 2 ステップでは、前記電圧降下の測定値に応じて前記半導体チップ上の領域を分割し、

前記第 3 ステップでは、前記分割された領域のうちの任意の領域の使用効率を求め、この求めた使用効率に基づいて前記領域内におけるセルの配置の疎密を変更するために、前記領域にすでに配置されているセルの配置位置を変更することを特徴とする請求項 1 に記載の半導体集積回路の設計方法。

**【請求項 3】**

半導体集積回路の設計方法であって、

半導体チップ上に所定の能力のセルを配置したのち、そのセルに対する電源配線を行う第 1 ステップと、

前記電源配線上に生じる電圧降下を測定し、その測定結果に基づいて I R ドロップ解析を行う第 2 ステップと、

前記 I R ドロップの解析結果に基づき、前記半導体チップ上にすでに配置されているセルを、その能力の異なるセルに変更する第 3 ステップと、

この第 3 ステップの終了後に、前記半導体チップ上のセル間の信号配線を行う第 4 ステップと、

からなることを特徴とする半導体集積回路の設計方法。

**【請求項 4】**

前記第 2 ステップでは、前記電圧降下の測定値に応じて前記半導体チップ上の領域を分割し、

前記第 3 ステップでは、前記分割された領域のうち、電圧降下の大きな領域はすでに配置されているセルをそれよりも能力の大きセルに変更し、電圧降下の小さな領域はすでに配置されているセルをそれよりも能力の小さなセルに変更することを特徴とする請求項 3 に記載の半導体集積回路の設計方法。

**【請求項 5】**

半導体集積回路の設計方法であって、

半導体チップ上にセルを配置したのち、そのセルに対する電源配線を行う第 1 ステップと、

前記電源配線上に生じる電圧降下を測定し、その測定結果に基づいて I R ドロップ解析を行う第 2 ステップと、

前記 I R ドロップの解析結果に基づき、前記半導体チップ上にすでに配線されている電源配線の配線密度を変更する第 3 ステップと、

この第 3 ステップの終了後に、前記半導体チップ上に仮に配置されているセル間の信号配線を行う第 4 ステップと、

からなることを特徴とする半導体集積回路の設計方法。

**【請求項 6】**

前記第 2 ステップでは、前記電圧降下の測定値に応じて前記半導体チップ上の領域を分

10

20

30

40

50

割し、

前記第3ステップでは、前記分割された領域のうち、電圧降下の大きな領域はすでに配線されている電源配線をそれよりも配線密度が低くなるように変更し、電圧降下の小さな領域はすでに配線されている電源配線をそれよりも配線密度が高くなるように変更することを特徴とする請求項5に記載の半導体集積回路の設計方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路(LSI)の設計方法に関するものである。

【背景技術】

【0002】

近年、半導体集積回路は、プロセスの微細化や低消費電力化に伴い動作電源電圧が下がってきており、また配線抵抗の増加も相まって、配線パターンによる電圧降下が問題になってきている。

すなわち、半導体集積回路に外部から供給される電圧は、その内部集積回路の動作による電力消費や電源配線抵抗によって、内部集積回路の中心部では電圧レベルが下がってしまうので、その低下を防止するために電源を強化する必要がある。

【0003】

この電源の強化のために、従来のレイアウト設計では、例えば半導体チップ上にセルを自動配置したのちに、自動配線を行い、この後にIRドロップを測定して電源の補強を図るようにしている。

また、内部集積回路内において、電源配線の本数を増やしたり、あるいは自動配置配線の終了後に電源補強をすることが難しいので、初期の電源配線の本数を多めにしておくなどの対策が採用されている。

【0004】

さらに、半導体集積回路の電源の強化のために、以下の特許文献1や特許文献2に記載の発明が知られている。

特許文献1には、各給電線エリアに配置された基本回路セルの種類および個数に基づいて各給電線エリアに流れる電流量を算出し、その電流量に基づいて枝電源配線の配線幅を決定するようにした発明が開示されている。

【0005】

特許文献2には、自動配置配線後に、機能セルの動作周波数と、実際の機能セルの出力容量から消費電流を算出し、各セル列ごとに各機能セルの電圧降下値を基準にして、電源の配線幅およびセル列の幅を最適にする発明が開示されている。

【特許文献1】特開平8-23029号公報

【特許文献2】特開2000-20576号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、上記の従来技術には、以下のような不具合がある。

(1) 電源補強を実施するためのスペースがない場合には、配置配線をやり直す必要があった。

(2) 内部集積回路内の電源配線の本数を増やす場合には、電源配線として使用する領域にセルを配置することができないので、半導体チップのサイズが大きくなってしまふ。

(3) 電源配線の本数を多めにしておく場合には、半導体チップのサイズが大きくなる上に、余った分の本数は、自動的に削除することができず、その削除のために無駄な時間が発生してしまふ。

【0007】

(4) 特許文献1の発明では、各給電エリア内において電源配線の幅を最適化できるが、電源配線の幅が太くなる給電エリアでは、その面積を大きくしなければならない事態が発

10

20

30

40

50

生し、その結果、半導体チップのサイズが大きくなってしまふ。

(5) 特許文献2の発明では、電源の配線幅やセル列の幅を最適にできるが、電源の配線幅が大きくなる場合には、その結果、半導体チップのサイズが大きくなってしまふ。

そこで、本発明の目的は、上記の点に鑑み、レイアウト設計において、電源強化を図りつつ、半導体チップのサイズの最適化、および設計時間の短縮化が図れるようにした半導体集積回路の設計方法を提供することにある。

【課題を解決するための手段】

【0008】

上記の課題を解決し本発明の目的を達成するために、各発明は、以下のような構成からなる。

第1の発明は、半導体集積回路の設計方法であって、半導体チップ上にセルを配置したのち、そのセルに対する電源配線を行う第1ステップと、前記電源配線上に生じる電圧降下を測定し、その測定結果に基づいてIRドロップ解析を行う第2ステップと、前記IRドロップの解析結果に基づき、前記半導体チップ上にすでに配置されているセルの配置位置を変更する第3ステップと、この第3ステップの終了後に、前記半導体チップ上のセル間の信号配線を行う第4ステップと、からなる。

【0009】

第2の発明は、第1の発明において、前記第2ステップでは、前記電圧降下の測定値に応じて前記半導体チップ上の領域を分割し、前記第3ステップでは、前記分割された領域のうちの任意の領域の使用効率を求め、この求めた使用効率に基づいて前記領域内におけるセルの配置の疎密を変更するために、前記領域にすでに配置されているセルの配置位置を変更する。

【0010】

第3の発明は、半導体集積回路の設計方法であって、半導体チップ上に所定の能力のセルを配置したのち、そのセルに対する電源配線を行う第1ステップと、前記電源配線上に生じる電圧降下を測定し、その測定結果に基づいてIRドロップ解析を行う第2ステップと、前記IRドロップの解析結果に基づき、前記半導体チップ上にすでに配置されているセルを、その能力の異なるセルに変更する第3ステップと、この第3ステップの終了後に、前記半導体チップ上のセル間の信号配線を行う第4ステップと、からなる。

【0011】

第4の発明は、第3の発明において、前記第2ステップでは、前記電圧降下の測定値に応じて前記半導体チップ上の領域を分割し、前記第3ステップでは、前記分割された領域のうち、電圧降下の大きな領域はすでに配置されているセルをそれよりも能力の大きなセルに変更し、電圧降下の小さな領域はすでに配置されているセルをそれよりも能力の小さなセルに変更する。

【0012】

第5の発明は、半導体集積回路の設計方法であって、半導体チップ上にセルを配置したのち、そのセルに対する電源配線を行う第1ステップと、前記電源配線上に生じる電圧降下を測定し、その測定結果に基づいてIRドロップ解析を行う第2ステップと、前記IRドロップの解析結果に基づき、前記半導体チップ上にすでに配線されている電源配線の配線密度を変更する第3ステップと、この第3ステップの終了後に、前記半導体チップ上に仮に配置されているセル間の信号配線を行う第4ステップと、からなる。

【0013】

第6の発明は、第5の発明において、前記第2ステップでは、前記電圧降下の測定値に応じて前記半導体チップ上の領域を分割し、前記第3ステップでは、前記分割された領域のうち、電圧降下の大きな領域はすでに配線されている電源配線をそれよりも配線密度が低くなるように変更し、電圧降下の小さな領域はすでに配線されている電源配線をそれよりも配線密度が高くなるように変更する。

このような本発明によれば、レイアウト設計において、電源強化を図りつつ、半導体チップのサイズの最適化、および設計時間の短縮化が図れる。

10

20

30

40

50

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施形態について、図面を参照して説明する。

(第1実施形態)

本発明の半導体集積回路の設計方法の第1実施形態について、図1～図3を参照して説明する。

この第1実施形態に係る設計方法は、半導体集積回路のレイアウト設計に係るものであり、コンピュータの支援に基づく自動配置配線システムを利用して、図1に示す手順で行うようにしたものである。

【0015】

10

まず、半導体チップ上に、コンピュータに登録されているセルを仮に(一時的に)配置する(ステップS1)。これにより、半導体チップ上の所望の各位置に、複数のセルがそれぞれ配置される。

次に、その複数のセルに対してそれぞれ電源配線が行われる(ステップS2)。これにより、複数の各セルは、所定の電源配線とそれぞれ接続される。

さらに、半導体チップ上に配線された電源配線上に生じる電圧降下(IRドロップ)を測定し、この測定結果に基づいてIRドロップ解析を行う(ステップS3)。このIRドロップ解析の一例を示すと、コンピュータの表示画面には、図2に示すような図が表示される。

【0016】

20

図2は、半導体チップ上におけるIRドロップの大小の分布を等高線で表現し、半導体チップを領域A～Gに分割したものである。領域AがIRドロップが最大で、領域B、領域C、領域D、領域E、領域Fの順でIRドロップが下がっていき、領域GがIRドロップが最小である。

次に、IRドロップ値に応じて分割された領域A～Gのうち任意の領域について、セルの使用効率を計算し(ステップS4)、この計算結果をコンピュータの表示画面に表示する。ここで、使用効率を任意の領域について求めるのは、領域によっては後述のセルの配置位置の変更ができない領域があるからである。この任意の領域については、設計者が表示画面などを参照して指定する。

上記のように計算したセルの使用効率の一例を示すと、図3に示すようになる。領域A～Gにおける使用効率、図3に示すように、20～50%になる。

30

なお、上記のセルの使用効率は、次の(1)式により求める。

【0017】

セルの使用効率 = (領域内に配置されたセルの合計) / (領域内に配置可能なベーシックセルの全個数)・・・(1)

【0018】

図3によれば、IRドロップの大きな領域ほど、セルの使用効率が小さな値になっていることがわかる。

次に、IRドロップ値に応じてセルの配置の疎密を変更するために、すでに配置されているセルの配置位置を変更(修正)する(ステップS5)。すなわち、IRドロップ値の大きな領域(セルの使用効率が低い領域)は、セルの使用効率が相対的に高くなり、IRドロップ値の小さな領域(セルの使用効率が低い領域)は、セルの使用効率が相対的に低くなるように、セルの配置替えを行う。

40

【0019】

このようなセルの配置替えによって、領域にかかわらず、IRドロップ値をほぼ一律(均一)にすることができ、電源の強化を図ることができる。

次に、セルの配置替えが終了したら、そのセル間の配線(信号配線)を行う(ステップS6)。これにより、複数のセルは、信号配線によって所定の接続が行われる。

以上説明した第1実施形態によれば、半導体集積回路のレイアウト設計の際に、電源補強を図りつつ、設計時間の短縮化を図ることができる。

50

## 【 0 0 2 0 】

また、第 1 実施形態によれば、半導体チップ上のどこにおいても I R ドロップ値をほぼ一律にすることができるので、遅延ライブラリの精度が向上する。すなわち、歩留りの向上、信号のタイミングの合わせ込みを過剰に実施することがなく、しかも半導体チップの大きさの最適化が図れる。

さらに、第 1 実施形態によれば、電源配線の本数を予め多く配線しておく必要がないので、チップサイズを最適化できるとともに、配線効率が向上してタイミング解析の際の収束性が向上する。

## 【 0 0 2 1 】

(第 2 実施形態)

本発明の半導体集積回路の設計方法の第 2 実施形態について、図 4 を参照しながら説明する。

この第 2 実施形態は、第 1 実施形態において、セルの配置を変更した場合に、この変更に伴って配置配線ができない場合があり、これに対処するようにしたものである。

したがって、この第 2 実施形態は、図 4 に示すように、ステップ S 1 ~ S 6 までの各処理は、第 1 実施形態のステップ S 1 ~ S 6 までの各処理と同様であり、ステップ S 7、S 8 の処理を追加したものである。

## 【 0 0 2 2 】

この第 2 実施形態では、ステップ S 6 においてセル間の信号配線を行うが、このときに、信号配線をすることができずに、配線層の増加が必要か否かがコンピュータにより判断される(ステップ S 7)。この判断の結果、信号配線が終了して配線層の増加が必要でない場合には、その処理を終了する。

一方、信号配線をすることができずに、配線層の増加が必要な場合にはステップ S 8 に進む。ステップ S 8 では、配線層を増加し、その配線層を用いて必要な配線を行って、処理を終了する。

以上説明した第 2 実施形態によれば、第 1 実施形態と同様の作用効果を実現することができる。

## 【 0 0 2 3 】

(第 3 実施形態)

本発明の半導体集積回路の設計方法の第 3 実施形態について、図 5 を参照しながら説明する。

この第 3 実施形態に係る設計方法は、半導体集積回路のレイアウト設計に係るものであり、コンピュータの支援に基づく自動配置配線システムを利用して、図 5 に示す手順で行うようにしたものである。

まず、半導体チップ上に、コンピュータに登録されているセルを仮に(一時的に)配置する(ステップ S 11)。これにより、半導体チップ上の所望の各位置に、複数のセルがそれぞれ配置される。

## 【 0 0 2 4 】

ここで、仮に配置される複数のセルは、その論理回路(論理機能)ごとに、その能力が異なるものが複数個ずつ予め用意されている。すなわち、各セルは、その機能が同じであって、例えば駆動速度(駆動能力)が大、中、および小と異なるものが、3 つずつ用意されている。そして、上記の複数のセルの配置の際には、各セルはそのうちの駆動速度が中のものが配置されるものとする。

## 【 0 0 2 5 】

次に、その複数のセルに対してそれぞれ電源配線が行われる(ステップ S 12)。これにより、複数の各セルは、所定の電源配線とそれぞれ接続される。

さらに、上記の配線の終了した電源配線上に生じる電圧降下を測定し、この測定結果に基づいて I R ドロップ解析を行う(ステップ S 13)。この I R ドロップ解析の一例を示すと、図 2 に示すようになる。これにより、半導体チップは、I R ドロップに応じて複数に分割される。

10

20

30

40

50

## 【 0 0 2 6 】

次に、IRドロップ値に応じて、前記IRドロップの解析結果に基づき、前記半導体チップ上にすでに配置されているセルを、その能力の異なるセルに変更する（ステップS14）。すなわち、上記の分割された領域のうち、電圧降下の大きな領域はすでに配置されているセルをそれよりも駆動速度の大きいセルに変更し（置き換え）、電圧降下の小さな領域はすでに配置されているセルをそれよりも駆動速度の小さなセルに変更する。

このようなセルの配置替えによって、IRドロップ値の差異にかかわらず、セルの駆動速度を一律にすることができる。これは、電源強化したことと、等価になる。

次に、セルの配置替えが終了したら、そのセル間の配線（信号配線）を行う（ステップS15）。これにより、複数のセルは、信号配線によって所定の接続が行われる。

10

## 【 0 0 2 7 】

以上説明した第3実施形態によれば、半導体集積回路のレイアウト設計の際に、電源補強を図りつつ、設計時間の短縮化を図ることができる。

また、第3実施形態によれば、半導体チップ上のどこ配置されるセルであっても駆動速度を一律にすることができるので、遅延ライブラリの精度が向上する。すなわち、歩留りの向上、タイミングの合わせ込みを過剰に実施することがなく、しかも半導体チップの大きさの最適化が図れる。

さらに、第3実施形態によれば、電源配線の本数を予め多く配線しておく必要がないので、チップサイズを最適化することができるとともに、配線効率が向上してタイミング解析の際の収束性が向上する。

20

## 【 0 0 2 8 】

（第4実施形態）

本発明の半導体集積回路の設計方法の第4実施形態について、図6～図9を参照して説明する。

この第4実施形態に係る設計方法は、半導体集積回路のレイアウト設計に係るものであり、コンピュータの支援に基づく自動配置配線システムを利用して、図6に示す手順で行うようにしたものである。

まず、半導体チップ上に、コンピュータに登録されているセルを仮に（一時的に）配置する（ステップS21）。これにより、半導体チップ上の所望の各位置に、複数のセルがそれぞれ配置される。

30

## 【 0 0 2 9 】

次に、その複数のセルに対してそれぞれ電源配線が行われる（ステップS22）。これにより、複数の各セルは、所定の電源配線とそれぞれ接続される。ここで、半導体チップ上における、セルと電源配線の配置例を示すと、図7に示すようになる。

図7において、縦横方向に配置されるのが電源配線であり、このうち横方向に配置される細めの電源配線11が例えばメタル第1層に配置され、縦方向に配置される太めの電源配線12が例えばメタル第1層に配置される。

## 【 0 0 3 0 】

電源配線11、12のうち、斜線部で示すものは、その交点でスルーホールにより接続され、電源電圧VDD用に使用される。また、斜線部以外で示すものは、その交点でスルーホールにより接続され、電源電圧VSS用に使用される。さらに、図7において、方形状のブロックはセル13を表している。

40

次に、半導体チップ上に配線された電源配線上に生じる電圧降下（IRドロップ）を測定し、この測定結果に基づいてIRドロップ解析を行う（ステップS23）。このIRドロップ解析の一例を示すと、図8に示すようになる。これにより、半導体チップは、IRドロップの大きさに応じて領域A～Cに分割される。

## 【 0 0 3 1 】

次に、IRドロップ値に応じて、半導体チップ上にすでに配線されている電源配線の配線密度を変更し、電源配線の再実施（再配置）を行う（ステップS24）。

すなわち、分割された領域A～Cのうち、IRドロップ（電圧降下）の大きな領域A内

50

では、すでに配線されている電源配線を、それよりも配線密度が低くなるように変更をする。具体的には、領域 A 内では、電源配線の配置間隔を広くし（電源配線の本数を減らすことに相当）、または電源配線それ自体の幅を狭くする。

【0032】

一方、IRドロップの小さな領域 C は、すでに配線されている電源配線をそれよりも配線密度が高くなるように変更する。具体的には、領域 C では、電源配線の配置間隔を狭くし（電源配線の本数を増やすことに相当）、または電源配線それ自体の幅を広くする。

このような考え方で再実施した電源配線の一例を、図 9 に示す。この例は、図 8 の IR ドロップに対応して作成したものであり、半導体チップのうち、IRドロップが小さい外周部側ほど電源配線の密度が高く、IRドロップが大きな中心部側ほど電源配線の密度が疎になっている。そして、電源配線の疎密の調整は、電源配線の幅は一定とし、その配置間隔を調整することにより実現している。

10

【0033】

ここで、図 9 において、電源配線は、横方向に配置される電源配線が例えばメタル第 1 層に配置され、縦方向に配置される電源配線が例えばメタル第 1 層に配置されている。

このような電源配線の変更によって、領域にかかわらず、IRドロップ値をほぼ一律（均一）にすることができ、電源の強化を図ることができる。

次に、電源配線の変更が終了したら、その変更に伴ってセルの配置の修正を行い、それが終了すると、セル間の配線（信号配線）を行う（ステップ S 2 5）。これにより、複数のセルは、信号配線によって所定の接続が行われる。

20

【0034】

以上説明した第 4 実施形態によれば、半導体集積回路のレイアウト設計の際に、電源補強を図りつつ、設計時間の短縮化を図ることができる。

また、第 4 実施形態によれば、半導体チップ上のどこにおいても IR ドロップ値をほぼ一律にすることができるので、遅延ライブラリの精度が向上する。すなわち、歩留りの向上、タイミングの合わせ込みを過剰に実施することがなく、しかも半導体チップの大きさの最適化が図れる。

さらに、第 4 実施形態によれば、電源配線の本数を予め多く配線しておく必要がないので、チップサイズを最適化することができるとともに、配線効率が向上してタイミング解析の際の収束性が向上する。

30

【図面の簡単な説明】

【0035】

【図 1】本発明の第 1 実施形態の設計手順を示すフローチャートである。

【図 2】第 1 実施形態の IR ドロップ解析の一例を示す図である。

【図 3】その IR ドロップ解析に基づいて求めた各エリアの使用効率の一例を示す図である。

【図 4】本発明の第 2 実施形態の設計手順を示すフローチャートである。

【図 5】本発明の第 3 実施形態の設計手順を示すフローチャートである。

【図 6】本発明の第 4 実施形態の設計手順を示すフローチャートである。

【図 7】第 4 実施形態の配置配線の一例を示す図である。

40

【図 8】第 4 実施形態の IR ドロップ解析の一例を示す図である。

【図 9】その IR ドロップ解析の結果に基づいて再配置された電源配線の一例を示す図である。

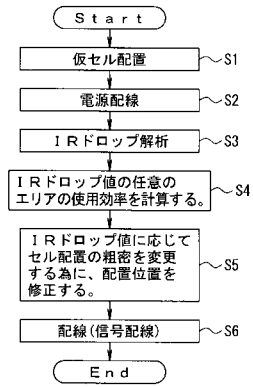
【符号の説明】

【0036】

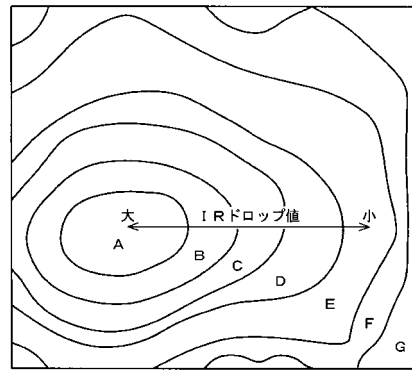
11、12・・・電源配線、13・・・セル



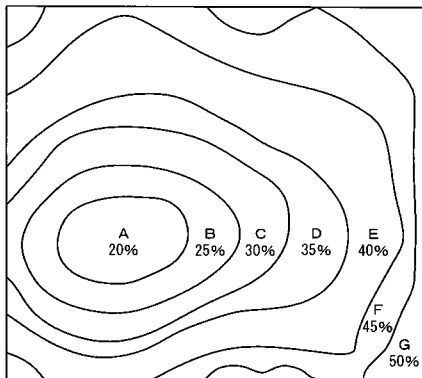
【 図 1 】



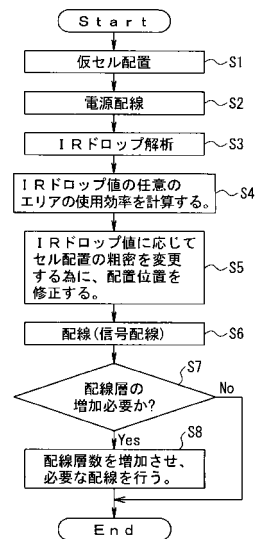
【 図 2 】



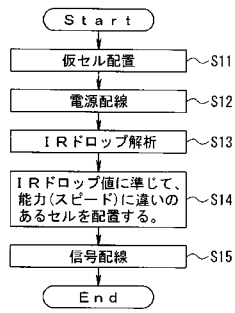
【 図 3 】



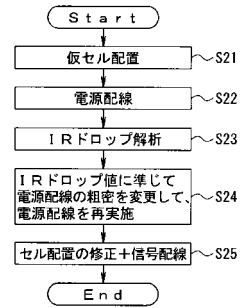
【 図 4 】



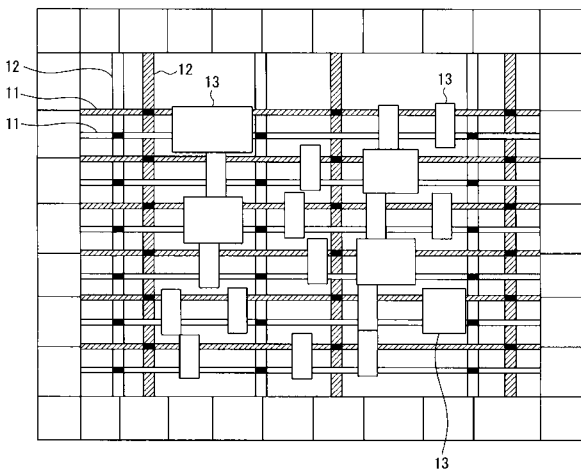
【 図 5 】



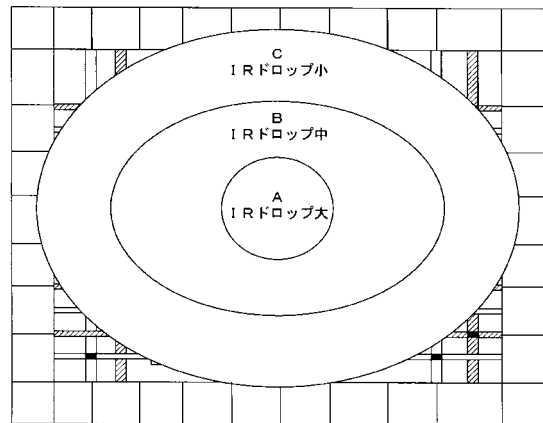
【 図 6 】



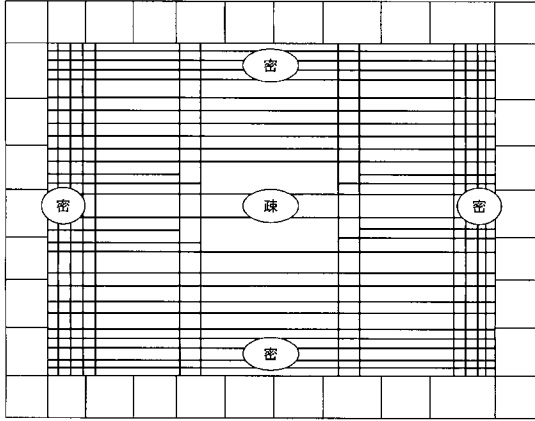
【 図 7 】



【 図 8 】



【 图 9 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 6 F 17/50 6 5 8 V

G 0 6 F 17/50 6 6 6 V

Fターム(参考) 5F064 DD02 DD09 DD13 EE03 EE15 EE42 EE52 HH06 HH09 HH11  
HH15