

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4500530号  
(P4500530)

(45) 発行日 平成22年7月14日(2010.7.14)

(24) 登録日 平成22年4月23日(2010.4.23)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 H
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 2 F
	HO 1 L 29/78 6 5 2 N
	HO 1 L 29/78 6 5 3 A
	HO 1 L 29/78 6 5 5 A

請求項の数 12 (全 27 頁)

(21) 出願番号	特願2003-375098 (P2003-375098)	(73) 特許権者	000003207 トヨタ自動車株式会社
(22) 出願日	平成15年11月5日(2003.11.5)		愛知県豊田市トヨタ町1番地
(65) 公開番号	特開2005-142243 (P2005-142243A)	(73) 特許権者	000004260 株式会社デンソー
(43) 公開日	平成17年6月2日(2005.6.2)		愛知県刈谷市昭和町1丁目1番地
審査請求日	平成18年8月2日(2006.8.2)	(74) 代理人	100105751 弁理士 岡戸 昭佳
		(74) 代理人	100097009 弁理士 富澤 孝
		(74) 代理人	100098431 弁理士 山中 郁生
		(72) 発明者	高谷 秀史 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

最終頁に続く

(54) 【発明の名称】 絶縁ゲート型半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板内の上面側に位置し第1導電型半導体であるボディ領域と、前記ボディ領域の下面と接し第2導電型半導体であるドリフト領域と、半導体基板の上面から前記ボディ領域を貫通しその底部が前記ボディ領域の下面より下方に位置するトレンチ部とを有する絶縁ゲート型半導体装置において、

前記ドリフト領域に囲まれるとともに第1導電型半導体であるフローティング領域を有し、

前記トレンチ部の底部は、前記フローティング領域内に位置し、

前記トレンチ部内には、

絶縁物を堆積してなる堆積絶縁層と、

前記堆積絶縁層上に位置し、前記ボディ領域と対面するゲート電極とが形成されており、

前記堆積絶縁層の上端は、前記フローティング領域の上端よりも上方に位置し、

前記ボディ領域の下面と前記フローティング領域の上端との間隔は、前記堆積絶縁層の下端と前記フローティング領域の下端との間隔よりも広く、

前記ゲート電極の下端と前記堆積絶縁層の下端との間隔は、前記ボディ領域の下面と前記フローティング領域の上端との間隔よりも広く、

前記堆積絶縁層の厚さは、その厚さ方向において、電界のピークが少なくとも2箇所形成される厚さであることを特徴とする絶縁ゲート型半導体装置。

## 【請求項 2】

請求項 1 に記載する絶縁ゲート型半導体装置において、

前記フローティング領域の上端よりも上方に位置し、前記ドリフト領域に囲まれるとともに第 1 導電型半導体である中間フローティング領域を有し、

前記トレンチ部は、前記中間フローティング領域を貫通しており、

前記堆積絶縁層の上端は、前記中間フローティング領域の上端よりも上方に位置することを特徴とする絶縁ゲート型半導体装置。

## 【請求項 3】

請求項 1 に記載する絶縁ゲート型半導体装置において、

半導体基板の上面から前記ボディ領域を貫通しその底部が前記ボディ領域の下面より下方に位置し、内側が絶縁物で充填された補助トレンチ部と、

前記ドリフト領域に囲まれるとともに第 1 導電型半導体である補助フローティング領域を有し、

前記補助トレンチ部の底部は、前記補助フローティング領域内に位置することを特徴とする絶縁ゲート型半導体装置。

10

## 【請求項 4】

請求項 3 に記載する絶縁ゲート型半導体装置において、

前記トレンチ部の深さと前記補助トレンチ部の深さが異なることを特徴とする絶縁ゲート型半導体装置。

## 【請求項 5】

請求項 3 に記載する絶縁ゲート型半導体装置において、

前記トレンチ部の深さと前記補助トレンチ部の深さが同一であることを特徴とする絶縁ゲート型半導体装置。

20

## 【請求項 6】

請求項 1 から請求項 5 のいずれか 1 つに記載する絶縁ゲート型半導体装置において、

半導体基板の上面から前記ボディ領域を貫通しその底部が前記ボディ領域の下面より下方に位置し、内側が絶縁物で充填された補助トレンチ部と、

前記ドリフト領域に囲まれるとともに第 1 導電型半導体である補助フローティング領域を有し、

前記補助トレンチ部の底部は、前記補助フローティング領域内に位置することを特徴とする絶縁ゲート型半導体装置。

30

## 【請求項 7】

請求項 6 に記載する絶縁ゲート型半導体装置において、

前記補助フローティング領域の上端よりも上方に位置し、前記ドリフト領域に囲まれるとともに第 1 導電型半導体である補助中間フローティング領域を有し、

前記補助トレンチ部は、前記中間補助フローティング領域を貫通しており、

前記堆積絶縁層の上端は、前記中間補助フローティング領域の上端よりも上方に位置することを特徴とする絶縁ゲート型半導体装置。

## 【請求項 8】

請求項 6 に記載する絶縁ゲート型半導体装置において、

前記補助トレンチ部と前記ゲート電極を挟んで対向し、半導体基板の上面から前記ボディ領域を貫通しその底部が前記ボディ領域の下面より下方に位置し、内側が絶縁物で充填された第 2 補助トレンチ部と、

前記ドリフト領域に囲まれるとともに第 1 導電型半導体である第 2 補助フローティング領域を有し、

前記補助トレンチ部と前記第 2 補助トレンチ部とは、互いに深さが異なることを特徴とする絶縁ゲート型半導体装置。

40

## 【請求項 9】

請求項 3 または請求項 6 に記載する絶縁ゲート型半導体装置において、

前記補助トレンチ部は、半導体基板の上方から見てドット形状に構成されていることを

50

特徴とする絶縁ゲート型半導体装置。

【請求項 10】

請求項 1 から請求項 9 のいずれか 1 つに記載する絶縁ゲート型半導体装置において、セル領域の周辺領域に位置し、内側が絶縁物で充填された終端トレンチ部と、前記ドリフト領域に囲まれるとともに第 1 導電型半導体である終端フローティング領域とを有し、

前記終端トレンチ部の底部は、前記終端フローティング領域内に位置していることを特徴とする絶縁ゲート型半導体装置。

【請求項 11】

半導体基板内の上面側に位置し第 1 導電型半導体であるボディ領域と、前記ボディ領域の下面と接し第 2 導電型半導体であるドリフト領域と、前記ドリフト領域に囲まれるとともに第 1 導電型半導体であるフローティング領域と、半導体基板の上面から前記ボディ領域を貫通しその底部が前記ボディ領域より下方であって前記フローティング領域内に位置するトレンチ部と、前記トレンチ部の内側に位置し、前記フローティング領域と接し、絶縁物を堆積してなる堆積絶縁層と、前記トレンチ部の内側に位置し前記ボディ領域と対面するゲート電極とを有し、前記堆積絶縁層の上端は、前記フローティング領域の上端よりも上方に位置し、前記ボディ領域の下面と前記フローティング領域の上端との間隔は、前記堆積絶縁層の下端と前記フローティング領域の下端との間隔よりも広く、前記ゲート電極の下端と前記堆積絶縁層の下端との間隔は、前記ボディ領域の下面と前記フローティング領域の上端との間隔よりも広く、前記堆積絶縁層の厚さは、その厚さ方向において、電界のピークが少なくとも 2 箇所に形成される厚さである絶縁ゲート型半導体装置の製造方法において、

前記ドリフト領域および前記ボディ領域が形成された半導体基板内に前記トレンチ部を形成するトレンチ部形成工程と、

前記トレンチ部形成工程にて形成されたトレンチ部の底部から不純物を注入する不純物注入工程と、

前記不純物注入工程にて不純物を注入した後に、トレンチ部内に絶縁物を堆積させる絶縁物堆積工程と、

前記絶縁物堆積工程にて絶縁物を堆積させた後に、熱拡散処理を行うことでフローティング領域を形成するフローティング領域形成工程とを含むことを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 12】

請求項 11 に記載する絶縁ゲート型半導体装置の製造方法において、

前記不純物注入工程にて不純物を注入した後に、トレンチ部の底部をさらに掘り下げるトレンチ部深堀工程と、

前記トレンチ部深堀工程にて掘り下げられたトレンチ部の底部から再度不純物を注入する不純物再注入工程とを含むことを特徴とする絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トレンチゲート構造を有する絶縁ゲート型半導体装置およびその製造方法に関する。さらに詳細には、半導体層にかかる電界を緩和することにより、高耐圧化と低オン抵抗化との両立を図った絶縁ゲート型半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

従来から、パワーデバイス用の絶縁ゲート型半導体装置として、トレンチゲート構造を有するトレンチゲート型半導体装置が提案されている。このトレンチゲート型半導体装置では、一般的に高耐圧化と低オン抵抗化とがトレードオフの関係にある。

【0003】

10

20

30

40

50

この点に着目したトレンチゲート型半導体装置としては、例えば特許文献 1 に開示されているものがある。このトレンチゲート型半導体装置は、概略、図 2 6 に示すように構成されている。すなわち、図 2 6 中の上面側に  $N^+$  ソース領域 3 1 が設けられ、下側に  $N^+$  ドレイン領域 1 1 が設けられている。そして、それらの間には上面側から、P ボディ領域 4 1 および  $N^-$  ドリフト領域 1 2 が設けられている。さらに、半導体装置の上面側の一部を掘り込むことで形成されたトレンチ 2 1 が設けられている。また、トレンチ 2 1 には、ゲート電極 2 2 が内蔵されている。また、トレンチ 2 1 の直下に P フローティング領域 5 0 が設けられている。また、ゲート電極 2 2 は、トレンチ 2 1 の壁面に形成されたゲート絶縁膜 2 4 により P ボディ領域 4 1 から絶縁されている。

【 0 0 0 4 】

10

このトレンチゲート型半導体装置では、ゲート電圧のスイッチオフ時に、P ボディ領域 4 1 と  $N^-$  ドリフト領域 1 2 との間の PN 接合箇所から  $N^+$  ドレイン領域 1 1 に向けて空乏層が広がっていくとともに P フローティング領域 5 0 の下端部からも  $N^+$  ドレイン領域 1 1 に向けて空乏層が広がっていく。すなわち、P フローティング領域 5 0 が  $N^-$  ドリフト領域 1 2 の空乏化を促進するのである。これにより、ドレイン - ソース間の高耐圧化を図ることができる。とされている。

【 0 0 0 5 】

また、この他のトレンチゲート型半導体装置としては、例えば特許文献 2 に記載されているものがある。このトレンチゲート型半導体装置には、図 2 7 に示すようにトレンチ 2 1 から離れた位置に P フローティング領域 5 9 が設けられている。この P フローティング領域 5 9 によっても、図 2 6 の絶縁ゲート型半導体装置と同様にドレイン - ソース間の高耐圧化を図ることができる。とされている。

20

【 0 0 0 6 】

前記した図 2 7 の半導体装置は、次のような手順で作製される。まず、 $N^+$  ドレイン領域 1 1 となる  $N^+$  基板上に、 $N^-$  型ドリフト領域 1 2 となる  $N^-$  型シリコン層をエピタキシャル成長により形成する。このとき  $N^-$  型シリコン層は、図 2 7 中の Z の位置まで形成する。次に、P フローティング領域 5 9 をイオン注入等により形成する。次に、再度エピタキシャル成長を行って残りの  $N^-$  型シリコン層を形成する。これにより、P フローティング領域 5 9 が  $N^-$  ドリフト領域 1 2 に完全に囲まれた半導体装置が形成される。なお、これらの工程を繰り返し行うことで、P フローティング領域 5 9 を異なる深さで幾つも形成することができる。

30

【 0 0 0 7 】

また、これらのトレンチゲート型半導体装置の終端エリアは、一般的に図 2 8 に示すような構造を有している。すなわち終端エリアには、トレンチ 2 1 の深さと同等かもしくはそれ以上の深さの P 終端拡散領域 6 1 が形成されている。これにより、ゲート電圧のスイッチオフ時に、P 終端拡散領域 6 1 の周辺からも空乏層が形成される。これにより、終端部における電界の集中を緩和している。

【特許文献 1】特開平 1 0 - 9 8 1 8 8 号公報

【特許文献 2】特開平 9 - 1 9 1 1 0 9 号公報

【発明の開示】

40

【発明が解決しようとする課題】

【 0 0 0 8 】

しかしながら、前記した図 2 6 の半導体装置には、次のような問題点があった。すなわち、P フローティング領域 5 0 は、トレンチ 2 1 の底部からのイオン注入により形成される。そのため、トレンチ 2 1 の底部には少なからず損傷が生じている。それ故、そのままゲート絶縁膜 2 4 を形成すると、素子特性の低下や信頼性の低下といった不具合を招いてしまう。また、ゲート電極 2 2 が P フローティング領域 5 0 と対面している。そのためオン時に、ゲート電極 2 2 内で、P ボディ領域 4 1 と対面している部分と、P フローティング領域 5 0 と対面している部分とで電荷が分散してしまう。このため、オン抵抗が大きくなってしまふ。

50

## 【0009】

一方、図27の半導体装置では、Pフローティング領域59がトレンチ21から離れて形成されているため、上記の問題を回避して高耐圧化を図ることができる。しかしながら、N<sup>-</sup>ドリフト領域12に完全に囲まれたPフローティング領域54を形成する際には、少なくとも2回のN<sup>-</sup>型シリコン層の形成工程（エピタキシャル成長工程）が必要であり、作製するのに非常に手間がかかる。

## 【0010】

また、終端エリアの電界の集中を緩和するためには、セルエリアに形成された各Pフローティング領域と厚さが異なるP終端拡散領域61を形成する工程が必要である。そのため、工程数が多く、作製するのに手間がかかる。また、熱負荷が大きいことからN<sup>-</sup>型ドリフト領域12（エピタキシャル層）の不純物が拡散してその濃度にばらつきが生じる。そして、それを補うためにはN<sup>-</sup>型ドリフト領域12の厚さを厚くする必要があり、その結果オン抵抗が大きくなってしまふ。

## 【0011】

本発明は、前記した従来のトレンチゲート型半導体装置が有する問題点を少なくとも1つ解決するためになされたものである。すなわちその課題とするところは、高耐圧化と低オン抵抗化とを両立させ、簡便に作製することができる絶縁ゲート型半導体装置およびその製造方法を提供することにある。

## 【課題を解決するための手段】

## 【0012】

この課題の解決を目的としてなされた絶縁ゲート型半導体装置は、半導体基板内の上面側に位置し第1導電型半導体であるボディ領域と、ボディ領域の下面と接し第2導電型半導体であるドリフト領域と、半導体基板の上面からボディ領域を貫通しその底部がボディ領域の下面より下方に位置するトレンチ部とを有する絶縁ゲート型半導体装置であって、ドリフト領域に囲まれるとともに第1導電型半導体であるフローティング領域を有し、トレンチ部の底部は、フローティング領域内に位置し、トレンチ部内には、絶縁物を堆積してなる堆積絶縁層と、堆積絶縁層上に位置し、ボディ領域と対面するゲート電極とが形成されており、堆積絶縁層の上端は、フローティング領域の上端よりも上方に位置し、ボディ領域の下面とフローティング領域の上端との間隔は、堆積絶縁層の下端とフローティング領域の下端との間隔よりも広く、ゲート電極の下端と堆積絶縁層の下端との間隔は、ボディ領域の下面とフローティング領域の上端との間隔よりも広く、堆積絶縁層の厚さは、その厚さ方向において、電界のピークが少なくとも2箇所に形成される厚さのものである。

## 【0013】

すなわち、本発明の絶縁ゲート型半導体装置は、ドリフト領域に囲まれたフローティング領域を有している。このフローティング領域により、オフ時のドリフト領域の空乏化を促進することができる。また、電界のピークを複数箇所に形成することができ、最大ピーク値の低減を図ることができる。また、トレンチ部の中に堆積絶縁層を有している。これにより、ゲート絶縁膜およびゲート電極は、トレンチ部の損傷の影響を受けない。よって、素子特性の劣化および信頼性の低下が抑止される。また、その堆積絶縁層の上端は、フローティング領域の上端よりも上方に位置している。これにより、ゲート電極とフローティング領域との対面が抑止され、オン抵抗の増大が防止される。

## 【0014】

また、本発明の絶縁ゲート型半導体装置は、フローティング領域の上端よりも上方に位置し、ドリフト領域に囲まれるとともに第1導電型半導体である中間フローティング領域を有し、トレンチ部は、中間フローティング領域を貫通しており、堆積絶縁層の上端は、中間フローティング領域の上端よりも上方に位置することとするよりよい。

## 【0015】

すなわち、ボディ領域とフローティング領域との間の位置にフローティング領域と同様の作用を有する中間フローティング領域を有している。これにより、電界のピークを少な

くとも3箇所形成でき、より最大ピーク値の低減を図ることができる。よって、より高耐圧化および低オン抵抗化を図ることができる。なお、中間フローティング領域は、1つに限らず複数設けてもよい。中間フローティング領域が多ければ多いほど電界のピークを数多く形成でき、より最大ピーク値の低減を図ることができる。

【0016】

また、本発明の絶縁ゲート型半導体装置は、半導体基板の上面からボディ領域を貫通しその底部がボディ領域の下面より下方に位置し、内側が絶縁物で充填された補助トレンチ部と、ドリフト領域に囲まれるとともに第1導電型半導体である補助フローティング領域を有し、補助トレンチ部の底部は、補助フローティング領域内に位置することとするよりよい。すなわち、フローティング領域と同様の作用を有する補助フローティング領域が複数形成される。これにより、補助フローティング領域を含むフローティング領域の密度が高いことから、フローティング領域等のサイズ等の製造マージンが大きい。

10

【0017】

また、本発明の絶縁ゲート型半導体装置は、トレンチ部の深さと補助トレンチ部の深さとが異なることとするよりよい。これにより、フローティング領域と補助フローティング領域とが厚さ方向に異なる位置に設けられる。従って、電界のピークを3箇所に形成でき、より最大ピーク値の低減を図ることができる。

【0018】

一方、本発明の絶縁ゲート型半導体装置は、トレンチ部の深さと補助トレンチ部の深さとが同一であるとしてもよい。トレンチ部と補助トレンチ部とが同一の深さであることから、トレンチ部と補助トレンチ部とを同一の工程で形成することができる。そのため、工程数を削減することができる。また、隣り合うフローティングの間の距離が短く、ドリフト領域の濃度が高くて空乏層を確実に繋げることができる。そのため、低オン抵抗化を図ることができる。また、1つあたりのフローティング領域のサイズは小さくて済む。また、熱拡散処理も同一の工程で行うことができるため、不純物の拡散が少なく熱拡散処理によるオン抵抗の低下を抑制することができる。なお、ここでいう「同一」の深さとは、正確に一致していなければならないことを意味するものではない。すなわち、トレンチ形成時に生じる深さの多少のずれは、同一の範囲内である。

20

【0019】

また、本発明の絶縁ゲート型半導体装置は、半導体基板の上面からボディ領域を貫通しその底部がボディ領域の下面より下方に位置し、内側が絶縁物で充填された補助トレンチ部と、ドリフト領域に囲まれるとともに第1導電型半導体である補助フローティング領域を有し、補助トレンチ部の底部は、補助フローティング領域内に位置するものであってもよい。

30

【0020】

すなわち、本発明の絶縁ゲート型半導体装置は、ドリフト領域に囲まれた補助フローティング領域を有している。この補助フローティング領域により、オフ時のドリフト領域の空乏化を促進することができる。また、補助フローティング領域は、補助フローティング領域用に形成された補助トレンチ部の下方に設けられている。そのため、補助フローティング領域の設計自由度は高い。一方、ゲート電極を内蔵するトレンチ部は、従来と同様の製造方法にて形成することができる。そのため、底部からのイオン注入はなく、素子特性の劣化および信頼性の低下等の問題は生じない。

40

【0021】

また、本発明の絶縁ゲート型半導体装置は、補助フローティング領域の上端よりも上方に位置し、ドリフト領域に囲まれるとともに第1導電型半導体である補助中間フローティング領域を有し、補助トレンチ部は、中間補助フローティング領域を貫通しており、堆積絶縁層の上端は、中間補助フローティング領域の上端よりも上方に位置することとするよりよい。これにより、電界のピークを少なくとも3箇所に形成でき、より最大ピーク値の低減を図ることができる。よって、より高耐圧化および低オン抵抗化を図ることができる。

50

## 【0022】

また、本発明の絶縁ゲート型半導体装置は、補助トレンチ部とゲート電極を挟んで対向し、半導体基板の上面からボディ領域を貫通しその底部が前記ボディ領域の下面より下方に位置し、内側が絶縁物で充填された第2補助トレンチ部と、ドリフト領域に囲まれるとともに第1導電型半導体である第2補助フローティング領域を有し、補助トレンチ部と第2補助トレンチ部とは、互いに深さが異なることとするよりよい。

## 【0023】

すなわち、補助トレンチ部と第2補助トレンチ部との深さが互いに異なることから、補助フローティング領域と第2フローティング領域とは厚さ方向の位置が互いに異なる。よって、電界のピークを3箇所形成でき、最大ピーク値の低減を図ることができる。また、補助フローティング領域と第2フローティング領域とは同一の熱拡散処理にて形成することができるため、熱負荷が小さい。

10

## 【0024】

また、本発明の絶縁ゲート型半導体装置の補助トレンチ部は、半導体基板の上方から見てドット形状に構成されていることとするよりよい。これにより、電流経路が広く低オン抵抗化を図ることができる。

## 【0025】

また、本発明の絶縁ゲート型半導体装置は、セル領域の周辺領域に位置し、内側が絶縁物で充填された終端トレンチ部と、ドリフト領域に囲まれるとともに第1導電型半導体である終端フローティング領域とを有し、終端トレンチ部の底部は、終端フローティング領域内に位置していることとするよりよい。

20

## 【0026】

すなわち、終端エリアにも、フローティング領域と同様の作用を有する終端フローティング領域を設けている。これにより、終端エリアにおいても高耐圧化が図られている。また、終端フローティング領域は、セルエリア内のフローティング領域と同等のサイズである。従って、コンパクトであり、サイズの制御性もよい。また、終端フローティング領域は、フローティング領域と同一の工程にて形成することができることから、その形成も容易である。さらに、同一の工程にて形成されることから、従来の半導体装置と比較して熱負荷が小さい。

## 【0027】

また、本発明の絶縁ゲート型半導体装置の製造方法は、半導体基板内の上面側に位置し第1導電型半導体であるボディ領域と、前記ボディ領域の下面と接し第2導電型半導体であるドリフト領域と、ドリフト領域に囲まれるとともに第1導電型半導体であるフローティング領域と、半導体基板の上面からボディ領域を貫通しその底部がボディ領域より下方であってフローティング領域内に位置するトレンチ部と、トレンチ部の内側に位置し、フローティング領域と接し、絶縁物を堆積してなる堆積絶縁層と、トレンチ部の内側に位置しボディ領域と対面するゲート電極とを有し、堆積絶縁層の上端は、フローティング領域の上端よりも上方に位置し、ボディ領域の下面とフローティング領域の上端との間隔は、堆積絶縁層の下端とフローティング領域の下端との間隔よりも広く、ゲート電極の下端と堆積絶縁層の下端との間隔は、ボディ領域の下面とフローティング領域の上端との間隔よりも広く、堆積絶縁層の厚さは、その厚さ方向において、電界のピークが少なくとも2箇所に形成される厚さである絶縁ゲート型半導体装置の製造方法であって、ドリフト領域およびボディ領域が形成された半導体基板内にトレンチ部を形成するトレンチ部形成工程と、トレンチ部形成工程にて形成されたトレンチ部の底部から不純物を注入する不純物注入工程と、不純物注入工程にて不純物を注入した後に、トレンチ部内に絶縁物を堆積させる絶縁物堆積工程と、絶縁物堆積工程にて絶縁物を堆積させた後に、熱拡散処理を行うことでフローティング領域を形成するフローティング領域形成工程とを含んでいる。

30

40

## 【0028】

この製造方法では、エピタキシャル成長等によってドリフト領域を形成した後、イオン注入等の不純物導入技術と熱拡散によりボディ領域を形成した半導体基板を出発材として

50

いる。そして、トレンチ部形成工程にて、ボディ領域を貫通するトレンチ部を形成している。そして、フローティング領域形成工程にて、そのトレンチ部から不純物を注入することによりフローティング領域を形成している。すなわち、フローティング領域がドリフト領域およびボディ領域の形成後に形成されるため、フローティング領域の形成後に再度エピタキシャル成長により単結晶シリコン層を形成する必要がない。従って、フローティング領域を有する絶縁ゲート型半導体装置を簡便に作製することができる。

#### 【0029】

また、本発明の絶縁ゲート型半導体装置の製造方法は、不純物注入工程にて不純物を注入した後に、トレンチ部の底部をさらに掘り下げるトレンチ部深堀工程と、トレンチ部深堀工程にて掘り下げられたトレンチ部の底部から再度不純物を注入する不純物再注入工程とを含むこととするとよりよい。これにより、1回のエピタキシャル成長により形成されたウェーハに対してその厚さ方向に複数段のフローティング領域を設けることができる。従って、簡便に高耐圧化と低オン抵抗化とを両立させることができる。

#### 【発明の効果】

#### 【0030】

本発明によれば、ドリフト領域に囲まれたフローティング領域により、高耐圧化と低オン抵抗化の両立を図ることができる。また、堆積絶縁層により、不純物の注入による影響を回避することができる。また、エピタキシャル成長によるシリコン層の形成を繰り返すことなくフローティング領域を形成することができる。よって、高耐圧化と低オン抵抗化とを両立させ、簡便に作製することができる絶縁ゲート型半導体装置およびその製造方法が提供されている。

#### 【発明を実施するための最良の形態】

#### 【0031】

以下、本発明を具体化した実施の形態について、添付図面を参照しつつ詳細に説明する。なお、本実施の形態は、絶縁ゲートへの電圧印加により、ドレイン・ソース間（以下、「DS間」とする）の導通をコントロールするパワーMOSに本発明を適用したものである。

#### 【0032】

##### [第1の形態]

第1の形態に係る絶縁ゲート型半導体装置100（以下、「半導体装置100」とする）は、図1の断面図に示す構造を有している。なお、図1中、図26で示した従来の半導体装置と同一記号の構成要素は、その構成要素と同一機能を有するものである。また、本明細書においては、出発基板と、出発基板上にエピタキシャル成長により形成した単結晶シリコンの部分とを合わせた全体を半導体基板と呼ぶこととする。

#### 【0033】

半導体装置100では、半導体基板内における図1中の上面側に、 $N^+$  ソース領域31およびコンタクト抵抗を下げるために高濃度に形成された $P^+$  ソース領域32が設けられている。一方、下面側には $N^+$  ドレイン領域11が設けられている。それらの間には上面側から、 $P^-$  ボディ領域41および $N^-$  ドリフト領域12が設けられている。なお、 $P^-$  ボディ領域41および $N^-$  ドリフト領域12を合わせた領域（以下、「エピタキシャル層」とする）の厚さは、およそ $5.5\ \mu\text{m}$ （そのうち、 $P^-$  ボディ領域41の厚さは、およそ $1.2\ \mu\text{m}$ ）である。

#### 【0034】

また、半導体基板の上面側の一部を掘り込むことによりトレンチ21が形成されている。トレンチ21の深さはおよそ $3.2\ \mu\text{m}$ であり、 $P^-$  ボディ領域41を貫通している。トレンチ21の底部には、絶縁物の堆積による堆積絶縁層23が形成されている。具体的に堆積絶縁層23は、トレンチ21の底部からおよそ $1.7\ \mu\text{m}$ の高さの位置まで酸化シリコンが堆積してできたものである。さらに、堆積絶縁層23上には、導体（例えば、ポリシリコン）の堆積によるゲート電極22が形成されている。ゲート電極22の下端は、 $P^-$  ボディ領域41の下面より下方に位置している。そして、ゲート電極22は、トレン

10

20

30

40

50

チ 2 1 の壁面に形成されているゲート絶縁膜 2 4 を介して、半導体基板の  $N^+$  ソース領域 3 1 および  $P^-$  ボディ領域 4 1 と対面している。すなわち、ゲート電極 2 2 は、ゲート絶縁膜 2 4 により  $N^+$  ソース領域 3 1 および  $P^-$  ボディ領域 4 1 から絶縁されている。このような構造を持つ半導体装置 1 0 0 では、ゲート電極 2 2 への電圧印加により  $P^-$  ボディ領域 4 1 にチャンネル効果を生じさせ、もって  $N^+$  ソース領域 3 1 と  $N^+$  ドレイン領域 1 1 との間の導通をコントロールしている。

#### 【 0 0 3 5 】

さらに、半導体基板には、 $N^-$  ドリフト領域 1 2 に囲まれた P フローティング領域 5 1 が形成されている。P フローティング領域 5 1 の断面は、図 1 の断面図に示したように、トレンチ 2 1 の底部を中心とした半径  $0.6 \mu\text{m}$  の略円形形状となっている。また、各ト  
10  
レンチ 2 1 は、およそ  $3.0 \mu\text{m}$  のピッチで形成されている。従って、隣り合う P フローティング領域 5 1、5 1 間には、十分なスペースがある。よって、オン状態において、P フローティング領域 5 1 の存在がドレイン電流に対する妨げとなることはない。また、P フローティング領域 5 1 の半径（およそ  $0.6 \mu\text{m}$ ）は、堆積絶縁層 2 3 の厚さ（およそ  $1.7 \mu\text{m}$ ）の  $1/2$  以下である。従って、堆積絶縁層 2 3 の上端は、P フローティング領域 5 1 の上端よりも上方に位置する。よって、堆積絶縁層 2 3 上に堆積するゲート電極 2 2 と P フローティング領域 5 1 とは対面していない。

#### 【 0 0 3 6 】

本形態の半導体装置 1 0 0 は、ゲート電極 2 2 を内蔵するトレンチ 2 1 の下方に P フローティング領域 5 1 が設けられていることにより、それを有しない絶縁ゲート型半導体装  
20  
置と比較して、次のような特性を有する。すなわち、ゲート電圧のスイッチオフ時には、DS 間の電圧によって、 $N^-$  ドリフト領域 1 2 内では  $P^-$  ボディ領域 4 1 との間の PN 接合箇所から空乏層が形成される。そして、その PN 接合箇所の近傍が電界強度のピークとなる。空乏層の先端が P フローティング領域 5 1 に到達すると、P フローティング領域 5 1 がパンチスルー状態となってその電位が固定される。また、DS 間の印加電圧が高い場合には、P フローティング領域 5 1 の下端部からも空乏層が形成される。そして、 $P^-$  ボディ領域 4 1 との間の PN 接合箇所とは別に、P フローティング領域 5 1 の下端部の近傍も電界強度のピークとなる。すなわち、電界のピークを 2 箇所に形成でき、最大ピーク値の低減を図ることができる。よって、高耐圧化が図られる。また、高耐圧であることから、 $N^-$  ドリフト領域 1 2 の不純物濃度を上げて低オン抵抗化を図ることができる。  
30

#### 【 0 0 3 7 】

また、半導体装置 1 0 0 は、トレンチ 2 1 内に堆積絶縁層 2 3 が設けられていることにより次のような特性を有する。すなわち、P フローティング領域 5 1 は、後述するようにトレンチ 2 1 の底部からのイオン注入等により形成されるため、トレンチ 2 1 の底部には少なからず損傷が生じている。しかしながら、堆積絶縁層 2 3 の存在によって、トレンチ 2 1 の底部の損傷による影響を回避し、素子特性の劣化や信頼性の低下といった不具合を防止している。また、堆積絶縁層 2 3 にてゲート電極 2 2 と P フローティング領域 5 1 との対面による影響を緩和し、 $P^-$  ボディ領域 4 1 内のオン抵抗を低減している。また、堆積絶縁層 2 3 を設けない場合と比較して、ゲート電極 2 2 が小さいため、ゲート-ドレイン間容量  $C_{gd}$  が小さく、スイッチングスピードが速い。  
40

#### 【 0 0 3 8 】

なお、前述した P フローティング領域を半導体装置の厚さ方向に複数設けてもよい。例えば、図 2 に示すように P フローティング領域を 2 段設けた構造としてもよい。図 2 に示した半導体装置 1 0 1 では、図 1 に示した半導体装置 1 0 0 よりも深い深さ（ $8.5 \mu\text{m}$  程度）のエピタキシャル層およびトレンチ 2 1 が設けられている。そして、トレンチ 2 1 の底部を中心とする P フローティング領域 5 1 と、P フローティング領域 5 1 と  $P^-$  ボディ領域 4 1 との間に位置する P フローティング領域 5 2 とが設けられている。これにより、 $P^-$  ボディ領域 4 1 との間の PN 接合箇所から形成された空乏層は、一旦 P フローティング領域 5 2 に到達した後に P フローティング領域 5 1 に到達する。そのため、 $P^-$  ボディ領域 4 1 との間の PN 接合箇所とは別に、P フローティング領域 5 2 の下端部および P  
50

フローティング領域 5 1 の下端部でも電界強度のピークとなる。従って、電界のピークを 3 箇所形成でき、より最大ピーク値の低減を図ることができる。なお、P フローティング領域 5 1 と P<sup>-</sup> ボディ領域 4 1 との間に位置する P フローティング領域 5 2 の数を増やすほど電界のピーク箇所を多くすることができる。そのため、P フローティング領域 5 2 の数が多いほど高耐圧化および低オン抵抗化を図ることができる。

#### 【 0 0 3 9 】

また、P フローティング領域を半導体装置の終端エリアに設けてもよい。例えば、図 3 に示すように終端エリアにトレンチ 6 2 および P フローティング領域 5 2 を設けた構造としてもよい。図 3 に示した半導体装置 1 0 2 では、トレンチ 6 2 内が絶縁物（酸化シリコン等）で充填されている。また、P フローティング領域 5 1 と同様の作用を有する P フローティング領域 5 3 が形成されている。半導体装置 1 0 2 では、トレンチ 6 2 およびそれに対応する P フローティング領域 5 3 によってセルエリアと同様に高耐圧化を図っている。また、P フローティング領域 5 3 のサイズが従来の P 終端拡散領域 6 1 と比較して小さい。そのため、そのサイズの制御性がよく、半導体装置自体のコンパクト化を図ることができる。また、P フローティング領域 5 3 は、従来の半導体装置（図 2 8 参照）の P 終端拡散領域 6 1 と比較して熱負荷が小さい。そのため、N<sup>-</sup> ドリフト領域 1 2（エピタキシャル層）の厚さを薄くでき、オン抵抗を小さくすることができる。

#### 【 0 0 4 0 】

次に、図 1 に示した半導体装置 1 0 0 の製造プロセスを図 4 により説明する。まず、N<sup>+</sup> ドレイン領域 1 1 となる N<sup>+</sup> 基板上に、N<sup>-</sup> 型シリコン層をエピタキシャル成長により形成する。この N<sup>-</sup> 型シリコン層（エピタキシャル層）は、N<sup>-</sup> ドリフト領域 1 2、P<sup>-</sup> ボディ領域 4 1、N<sup>+</sup> ソース領域 3 1 の各領域となる部分である。そして、その後のイオン注入等により P<sup>-</sup> ボディ領域 4 1 および N<sup>+</sup> ソース領域 3 1 が形成される。これにより、図 4（a）に示すような N<sup>+</sup> ドレイン領域 1 1 上にエピタキシャル層を有する半導体基板が作製される。

#### 【 0 0 4 1 】

次に、図 4（b）に示すように P<sup>-</sup> ボディ領域 4 1 を貫通してその底部が N<sup>-</sup> ドリフト領域 1 2 にまで到達するトレンチ 2 1 を形成する。その後、熱酸化処理を行うことにより、トレンチ 2 1 の壁面に厚さが 5 0 n m 程度の酸化膜 9 5 を形成する。次に、図 4（c）に示すようにトレンチ 2 1 の底面からイオン注入を行う。酸化膜 9 5 の形成後にイオン注入を行うのは、トレンチ 2 1 の側壁にイオン注入を行わないようにするためである。イオン注入後は、トレンチ 2 1 内の酸化膜 9 5 を除去する。なお、酸化膜の埋込みを行う際、界面基準の問題がある場合や、シリコン表面に薄い酸化膜が形成されていた方が絶縁物の埋込み性が良い場合には、5 0 n m 程度の薄い熱酸化膜を形成してから絶縁物の埋込みを行うとよい。シリコン表面が露出していた方が絶縁物の埋込み性が良い場合には、その必要はない。

#### 【 0 0 4 2 】

次に、図 4（d）に示すようにトレンチ 2 1 内に C V D にて絶縁物（酸化シリコン等）2 3 を堆積させる。その後、絶縁物の焼きしめと P フローティング領域 5 1 の形成とを兼ねて熱拡散処理を行う。これにより、P フローティング領域 5 1 が形成される。なお、P フローティング領域 5 1 のサイズは、トレンチ 2 1 の底部の寸法により決められる。さらに、P フローティング領域 5 1 の厚さ方向の位置は、トレンチの深さにより決められる。すなわち、P フローティング領域 5 1 は、寸法精度が高いトレンチ 2 1 を基に形成されることからその寸法精度が高い。次に、図 4（e）に示すように絶縁物を堆積した状態の半導体基板に対してエッチングを行うことで絶縁物の一部を除去する。これにより、ゲート電極 2 2 を形成するためのスペースを確保する。

#### 【 0 0 4 3 】

次に、半導体基板の上面およびトレンチ 2 1 の壁面に熱酸化により酸化膜 2 4 を形成する。これがゲート酸化膜 2 4 となる。そして、先の工程にて確保したスペースに導体（ポリシリコン等）を堆積させることで、図 4（f）に示すようなゲート電極 2 2 が形成され

10

20

30

40

50

る。そして、最後にソース電極およびドレイン電極を形成することにより、図4(g)に示すような絶縁ゲート型半導体装置、すなわち半導体装置100が作製される。

【0044】

また、図2に示した半導体装置101は、図5のような製造プロセスにより作製される。トレンチ21を形成した後にイオン注入を行う(図4(c)に相当)までは、図1に示した半導体装置100の製造プロセスと同様である。その段階の半導体基板に対して、絶縁物を堆積させることなく、熱拡散処理を行う。これにより、図5(d)に示すようにPフローティング領域52が形成される。

【0045】

次に、図5(e)に示すように再びエッチングを行うことでトレンチ21を掘り下げる。次に、図5(f)に示すように熱酸化処理を行うことでトレンチ21の壁面に酸化膜95を形成する。その後、トレンチ21の底面から再びイオン注入を行う。イオン注入後は、トレンチ21内の酸化膜95を除去する。なお、酸化膜の埋込みを行う際、界面基準の問題がある場合や、シリコン表面に薄い酸化膜が形成されていた方が絶縁物の埋込み性が良い場合には、50nm程度の薄い熱酸化膜を形成してから絶縁物の埋込みを行うとよい。シリコン表面が露出していた方が絶縁物の埋込み性が良い場合には、その必要はない。

【0046】

次に、図5(g)に示すようにトレンチ21内にCVDにて絶縁物(酸化シリコン等)23を堆積させる。その後、絶縁物の焼きしめとPフローティング領域51の形成とを兼ねて熱拡散処理を行う。これにより、Pフローティング領域51が形成される。

【0047】

次に、図4(e)以降に示した工程と同様の作業を行うことで、図5(h)に示すようなトレンチ21に内蔵されたゲート電極22が形成される。そして、最後にソース電極およびドレイン電極を形成することにより、図5(i)に示すような絶縁ゲート型半導体装置、すなわち半導体装置101が作製される。なお、Pフローティング領域52の数は、図5(d)から図5(f)までの工程を繰り返すことにより厚さ方向に増やすことが可能である。

【0048】

また、図3に示した終端エリアのPフローティング領域53もセルエリアのPフローティング領域51と同じ工程で作製することができる。そのため、終端エリアの高耐压化が図られた半導体装置102を、少ない工程で簡便に作製することができる。

【0049】

続いて、図1に示した半導体装置100について、DS間の耐压およびオン抵抗の測定結果について説明する。図6は、ゲート電圧 $V_g$ を0Vに固定したときの、DS間における電圧 $V_{ds}$ と電流 $I_{ds}$ との関係を示したグラフである。図6に示すように電圧 $V_{ds}$ が10Vから70Vまでの間は、電流 $I_{ds}$ の値がほぼ一定であることがわかる。そして、電圧 $V_{ds}$ が72Vを超えることで急激に電流 $I_{ds}$ が大きくなっている。すなわち、およそ72Vでブレークダウンが発生したことがわかる。図7は、ゲート電圧 $V_g$ を変えて、DS間における電圧 $V_{ds}$ と電流値 $I_{ds}$ との関係をシミュレートしたときのグラフである。このグラフの傾きがDS間のオン抵抗に相当する。一般的に、シリコン限界(ユニポーラリミット)は、次の式(1)で計算されるオン抵抗( $R_{on}$ )で示される。なお、式(1)中の $V_b$ は耐压を示す。

$$R_{on} = 8.33 \times 10^{-9} (V_b)^{2.5} \quad (1)$$

例えば、耐压72Vの場合は、オン抵抗 $36.6 \text{ m} \cdot \text{mm}^2$ がユニポーラリミットである。ここで本形態の、例えばゲート電圧 $V_g = 15 \text{ V}$ の時のオン抵抗は、図7の $V_g = 15 \text{ V}$ のグラフの傾きより $34.0 \text{ m} \cdot \text{mm}^2$ であった。従って、本形態の絶縁ゲート型半導体装置は、ユニポーラリミットを超えて、より低オン抵抗化が図られたことがわかる。

【0050】

[第2の形態]

第2の形態に係る絶縁ゲート型半導体装置200(以下、「半導体装置200」とする)は、図8の断面図に示す構造を有している。本形態の半導体装置200の特徴は、Pフローティング領域用のトレンチを設け、そのトレンチの底部がPフローティング領域内に位置している点である。この点、ゲート電極が内蔵されているトレンチの底部がPフローティング領域に位置する半導体装置100(図1参照)と異なる。なお、図8中、図1で示した半導体装置100と同一記号の構成要素は、その構成要素と同一機能を有するものである。

#### 【0051】

半導体装置200では、第1の形態の半導体装置100と同様に、N<sup>+</sup>ソース領域31、N<sup>+</sup>ドレイン領域11、P<sup>-</sup>ボディ領域41およびN<sup>-</sup>ドリフト領域12が設けられている。また、半導体装置200の上面側の一部を掘り込むことで形成されたトレンチ21が設けられている。また、トレンチ21には、ゲート電極22が内蔵されている。ゲート電極22は、トレンチ21の壁面に形成されたゲート絶縁膜24によりP<sup>-</sup>ボディ領域41から絶縁されている。半導体装置200では、ゲート電極22への電圧印加によりP<sup>-</sup>ボディ領域41にチャンネル効果を生じさせ、もってN<sup>+</sup>ソース領域31とN<sup>+</sup>ドレイン領域11との間の導通をコントロールしている。

#### 【0052】

また、半導体基板には、ゲート電極22が内蔵されたトレンチ21の他、トレンチ21を挟んで両側にトレンチ25、25が設けられている。各トレンチ25内は、絶縁物にて充填されている。さらに、トレンチ25の底部と接するとともにN<sup>-</sup>ドリフト領域12に囲まれたPフローティング領域54が形成されている。Pフローティング領域54の断面は、図8の断面図に示したように、トレンチ25の底部を中心とした略円形形状となっている。なお、本明細書では、ゲート電極22用のトレンチを「トレンチ21」とし、Pフローティング領域54用のトレンチを「トレンチ25」とする。

#### 【0053】

本形態の半導体装置200では、第1の形態の半導体装置100と同様に、Pフローティング領域54を設けることで電界のピークを2箇所形成でき、最大ピーク値の低減を図ることができる。また、第1の形態の半導体装置100と比較して、次のような特性を有する。すなわち、ゲート電極22の構造が従来のもと同じであるため、その形成が容易である。また、ゲート電極22とPフローティング領域54との間の距離が第1の半導体装置100と比較して長い。そのため、電流経路を確保しやすく、低オン抵抗化を図ることができる。また、ゲート電極22と対向するPフローティング領域を設けていないことから、イオン注入の影響やオン抵抗の増大といった問題が生じない。

#### 【0054】

なお、第1の形態の半導体装置100と同様に、Pフローティング領域を半導体装置の厚さ方向に複数設けてもよい。例えば、図9に示すように2段構造のPフローティング領域としてもよい。図9に示した半導体装置201では、図8に示した半導体装置200よりも深い深さのトレンチ25が設けられている。なお、ゲート電極22用のトレンチ21は、図8に示した半導体装置200と同様の深さである。半導体装置201では、トレンチ25の底部を中心とするPフローティング領域54と、Pフローティング領域54とP<sup>-</sup>ボディ領域41との間に位置するPフローティング領域55とが設けられている。これにより、電界のピークを3箇所に形成でき、より高耐圧化および低オン抵抗化を図ることができる。

#### 【0055】

また、図10に示すようにゲート電極22を挟んでトレンチ25と深さが異なるトレンチ26を設けてもよい。このトレンチ26も内部が絶縁物で充填されており、その底部がPフローティング領域56内に位置している。すなわち、Pフローティング領域56がPフローティング領域54と厚さ方向に異なる位置に設けられている。よって、図9に示した半導体装置201と同様に電界のピークを3箇所に設けた構造とすることができる。従って、高耐圧化および低オン抵抗化を図ることができる。なお、半導体装置202では、

幅方向に空乏層が確実に繋がるようにするため、トレンチ間のピッチが半導体装置 201 と比較して若干狭く設計されている。半導体装置 202 では、各トレンチに接する P フローティング領域はそれぞれ 1 つであるため、各 P フローティング領域を形成するためのイオン注入および熱拡散処理は 1 回でよい。そのため、熱拡散処理による特性劣化を最小限にすることができる。また、各トレンチ内の充填処理は 1 度に行うことができるため、製造工程が少ない。

#### 【0056】

また、各トレンチの形状は、紙面奥行き方向に長いストライプ形状のもの他、メッシュ形状やドット形状のものであってもよい。なお、高耐圧化を図るためには、図 11 に示すようなストライプ形状のものや、図 12 に示すようなメッシュ形状のものが効果的である。

10

#### 【0057】

次に、図 9 に示した半導体装置 201 の製造プロセスを図 13 により説明する。なお、半導体装置 201 中のゲート電極 22 およびトレンチ 21 は一般的な構造であり、公知の製造方法にて形成される。まず、図 13 (a) に示すように P<sup>-</sup> ボディ領域を貫通してその底部が N<sup>-</sup> ドリフト領域 12 にまで到達するトレンチ 25 が形成される。その後、トレンチ 25 の底面からイオン注入を行い、その後、熱拡散処理を行う。これにより、P フローティング領域 55 が形成される。なお、この状態の半導体基板を基に、トレンチ 25 内に絶縁物を堆積させ、ソース電極およびドレイン電極を形成することにより、図 8 に示した半導体装置 200 が作製される。

20

#### 【0058】

次に、図 13 (b) に示すように再びエッチングを行うことでトレンチ 25 を掘り下げる。その後、トレンチ 25 の底面から再びイオン注入を行う。次に、図 13 (c) に示すようにトレンチ 21 内に CVD にて絶縁物 23 を堆積させる。その後、絶縁物の焼きしめと P フローティング領域 54 の形成とを兼ねて熱拡散処理を行う。これにより、P フローティング領域 54 が形成される。そして、最後にソース電極およびドレイン電極を形成することにより、図 13 (d) に示すような絶縁ゲート型半導体装置、すなわち半導体装置 201 が作製される。

#### 【0059】

##### [第3の形態]

第3の形態に係る絶縁ゲート型半導体装置 300 (以下、「半導体装置 300」とする) は、図 14 の断面図に示す構造を有している。本形態の半導体装置 300 の特徴は、P フローティング領域が、ゲート電極用のトレンチおよび P フローティング領域用のトレンチのそれぞれ下方に形成されている点である。この点、P フローティング領域がゲート電極用のトレンチ 21 の下方のみに形成されている半導体装置 100 (図 1 参照) や、P フローティング領域用のトレンチ 25 の下方のみに形成されている半導体装置 200 (図 8 参照) と異なる。なお、図 14 中、図 1 で示した半導体装置 100 や図 8 で示した半導体装置 200 と同一記号の構成要素は、その構成要素と同一機能を有するものである。

30

#### 【0060】

半導体装置 300 では、第 1 の形態の半導体装置 100 や第 2 の形態の半導体装置 200 と同様に、N<sup>+</sup> ソース領域 31、N<sup>+</sup> ドレイン領域 11、P<sup>-</sup> ボディ領域 41 および N<sup>-</sup> ドリフト領域 12 が設けられている。また、半導体装置 300 の上面側の一部を掘り込むことで形成されたトレンチ 21 が設けられている。トレンチ 21 の底部には、絶縁物の堆積による堆積絶縁層 23 が形成されている。さらに、堆積絶縁層 23 上には、導体の堆積によるゲート電極 22 が形成されている。ゲート電極 22 は、トレンチ 21 の壁面に形成されたゲート絶縁膜 24 により P<sup>-</sup> ボディ領域 41 から絶縁されている。半導体装置 200 では、ゲート電極 22 への電圧印加により P<sup>-</sup> ボディ領域 41 にチャネル効果を生じさせ、もって N<sup>+</sup> ソース領域 31 と N<sup>+</sup> ドレイン領域 11 との間の導通をコントロールしている。

40

#### 【0061】

50

また、半導体基板には、ゲート電極 2 2 が内蔵されたトレンチ 2 1 の他、トレンチ 2 1 を挟んだ両側にトレンチ 2 1 より深い深さのトレンチ 2 5、2 5 が設けられている。トレンチ 2 5 内は、絶縁物にて充填されている。さらに、N<sup>-</sup>ドリフト領域 1 2 に囲まれた P フローティング領域 5 1、5 4 が形成されている。P フローティング領域 5 1、5 4 の断面は、図 1 4 の断面図に示したように、トレンチ 2 1 もしくはトレンチ 2 5 の底部を中心とした略円形状となっている。なお、本明細書では、ゲート電極用のトレンチ 2 1 の底部が位置する P フローティング領域を「P フローティング領域 5 1」とし、P フローティング領域用のトレンチ 2 5 の底部が位置する P フローティング領域を「P フローティング領域 5 4」とする。

#### 【0062】

隣り合う P フローティング領域 5 1、5 4 は、互いに接しないように配置されている。隣り合う P フローティング領域同士が接していると、オン時の電流経路が狭くなりオン抵抗が大きくなるためである。また、P フローティング領域 5 1 は、オフ時に P<sup>-</sup>ボディ領域 4 1 と N<sup>-</sup>ドリフト領域 1 2 との PN 接合部から下方に広がる空乏層がブレークダウンの発生前に P フローティング領域 5 1 に到達するぎりぎりの位置に配置されている。これは、耐圧が空乏層の深さに比例するため、P<sup>-</sup>ボディ領域 4 1 と P フローティング領域 5 1 との間の距離が短いと耐圧が低くなってしまふからである。また、P フローティング領域 5 4 は、P フローティング領域 5 1 から下方に広がる空乏層がブレークダウンの発生前に P フローティング領域 5 4 に到達するぎりぎりの位置に配置されている。これも最適な高耐圧化を図るためである。

#### 【0063】

本形態の半導体装置 3 0 0 では、ゲート電極用のトレンチ 2 1 の底部と P フローティング領域用のトレンチ 2 5 の底部とのそれぞれに P フローティング領域 5 1、5 4 を設け、さらにトレンチ 2 1 とトレンチ 2 5 との深さを異にすることで、図 9 に示した半導体装置 2 0 1 や図 1 0 に示した半導体装置 2 0 2 と同様に電界のピークを 3 箇所にした構造となっている。そのため、高耐圧化および低オン抵抗化が図られている。

#### 【0064】

なお、P フローティング領域 5 1、5 4 は、必ずしも図 1 4 に示した半導体装置 3 0 0 のように、P フローティング領域 5 1 を上方にし、P フローティング領域 5 4 を下方にする配置に限るものではない。例えば、図 1 5 に示すように P フローティング領域 5 1 を下方にし、P フローティング領域 5 4 を上方にした配置であってもよい。このように配置された半導体装置 3 0 1 であっても電界のピークを 3 箇所に形成でき、最大ピーク値の低減を図ることができる。

#### 【0065】

また、図 1 4 および図 1 5 に示した半導体装置と異なり、図 1 6 に示す半導体装置 3 0 2 のようにゲート電極用のトレンチ 2 1 の深さと P フローティング領域用のトレンチ 2 5 の深さとを同一としてもよい。このような半導体装置 3 0 2 では、次のような利点を生じる。すなわち、両トレンチを同一の工程で形成することができる。そのため、工程数を削減することができる。また、隣り合う P フローティング領域の間の距離が短く、N<sup>-</sup>ドリフト領域 1 2 の濃度が高くて空乏層を確実に繋げることができる。そのため、低オン抵抗化を図ることができる。また、数多くの P フローティング領域 5 1、5 4 にて高耐圧化を図るため、1 つあたりの P フローティング領域 5 1、5 4 のサイズは小さくて済む。よって、イオン注入時の加速電圧を低くすることができ、イオン注入によるダメージを抑制することができる。また、トレンチの深さの異なる半導体装置と比較して、エピタキシャル層の厚さを小さくすることができる。また、熱拡散処理の回数が少ないため、不純物が必要以上に拡散されることを抑制でき、熱拡散処理によるオン抵抗の増大を抑制できる。

#### 【0066】

また、図 1 6 に示した半導体装置 3 0 2 の各トレンチの形状は、他の半導体装置と同様にストライプ形状（図 1 1 参照）、メッシュ形状（図 1 2 参照）、ドット形状等のいずれであってもよい。なお、半導体装置 3 0 2 は、各 P フローティング領域の密度が高いこと

10

20

30

40

50

から、他の構造のものと比較してサイズ等の製造マージンが大きい。この利点を活用した配列として、図17に示すようにトレンチ25をドット形状とするとよりよい。この配列では、部分的にPフローティング領域54が切れているため、電流経路が広く低オン抵抗化を図ることができる。なお、空乏層の広がり均等とするためには、各トレンチ間の距離を均等とする。また、図18に示すようにトレンチ25の切れ目にトレンチ21を設けてメッシュ形状とすることで、ゲート電極22の面積が広くなり低オン抵抗化を図ることができる。なお、図17中のA-A断面あるいは図18中のB-B断面が図16に示した半導体装置302に相当する。

#### 【0067】

次に、図14に示した半導体装置300の製造プロセスを図19により説明する。なお、半導体装置300中のゲート電極22およびトレンチ21は、図1の半導体装置100と同一の構造であり、図4に示した製造方法にて形成される。まず、図19(a)に示すように再びエッチングを行うことで、トレンチ21よりも深い深さのトレンチ25を形成する。その後、熱酸化処理を行うことにより、トレンチ25の壁面に酸化膜95を形成する。次に、トレンチ25の底面から再びイオン注入を行う。イオン注入後、トレンチ25内の酸化膜95を除去する。なお、酸化膜の埋込みを行う際、界面基準の問題がある場合や、シリコン表面に薄い酸化膜が形成されていた方が絶縁物の埋込み性が良い場合には、50nm程度の薄い熱酸化膜を形成してから絶縁物の埋込みを行うとよい。シリコン表面が露出していた方が絶縁物の埋込み性が良い場合には、その必要はない。

#### 【0068】

次に、トレンチ25内に絶縁物を堆積させる。その後、絶縁物の焼きしめとPフローティング領域54の形成とを兼ねて熱拡散処理を行う。これにより、Pフローティング領域51に対して厚さ方向の位置が異なるPフローティング領域54が形成される。これにより、図19(b)に示すようにトレンチ25内に堆積絶縁層23が形成される。そして、最後にソース電極およびドレイン電極を形成することにより、図19(c)に示すような絶縁ゲート型半導体装置、すなわち半導体装置300が作製される。なお、図15に示した半導体装置301についても、各トレンチの深さを変更するだけで同様のプロセスで作製することが可能である。

#### 【0069】

なお、ゲート電極用のトレンチ21とPフローティング領域用のトレンチ25とでは、トレンチ21を先に形成しているが、これは熱負荷を減らすためである。しかし、ゲート酸化温度を低くする等によりトレンチ25を先に形成することも可能である。

#### 【0070】

次に、図16に示した半導体装置302の製造プロセスを図20により説明する。まず、図20(a)に示すようにP<sup>-</sup>ボディ領域41を貫通してその底部がN<sup>-</sup>ドリフト領域12にまで到達するトレンチ21およびトレンチ25が形成される。各トレンチは、一度に形成されるため、その深さが同一である。その後、熱酸化処理を行うことにより、各トレンチの壁面に酸化膜95を形成する。その後、各トレンチの底面からイオン注入を行う。イオン注入後、各トレンチ内の酸化膜95を除去する。なお、酸化膜の埋込みを行う際、界面基準の問題がある場合や、シリコン表面に薄い酸化膜が形成されていた方が絶縁物の埋込み性が良い場合には、50nm程度の薄い熱酸化膜を形成してから絶縁物の埋込みを行うとよい。シリコン表面が露出していた方が絶縁物の埋込み性が良い場合には、その必要はない。

#### 【0071】

次に、各トレンチ内に絶縁物を堆積させる。これにより、各トレンチ内に堆積絶縁層23が形成される。その後、絶縁物の焼きしめとPフローティング領域51およびPフローティング領域54の形成とを兼ねて熱拡散処理を行う。すなわち、Pフローティング領域51およびPフローティング領域54が1度の熱拡散処理でまとめて形成される。これにより、図20(b)に示すようにトレンチ21の下方にはPフローティング領域51が、トレンチ25の下方にはPフローティング領域54がそれぞれ形成される。

## 【 0 0 7 2 】

次に、トレンチ 2 1 内の堆積絶縁層 2 3 に対してエッチングを行うことで、堆積絶縁層 2 3 の一部が除去される。さらに、トレンチ 2 1 の壁面に熱酸化により酸化膜 2 4 が形成される。これがゲート酸化膜 2 4 となる。そして、トレンチ 2 1 の内部に導体を堆積させることにより、図 2 0 ( c ) に示すようなトレンチ 2 1 に内蔵されたゲート電極 2 2 が形成される。そして、最後にソース電極およびドレイン電極を形成することにより、図 2 0 ( d ) に示すような絶縁ゲート型半導体装置、すなわち半導体装置 3 0 2 が作製される。

## 【 0 0 7 3 】

以上詳細に説明したように第 1 の形態の半導体装置 1 0 0 ( 図 1 ) では、1 回のエピタキシャル成長工程によりエピタキシャル層 ( N<sup>-</sup>ドリフト領域 1 2 ) を形成し、さらにイオン注入、熱拡散等によりそのエピタキシャル層内に P<sup>-</sup>ボディ領域 4 1 を形成することとしている。そして、そのエピタキシャル層を有する半導体基板に対してトレンチ 2 1 を形成し、そのトレンチの底部からイオン注入を行うことにより P フローティング領域 5 1 を形成することとしている。すなわち、P フローティング領域 5 1 を形成するに際し、エピタキシャル成長工程は 1 回のみでよい。このことは、半導体装置 1 0 1 ( 図 2 ) のように厚さ方向に複数の P フローティング領域 5 2 を作製する場合や、半導体装置 1 0 2 ( 図 3 ) のように終端エリアに P フローティング領域 5 3 を作製する場合でも同様である。そして、P フローティング領域 5 1 によりゲート電圧のスイッチオフ時における N<sup>-</sup>ドリフト領域 1 2 の空乏化を促進するとともに電界の集中を緩和することができる。これにより、高耐圧化と低オン抵抗化とを両立させ、簡便に作製することができる絶縁ゲート型半導体装置およびその製造方法が実現されている。

## 【 0 0 7 4 】

また、トレンチ 2 1 内に堆積絶縁層 2 3 を形成することとしている。これにより、イオン注入による影響を受けることなく、ゲート絶縁膜 2 4 およびゲート電極 2 2 を形成することができる。これにより、素子特性の劣化および信頼性の低下を抑止することができる。また、堆積絶縁層 2 3 の上端は、P フローティング領域 5 1 の上端よりも上方に位置している。よって、ゲート電極 2 2 と P フローティング領域 5 1 との対面が抑止されている。これにより、オン抵抗の増大を防止することができる。

## 【 0 0 7 5 】

また、半導体装置 1 0 1 ( 図 2 ) では、P<sup>-</sup>ボディ領域 4 1 と P フローティング領域 5 1 との間の位置に P フローティング領域 5 2 を有することとしている。これにより、電界のピークを 3 箇所形成でき、より最大ピーク値の低減を図ることができる。よって、P フローティング領域 5 2 を設けることで、より高耐圧化および低オン抵抗化を図ることができる。

## 【 0 0 7 6 】

また、半導体装置 1 0 2 ( 図 3 ) では、終端エリアにも P フローティング領域 5 3 を有することとしている。これにより、終端エリアでもセルエリアと同様に高耐圧化を達成することができる。この P フローティング領域 5 3 は、セルエリアの P フローティング領域 5 1 と同じ工程で形成される。また、P フローティング領域 5 3 は、従来の半導体装置と比較してそれほどスペースを必要としない。従って、サイズの制御性がよく、半導体装置自体がコンパクトである。

## 【 0 0 7 7 】

また、第 2 の形態の半導体装置 2 0 0 ( 図 8 ) では、P フローティング領域用のトレンチ 2 5 を設けることとしている。そして、ゲート電極 2 2 が内蔵されているトレンチ 2 1 の下方には P フローティング領域を設けていない。そのため、イオン注入の影響やオン抵抗の増大といった問題が生じない。また、P フローティング領域 5 4 は、P フローティング領域用に形成されたトレンチ 2 5 の下方に設けられている。そのため、ゲート電極 2 2 の位置やサイズを考慮する必要がなく、設計自由度が高い。また、ゲート電極 2 2 と P フローティング領域 5 4 との間の距離が第 1 の半導体装置 1 0 0 と比較して長い。これにより、第 1 の形態の半導体装置 1 0 0 と同様に高耐圧化を図るとともに、電流経路を確保し

10

20

30

40

50

易く、低オン抵抗化を図ることができる。

【0078】

また、半導体装置201(図9)では、P<sup>-</sup>ボディ領域41とPフローティング領域54との間の位置にPフローティング領域55を有することとしている。これにより、電界のピークを3箇所形成でき、より最大ピーク値の低減を図ることができる。また、半導体装置202(図10)では、異なる深さのトレンチ25を設け、各トレンチの下方に1つずつPフローティング領域54を設けることとしている。これにより、熱拡散処理による特性劣化を最小限にするとともに、高耐圧化および低オン抵抗化を図ることができる。

【0079】

また、第3の形態の半導体装置300(図14)では、ゲート電極用のトレンチ21とPフローティング領域用のトレンチ25とを設け、さらに両トレンチの下方にPフローティング領域51、54をそれぞれ設けることとしている。さらに、トレンチ21の深さとトレンチ25の深さを異にすることとしている。これにより、電界のピークを複数箇所に形成でき、より最大ピーク値の低減を図ることができる。

【0080】

また、半導体装置302(図16)では、トレンチ21の深さとトレンチ25の深さを同一にすることとしている。半導体装置302では、トレンチ21とトレンチ25とを同一の工程で形成することができる。そのため、工程数を削減することができる。また、熱拡散処理の回数が少ないため、不純物の拡散が少なく熱拡散処理によるオン抵抗の低下を抑制することができる。

【0081】

なお、本実施の形態は単なる例示にすぎず、本発明を何ら限定するものではない。したがって本発明は当然に、その要旨を逸脱しない範囲内で種々の改良、変形が可能である。例えば、各半導体領域については、P型とN型とを入れ替えてもよい。また、ゲート絶縁膜24については、酸化膜に限らず、窒化膜等の他の種類の絶縁膜でもよいし、複合膜でもよい。また、半導体についても、シリコンに限らず、他の種類の半導体(SiC, GaN, GaAs等)であってもよい。

【0082】

また、図3に示した半導体装置102では、終端エリア内のトレンチ62内が完全に絶縁物で充填されているが、セルエリア内のトレンチ21と同様に一部の絶縁物を除去して導体を堆積させてもよい。この場合、トレンチ62内の導体は、ゲート配線と電気的に接続されていない。このような半導体装置であっても、少ない工程数で終端エリアの高耐圧化を図ることができる。

【0083】

また、実施の形態の絶縁ゲート型半導体装置は、図21に示すようなP型基板13を用いた伝導度変調型パワーMOSに対しても適用可能である。

【0084】

また、実施の形態の絶縁ゲート型半導体装置は、これまでに述べた特性に加え、次のような特性を有している。すなわち、Pフローティング領域51にホールが蓄積するため、Pフローティング領域51がホールの供給源となる。その結果、N<sup>-</sup>ドリフト領域12の表面領域、具体的にはPフローティング領域51よりも上方に位置する領域のホールの濃度を上げることができる。従って、低損失化が図られる。また、ゲート電極22の下方に堆積絶縁層23が形成されているため、ゲート-ドレイン間容量(Cgd)が小さい。よって、発信防止や駆動損失を低減できる。

【0085】

また、Pフローティング領域51からも空乏層が形成されるため、負荷短絡時の耐圧が向上する。すなわち、Pフローティング領域51を有しない従来の絶縁ゲート型半導体装置では、負荷短絡時に図11に示すようにP<sup>-</sup>ボディ領域41とN<sup>-</sup>ドリフト領域12との間のPN接合箇所からドレイン側に空乏層15が形成され、トレンチ21の下方の領域で電流が流れる(図22の矢印参照)。一方、本形態の絶縁ゲート型半導体装置100で

10

20

30

40

50

は、ゲート電極 2 2 の下に堆積絶縁層 2 3 が形成されており、図 2 3 に示すようにトレンチ 2 1 に沿って電流が流れる。また、P フローティング領域 5 1 から空乏層 1 5 が形成される。従って、負荷短絡時の電流経路が非常に狭い（図 2 3 の矢印参照）。その結果、短絡電流が低減し、負荷短絡時の耐圧が向上する。

【 0 0 8 6 】

また、図 2 4 あるいは図 2 5 に示すように P<sup>-</sup> ボディ領域 4 1 と N<sup>-</sup> ドリフト領域 1 2 との間にホールのバリアとして作用する N ホールバリア領域 1 8 が形成されたパワー MOS に対しても適用可能である。この N ホールバリア領域 1 8 が形成されたパワー MOS の場合、N ホールバリア領域 1 8 内で空乏層の広がり狭い。そのため、耐圧が低下してしまうおそれがある。しかしながら、本形態のように P フローティング領域 5 1 を備えたパ

10

【 図面の簡単な説明 】

【 0 0 8 7 】

【 図 1 】 第 1 の形態に係る絶縁ゲート型半導体装置の構造を示す断面図である。

【 図 2 】 第 1 の形態に係る絶縁ゲート型半導体装置（ 2 段の P フローティング領域 ）の構造を示す断面図である。

【 図 3 】 第 1 の形態に係る絶縁ゲート型半導体装置の終端部の構造を示す断面図である。

【 図 4 】 図 1 の絶縁ゲート型半導体装置の製造工程を示す図である。

20

【 図 5 】 図 2 の絶縁ゲート型半導体装置の製造工程を示す図である。

【 図 6 】 ドレイン - ソース間の電圧と電流との関係（ゲート電圧一定）を示すグラフである。

【 図 7 】 ゲート電圧毎のドレイン - ソース間の電圧と電流との関係を示すグラフである。

【 図 8 】 第 2 の形態に係る絶縁ゲート型半導体装置の構造を示す断面図である。

【 図 9 】 第 2 の形態に係る絶縁ゲート型半導体装置（ 2 段の P フローティング領域 ）の構造を示す断面図である。

【 図 1 0 】 第 2 の形態に係る絶縁ゲート型半導体装置（厚さ方向の位置が異なる P フローティング領域）の構造を示す断面図である。

【 図 1 1 】 ストライプ形状のトレンチを備えた絶縁ゲート型半導体装置の配列を示す上面図である。

30

【 図 1 2 】 メッシュ形状のトレンチを備えた絶縁ゲート型半導体装置の配列を示す上面図である。

【 図 1 3 】 図 9 の絶縁ゲート型半導体装置の製造工程を示す図である。

【 図 1 4 】 第 3 の形態に係る絶縁ゲート型半導体装置の構造を示す断面図である。

【 図 1 5 】 第 3 の形態に係る絶縁ゲート型半導体装置の構造（厚さ方向の位置が異なる P フローティング領域）を示す断面図である。

【 図 1 6 】 第 3 の形態に係る絶縁ゲート型半導体装置の構造（厚さ方向の位置が同じ P フローティング領域）を示す断面図である。

【 図 1 7 】 ドット形状のトレンチを備えた絶縁ゲート型半導体装置の配列（その 1 ）を示す上面図である。

40

【 図 1 8 】 ドット形状のトレンチを備えた絶縁ゲート型半導体装置の配列（その 2 ）を示す上面図である。

【 図 1 9 】 図 1 4 の絶縁ゲート型半導体装置の製造工程を示す図である。

【 図 2 0 】 図 1 6 の絶縁ゲート型半導体装置の製造工程を示す図である。

【 図 2 1 】 伝導度変調型の半導体装置の構造を示す断面図である。

【 図 2 2 】 従来の絶縁ゲート型半導体装置における負荷短絡時の電流経路を示す図である。

【 図 2 3 】 実施の形態の絶縁ゲート型半導体装置における負荷短絡時の電流経路を示す図である。

50

【図 2 4】ホールバリア層が形成された絶縁ゲート型半導体装置の構造（その 1）を示す断面図である。

【図 2 5】ホールバリア層が形成された絶縁ゲート型半導体装置の構造（その 2）を示す断面図である。

【図 2 6】従来の絶縁ゲート型半導体装置（その 1）の構造を示す断面図である。

【図 2 7】従来の絶縁ゲート型半導体装置（その 2）の構造を示す断面図である。

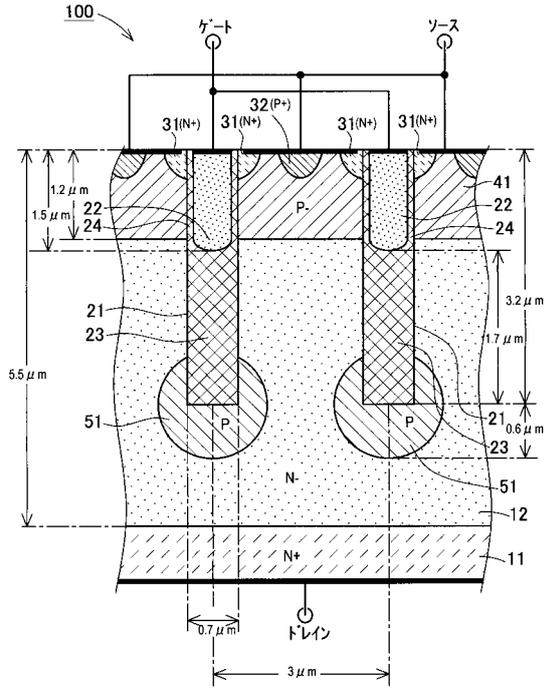
【図 2 8】従来の絶縁ゲート型半導体装置の終端構造を示す断面図である。

【符号の説明】

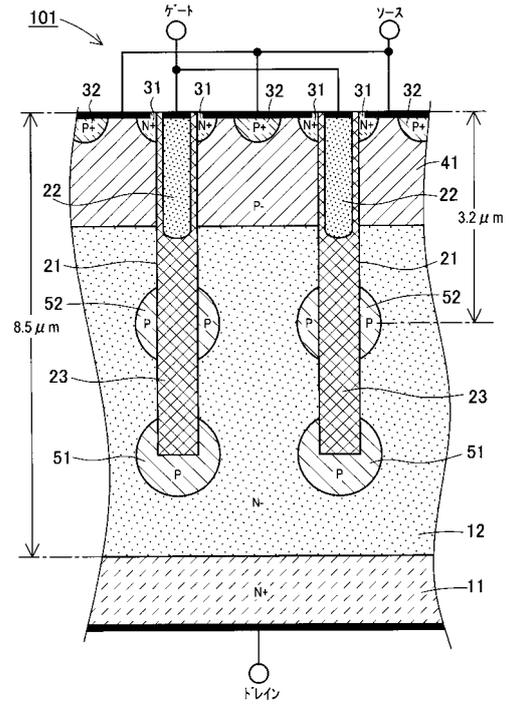
【 0 0 8 8 】

1 1	N <sup>+</sup> ドレイン領域	10
1 2	N <sup>-</sup> ドリフト領域（ドリフト領域）	
2 1	トレンチ（トレンチ部）	
2 2	ゲート電極	
2 3	堆積絶縁層	
2 4	ゲート絶縁膜	
2 5	トレンチ（補助トレンチ部）	
2 6	トレンチ（第 2 補助トレンチ部）	
3 1	N <sup>+</sup> ソース領域	
4 1	P <sup>-</sup> ボディ領域（ボディ領域）	
5 1	P フローティング領域（フローティング領域）	20
5 2	P フローティング領域（中間フローティング領域）	
5 3	P フローティング領域（終端フローティング領域）	
5 4	P フローティング領域（補助フローティング領域）	
5 5	P フローティング領域（中間補助フローティング領域）	
5 6	P フローティング領域（第 2 補助フローティング領域）	
6 2	トレンチ（終端トレンチ部）	

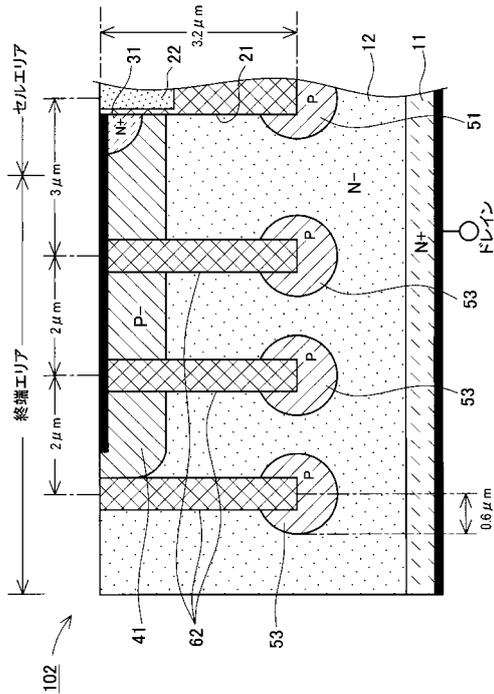
【図 1】



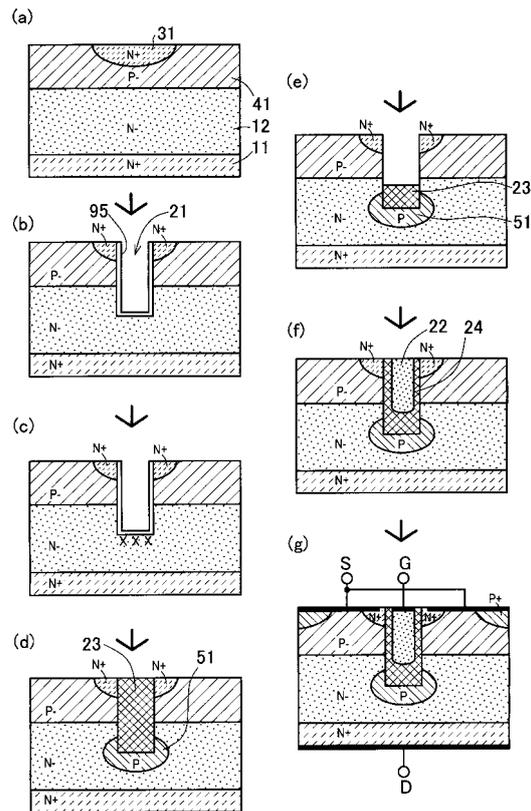
【図 2】



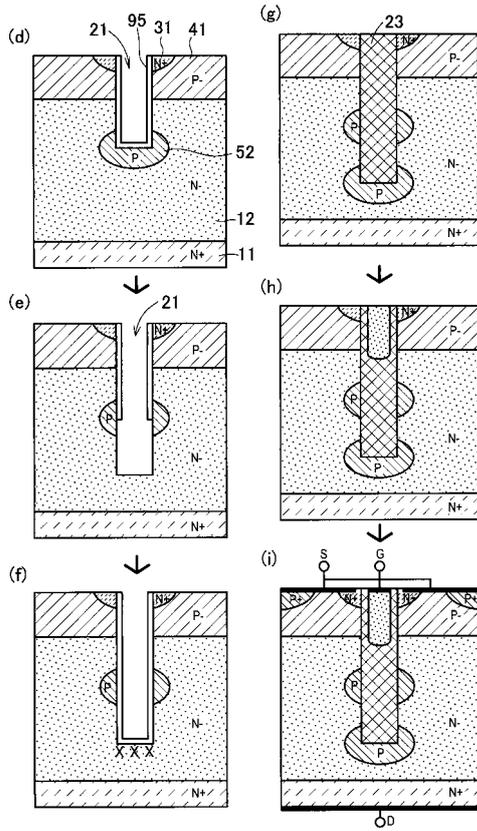
【図 3】



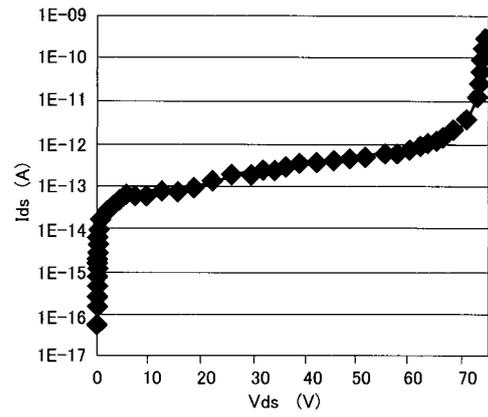
【図 4】



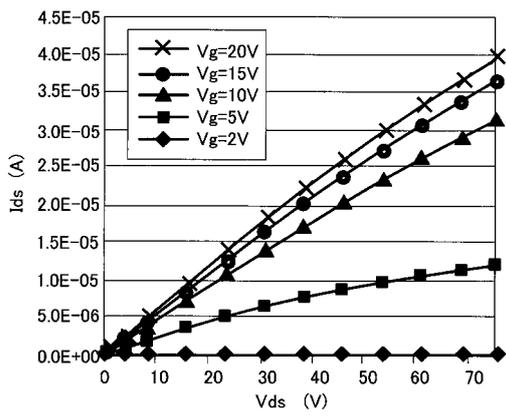
【 図 5 】



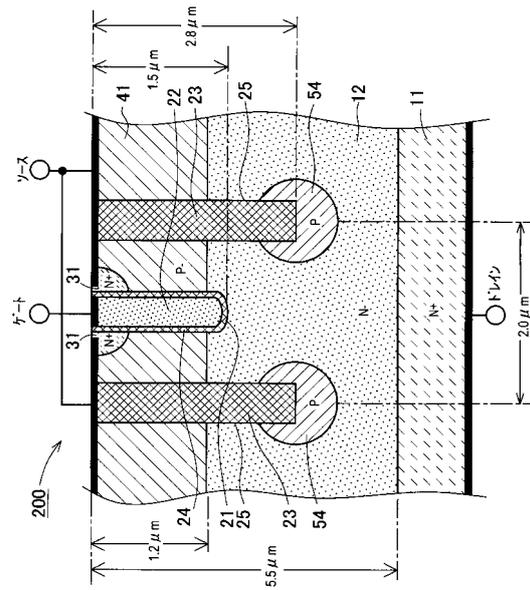
【 図 6 】



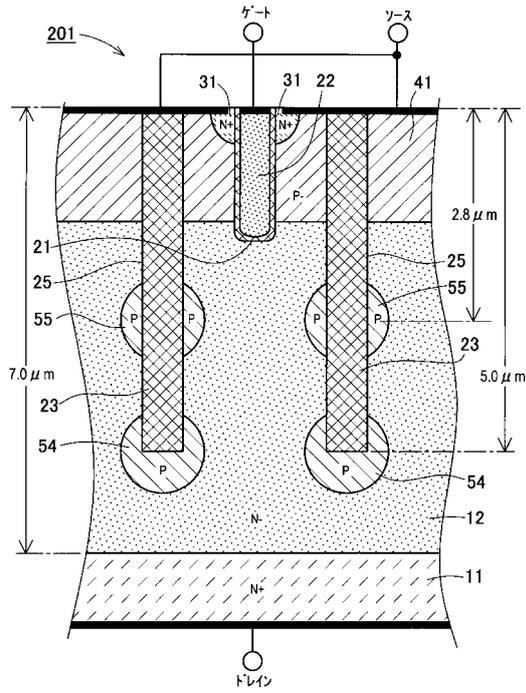
【 図 7 】



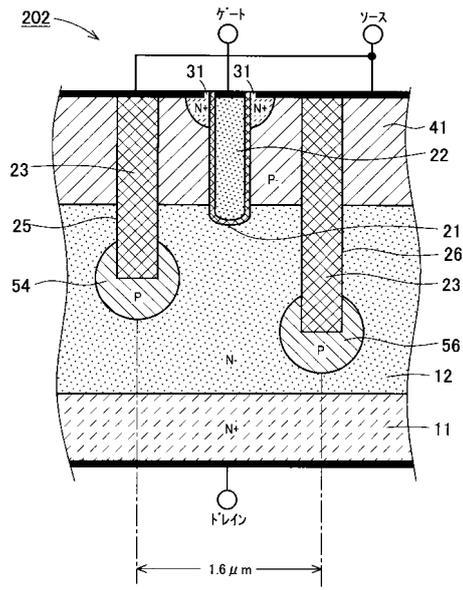
【 図 8 】



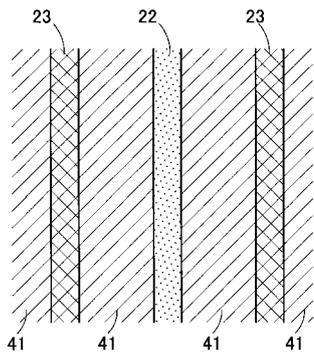
【図9】



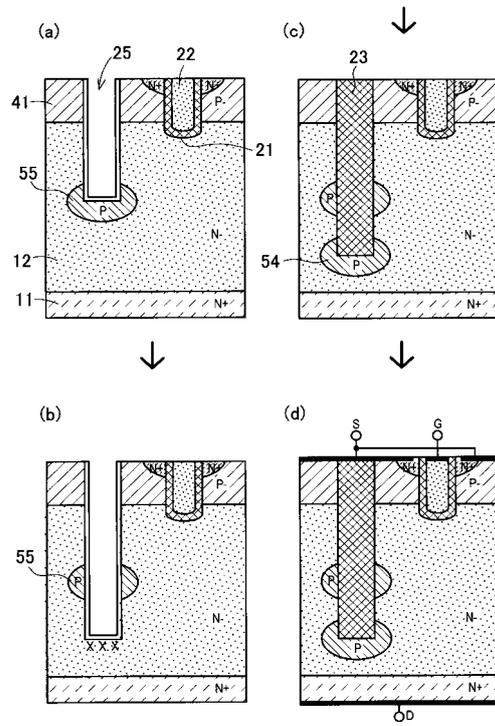
【図10】



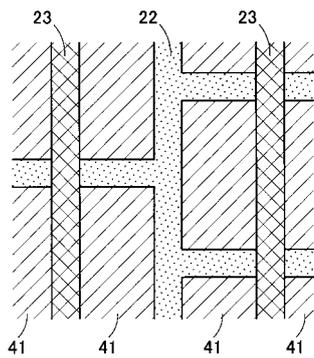
【図11】



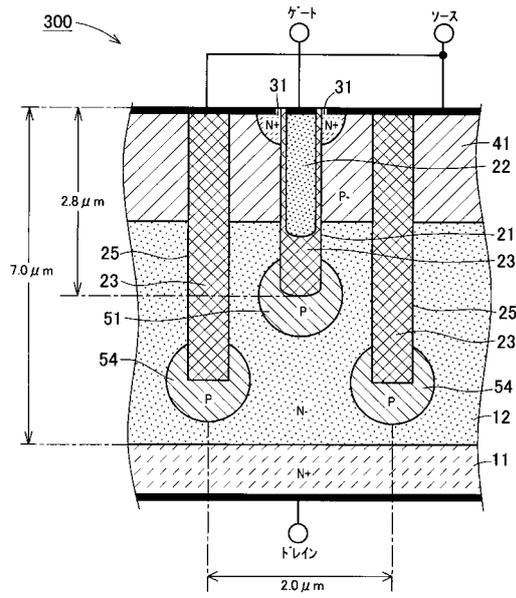
【図13】



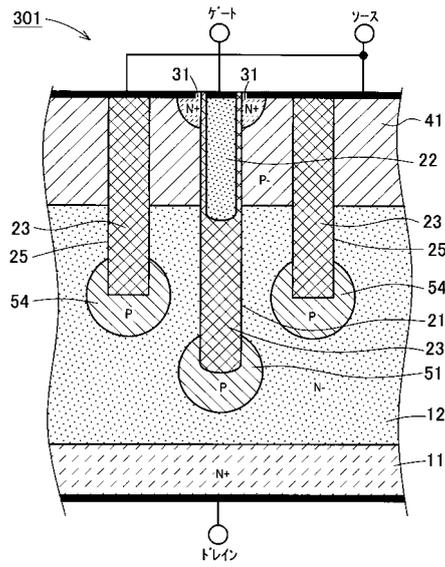
【図12】



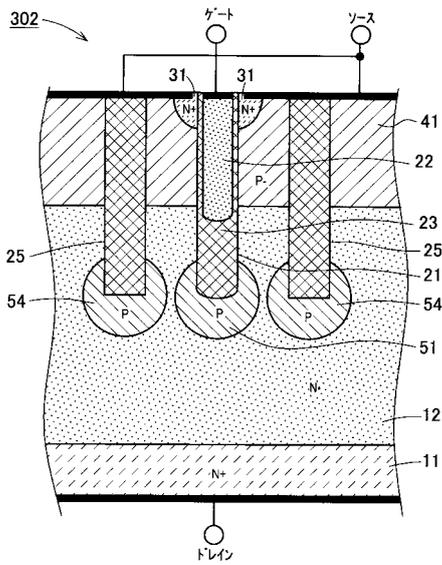
【図14】



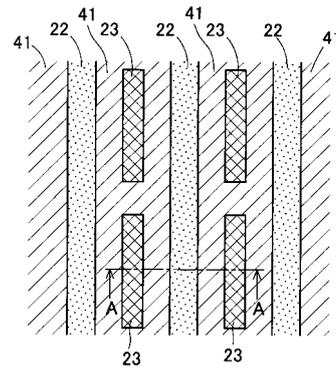
【図15】



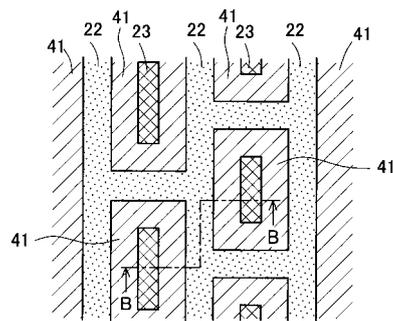
【図16】



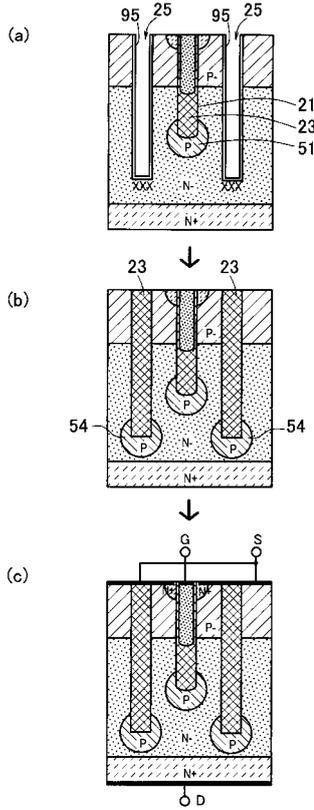
【図17】



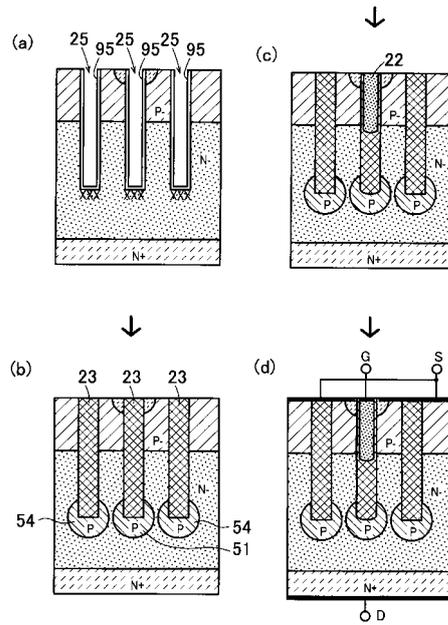
【図18】



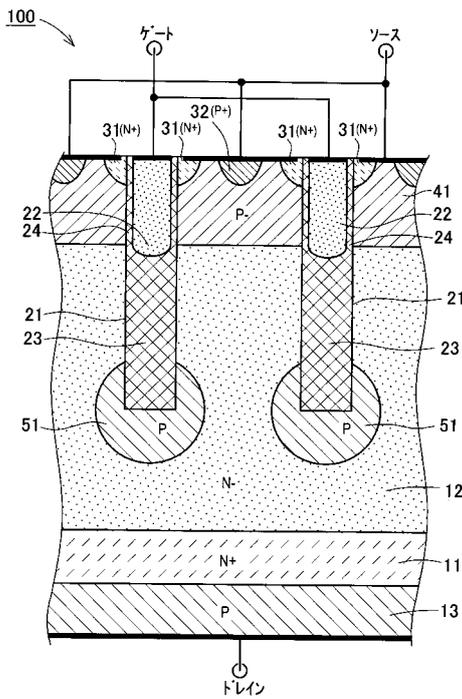
【図19】



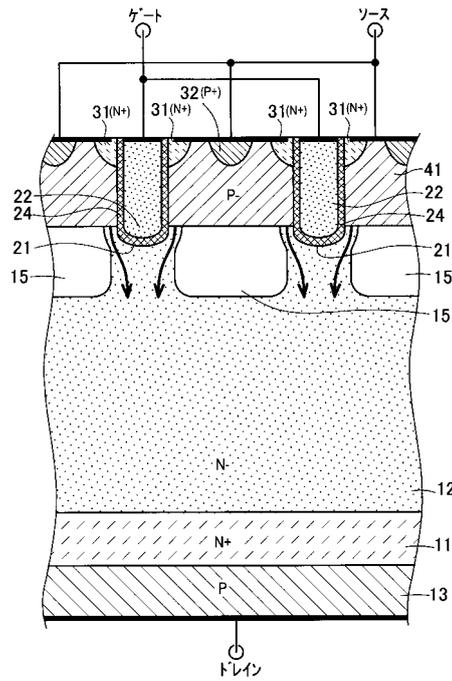
【図20】



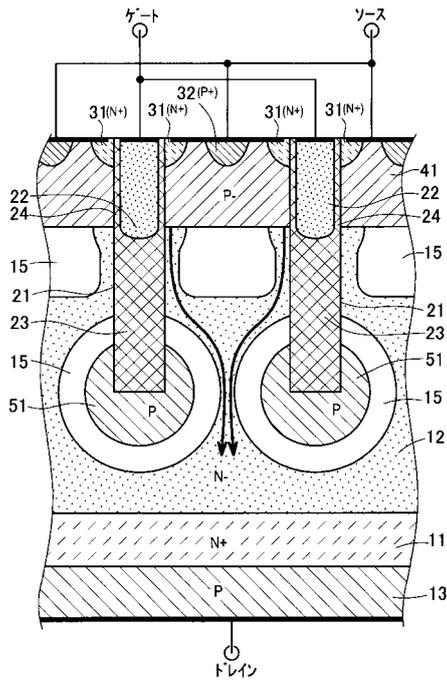
【図21】



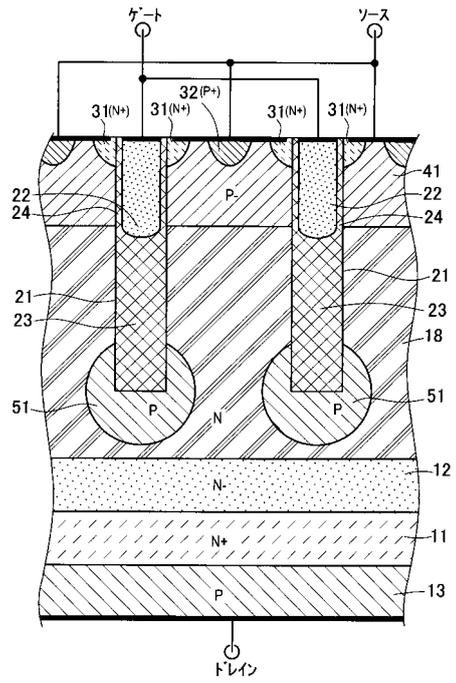
【図22】



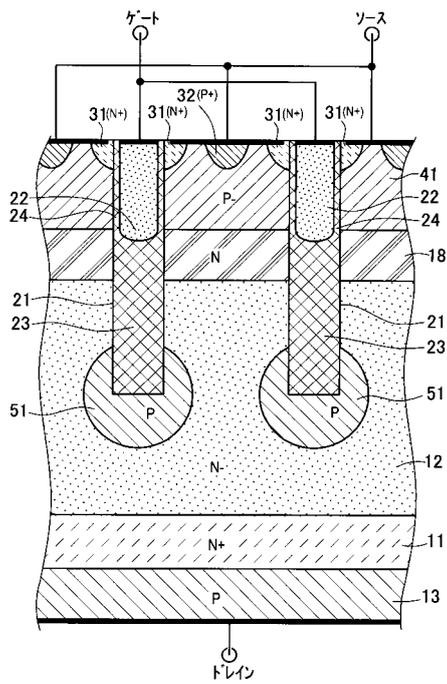
【図23】



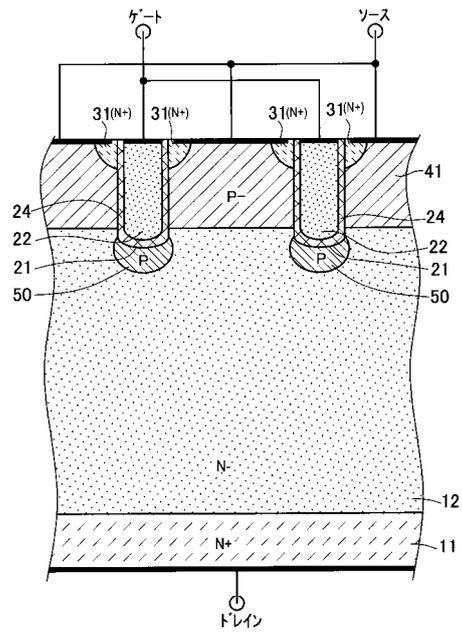
【図24】



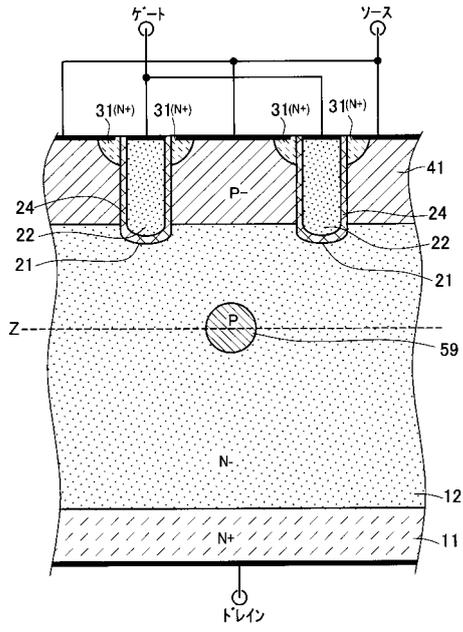
【図25】



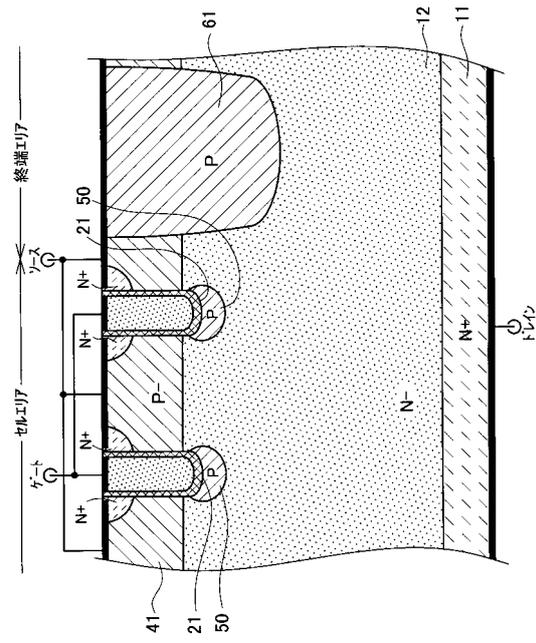
【図26】



【図 27】



【図 28】



## フロントページの続き

- (72)発明者 濱田 公守  
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
- (72)発明者 黒柳 晃  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 戸倉 規仁  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 大倉 康嗣  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 恩田 春香

- (56)参考文献 米国特許第06194741(US, B1)  
国際公開第03/030220(WO, A1)  
国際公開第03/081642(WO, A1)  
特開平11-087698(JP, A)  
特開平09-181304(JP, A)  
特開平10-098188(JP, A)  
特開平01-310576(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78  
H01L 21/336  
H01L 29/739