



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I720641 B

(45) 公告日：中華民國 110 (2021) 年 03 月 01 日

(21) 申請案號：108136150

(22) 申請日：中華民國 108 (2019) 年 10 月 05 日

(51) Int. Cl. : *G11C11/16 (2006.01)**G11C11/40 (2006.01)**H01L43/02 (2006.01)*

(30) 優先權：2018/10/29 美國

62/751,994

2019/07/03 美國

16/502,430

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市力行六路八號

(72) 發明人：古帕塔亞 葛雷維 GUPTA, GAURAV (IN)；吳 志強 WU, ZHIQIANG (US)

(74) 代理人：洪澄文

(56) 參考文獻：

TW 200415782

US 2006/0104136A1

US 2011/0194341A1

US 2015/0070978A1

審查人員：蔡夙勇

申請專利範圍項數：11 項 圖式數：10 共 44 頁

(54) 名稱

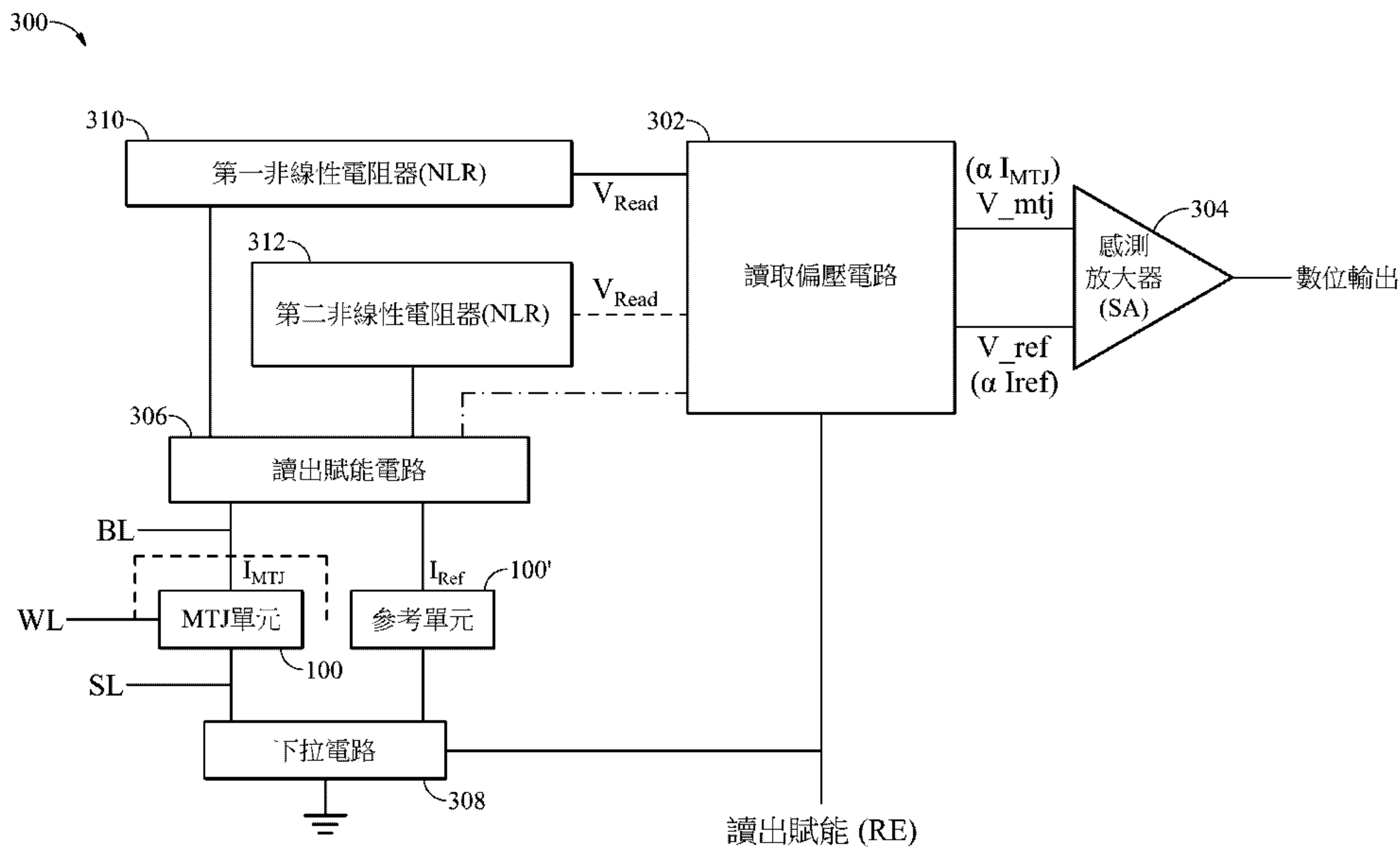
記憶體裝置及讀取記憶體裝置的方法

(57) 摘要

本揭露實施例提供一種記憶體裝置。上述記憶體裝置包括第一電流鏡電晶體、第一上拉讀出賦能電晶體、磁穿隧接面記憶體單元、第一下拉讀出賦能電晶體、以及第一非線性電阻裝置。磁穿隧接面記憶體單元包括磁穿隧接面記憶體元件及第一存取電晶體。第一非線性電阻裝置在第一上拉讀出賦能電晶體與第一電流鏡電晶體之間串聯耦接。第一非線性電阻裝置被配置以在當流過第一電流時提供第一電阻，並在當流過小於第一電流的第二電流時提供大於第一電阻的第二電阻。

In some embodiments, the present application provides a memory device. The memory device includes a first current mirror transistor, a first pull-up read-enable transistor, an MTJ memory cell, a first pull-down read-enable transistor, and a first non-linear resistance device. The MTJ memory cell includes an MTJ memory element and a first access transistor. The first non-linear resistance device is coupled in series and between the first pull-up read-enable transistor and the first current mirror transistor. The first non-linear resistance device is configured to provide a first resistance when conducting a first current and a second resistance greater than the first resistance when conducting a second current smaller than the first current.

指定代表圖：



第3圖

符號簡單說明：

100:磁穿隧接面記憶體單元

100':參考單元

300:讀取電路

302:讀取偏壓電路

304:感測放大器

306:讀出賦能電路

308:下拉電路

310:第一 NLR 裝置

312:第二 NLR 裝置

V_{Read} :讀取電壓

I_{Ref} :參考電流

I_{MTJ} :讀取電流

V_{mtj}, V_{ref} :電壓



I720641

【發明摘要】

【中文發明名稱】 記憶體裝置及讀取記憶體裝置的方法

【英文發明名稱】 MEMORY DEVICE AND METHOD FOR READING A

MEMORY DEVICE

【中文】

本揭露實施例提供一種記憶體裝置。上述記憶體裝置包括第一電流鏡電晶體、第一上拉讀出賦能電晶體、磁穿隧接面記憶體單元、第一下拉讀出賦能電晶體、以及第一非線性電阻裝置。磁穿隧接面記憶體單元包括磁穿隧接面記憶體元件及第一存取電晶體。第一非線性電阻裝置在第一上拉讀出賦能電晶體與第一電流鏡電晶體之間串聯耦接。第一非線性電阻裝置被配置以在當流過第一電流時提供第一電阻，並在當流過小於第一電流的第二電流時提供大於第一電阻的第二電阻。

【英文】

In some embodiments, the present application provides a memory device. The memory device includes a first current mirror transistor, a first pull-up read-enable transistor, an MTJ memory cell, a first pull-down read-enable transistor, and a first non-linear resistance device. The MTJ memory cell includes an MTJ memory element and a first access transistor. The first non-linear resistance device is coupled in series and between the first pull-up read-enable transistor and the first current mirror transistor. The first non-linear resistance device is configured to provide a first resistance when conducting a first current and a second resistance greater than the first

resistance when conducting a second current smaller than the first current.

【指定代表圖】 第3圖

【代表圖之符號簡單說明】

100:磁穿隧接面記憶體單元

100':參考單元

300:讀取電路

302:讀取偏壓電路

304:感測放大器

306:讀出賦能電路

308:下拉電路

310:第一NLR裝置

312:第二NLR裝置

V_{Read} :讀取電壓

I_{Ref} :參考電流

I_{MTJ} :讀取電流

V_{mtj} , V_{ref} :電壓

【發明說明書】

【中文發明名稱】 記憶體裝置及讀取記憶體裝置的方法

【英文發明名稱】 MEMORY DEVICE AND METHOD FOR READING A

MEMORY DEVICE

【技術領域】

【0001】 本揭露係有關於一種磁穿隧接面(MTJ)記憶體單元，特別係有關於一種包括非線性電阻器的磁穿隧接面記憶體單元。

【先前技術】

【0002】 許多現代的電子裝置皆包括各種類型的隨機存取記憶體。隨機存取記憶體(random access memory, RAM)可為揮發性(volatile)記憶體或非揮發性(non-volatile)記憶體，在沒有電源的情況下，儲存於揮發性記憶體中的資料會遺失，而儲存於非揮發性記憶體的資料仍會儲存其中。包括穿隧接面(tunnel junction)的電阻式記憶體或磁記憶體裝置可被用於隨機存取記憶體，且由於簡單的結構及與互補式金屬氧化物半導體(complementary metal-oxide-semiconductor, CMOS)邏輯製造製程的相容性，它們有望成為下一代儲存解決方案的候選產品。

【發明內容】

【0003】 本揭露實施例提供一種記憶體裝置。上述記憶體裝置包括磁穿隧接面(MTJ)電流路徑。磁穿隧電流路徑包括第一電流鏡電晶體、第一上拉讀出賦能電晶體、磁穿隧接面記憶體單元、第一下拉讀出賦能電晶體、以及第一非線

性電阻裝置。第一上拉讀出賦能電晶體與第一電流鏡電晶體串聯連接。磁穿隧接面記憶體單元包括磁穿隧接面記憶體元件及第一存取電晶體。位元線耦接於第一上拉讀出賦能電晶體與磁穿隧接面記憶體單元之間。源線耦接於磁穿隧接面記憶體元件與第一下拉讀出賦能電晶體之間。第一非線性電阻裝置與第一上拉讀出賦能電晶體及第一電流鏡電晶體串聯耦接，且位於第一上拉讀出賦能電晶體與第一電流鏡電晶體之間。第一非線性電阻裝置被配置以在當流過第一電流時提供第一電阻，並在當流過小於第一電流的第二電流時提供大於第一電阻的第二電阻。

【0004】 本揭露實施例提供一種記憶體裝置。上述記憶體裝置包括磁穿隧接面(MTJ)電流路徑及參考電流路徑。磁穿隧接面電流路徑包括第一電流鏡電晶體、第一上拉讀出賦能電晶體、磁穿隧接面記憶體單元、以及第一下拉讀出賦能電晶體。源線被耦接於磁穿隧接面記憶體單元與第一下拉讀出賦能電晶體之間。位元線被耦接於第一上拉讀出賦能電晶體與磁穿隧接面記憶體單元之間。參考電流路徑與磁穿隧接面電流路徑並聯。參考電流路徑包括第二電流鏡電晶體、第二上拉讀出賦能電晶體、參考記憶體單元、以及第二下拉讀出賦能電晶體。參考位元線被耦接於第二上拉讀出賦能電晶體與參考記憶體單元之間。參考源線被耦接於參考記憶體單元與第二下拉讀出賦能電晶體之間。第一非線性電阻裝置被耦接於第一上拉讀出賦能電晶體與第一電流鏡電晶體之間。第一非線性電阻裝置被配置以增加磁穿隧接面電流路徑的有效穿隧磁電阻(TMR)。

【0005】 本揭露實施例提供一種自記憶體裝置讀取的方法。上述方法包括提供磁穿隧接面(MTJ)電流路徑，以及與磁穿隧接面電流路徑並聯的參考電流路徑，其中磁穿隧接面電流路徑包括與非線性電阻裝置串聯連接的磁穿隧接面記

憶體單元。上述方法更包括提供讀取電壓(V_{READ})以產生穿過上述磁穿隧接面電流路徑的磁穿隧接面電流(I_{MTJ})，以及產生穿過參考電流路徑的一參考電流(I_{REF})。上述方法更包括將參考電流(I_{REF})及磁穿隧接面電流(I_{MTJ})彼此進行比較，以決定磁穿隧接面記憶體單元的一狀態，上述狀態介於具有第一電阻的第一資料狀態與具有第二電阻的第二資料狀態之間。第一資料狀態不同於第二資料狀態。

【圖式簡單說明】

【0006】本揭露實施例可藉由閱讀下列之詳細說明及範例並配合對應之圖式以更加詳細地了解。需注意的是，依照業界之標準操作，各種特徵並未依照比例繪製，且僅用於說明之目的。事實上，為了清楚論述，各種特徵之尺寸可任意地增加或減少。

第1圖顯示一些實施例之MTJ記憶體單元的立體圖。

第2圖所示之圖式繪有包括MTJ記憶體單元陣列及相關讀取電路之記憶體單元的一些實施例。

第3圖顯示可被用於第2圖之記憶體裝置中的讀取電路的一些實施例的方塊圖。

第4A圖顯示可被用於第2圖之記憶體裝置中的資料路徑的一些實施例的電路示意圖。

第4B圖顯示可被用於第2圖之記憶體裝置中的資料路徑的一些替代性實施例的電路示意圖。

第5圖所示之時序圖繪有記憶體裝置(例如第3圖至第4B圖所示之記憶體裝

置)之讀取操作的一些實施例。

第6圖所示之時序圖繪有記憶體裝置(例如第3圖至第4B圖所示之記憶體裝置)之讀取操作的一些實施例。

第7圖所示之截面圖顯示包括MTJ記憶體元件之記憶體裝置的一些實施例。

第8圖顯示如第7圖之切割線所指示之第7圖的記憶體裝置的俯視圖。

第9圖顯示讀取MTJ記憶體裝置之方法的一些實施例的流程圖。

第10圖顯示MTJ記憶體單元及用於讀取MTJ記憶體裝置之正向偏壓SCR的串聯連接的範例性負載線分析。

【實施方式】

【0007】 本揭露提供許多不同的實施例或範例以實施本案的不同特徵。以下的揭露內容敘述各個組件及其排列方式的特定實施例，以簡化說明。理所當然的，這些特定的範例並非旨於限制。舉例來說，若是本揭露敘述了一第一特徵形成於一第二特徵之上或上方，即表示其可能包含上述第一特徵與上述第二特徵是直接接觸的實施例，亦可能包含了有附加特徵形成於上述第一特徵與上述第二特徵之間，而使上述第一特徵與第二特徵可能未直接接觸的實施例。此外，以下本揭露不同實施例可能重複使用相同的參考符號及/或標記。這些重複係為了簡化與清晰的目的，並非用以限制所討論之不同實施例及/或結構之間有特定的關係。

【0008】 此外，空間相對術語，例如「在...下方」、「下方」、「較低的」、「上方」、「較高的」及類似的用詞，係為了便於描述圖式中一個元件或特徵與另一個(些)元件或特徵之間的關係。除了在圖式中所描繪的方位外，這些空間

相對術語意欲包含使用中或操作中的裝置之不同方位。除此之外，設備可能被轉向不同方位(旋轉90度或其他方位)，則在此使用的空間相對術語也可相應地進行解釋。

【0009】磁穿隧接面(magnetic tunnel junction, MTJ)包括由穿隧障壁層(tunnel barrier layer)所分隔的第一鐵磁(ferromagnetic)薄膜及第二鐵磁薄膜。其中一個鐵磁薄膜(通常稱為「參考層」)具有固定的磁化方向(magnetization direction)，而另一個鐵磁薄膜(通常稱為「自由層」)具有可變的磁化方向。對於具有正穿隧磁電阻(tunneling magnetoresistance, TMR)的MTJ，如果參考層及自由層的磁化方向處於平行方向，則電子將更有可能通過穿隧障壁層，使得MTJ處於低電阻狀態。反之，若參考層及自由層的磁化方向處於反平行方向，則電子將不太可能通過穿隧障壁層，使得MTJ處於高電阻狀態。因此，MTJ可以在兩種電阻狀態之間切換，即具有低電阻的第一狀態(電阻 R_P ：參考層及自由層的磁化方向平行)，以及具有高電阻的第二狀態(電阻 R_{AP} ：參考層及自由層的磁化方向為反平行)。應注意的是，MTJ亦可以具有負的TMR，例如反平行方向之較低的電阻以及平行方向之較高的電阻，儘管下文之描述是基於正TMR的MTJ的背景所進行的，但應當理解的是，本揭露亦適用於具有負TMR的MTJ。

【0010】由於它們二進制(binary)的性質，磁穿隧接面(MTJ)被用於記憶體單元中以儲存數位資料，其中低電阻狀態(電阻 R_P)對應於第一資料狀態(例如：邏輯「0」)，而高電阻狀態(電阻 R_{AP})對應於第二資料狀態(例如：邏輯「1」)。為了自這樣的MTJ記憶體器單元讀取資料，可將MTJ的電阻 R_{MTJ} (在 R_P 與 R_{AP} 之間變化，取決於所儲存的資料狀態)與參考單元的電阻 R_{Ref} (舉例來說， R_{Ref} 被設計為介於 R_P 與 R_{AP} 之間，例如平均值)進行比較。在一些技術中，給定的讀取電壓 V_{Read}

被施加到MTJ記憶體單元及參考單元。此讀取電壓導致流過MTJ的讀取電流(I_{MTJ})及流過參考單元的參考電流(I_{Ref})。若MTJ處於平行狀態，則讀取電流 I_{MTJ} 具有大於參考電流 I_{Ref} 的第一數值(I_{MTJ-P})；而若MTJ處於反平行狀態，則讀取電流 I_{MTJ} 具有小於參考電流 I_{Ref} 的第二數值(I_{MTJ-AP})。因此，在讀取操作期間，若讀取電流 I_{MTJ} 大於參考電流 I_{Ref} ，則自MTJ單元讀取第一數位數值(例如「0」)。另一方面，若讀取操作之讀取電流 I_{MTJ} 小於參考電流 I_{Ref} ，則自MTJ單元讀取第二數位數值(例如「1」)。

【0011】然而，磁穿隧接面(MTJ)讀取操作有時也可能翻轉(flip)或顯著改變，且對應之機率被稱為讀取打擾率(Read Disturb Rate, RDR)。說到RDR，RDR取決於流過MTJ的電流(I_{MTJ})的大小以及流過的持續時間。儘管較大的讀取電流會在 R_P 與 R_{AP} 之間提供良好的訊號分離，但較大的讀取電流可能會無意間覆寫(overwrite)MTJ中的自由層。另外，由於較大的讀取電流，寫入電流也可能會增加。較大的寫入電流會在寫入操作中引入更多的能量消耗，且亦可能導致MTJ崩潰(breakdown)的可能。相反地，儘管較小的讀取電流不太可能覆寫自由層，但較小的讀取電流可能會提供電阻 R_P 與電阻 R_{AP} 之間較差的訊號分離。隨著MTJ尺寸的縮小，MTJ的電阻增加，並加劇了這些讀取操作問題。流過MTJ的電流(I_{MTJ})大小取決於MTJ記憶體單元的有效穿隧磁電阻(effective TMR)。有效TMR不僅受MTJ的電阻影響，而且還受寫入路徑、存取電晶體、讀取電路等的電阻影響。在應用中，有效TMR可能比MTJ的實際TMR低上許多(例如只有三分之一)。此外，由於相繼的技術節點，MTJ單元及參考電阻器的尺寸被縮小，且MTJ單元的電阻 R_{MTJ} 及參考電阻器的電阻 R_{Ref} 被相應地放大。MTJ單元與參考單元之間的電流差，即 ΔI (P-狀態及AP-狀態的MTJ分別為 ΔI_P 及 ΔI_{AP})縮小。因此，隨著技術

節點的發展，偵測到的訊號會急劇下降。

【0012】鑑於上述內容，本揭露提供用於讀取磁穿隧接面(MTJ)記憶體單元的讀取電路及技術，該讀取電路及技術將MTJ之P-狀態與AP-狀態之間的讀取電流的比例提高到超過MTJ陣列之有效TMR(TMR_{array})所允許的比例，進而在保持預先設計的低寫入電流的同時改善讀取打擾率(RDR)。一或多個非線性電阻器(non-linear resistor, NLR)被添加到讀取系統。在一些實施例中，第一非線性電阻器(NLR)與MTJ單元串聯連接，以藉由在當MTJ單元處於高電阻(例如：AP-狀態)時提供更大的電阻，以及在當MTJ單元處於低電阻狀態(例如：P-狀態)時提供較小的電阻，來增強有效TMR。甚至可將有效TMR設計為大於MTJ本身的TMR。在一些進一步的實施例中，亦可添加第二非線性電阻器(NLR)並與參考電阻器串聯，以進一步提高可讀性(readability)。在一些實施例中，非線性電阻器(NLR)可具有電流控制的負電阻，即S型負電阻(NR)。S型負電阻之範例性電流-電壓(IV)特性曲線顯示於第10圖。S型負電阻器可為組件(例如：正偏壓之閘流體(thyristor)、SCR、雙向二極體閘流體(diac)、三端雙向可控矽開關(triac)等)或等效分支電路(sub-circuit)。

【0013】第1圖顯示磁穿隧接面(MTJ)記憶體單元100的一些實施例，MTJ記憶體單元100可與本文所提供的多種讀取技術一同使用。MTJ記憶體單元100包括磁穿隧接面(MTJ)記憶體元件102及存取電晶體104。位元線(bit-line, BL)耦接至MTJ記憶體元件102的一端，而源線(source-line, SL)經由存取電晶體104耦接至MTJ記憶體元件102的相對端。因此，對存取電晶體104之閘極電極施加合適之字元線(word-line, WL)電壓，可將MTJ記憶體元件102耦接於位元線BL與源線SL之間，並允許經由位元線BL及源線SL將偏壓施加到MTJ記憶體元件102上。因此，

藉由提供合適之偏壓條件，MTJ記憶體元件102可在兩種電阻狀態之間切換，即具有低電阻的第一狀態(P-狀態，參考層與自由層的磁化方向平行)，以及具有高電阻的第二狀態(AP-狀態，參考層與自由層的磁化方向為反平行)，以儲存資料。

【0014】 在一些實施例中，MTJ記憶體元件102包括參考層106及自由層108，自由層108設置於參考層106上，且藉由障壁層110與參考層106分隔。參考層106為鐵磁層，具有「固定」的磁化方向。作為範例，參考層106的磁化方向可以是「向上」，即垂直於參考層106的平面，沿z軸指向上方。障壁層110將參考層106與自由層108分隔，在一些情況下，障壁層110可表現為薄介電層或非磁性金屬層。障壁層110可為薄的穿隧障壁，薄得足以允許在參考層106與自由層108之間進行電流的量子機制穿隧。在一些實施例中，障壁層110可包括非晶(amorphous)障壁，例如氧化鋁(AlO_x)或氧化鈦(TiO_x)；或結晶(crystalline)障壁，例如氧化錳(MgO)或尖晶石(spinel, 例如： MgAl_2O_4)。自由層108能夠在兩個磁化狀態之間改變其磁化方向，這兩個磁化狀態對應於儲存在記憶體單元中的二進制資料狀態。舉例來說，在第一狀態下，自由層108可具有「向上」的磁化方向，其中自由層108的磁化平行對準參考層106的磁化方向，進而為MTJ記憶體元件102提供相對較低的電阻。在第二狀態下，自由層108可具有與參考層106之磁化方向對準且反平行的「向下」磁化方向，進而為MTJ記憶體元件102提供相對較高的電阻。根據實施方式，本文所揭露之磁化方向亦可為「翻轉的(flipped)」或平面內(in-plane)的(例如：指向x及/或y方向)，而不是上下。在一些實施例中，自由層108可以包括磁性金屬，例如鐵、鎳、鈷、硼及其合金，舉例來說，例如CoFeB合金鐵磁自由層。儘管主要根據MTJ描述本揭露，但亦應理解，本揭露適用於自旋閥(spine valve)記憶體元件，其可使用軟磁性層(magnetically soft layer)以作為自

由層108、並使用硬磁性層(magnetically hard layer)以作為參考層106、且使用非磁性障壁以將硬磁性層與軟磁性層分隔。自旋閥之障壁層110通常為非磁性金屬。非磁性金屬的範例包括但不限於：銅、金、銀、鋁、鉛、錫、鈦及鋅；及/或諸如黃銅(brass)與青銅(bronze)之合金。

【0015】 合成反鐵磁(synthetic anti-ferromagnetic, SyAF)層105設置於參考層106下，或是參考層106之與自由層108相對的一側。SyAF層105由具有約束或「固定」磁化方向的鐵磁材料所製成。在一些情況下，可藉由在製造整個晶片後，初始化曝露於高磁場來達成「固定」磁化方向。作為範例，SyAF層105可包括一對釘扎層(pinning layer)，這一對釘扎層包括第一釘扎層114及第二釘扎層118。第一釘扎層114及第二釘扎層118可具有與參考層106之磁化方向對準的相反的磁化方向。使用上文所給出的相同範例，第一釘扎層114與參考層106具有相同的「向上」磁化方向。第二釘扎層118具有相反的「向下」磁化方向，該「向下」磁化方向對準並且與參考層106的磁化方向反平行。層間間隔層116設置於第一釘扎層114與第二釘扎層118之間。層間間隔層116可為反平行耦合(anti-parallel coupling, APC)層，其引起第一釘扎層114與第二釘扎層118之間的互換耦合(interexchange coupling, IEC)，使得第一釘扎層114及第二釘扎層118具有反平行的磁方向及彼此穩定。作為示例，層間間隔層116可包括鈥(ruthenium, Ru)或銱(Iridium, Ir)。第一釘扎層114可包括相互堆疊的鈷層及鎳層(Co/Ni)_m。第一釘扎層114亦可為鈷鈦堆疊(Co/Pd)_m或鈷鉑堆疊(Co/Pt)_m，其中m可為正整數。第二釘扎層118可包括具有相同或不同數量之薄層的第一釘扎層114的組成的反轉。舉例來說，第二釘扎層118可包括相互堆疊的鎳層及鈷層(Ni/Co)_n、或鈦鈷堆疊(Pd/Co)_n、又或是鉑鈷堆疊(Pt/Co)_n，其中n可為正整數。過渡(transition)層112

可被設置於第一釘扎層114與參考層106之間。過渡層112由非磁性材料所製成，且被配置為緩衝層、晶格匹配層(lattice match layer)、及/或擴散阻擋層(diffusion barrier)。作為範例，過渡層112可包括鉭(tantalum, Ta)、鎢(tungsten, W)、鉬(molybdenum, Mo)、鈦(Hafnium, Hf)、或CoFeW。

【0016】 第2圖根據本揭露一些實施例顯示包括多個MTJ記憶體單元100的記憶體裝置200。每個MTJ記憶體單元100包括MTJ記憶體元件102及存取電晶體104。MTJ記憶體單元100以M行(位元)及N列(字)排列，且在第2圖中被標記為C_行列。字元線(WL)沿著對應的列延伸，並沿著對應的列與存取電晶體104的閘極電極耦接。位元線(BL)及源線(SL)沿著對應的行延伸，其中位元線耦接至MTJ記憶體元件102的自由層，而源線經由存取電晶體104耦接至MTJ記憶體元件102的參考層。舉例來說，在記憶體裝置200的列1中，單元C₁₋₁至C_{M-1}形成可藉由字元線WL₁之啟動(activation)來存取的M位元資料字(data word)。因此，當字元線WL₁被啟動時，資料狀態可經由位元線BL₁至BL_M及/或藉由源線SL₁至SL_M，被寫入對應之單元C₁₋₁至C_{M-1}或讀取自對應之單元C₁₋₁至C_{M-1}。每行還具有一個感測放大器(S/A)，用於在讀取操作期間自該行之被存取單元中檢測儲存的資料狀態。因此，在被存取的單元中的資料，分別被使用與列1至列M有關的感測放大器電路202(S/A C₁至S/A C_M)來進行檢測。舉例來說，當字元線WL₁被啟動時(其他字元線WLs被停用)，位元線(分別為BL₁至BL_M)產生對應於儲存於被存取之記憶體單元(分別為C₁₋₁至C_{M-1})中之各別資料狀態的各別偏壓；且感測放大器電路202(分別為S/A C₁至S/A C_M)自位元線(分別為BL₁至BL_M)檢測資料狀態。

【0017】 在典型的對列1的寫入操作中，電壓V_{WL}被施加至字元線WL₁，其中電壓V_{WL}通常大於或等於存取電晶體104的臨界電壓，進而導通(turn on)列1中

的存取電晶體，並將位元線 BL_1 至 BL_M 耦接至被存取的單元(例如：記憶體單元 C_{1-1} 至 C_{M-1})中的MTJ記憶體元件102。合適的電壓被施加到位元線 BL_1 至 BL_M 以及源線 SL_1 至 SL_M ，其中每條位元線上的電壓代表將被寫入附接至該位元線之記憶體單元的資料數值。當列1被存取時，其他列的字元線(WL_2 至 WL_N)保持關閉，使得其他單元的MTJ記憶體元件維持隔離，且不會被寫入或讀取。

【0018】在典型的對列1的讀取操作中，電壓 V_{WL} 再度被施加至字元線 WL_1 ，以導通存取電晶體104並將位元線 BL_1 至 BL_M 耦接至被存取的單元(記憶體單元 C_{1-1} 至 C_{M-1})的MTJ記憶體元件102。接著，MTJ記憶體元件102基於它們的儲存狀態，經由存取電晶體104將電荷放電至位元線 BL_1 至 BL_M ，進而使位元線 BL_1 至 BL_M 的電壓改變。位元線之電壓改變的量取決於被存取之MTJ記憶體元件102的狀態。為了判斷正被存取的MTJ記憶體元件的狀態是「1」還是「0」，每個感測放大器電路202的一個差動輸入端子(differential input terminal)被耦接至該行的位元線(例如：感測放大器電路S/A C_1 被耦接到位元線 BL_1)，而另一個差動感測放大器輸入被耦接到參考電壓(例如：在此範例中為參考位元線 $REFBL_1$)。取決於單元之位元線 BL_1 相對於 $REFBL_1$ 上的參考電壓為高或低，感測放大器回覆「1」或「0」。

【0019】應理解的是，取決於實施方式，電流可在各個方向上流動。在一些實施例中，讀取電流自位元線流到源線。然而，在其他實施例中亦可能發生反向讀取，其中讀取電流自源線流向位元線。同樣地，整個MTJ結構可以上下顛倒地製造，稱為頂部釘扎(top-pinning)MTJ。因此，在頂部釘扎MTJ的案例中，位元線更靠近參考層106，而源線更靠近自由層108。

【0020】第3圖顯示可被用於第2圖之記憶體裝置200的讀取電路300的一

些實施例的方塊圖。為了簡化說明，MTJ記憶體單元100被顯示於第3圖中，但應當理解，可經由與第2圖一致之位元線BL及源線SL，將額外之記憶體單元與所示之MTJ記憶體單元100並聯排列。讀取電路300包括讀取偏壓電路302。在讀取操作期間，讀取偏壓電路302為MTJ記憶體單元100及參考單元100'提供讀取電壓 V_{read} ，並相應地輸出輸出訊號。電流鏡(current mirror)電路可被用作讀取偏壓電路的負載。感測放大器304可被用於藉由處理讀取偏壓電路302的輸出訊號來產生數位輸出訊號。舉例來說，讀取偏壓電路302可檢測流經MTJ記憶體單元100之讀取電流 I_{MTJ} 以及流經參考單元100'之參考電流 I_{Ref} ，並產生感測之電壓 V_{mtj} 及參考之電壓 V_{ref} 以饋送(feed)至感測放大器304中。讀出賦能(read enable)電路306可在讀取操作期間上拉(pull up)電壓位準(level)(例如：位元線BL上的電壓位準)，而下拉電路308可在讀取操作期間下拉(pull down)電壓位準(例如：源線SL上的電壓位準)。

【0021】 第一非線性電阻器(non-linear resistor, NLR)裝置310被串聯耦接至MTJ記憶體單元100，並為讀取電流 I_{MTJ} 提供傳輸路徑。第一NLR裝置310可被連接於讀取偏壓電路302與讀出賦能電路306之間。第一NLR裝置310被配置以提供電阻，該電阻為流經MTJ記憶體裝置100的電流提供調節。當流過第一NLR裝置310上的電流增加時，第一NLR裝置310的電阻可以減少。在一些實施例中，第一NLR裝置310為S型負電阻，例如正偏壓之閘流體(例如：矽控制整流器(silicon control rectifier, SCR)、雙向二極體閘流體(diac)、三端雙向可控矽開關(triac)等)。

【0022】 在一些進一步的實施例中，第二NLR裝置312亦被串聯耦接至參考單元100'，並為參考電流 I_{Ref} 提供調節。第二NLR裝置312可被連接於讀取偏壓電路302與讀出賦能電路306之間，並與第一NLR裝置310並聯。第二NLR裝置312

提供對參考電流 I_{Ref} 的調節，使得參考電流 I_{Ref} 落入讀取電流在P-狀態與AP-狀態之間的範圍內。第二NLR裝置312可具有與第一NLR裝置310相同或相似的特徵。舉例來說，對於S型負電阻，例如正偏壓之閘流體(例如：SCR、雙向二極體閘流體、三端雙向可控矽開關等)、逆偏壓之齊納二極體(zener diode)、或是等效之電晶體電路，因為電阻 $R_{AP}+R_{NLR}$ 與電阻 R_P+r_{NLR} 之間的時間應該很大，因此參考單元不需要NLR；但對於正向偏壓的傳統二極體(例如：pn二極體、肖特基二極體)或等效之電晶體電路，因為電阻 R_{NLR} 與 r_{NLR} 可能非常接近，因此也應在參考單元的讀取路徑中增加非線性電阻。

【0023】 第4A圖及第4B圖更加詳細地顯示記憶體陣列的資料路徑400a及資料路徑400b。資料路徑400a或資料路徑400b對應第2圖之記憶體陣列的單一行，儘管還有一些標準的附加電路，但為了簡單起見，在第2圖中將其省略。為使說明清晰易懂，所繪之資料路徑400a或資料路徑400b僅具有單一MTJ記憶體單元100，但應理解的是，可經由與第2圖一致之位元線及源線將附加之記憶體單元與所繪之MTJ記憶體單元100並聯排列。

【0024】 資料路徑400a包括MTJ電流路徑402及參考電流路徑404，它們在 V_{DD} 與 V_{SS} 之間彼此並聯排列。讀取偏壓電路302可為差動放大器。讀取偏壓電路302可包括電流鏡電路，電流鏡電路包括用作MTJ電流路徑402及參考電流路徑404之負載的電晶體M3及電晶體M2。電晶體M4及電晶體M6可藉由來自等化器(equalizer)之相同輸入電壓 V_4 驅動。讀出賦能電路306可包括在讀取操作期間，分別上拉MTJ電流路徑402及參考電流路徑404之電壓位準的電晶體M7及電晶體M5。下拉電路308可包括在讀取操作期間，分別下拉MTJ電流路徑402及參考電流路徑404之電壓位準的電晶體M8及電晶體M10。當不需要讀取操作時，讀出賦

能電路306及下拉電路308將讀取電路關閉。感測放大器304可包括具有電晶體M11至M15的差動放大器。電晶體M13及電晶體M14由不同的電壓 V_{mtj} 及電壓 V_{ref} 驅動。電晶體M12及電晶體M11用作電流鏡負載。電晶體M13及電晶體M14的電壓輸出在相應之汲極端子處感測。電壓V01被饋送入例如反相器中，該反相器充當簡單的感測放大器，對波形進行整形並確保該實施中輸出的正確極性。感測放大器304被配置以藉由將記憶體單元100提供之電壓(V_{mtj})與參考記憶體單元100'提供之參考的電壓(V_{ref})進行比較，來檢測來自MTJ記憶體單元100的資料狀態。基於這些電壓(V_{mtj} 、 V_{Ref})，感測放大器304提供處於表示邏輯「1」或邏輯「0」兩種狀態之一的輸出電壓(V_{Out})，邏輯「1」或邏輯「0」被儲存在所存取的記憶體單元中。

【0025】 MTJ電流路徑402包括第一電流鏡電晶體M3(亦可稱為電晶體M3)、第一上拉讀出賦能電晶體M7(亦可稱為電晶體M7)、MTJ記憶體單元100(包括MTJ記憶體元件MTJ及第一存取電晶體M1)、以及第一下拉讀出賦能電晶體M8(電晶體M8)。位元線BL與源線SL被耦接至MTJ記憶體單元100的相對端。位元線被耦接至MTJ記憶體元件MTJ，而源線被耦接至第一存取電晶體M1，且藉由第一存取電晶體M1與MTJ記憶體元件MTJ分離。參考電流路徑404包括第二電流鏡電晶體M2(電晶體M2)、第二上拉讀出賦能電晶體M5(電晶體M5)、參考MTJ記憶體單元100'(或稱參考單元100')(包括參考MTJ記憶體元件Ref以及第二存取電晶體M9，其中參考MTJ記憶體元件Ref在某些實施例中可被實施為具有固定電阻的電阻器)、以及第二下拉讀出賦能電晶體M10(電晶體M10)。所具有之長度及電阻基本等於位元線及源線的參考位元線(BL_{Ref})及參考源線(SL_{Ref})被耦接至參考MTJ記憶體單元100'的相對端。位元線 BL_{Ref} 被耦接至參考MTJ記憶體元件

Ref，而源線 SL_{Ref} 被耦接至第二存取電晶體M9，且藉由第二存取電晶體M9與參考MTJ記憶體元件Ref分離。

【0026】 控制訊號被提供給字元線節點WLN及讀出賦能節點RE以促進讀取及寫入操作。在讀取及寫入操作期間，字元線節點WLN可被電壓源V2偏壓，而讀出賦能節點RE可被電壓源V3偏壓。字元線節點WLN被耦接至第一存取電晶體M1(亦稱為電晶體M1)及第二存取電晶體M9(亦稱為電晶體M9)各自的閘極。讀出賦能節點RE被耦接至第一上拉讀出賦能電晶體M7、第二上拉讀出賦能電晶體M5、第一下拉讀出賦能電晶體M8、以及第二下拉讀出賦能電晶體M10之各自的閘極。在寫入操作期間，讀出賦能節點RE通常為低(例如：0伏特)，而在讀取操作期間，讀出賦能節點RE通常為高(V_{DD})。

【0027】 第一NLR裝置310被耦接在MTJ電流路徑402中。第一NLR裝置310可被串聯連接，並位於第一上拉讀出賦能電晶體M7與第一電流鏡電晶體M3之間。第一NLR裝置310被配置以提供電阻，該電阻為流經MTJ電流路徑402的電流提供調節。當流過第一NLR裝置310上的電流增加時，第一NLR裝置310的電阻可隨之減少，並因此增加MTJ記憶體單元的有效穿隧磁電阻(effective tunnel magnetoresistance(TMR))。MTJ單元的有效穿隧磁電阻定義為 $(R_{AP} - R_P)/(R_{Path} + R_P + R_{MOS}) = (I_P - I_{AP})/I_{AP}$ ，其中 R_{AP} 是處於反平行狀態的MTJ元件的電阻、 R_P 是平行狀態下MTJ元件的電阻、 R_{Path} 是寫入路徑的電阻、 R_{MOS} 是存取電晶體的電阻、 I_P 是處於平行狀態的電流、而 I_{AP} 是處於反平行狀態的電流。

【0028】 以具有正穿隧磁電阻(TMR)的MTJ為例進行說明。若參考層與自由層的磁化方向處於平行方向，則MTJ處於低電阻狀態(P狀態)。若參考層與自由層的磁化方向處於反平行方向，則MTJ處於高電阻狀態(AP狀態)。第一NLR

裝置310的插入增加了電流 I_p 和電流 I_{ap} 之間的差異，並因此增加了穿隧磁電阻。當讀取低電阻狀態(P狀態)時，第一NLR裝置310提供第一電阻(r_{nlr})，而在讀取高電阻狀態(AP狀態)時，第一NLR裝置310提供大於第一電阻(r_{nlr})的第二電阻(R_{nlr})。因此，電流 I_p 和電流 I_{ap} 之間的差異增加。有效穿隧磁電阻變為： $\{(R_{AP}-R_P)+(R_{nlr}-r_{nlr})\}/(R_{Path}+R_P+R_{MOS}+r_{SD})$ 。第一NLR裝置310的插入亦提供了更多的餘裕來設計參考MTJ記憶體單元100'。參考電阻器的電阻 R_{ref} 將處於 $R_{AP} + R_{nlr}$ 與 $R_P + r_{nlr}$ 之間的範圍內，而不是處於 R_{AP} 與 R_P 之間的較小範圍內。參考MTJ記憶體單元100'的參考電阻大於MTJ記憶體單元100之第一電阻(R_P)與第一NLR裝置310之第一電阻(r_{nlr})的和，且小於MTJ記憶體單元100之第二電阻(R_{AP})與第一NLR裝置310之第二電阻(R_{nlr})的和。

【0029】此外，隨著用於AP狀態的讀取電流減少，第一NLR裝置310的插入減少了用於正向讀取方向的讀取打擾率(RDR)。為了在P狀態下保持相同的充電，讀取電壓需要被增加。至少可以採用以下三種方式：增加讀取電壓 V_{Read} ；增加存取電晶體之閘極電壓 V_G ；或同時增加讀取電壓 V_{Read} 及閘極電壓 V_G 。

【0030】類似地，在一些進一步的實施例中，第二NLR裝置312亦串聯耦接至參考單元100'，並提供對參考電流 I_{ref} 的調節。第二NLR裝置312可被連接於讀取偏壓電路302與讀出賦能電路306之間，並與第一NLR裝置310並聯。第二NLR裝置312可具有與第一NLR裝置310相同或相似的特徵。

【0031】第4B圖顯示資料路徑400b。與第4A圖之資料路徑400a相比，第二NLR裝置312不再存在。因此，電晶體M4連接至電晶體M5，而電晶體M6藉由第一NLR裝置310與電晶體M7分離。舉例來說，對於S型負電阻，例如正偏壓之閘流體(例如：SCR、雙向二極體閘流體、三端雙向可控矽開關等)、逆偏壓之齊納

二極體、或是等效之電晶體電路，因為電阻 $R_{AP}+R_{NLR}$ 與電阻 R_P+I_{NLR} 之間的時間應該很大，因此參考單元100'不需要非線性電阻；但對於正向偏壓的傳統二極體(例如：pn二極體、肖特基二極體)或等效之電晶體電路，因為電阻 R_{NLR} 與電阻 I_{NLR} 可能非常接近，因此也應在參考單元的讀取路徑中增加非線性電阻。

【0032】現在參照第5圖，第5圖以時序/波形圖提供了對資料路徑400a及資料路徑400b在讀取操作期間如何操作的一些實施例的描述。第5圖顯示在單一MTJ記憶體單元上彼此疊加的兩次讀取操作的波形圖500，以顯示電流與電壓位準彼此間的關聯。第6圖出於比較之目的，顯示沒有NLR裝置之讀取操作的兩次讀取操作的波形圖600。對於第一讀取操作，磁穿隧接面(MTJ)處於平行狀態，使得第一讀取操作返回低電壓(例如：邏輯「0」)。對於第二讀取操作，MTJ處於反平行狀態，使得第二讀取操作返回高電壓(例如：邏輯「1」)。如第5圖及第6圖所示，當電壓 $V(re)$ 被啟動以致能(enable)讀取操作時，電壓 $V(scr_gate)$ 被啟動，且電壓 V_mtj 響應於電流 $I(Mtj)$ 而改變。感測放大器可以根據電壓 $V01$ 生成電壓 V_out ，其響應於電壓 V_mtj 而改變。對於第6圖所示沒有NLR裝置的比較電路，電流 I_P 為 $50.6\mu A$ ，而電流 I_{AP} 為 $44.1\mu A$ ，因此感測到的穿隧磁電阻約為14.74%。讀取時間約為7.4 ns。SCR閘極電壓被調諧以確保P-狀態的電流 I_P 相同，以進行比較。根據第5圖所示的模擬波形，所揭露之讀取操作中的電流 I_P 為 $50.4\mu A$ ，而電流 I_{AP} 為 $32.9\mu A$ ，因此感測到的穿隧磁電阻約為53.19%。從波形還可以看出讀取時間約為5.4ns。因此，與第6圖之讀取操作相比，第5圖所揭露之讀取操作的AP-狀態電流 I_{AP} 減少，且所提出之電路的穿隧磁電阻相對較高。而且，所揭露之電路可以以更高的讀取速度執行讀取操作。

【0033】第7圖顯示積體電路700之一些實施例的截面圖，積體電路700包

括MTJ記憶體元件102a及MTJ記憶體元件102b，設置於積體電路700的互連結構704中。積體電路700包括基板706。基板706，舉例來說，可為體基板(bulk substrate, 例如：體矽基板)或絕緣層上矽(silicon-on-insulator, SOI)基板。所示之實施例繪有一或多個淺溝槽隔離(shallow trench isolation, STI)區域708，STI區域708可包括基板706中之填充介電質的溝槽。

【0034】兩個存取電晶體710及712被設置於STI區域708之間。存取電晶體710及712分別包括存取閘極電極714及716、存取閘極介電質718及720、存取側壁間隔物722、以及源極/汲極區域724。源極/汲極區域724被設置於基板706中，以及存取閘極電極714、716與STI區域708之間，且源極/汲極區域724被摻雜為第一導電性型式(conductivity type)，其中第一導電性型式與閘極介電質718、720下方之通道區域的第二導電性型式相反。字元線閘極電極714、716(或稱存取閘極電極714、716)，舉例來說，可為摻雜之多晶矽或金屬，例如鋁、銅或其組合。字元線閘極介電質718、720(或稱存取閘極介電質718、720)，舉例來說，可為例如二氧化矽之氧化物，或是高k值介電質。字元線側壁間隔物722(或稱存取側壁間隔物722)，舉例來說，可由氮化矽(例如： Si_3N_4)所製成。

【0035】互連結構704排列於基板706上，並將裝置(例如：存取電晶體710及712)彼此耦接。互連結構704包括以交替方式彼此層疊的複數IMD層726、728、730與複數金屬化層732、734、736。IMD層726、728、730，舉例來說，可由諸如未摻雜之矽酸鹽玻璃(silicate glass)的低k值介電質或是諸如二氧化矽的氧化物所製成。金屬化層732、734、736包括金屬線738、740、742，其形成於溝槽中，且可由諸如銅或鋁之金屬製成。接點744自底部之金屬化層732延伸至源極/汲極區域724及/或存取閘極電極714、716，而導孔746在金屬化層732、734、736之間

延伸。接點744及導孔746延伸穿過介電保護層750、752(可由介電材料製成，且可在製造期間作為蝕刻停止層)。介電保護層750、752，舉例來說，可由諸如SiC之極低k值介電材料製成。接點744及導孔746，舉例來說，可由諸如銅或鎢之金屬製成。

【0036】 被配置以儲存各自之資料狀態的MTJ記憶體元件102a及MTJ記憶體元件102b，被排列於相鄰金屬層之間的互連結構704內。MTJ記憶體元件102a包括磁穿隧界面，其包含釘扎層114、金屬中間層(或稱層間間隔層)116、參考層106、障壁層110、以及自由層108。

【0037】 第8圖以如第7圖及第8圖所示之切割線，描繪第7圖之積體電路700之俯視圖的一些實施例。在一些實施例中，當從上方察看時，可以看出MTJ記憶體元件102a及102b可具有正方形/矩形或圓形/橢圓形的形狀。然而，在其他實施例中，舉例來說，由於許多蝕刻製程的實際狀況，所示之正方形的角可以變圓，進而導致MTJ記憶體元件102a、102b所具有的形狀變為帶有圓角的正方形或圓形。MTJ記憶體元件102a、102b分別排列於金屬線740上方，且在一些實施例中，具有分別與金屬線742直接電性連接的上方部分，其間沒有導孔或接點。在其他實施例中，導孔或接點將上方部分耦接至金屬線742。

【0038】 第9圖顯示讀取MTJ記憶體單元的方法的一些實施例的流程圖900。

【0039】 在操作902中，記憶體裝置被提供。記憶體裝置包括磁穿隧界面(MTJ)電流路徑，以及與MTJ電流路徑並聯的參考電流路徑。MTJ電流路徑包括與非線性電阻裝置串聯連接的MTJ記憶體單元。在一些實施例中，舉例來說，此記憶體裝置可對應第1圖至第4B圖所示之記憶體裝置及資料路徑。

【0040】 在操作904中，讀取電壓(V_{READ})被提供以產生穿過MTJ電流路徑的MTJ電流(I_{MTJ})，以及產生穿過參考電流路徑的參考電流(I_{REF})。在一些實施例中，舉例來說，MTJ電流可對應第5圖中表示MTJ電流 I_{MTJ} 的訊號，而參考電流可對應第5圖中表示參考電流 I_{REF} 的訊號。

【0041】 在操作906中，參考電流 I_{REF} 及MTJ電流 I_{MTJ} 被彼此比較，以在具有第一電阻的第一狀態與具有第二電阻的第二資料狀態之間判斷MTJ記憶體單元的資料狀態。第一資料狀態不同於第二資料狀態。

【0042】 在操作908中，記憶體電流路徑與參考電流路徑之間的差動電流被感測。基於感測到的差動電流來檢測電壓檢測訊號。

【0043】 在操作910中，電壓檢測訊號被緩衝(buffered)以輸出數位訊號，數位訊號指示MTJ記憶體裝置的資料狀態。

【0044】 第10圖顯示MTJ記憶體單元100與作為第一NLR裝置310之正向偏壓SCR裝置的串聯連接的範例負載線分析。MTJ記憶體單元之P-狀態及AP-狀態的靜態點(quiescent point)在圖中顯示為 V_1/R_P 及 V_1/R_{AP} 。包括SCR裝置之負電阻裝置的電壓-電流(IV)曲線具有一個區域，其中電壓之差動的增加與通過該裝置之電流的差動的減少成比例，反之亦然，意即IV特性具有負斜率。應注意的是，該負斜率區域斜率是不穩定的。因此，裝置工作點(operating point)常駐於負斜率區域兩側的正斜率區域中。將P-狀態及AP-狀態的工作點選為負區域任一側的不同區域。用於所揭露之讀取路徑的其他NLR裝置可類似地操作。SCR裝置為MTJ的P-狀態提供較小的電阻 R_{SCR} ，而SCR裝置為AP-狀態提供較大的電阻 R_{SCR} 。因此，P-狀態及AP-狀態之讀取電壓與接地之間的淨電阻分別變為： $R_{\text{Path}} + R_P + R_{\text{MOS}} + I_{\text{SCR}}$ 及 $R_{\text{Path}} + R_{AP} + R_{\text{MOS}} + R_{\text{SCR}}$ 。因此，沒有SCR的有效穿隧磁電阻為($R_{AP} -$

$R_P)/(R_{Path} + R_P + R_{MOS})$ 。而在增加SCR後，新的有效穿隧磁電阻為

$\{(R_{AP}-R_P)+(R_{SCR}-r_{SCR})\}/(R_{Path} + R_P + R_{MOS} + r_{SCR})$ 。藉此，可以改進有效穿隧磁電阻，進而使得檢測P-狀態與AP-狀態之讀取電流的差異更為容易。

【0045】因此，在一些實施例中，本揭露提供一種記憶體裝置。上述記憶體裝置包括磁穿隧接面(MTJ)電流路徑。磁穿隧電流路徑包括第一電流鏡電晶體、第一上拉讀出賦能電晶體、磁穿隧接面記憶體單元、第一下拉讀出賦能電晶體、以及第一非線性電阻裝置。第一上拉讀出賦能電晶體與第一電流鏡電晶體串聯連接。磁穿隧接面記憶體單元包括磁穿隧接面記憶體元件及第一存取電晶體。位元線耦接於第一上拉讀出賦能電晶體與磁穿隧接面記憶體單元之間。源線耦接於磁穿隧接面記憶體元件與第一下拉讀出賦能電晶體之間。第一非線性電阻裝置與第一上拉讀出賦能電晶體及第一電流鏡電晶體串聯耦接，且位於第一上拉讀出賦能電晶體與第一電流鏡電晶體之間。第一非線性電阻裝置被配置以在當流過第一電流時提供第一電阻，並在當流過小於第一電流的第二電流時提供大於第一電阻的第二電阻。

【0046】在一或多個實施例中，第一非線性電阻裝置為一S型負電阻器或一等效分支電路。在一或多個實施例中，第一非線性電阻裝置為一矽控制整流器(SCR)或一三端雙向可控矽開關。在一或多個實施例中，上述記憶體裝置更包括與上述磁穿隧接面電流路徑並聯的參考電流路徑。上述參考電流路徑包括：第二電流鏡電晶體；第二上拉讀出賦能電晶體，與第二電流鏡電晶體串聯；參考記憶體單元，包括參考磁穿隧記憶體元件及第二存取電晶體；第二下拉讀出賦能電晶體；以及第二非線性電阻裝置，耦接於第二上拉讀出賦能電晶體與第二電流鏡電晶體之間。在一或多個實施例中，上述記憶體裝置更包括感測放大

器，具有被配置以接收一差動輸入訊號的第一輸入端子及第二輸入端子，第一輸入端子耦接至磁穿隧接面電流路徑上的第一節點，而第二輸入端子耦接至參考電流路徑上的第二節點。在一或多個實施例中，耦接到感測放大器之第一輸入端子的磁穿隧接面電流路徑之第一節點，位於第一電流鏡電晶體與第一上拉讀出賦能電晶體之間。在一或多個實施例中，耦接到感測放大器之第二輸入端子的磁穿隧接面電流路徑之第二節點，位於第二電流鏡電晶體與第二上拉讀出賦能電晶體之間。在一或多個實施例中，磁穿隧接面記憶體單元被配置以在第一資料狀態與第二資料狀態間切換，第一資料狀態具有第三電阻，而第二資料狀態具有大於第三電阻的第四電阻。在一或多個實施例中，磁穿隧接面記憶體元件包括：鐵磁自由層，連接至位元線；鐵磁參考層，連接至源線；以及非磁性障壁層，設置於鐵磁參考層與鐵磁自由層之間，並分隔鐵磁參考層及鐵磁自由層。

【0047】 在其他實施例中，本揭露提供一種記憶體裝置。上述記憶體裝置包括磁穿隧接面(MTJ)電流路徑及參考電流路徑。磁穿隧接面電流路徑包括第一電流鏡電晶體、第一上拉讀出賦能電晶體、磁穿隧接面記憶體單元、以及第一下拉讀出賦能電晶體。源線被耦接於磁穿隧接面記憶體單元與第一下拉讀出賦能電晶體之間。位元線被耦接於第一上拉讀出賦能電晶體與磁穿隧接面記憶體單元之間。參考電流路徑與磁穿隧接面電流路徑並聯。參考電流路徑包括第二電流鏡電晶體、第二上拉讀出賦能電晶體、參考記憶體單元、以及第二下拉讀出賦能電晶體。參考位元線被耦接於第二上拉讀出賦能電晶體與參考記憶體單元之間。參考源線被耦接於參考記憶體單元與第二下拉讀出賦能電晶體之間。第一非線性電阻裝置被耦接於第一上拉讀出賦能電晶體與第一電流鏡電晶體之

間。第一非線性電阻裝置被配置以增加磁穿隧接面電流路徑的有效穿隧磁電阻 (TMR)。

【0048】 在一或多個實施例中，第一非線性電阻裝置包括一S型負電阻器。在一或多個實施例中，參考電流路徑更包括第二非線性電阻裝置，耦接於第二上拉讀出賦能電晶體與第二電流鏡電晶體之間。在一或多個實施例中，磁穿隧接面記憶體單元被配置以在第一資料狀態與第二資料狀態之間切換，第一資料狀態具有第一電阻(R_P)，且第二資料狀態具有大於第一電阻的第二電阻(R_{AP})。第一非線性電阻裝置被配置以在當第一資料狀態被讀取時提供第三電阻(r_{nlr})，並在當第二資料狀態被讀取時提供大於第三電阻(r_{nlr})的第四電阻(R_{nlr})。在一或多個實施例中，參考記憶體單元具有參考電阻，參考電阻大於磁穿隧接面記憶體單元之第一電阻(R_P)與第一非線性電阻裝置之第三電阻(r_{nlr})的總和。參考記憶體單元具有參考電阻，參考電阻小於磁穿隧接面記憶體單元之第二電阻(R_{AP})與第一非線性電阻裝置之第四電阻(R_{nlr})的總和。在一或多個實施例中，上述記憶體裝置更包括感測放大器，具有被配置以接收差動輸入訊號的第一輸入端子及第二輸入端子，第一輸入端子耦接至磁穿隧接面記憶體單元，而第二輸入端子耦接至參考記憶體單元。

【0049】 在又一些實施例中，本揭露提供一種自記憶體裝置讀取的方法。上述方法包括提供磁穿隧接面(MTJ)電流路徑，以及與磁穿隧接面電流路徑並聯的參考電流路徑，其中磁穿隧接面電流路徑包括與非線性電阻裝置串聯連接的磁穿隧接面記憶體單元。上述方法更包括提供讀取電壓(V_{READ})以產生穿過上述磁穿隧接面電流路徑的磁穿隧接面電流(I_{MTJ})，以及產生穿過參考電流路徑的一參考電流(I_{REF})。上述方法更包括將參考電流(I_{REF})及磁穿隧接面電流(I_{MTJ})彼此進

行比較，以決定磁穿隧接面記憶體單元的一狀態，上述狀態介於具有第一電阻的第一資料狀態與具有第二電阻的第二資料狀態之間。第一資料狀態不同於第二資料狀態。

【0050】 在一或多個實施例中，上述方法更包括感測記憶體電流路徑與參考電流路徑之間的差動電流，並基於感測到的差動電流提供電壓偵測訊號；以及緩衝電壓偵測訊號以輸出數位訊號，數位訊號表示磁穿隧接面記憶體裝置的資料狀態。在一或多個實施例中，第一非線性電阻裝置在當磁穿隧接面記憶體裝置處於低電阻狀態時提供第三電阻(r_{nlr})，並在當上述磁穿隧接面記憶體裝置處於高電阻狀態時提供大於第三電阻(r_{nlr})的第四電阻(R_{nlr})。在一或多個實施例中，對於第一資料狀態及第二資料狀態，第一非線性電阻裝置的複數工作點被選擇為位於第一非線性電阻裝置之電流-電壓特性曲線的負區域的兩側的不同區域。

【0051】 前述內文概述了許多實施例的特徵，使本技術領域中具有通常知識者可以從各個方面更佳地了解本揭露。本技術領域中具有通常知識者應可理解，且可輕易地以本揭露為基礎來設計或修改其他製程及結構，並以此達到相同的目的及/或達到與在此介紹之實施例等相同之優點。本技術領域中具有通常知識者亦應了解這些相等的結構並未脫離本揭露的精神與範圍。在不脫離本揭露的精神與範圍的前提下，可對本揭露進行各種改變、置換及修改。

【符號說明】

【0052】

100:磁穿隧接面記憶體單元

102:磁穿隧接面記憶體元件

104:存取電晶體

105:合成反鐵磁層

106:參考層

108:自由層

110:障壁層

112:過渡層

114:第一釘扎層

116:層間間隔層

118:第二釘扎層

200:記憶體裝置

202:感測放大器電路

$WL_1 \sim WL_N$:字元線

$BL_1 \sim BL_M$:位元線

$SL_1 \sim SL_M$:源線

$S/A C_1 \sim S/A C_M$:感測放大器電路

$C_{1-1} \sim C_{M-N}$:單元

$REFBL_1 \sim REFBL_M$:參考位元線

100':參考單元

300:讀取電路

302:讀取偏壓電路

304:感測放大器

306:讀出賦能電路

308:下拉電路

310:第一NLR裝置

312:第二NLR裝置

V_{Read} :讀取電壓

I_{Ref} :參考電流

I_{MTJ} :讀取電流

V_{mtj} :電壓

V_{ref} :電壓

400a:資料路徑

402:MTJ電流路徑

404:參考電流路徑

M1-M15:電晶體

V_{Out} :輸出電壓

400b:資料路徑

500, 600:波形圖

700:積體電路

704:互連結構

706:基板

708: STI區域

710, 712~存取電晶體

714, 716~存取閘極電極

718, 720~存取閘極介電質

722:存取側壁間隔物

724:源極/汲極區域

726, 728, 730:IMD層

732, 734, 736:金屬化層

738, 740, 742:金屬線

744:接點

746:導孔

750, 752:介電保護層

102a, 102b:MTJ記憶體元件

900:流程圖

902~910:操作

【發明申請專利範圍】

【請求項1】 一種記憶體裝置，包括

一磁穿隧接面電流路徑，上述磁穿隧電流路徑包括：

一第一電流鏡電晶體；

一第一上拉讀出賦能電晶體，與上述第一電流鏡電晶體串聯連接；

一磁穿隧接面記憶體單元，與上述第一上拉讀出賦能電晶體串聯連接，且上

述磁穿隧接面記憶體單元包括一磁穿隧接面記憶體元件及一第一存取電晶體；

一第一下拉讀出賦能電晶體，與上述磁穿隧接面記憶體單元串聯連接；以及

一第一非線性電阻裝置，與上述第一上拉讀出賦能電晶體及上述第一電流鏡電晶體串聯連接，且位於上述第一上拉讀出賦能電晶體與上述第一電流鏡電晶體之間，其中上述第一非線性電阻裝置被配置以在當流過一第一電流時提供一第一電阻，並在當流過小於上述第一電流的一第二電流時提供大於上述第一電阻的一第二電阻。

【請求項2】 如請求項1之記憶體裝置，其中上述第一非線性電阻裝置為一S型負電阻器、一等效分支電路、一矽控制整流器或一三端雙向可控矽開關。

【請求項3】 如請求項1之記憶體裝置，更包括：

一參考電流路徑，與上述磁穿隧接面電流路徑並聯，上述參考電流路徑包括：

一第二電流鏡電晶體；

一第二上拉讀出賦能電晶體，與上述第二電流鏡電晶體串聯；

一參考記憶體單元，包括一參考磁穿隧記憶體元件及一第二存取電晶體；

一第二下拉讀出賦能電晶體；以及

一第二非線性電阻裝置，耦接於上述第二上拉讀出賦能電晶體與上述第二電

流鏡電晶體之間。

【請求項4】 如請求項3記憶體裝置，更包括：

一感測放大器，具有被配置以接收一差動輸入訊號的一第一輸入端子及一第二輸入端子，上述第一輸入端子耦接至上述磁穿隧接面電流路徑上的一第一節點，而上述第二輸入端子耦接至上述參考電流路徑上的一第二節點，且其中：耦接到上述感測放大器之上述第一輸入端子的上述磁穿隧接面電流路徑之上述第一節點，位於上述第一電流鏡電晶體與上述第一上拉讀出賦能電晶體之間；以及

耦接到上述感測放大器之上述第二輸入端子的上述磁穿隧接面電流路徑之上述第二節點，位於上述第二電流鏡電晶體與上述第二上拉讀出賦能電晶體之間。

【請求項5】 如請求項1之記憶體裝置，其中：

一源線被耦接於上述磁穿隧接面記憶體元件與上述第一下拉讀出賦能電晶體之間；

一位元線被耦接於上述第一上拉讀出賦能電晶體與上述磁穿隧接面記憶體單元之間；以及

上述磁穿隧接面記憶體元件包括：

一鐵磁自由層，連接至上述位元線；

一鐵磁參考層，連接至上述源線；以及

一非磁性障壁層，設置於上述鐵磁參考層與上述鐵磁自由層之間，並分隔上述鐵磁參考層及上述鐵磁自由層。

【請求項6】 一種記憶體裝置，包括：

一磁穿隧接面電流路徑，包括一第一電流鏡電晶體、一第一上拉讀出賦能電

晶體、一磁穿隧接面記憶體單元、以及一第一下拉讀出賦能電晶體，其中一源線被耦接於上述磁穿隧接面記憶體單元與上述第一下拉讀出賦能電晶體之間，且一位元線被耦接於上述第一上拉讀出賦能電晶體與上述磁穿隧接面記憶體單元之間；

一參考電流路徑，與上述磁穿隧接面電流路徑並聯，上述參考電流路徑包括一第二電流鏡電晶體、一第二上拉讀出賦能電晶體、一參考記憶體單元、以及一第二下拉讀出賦能電晶體，其中一參考位元線被耦接於上述第二上拉讀出賦能電晶體與上述參考記憶體單元之間，且一參考源線被耦接於上述參考記憶體單元與上述第二下拉讀出賦能電晶體之間；以及

一第一非線性電阻裝置，耦接於上述第一上拉讀出賦能電晶體與上述第一電流鏡電晶體之間的上述磁穿隧接面電流路徑之中，其中上述第一非線性電阻裝置被配置以增加上述磁穿隧接面電流路徑的一有效穿隧磁電阻。

【請求項7】 如請求項6之記憶體裝置，其中上述磁穿隧接面記憶體單元被配置以在一第一資料狀態與一第二資料狀態之間切換，上述第一資料狀態具有一第一電阻，且上述第二資料狀態具有大於上述第一電阻的一第二電阻；

其中上述第一非線性電阻裝置被配置以在當上述第一資料狀態被讀取時提供一第三電阻，並在當上述第二資料狀態被讀取時提供大於上述第三電阻的一第四電阻。

【請求項8】 如請求項7之記憶體裝置，其中：

上述參考記憶體單元具有一參考電阻，上述參考電阻大於上述磁穿隧接面記憶體單元之上述第一電阻與上述第一非線性電阻裝置之上述第三電阻的總和；以及

上述參考記憶體單元具有上述參考電阻，上述參考電阻小於上述磁穿隧接面記憶體單元之上述第二電阻與上述第一非線性電阻裝置之上述第四電阻的總和。

【請求項9】 一種讀取記憶體裝置的方法，用於讀取磁穿隧接面記憶體裝置，包括：

提供一磁穿隧接面電流路徑，以及與上述磁穿隧接面電流路徑並聯的一參考電流路徑，其中上述磁穿隧接面電流路徑包括與一非線性電阻裝置串聯連接的一磁穿隧接面記憶體單元；

提供一讀取電壓以產生穿過上述磁穿隧接面電流路徑的一磁穿隧接面電流，以及產生穿過上述參考電流路徑的一參考電流；以及

將上述參考電流及上述磁穿隧接面電流彼此進行比較，以決定上述磁穿隧接面記憶體單元的一狀態，上述狀態介於具有一第一電阻的一第一資料狀態與具有一第二電阻的一第二資料狀態之間，上述第一資料狀態不同於上述第二資料狀態。

【請求項10】 如請求項9之讀取記憶體裝置的方法，更包括：

感測上述磁穿隧接面電流路徑與上述參考電流路徑之間的一差動電流，並基於感測到的上述差動電流提供一電壓偵測訊號；以及

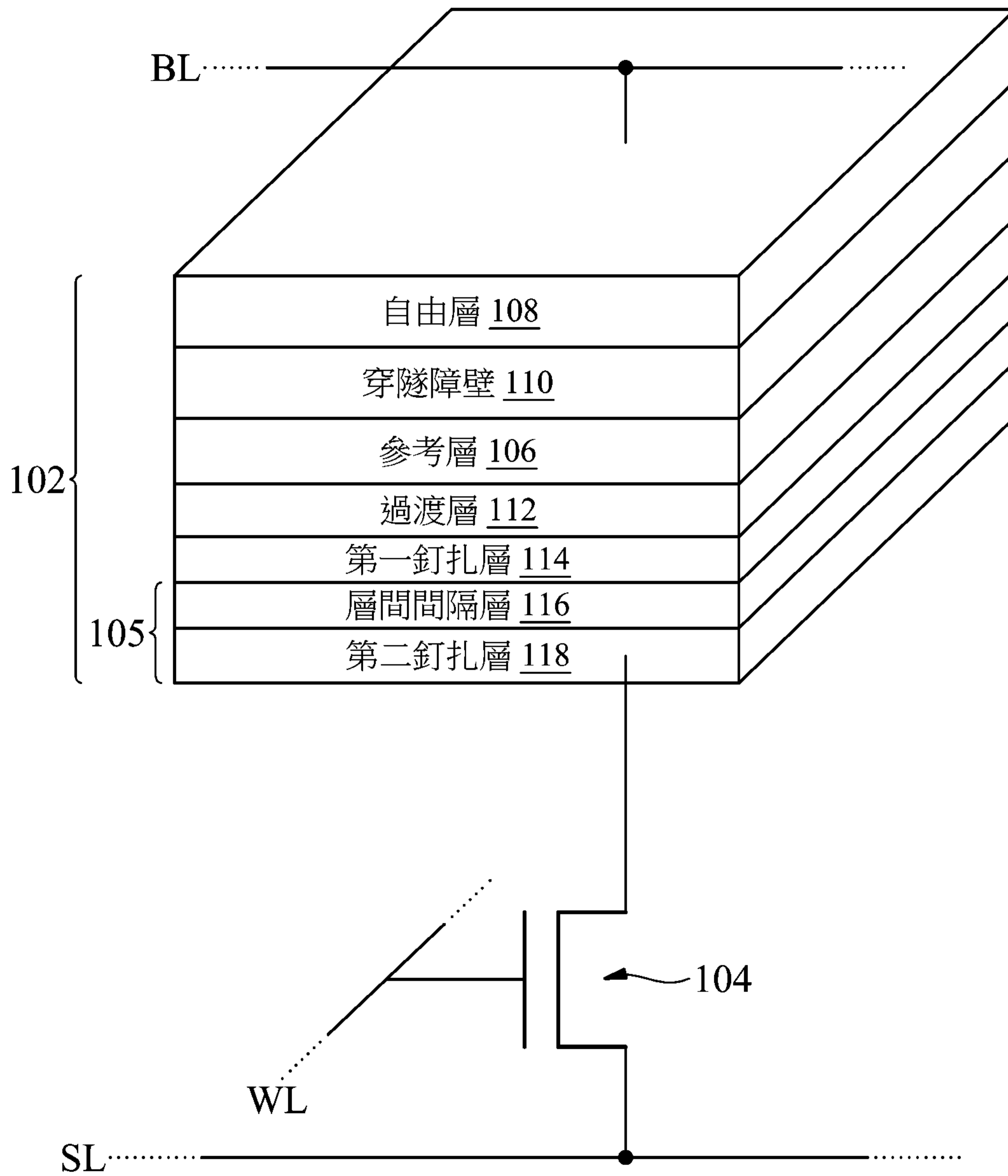
緩衝上述電壓偵測訊號以輸出一數位訊號，上述數位訊號表示上述磁穿隧接面記憶體裝置的一資料狀態。

【請求項11】 如請求項9之讀取記憶體裝置的方法，其中：

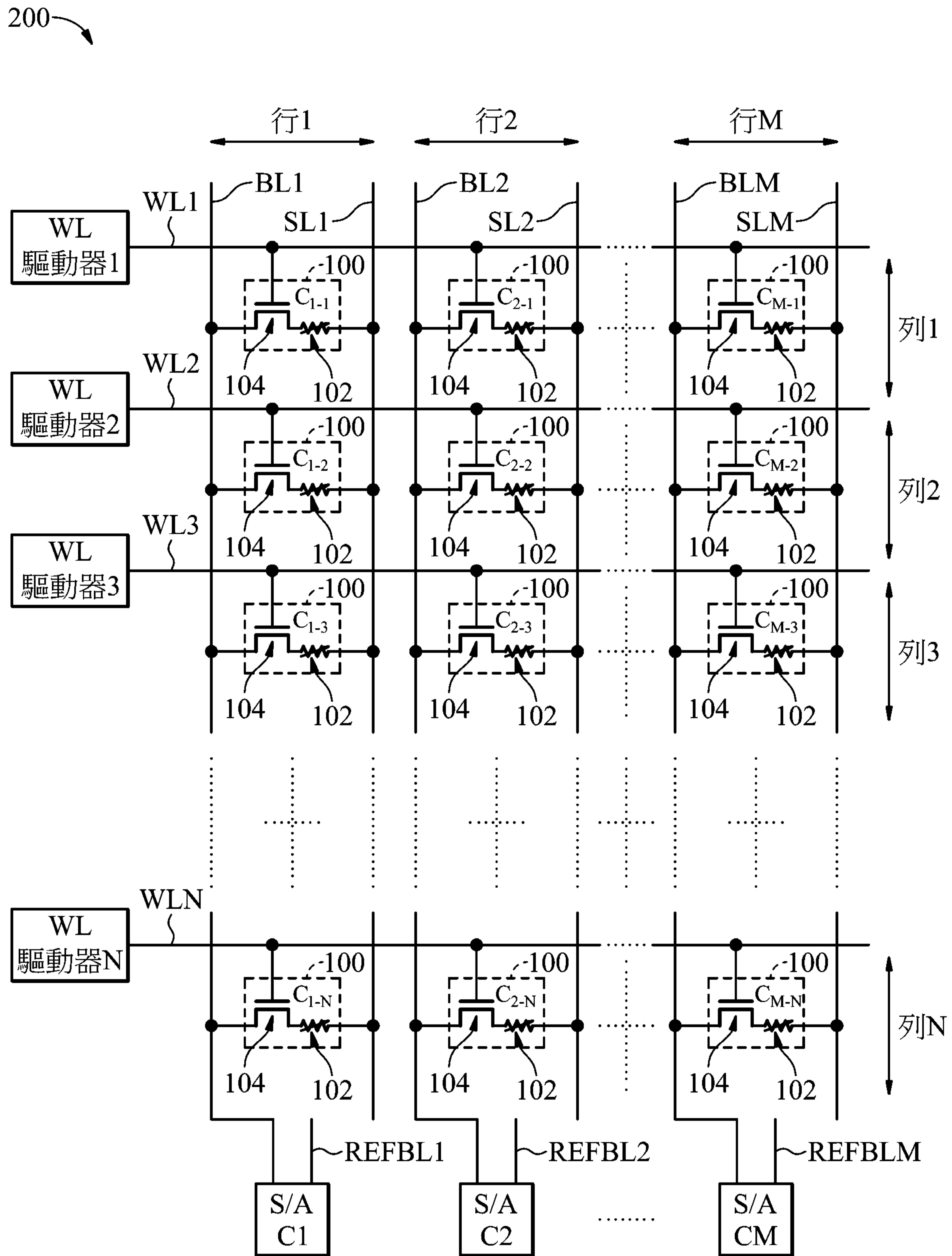
上述非線性電阻裝置在當上述磁穿隧接面記憶體裝置處於一低電阻狀態時提供一第三電阻，並在當上述磁穿隧接面記憶體裝置處於一高電阻狀態時

提供大於上述第三電阻的一第四電阻；以及

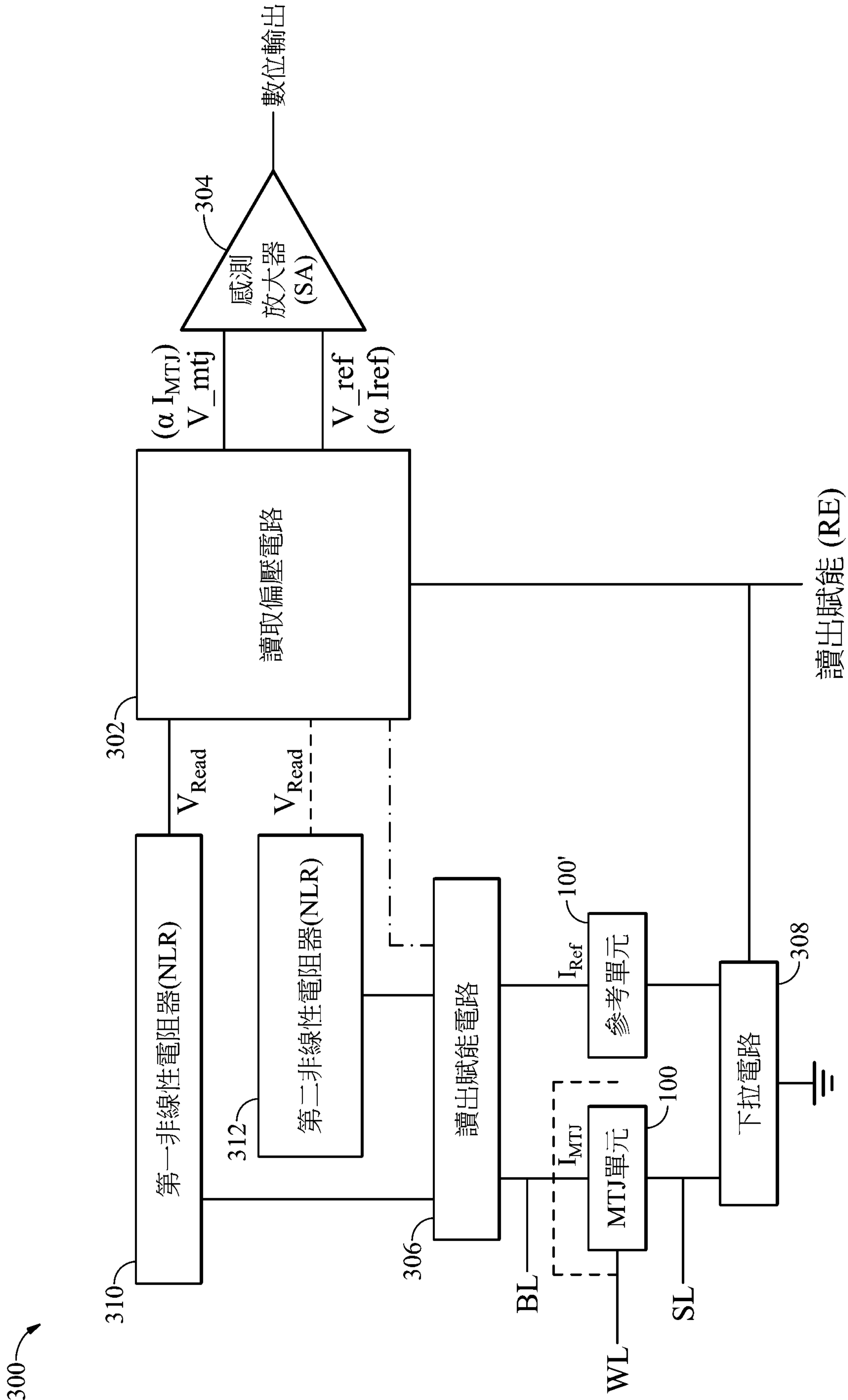
對於上述第一資料狀態及上述第二資料狀態，上述非線性電阻裝置的複數工作點被選擇為位於上述非線性電阻裝置之一電壓-電流特性曲線的一負區域的兩側的不同區域。



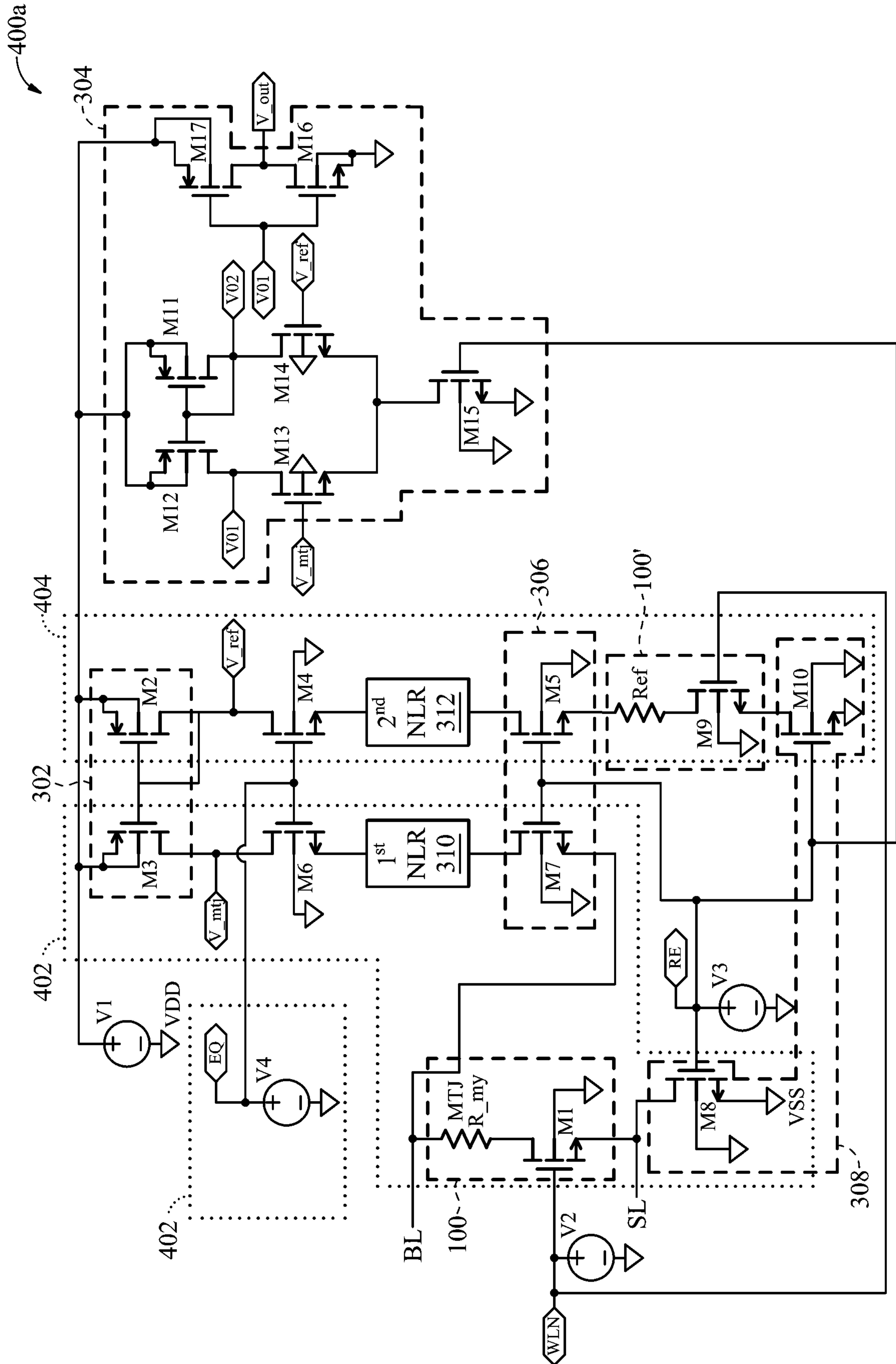
第 1 圖



第 2 圖



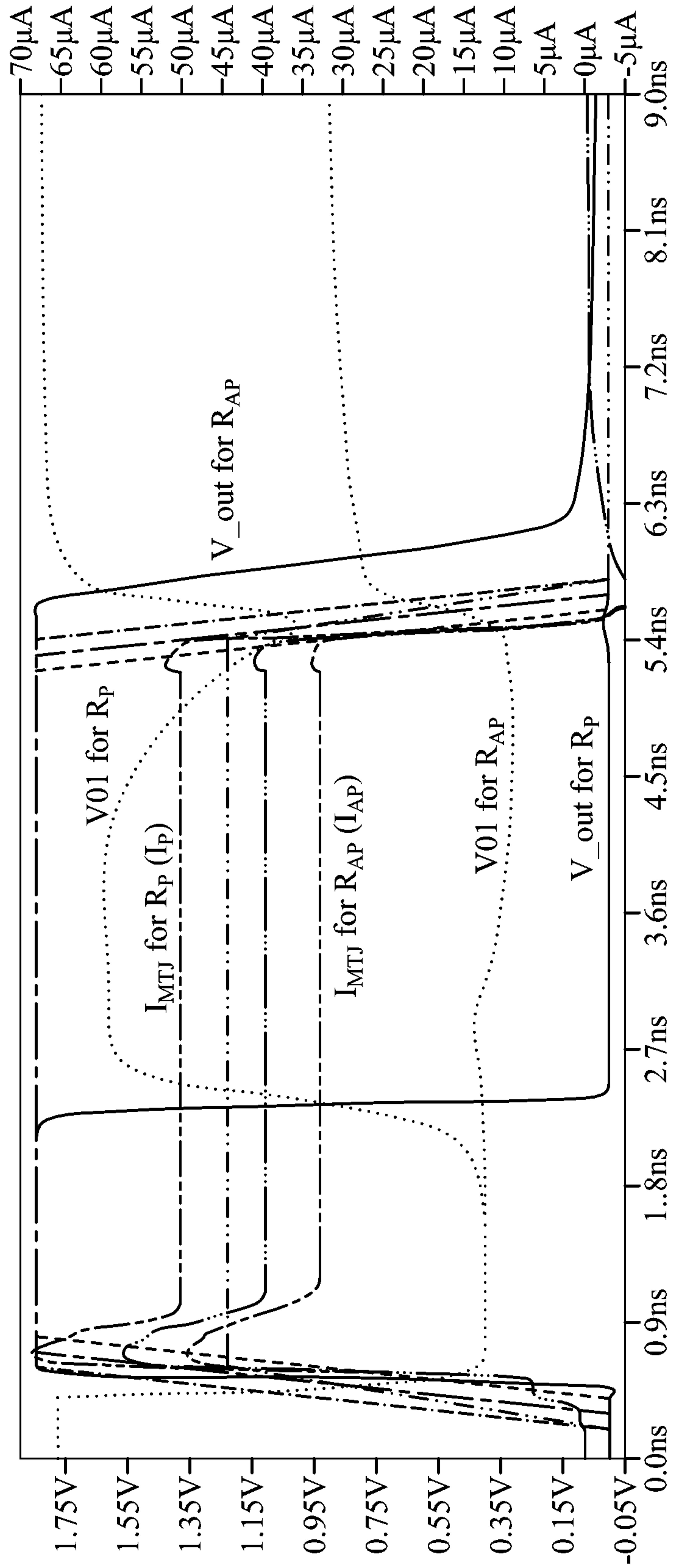
第3圖



第4A圖

$V(v_out)$ ——— $V(scr_gate)$ - - - -
 $V(wl)$ - - - - $I(Mtj)$ - - - -
 $V(re)$ - - - - $I(Ref)$ - - - -
 $V(eq)$ - - - -
 $V(v01)$

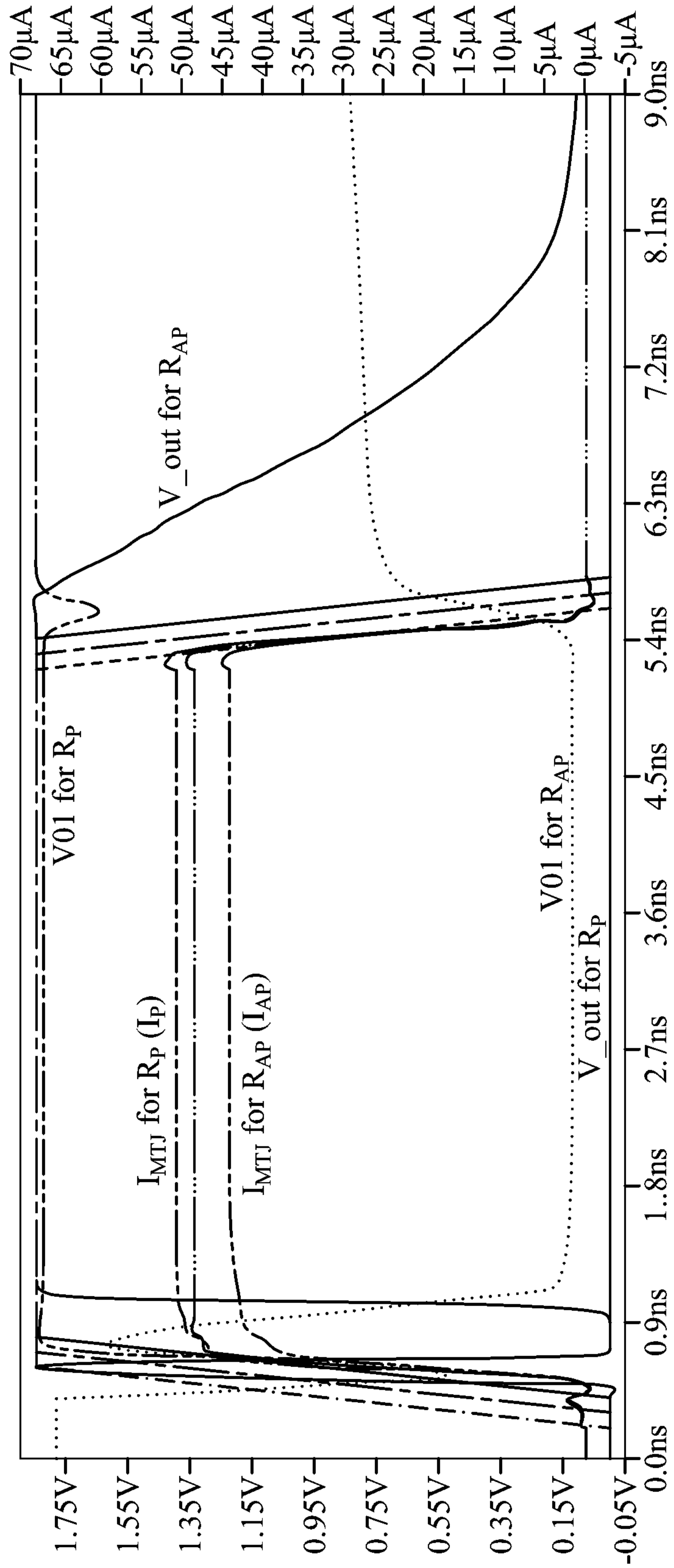
500 ↗



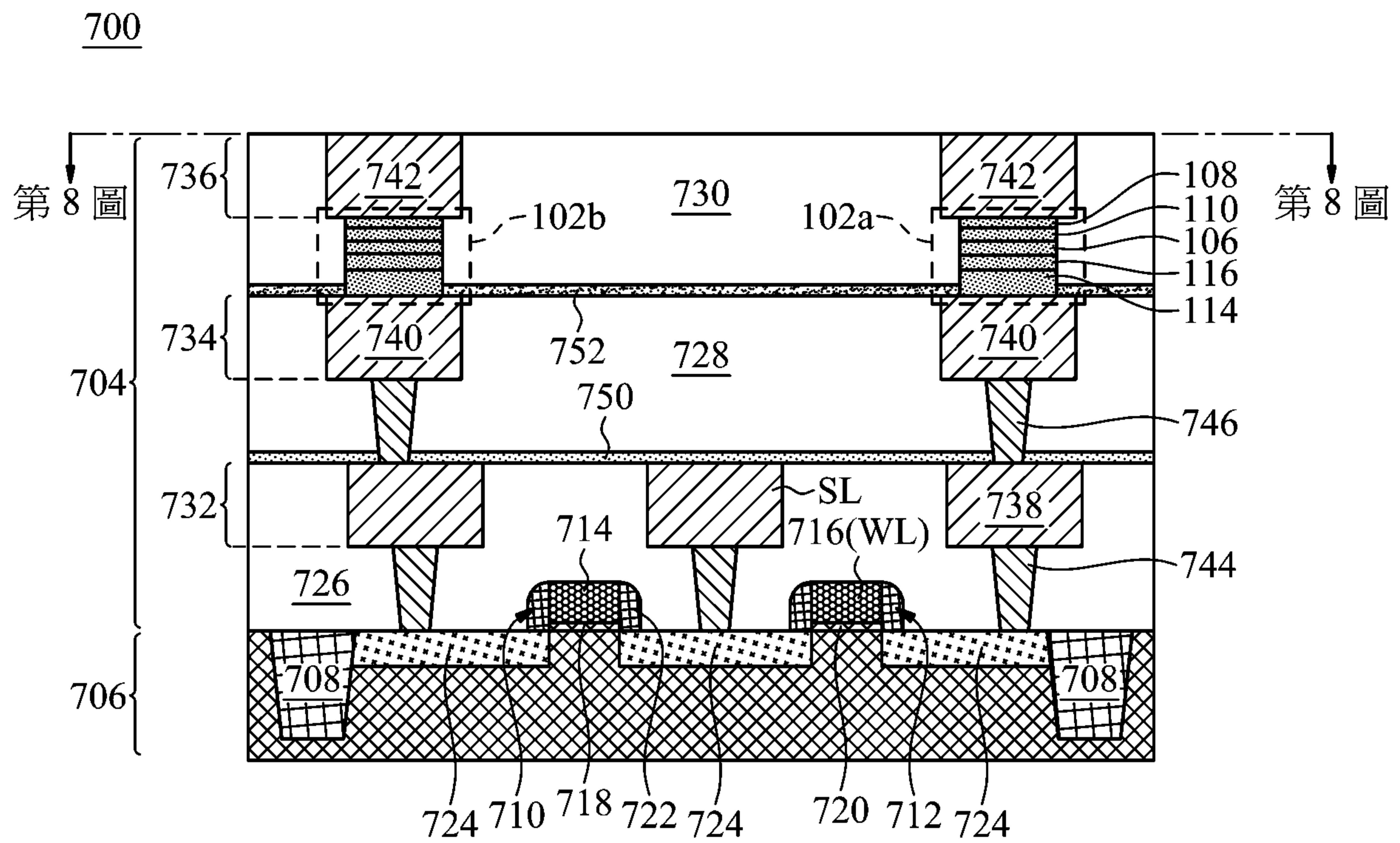
第5圖

V(v_out) ——— V(scr_gate) - - - -
 V(wl) - - - - I(Mtj) - - - -
 V(re) - - - - I(Ref) - - - -
 V(eq) - - - -
 V(v01)

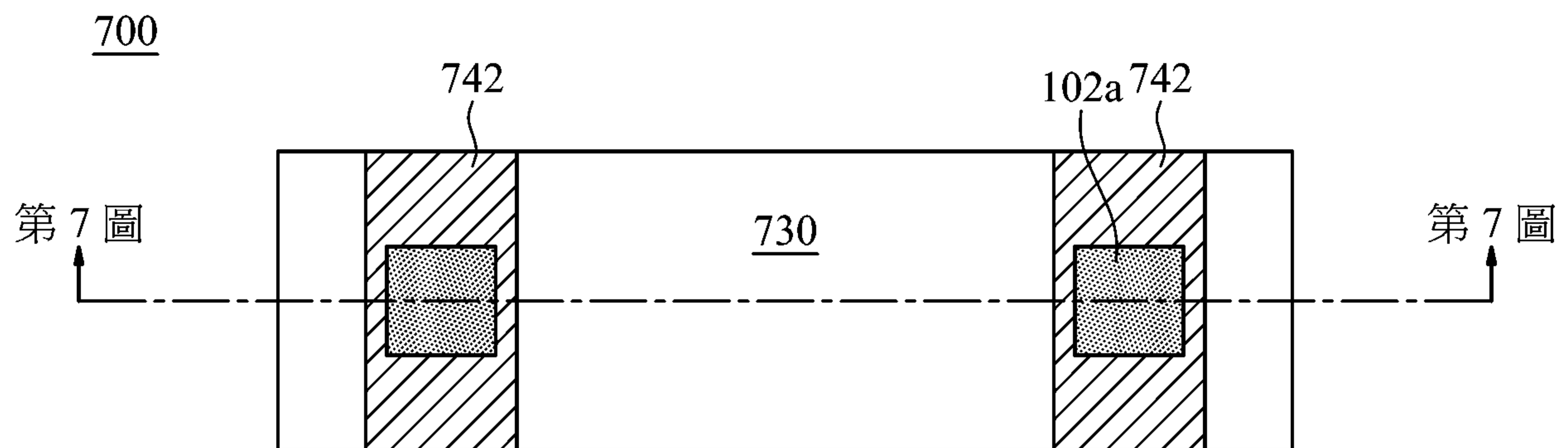
600 ↗



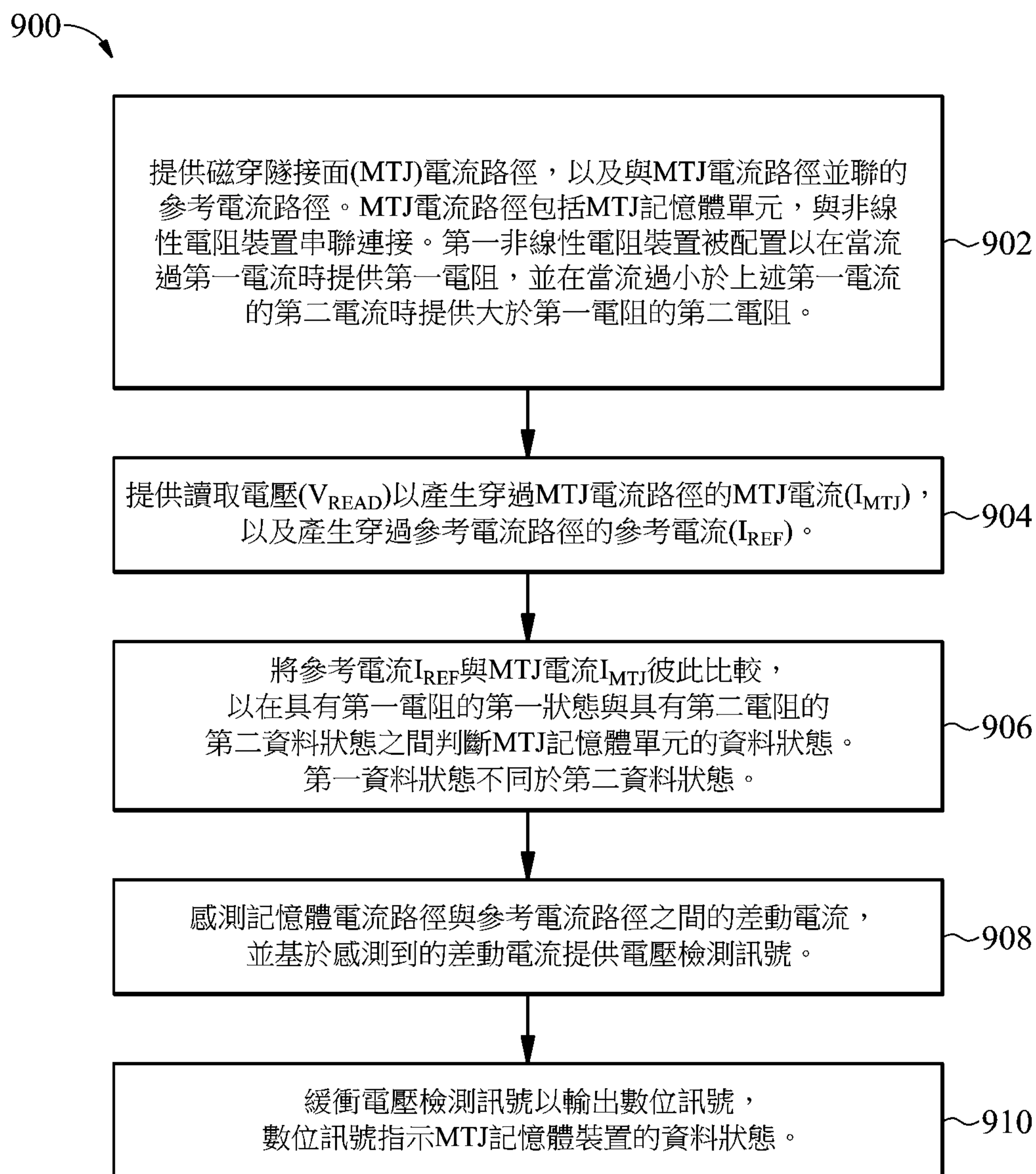
第6圖



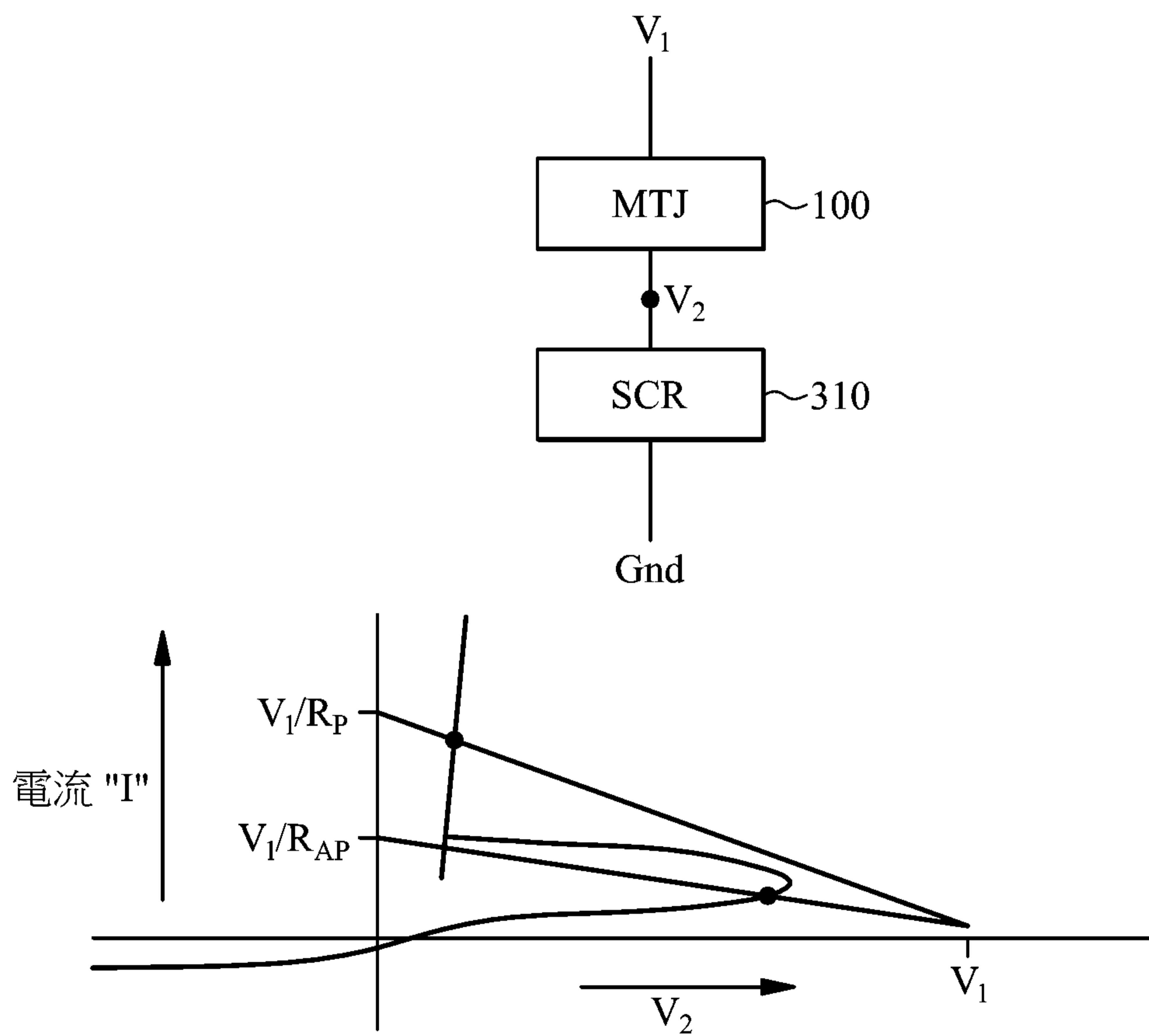
第 7 圖



第 8 圖



第 9 圖



第 10 圖