

19



Bureau voor de  
Industriële Eigendom  
Nederland

11 1004811

12 C OCTROOI<sup>20</sup>

21 Aanvraag om octrooi: 1004811

51 Int.Cl.<sup>6</sup>  
H01L21/8239, H01L21/3205

22 Ingediend: 18.12.96

41 Ingeschreven:  
19.06.98

47 Dagtekening:  
19.06.98

45 Uitgegeven:  
03.08.98 I.E. 98/08

73 Octrooihouder(s):  
United Microelectronics Corp. te Hsinchu,  
Taiwan (TW).

72 Uitvinder(s):  
Shih-Wei Sun te Taipei (TW)  
Tri-Rung Yew te Hsinchu Hsien (TW)  
Water Lur te Taipei (TW)

74 Gemachtigde:  
Drs. A. Kupecz c.s. te 1000 HB Amsterdam.

54 Werkwijze voor het verhogen van de capaciteit.

57 De condensator van een DRAM-cel wordt gevormd door het neerslaan van een laag gedoteerd polysilicium, waarbij op de laag gedoteerd polysilicium een patroon wordt aangebracht om de omvang te bepalen van de lagere elektrode van de condensator en vervolgens het neerslaan van een eerste laag halfrondkorrelig silicium (HSG-Si) op de laag gedoteerd polysilicium. Groei van de eerste laag HSG-Si wordt onderbroken en vervolgens wordt een tweede laag HSG-Si aangegroeid. In één aspect kan groei van de eerste laag HSG-Si worden onderbroken hetzij door het afkoelen van het neerslagsubstraat of het stoppen van de neerslag gedurende een bepaalde periode en vervolgens het opnieuw initiëren van de neerslag om een tweede laag HSG-Si te verschaffen op het oppervlak van de elektrode. De onderbreking van de groei van de eerste laag, hetzij door afkoelen of door vertraging, is voldoende indien de opnieuw geïnitieerde groei initieert op een wijze die onafhankelijk is van de eerste werkwijze, dat wil zeggen de tweede laag HSG-Si groeit onafhankelijk. In een ander aspect van de uitvinding kan groei van de eerste laag worden onderbroken door het verwijderen van de elektrode uit het neerslagsysteem en het uitvoeren van een terugbewerking. Na de terugbewerking wordt de elektrode opnieuw op het neerslagsysteem ingebracht en een tweede laag HSG-Si wordt aangegroeid op het geëtste oppervlak. Deze getextureerde siliciumstructuur vormt de lagere elektrode van de DRAM-condensator.

NL C 1004811

De inhoud van dit octrooi wijkt af van de oorspronkelijk ingediende beschrijving met conclusie(s) en eventuele tekening(en). De oorspronkelijk ingediende stukken kunnen bij het Bureau voor de Industriële Eigendom worden ingezien.

Werkwijze voor het verhogen van de capaciteit

ACHTERGROND VAN DE UITVINDING.

1. Gebied van de uitvinding

De onderhavige uitvinding heeft betrekking op de vorming van structuren met hoge capaciteit in inrichtingen voor geïntegreerde schakeling en meer in het bijzonder op de vorming van elektroden welke ten minste één getextureerd oppervlak omvatten.

2. Beschrijving van de stand der techniek

Historisch gezien is het verhogen van de dichtheid van inrichtingen voor geïntegreerde schakeling ten dele bereikt door het verlagen van de afmetingen van structuren zoals bedradingslijnen en transistorgates en door het verlagen van de scheiding tussen de structuren welke de inrichting voor geïntegreerde schakeling uitmaken. Het verminderen van de grootte van schakelingstructuren wordt algemeen aangeduid als het verlagen van de "ontwerpregels" welke worden gebruikt voor de vervaardiging van de inrichting voor geïntegreerde schakeling. Voor dynamische random access memories (DRAM's) wordt informatie kenmerkend opgeslagen door het selectief opladen of ontladen van elke condensator van een op het oppervlak van een halfgeleidersubstraat gevormde reeks condensatoren. Meestal wordt een enkele bit van binaire informatie opgeslagen in elke condensator door het combineren van een ontladen condensator met een logische nul en een opgeladen capaciteit met een logische één. Het oppervlaktegebied van de platen van de geheugencondensatoren bepaalt de hoeveelheid lading die kan worden opgeslagen in elk van de condensatoren, met als gegeven de kenmerkende vastgestelde bedrijfsspanning van een geheugen, de elektrodescheiding die betrouwbaar kan worden vervaardigd en de diëlektrische constante van het condensatordiëlektricum dat kenmerkend wordt gebruikt in de condensatoren. Het verminderen van het door een dergelijke DRAM-condensator ingenomen oppervlaktegebied in overeenstemming met verminderde ontwerpregels neigt tot het verminderen van het oppervlaktegebied van de condensatorplaten en het verminderen van de hoeveelheid lading die kan

worden opgeslagen in de geheugencondensator (dat wil zeggen de capaciteit).

De hoeveelheid opgeslagen lading in geheugencondensatoren moet kenmerkend groot genoeg zijn om betrouwbare werking van het geheugen te verkrijgen. Ten aanzien van recente op zeer grote schaal geïntegreerde ("ULSI") DRAM-ontwerpen zouden verdere verminderingen in de hoeveelheid in de DRAM-geheugencondensatoren opgeslagen lading kunnen voorkomen dat de in de condensator opgeslagen informatie betrouwbaar wordt uitgelezen. Daarenboven vereisen DRAM's, omdat lading onvermijdelijk uit geheugencondensatoren weglekt, een periodieke verversing van de in elk van de condensatoren van de DRAM opgeslagen lading om te verzekeren dat de opgeslagen lading boven het minimale detecteerbare niveau blijft. Verdere vermindering van de capaciteit zou frequentere verversingsbehandelingen voor de DRAM vereisen, welke ongewenst zijn omdat ten minste delen van de DRAM niet beschikbaar zijn voor het lezen en schrijven van informatie gedurende de verversingsbehandelingen.

Teneinde tegemoet te komen aan de uitdagingen van verminderde structuurafmetingen zijn DRAM-ontwerpen voorgesteld waarin condensatoren zijn opgenomen met verticale uitstrekkingen boven het oppervlak van het substraat (dat wil zeggen "gestapelde" condensatoren) of onder het oppervlak van het substraat (dat wil zeggen "gleuf"-condensatoren). Door het aannemen van een meer driedimensionale structuur verschaffen dergelijke DRAM-ontwerpen geheugencondensatoren met grotere capaciteiten maar nemen deze minder oppervlaktegebied van het substraat in beslag. Ofschoon ontwerpen voor gestapelde condensatoren en gleufcondensatoren meer gecompliceerde structuren betekenen welke moeilijker te vervaardigen zijn, zijn deze ontwerpen onlangs aangenomen met ten minste enig succes. Als alternatief zijn minder kostbare en eenvoudiger te vervaardigen structuren welke een verbeterde capaciteit hebben wenselijk. Daarenboven is het wenselijk om de verticale omvang van de opslagcondensator te verminderen om de produktie van vlakke inrichtingsstructuren mogelijk te maken. Er blijft daarnaast een behoefte om de capaciteit van de DRAM-opslagcondensatoren te verhogen terwijl de hoeveel-

heid oppervlaktegebied die wordt ingenomen door de DRAM-geheugencondensator op het oppervlak van het halfgeleidersubstraat wordt verlaagd.

Eén techniek die is voorgesteld voor het verhogen van de voor een vast substraatooppervlak verkregen capaciteit is het gebruik maken van geruwd of getextureerd silicium als de bodemplaat voor de geheugencondensator. De voordelen van deze techniek worden ten dele weergegeven in fig. 1 welke in dwarsdoorsnede een deel van een DRAM toont met een geheugencondensator met een van getextureerd silicium gevormde onderste plaaielektrode. De weergegeven DRAM bestaat uit een siliciumsubstraat 10, veldoxidatiegebieden 12, source/draingebieden 14, 16 en een gate-elektrode 18 van de overdrachtsveld-effecttransistor (FET) van de geheugencel en een bedradingslijn 20, gevormd over één van de veldoxidegebieden 12. De bedradingslijn 20 verbindt delen van de DRAM op de welbekende wijze en de overdrachts-FET werkt als een schakelaar gedurende uitlees- en schrijfhandelingen met de condensator. In een dergelijke DRAM kan de geheugencondensator worden verbonden met een source/draingebied 16 van de overdrachts-FET door een zich verticaal uitstreckende verbinding 22 welke uitmondt in een plaat 24, gevormd uit gebruikelijk polysilicium. Een laag getextureerd silicium 26 wordt gevormd op het bovenoppervlak van de gebruikelijke polysiliciumplaat 25 om de onderelektrode van de ladingsopslagcondensator te voltooiën. Een dunne diëlektrische laag 28 bedekt het oppervlak van zowel de laag getextureerd silicium 26 als de blootgestelde delen van de plaat 24 en een laag gedoteerd polysilicium 30 wordt gevormd op de diëlektrische laag 28 om te dienen als de bovinelektrode voor de condensator. Door gebruik te maken van getextureerd silicium binnen de onderelektrode van de condensator wordt het oppervlaktegebied van de condensator verhoogd zonder dat de condensatorelektroden zich zijdelings uitstrekken zodat de weergegeven structuur verbeterde capaciteit heeft voor een vast oppervlaktegebied.

Een verscheidenheid aan technieken is gebruikt om getextureerd silicium te vervaardigen voor gebruik in halfgeleiderinrichtingen zoals de in fig. 1 weergegeven DRAM.

Het Duitse Offenlegungsschrift DE 43 21 638 A beschrijft een halfgeleidergeheugenelement welk is voorzien van een condensator waarin microgroeven of microzuilen zijn voorzien waarop een geleidende structuur met een geruwd oppervlak is aangebracht. De microgroeven of microzuilen worden door middel van een etstechniek verschaft. Daarbij wordt een etseindpuntherkenningslaag toegepast, waardoor het mogelijk is een gelijkmatige diepte van de groeven te verschaffen, zodat de resulterende capaciteiten op een vrij constante waarde kunnen worden gehouden. Toepassing wordt gegeven aan een polysiliciumlaag met fijne halfkogelvormige kernen aan de zijvlakken van het opslagelement.

JP 08 139278 A heeft betrekking op de vervaardiging van een halfgeleiderinrichting zodanig dat de omvang van het oppervlaktegebied van een elektrode verhoogd wordt zonder dat de plaatsruimte die de condensator inneemt, wordt verhoogd. Hiertoe wordt een eerste polysiliciumlaag met een vaste korrelgrootte op een halfgeleidersubstraat aangebracht, welke vervolgens geëtst wordt teneinde een aantal verspreid gelegen polysiliciumeilandjes te vormen. Daarna wordt een tweede polysiliciumlaag gevormd over de verspreid gelegen eilandjes welke gevormd zijn uit de eerste polysiliciumlaag. De tweede polysiliciumlaag wordt daarna opgeruwd ter vorming van een verhoogd oppervlaktegebied.

Watanabe et al. "Device Application and Structure Observation for Hemispherical-Grained Si" beschrijft de vorming van halffrondkorrelig polykristallijn silicium ("HSG-Si", hierin verder gebruikt om getextureerd silicium aan te duiden) door middel van chemische opdamping bij lage druk (LPCVD) van silaangas ( $\text{SiH}_4$ ). De oppervlakteruwheid of textuur van de HSG-Si-film werd gemaximaliseerd zodat de HSG-Si-films konden worden gebruikt als platen van DRAM-geheugencapacitors waarbij maximale capaciteiten worden verkregen bij polysilicium (HSG-Si), neergeslagen bij een substraattemperatuur van  $590^\circ\text{C}$ . Substraatneerslagtemperaturen van tien graden hoger of lager dan  $590^\circ\text{C}$  leverden een onaanvaardbare oppervlaktetextuur op, dat wil zeggen deze condities verschaften een ongewenst vlak oppervlak dat geen merkbaar grotere capaciteitselectroden opleverde dan gebruikelijk

polysilicium. Condensatoren die werden vervaardigd onder gebruikmaking van een onderelektrode van HSG-Si, neergeslagen onder gebruikmaking van LPCVD op een substraat bij een temperatuur van 590°C, vertoonden een capaciteit per

5 gebiedseenheid die ongeveer twee keer zo groot was als overeenkomstige condensatoren die werden vervaardigd onder gebruikmaking van vlakke onderelektroden, neergeslagen bij substraatterperaturen van ofwel 580°C of 600°C (of hoger).

Fazan et al., "Electrical Characterization of  
10 Textured Interpoly Capacitors for Advanced Stacked DRAMs" beschrijft een alternatieve werkwijze voor het vormen van getextureerd oppervlak op een laag gedoteerd polykristallijn silicium. Natte oxydatie bij 907°C wordt gebruikt voor het aangroeien van een oxidefilm op het oppervlak van een gedo-  
15 teerde polysiliciumlaag en vervolgens wordt de oxidefilm geëtst voor het vervaardigen van een getextureerd oppervlak op het polykristallijne silicium. Etsen van de oxidelaag welke is aangegroeid op de polysiliciumlaag resulteert in het ontstaan van een getextureerd polysiliciumoppervlak dankzij  
20 de hogere oxideniveaus die optreden langs de korrelgrenzen van gedoteerde polysiliciumlagen gekoppeld met de navolgende verwijdering van de oxide van de polysiliciumkorrelgrenzen. De mate van oppervlakteruwheid die deze werkwijze oplevert hangt direct af van de omvang van de polysiliciumkorrels  
25 zodat films met een kleine korrel vereist zijn voor het vervaardigen van de gewenste niveaus van oppervlaktetextuur.

Het artikel van Sakao et al., "A capacitor Over-  
Bit-Line (COB) Cell with a Hemispherical Grain Storage Node  
for 64 Mb DRAMs", 1990 IEDM, beschrijft de vorming van een  
30 DRAM-condensator met HSG-Si voor het verschaffen van verhoogde geheugencapaciteit. Vorming van de Sacao-condensator verloopt als volgt. Na de vorming van de source, drain en gate van de overdrachts-FET wordt een laag oxide gevormd over de gate- en woordlijn. Een contactvia wordt geopend naar de  
35 drain van de overdrachts-FET en een verticale verbindingsgeleider wordt gevormd doorlopend van de drain naar het oppervlak van de oxidelaag. Een laag gebruikelijk polysilicium wordt neergeslagen door middel van LPCVD bij 600°C en in contact met de verticale verbinding. Op de laag gebruikelijk

polysilicium wordt een patroon aangebracht door middel van lithografie en reactief ionenetsen voor het vormen van een kernegeuegenknooppunt verbonden met de drain van de overdrachts-FET via de verticale verbinding.

5           Halfroondkorrelig silicium wordt gevormd op het oppervlak van het kernopslagknooppunt door middel van LPCVD onder gebruikmaking van silaan dat verdund is met helium op 1 Torr druk en een substraattemperatuur van 550°C. De neergeslagen HSG-Si had een korrelgrootte van 80 nanometer en de  
10 laag had een dikte van ten minste 80 nanometer boven het gebruikelijke polysilicium van het kernopslagknooppunt. Het HSG-Si werd vervolgens teruggeëtsd door reactief ionenetsen onder gebruikmaking van HBR als etsgas voor het verwijderen van het HSG-Si van het oppervlak van de oxidelaag naast het  
15 kernopslagknooppunt. Het terugetsen verwijdert tevens de HSG-Si van het oppervlak van het oppervlakteknooppunt waarbij de textuur van het originele HSG-Si-oppervlak op het oppervlak van het gebruikelijke polysilicium wordt gereproduceerd binnen het kernopslagknooppunt. Zodoende is de onderelektrode  
20 van de Sakao-DRAM-condensator een gebruikelijk polysilicium met een oppervlaktestructuur (textuur, ruwheid) welke in hoofdzaak hetzelfde is als HSG-Si met een korrelgrootte van 80 nanometer.

Het gebruik van HSG-Si in onderelektroden van DRAM-  
25 conservatoren is succesvol geweest voor het ongeveer verdubbelen van de capaciteit van DRAM-condensatoren maar verdere verbeteringen in capaciteit onder gebruikmaking van HSG-Si zijn uitgebleven. Het is derhalve moeilijk te rechtvaardigen om de verhoogde complexiteit verbonden met de precieze  
30 neerslagcondities welke noodzakelijk zijn voor HSG-Si-vorming te rechtvaardigen indien er slechts een factor 2-verhoging in capaciteit tegenover staat.

#### SAMENVATTING VAN DE VOORKEURSUITVOERINGSVORMEN.

In overeenstemming daarmee is het een doelstelling  
35 van de onderhavige uitvinding een verhoogde capaciteit te verschaffen onder gebruikmaking van een HSG-Si-laag in de werkwijze voor het vervaardigen van een elektrode.

In een eerste aspect van de onderhavige uitvinding wordt een halfgeleiderinrichting gevormd door het verschaffen

van een laag silicium op of boven een siliciumsubstraat en het verschaffen van een eerste laag halffrondkorrelig silicium op de laag silicium. Een tweede laag halffrondkorrelig silicium wordt neergeslagen op de eerste laag halffrondkorrelig silicium zodat onafhankelijke korrels halffrondkorrelig silicium worden gevormd op de korrels van de eerste laag halffrondkorrelig silicium.

Een ander aspect van de onderhavige uitvinding betreft een halfgeleiderinrichting waarin een neerslagsubstraat wordt verschaft dat silicium omvat en waarop een eerste laag halffrondkorrelig silicium wordt neergeslagen in een eerste neerslagbewerking. Een tweede laag halffrondkorrelig silicium wordt op het neerslagsubstraat neergeslagen in een tweede neerslagbewerking zodat korrels van halffrondkorrelig silicium van de tweede laag onafhankelijk groeien van de korrels van de halffrondkorrelig silicium gevormd in de eerste neerslagstap. Op het neerslagsubstraat wordt een patroon aangebracht en een diëlektrische laag wordt gevormd over de tweede laag halffrondkorrelig silicium en een geleidende laag wordt neergeslagen over de diëlektrische laag.

Weer een ander aspect van de onderhavige uitvinding betreft een halfgeleiderinrichting waarin een neerslagsubstraat wordt verschaft dat silicium omvat en waarin een eerste laag halffrondkorrelig silicium op het neerslagsubstraat wordt verschaft. Een tweede laag halffrondkorrelig silicium wordt neergeslagen op het neerslagsubstraat zodat korrels van halffrondkorrelig silicium van de tweede laag onafhankelijk groeien van de korrels van de eerste laag halffrondkorrelig silicium. Op het neerslagsubstraat wordt een patroon aangebracht en een diëlektrische laag wordt gevormd over de tweede laag halffrondkorrelig silicium en een geleidende laag wordt aangebracht over de diëlektrische laag.

#### KORTE BESCHRIJVING VAN DE TEKENING

Fig. 1 geeft in dwarsdoorsnede een deel van een DRAM weer dat gebruik maakt van een geheugencondensator met een onderelektrode waarin een laag halffrondkorrelig silicium wordt toegepast.



Fig. 2-3 geven stadia in een voorkeurswerkwijze voor het vormen van condensatorelektroden in overeenstemming met de onderhavige uitvinding weer.

Fig. 4-5 geven alternatieve uitvoeringsvormen weer van de in fig. 3 weergegeven werkwijze.

#### BESCHRIJVING VAN DE VOORKEURSUITVOERINGSVORMEN

Voorkeursuitvoeringsvormen van de onderhavige uitvinding verschaffen een eerste laag halffrondkorrelig silicium (HSG-Si) op het oppervlak van een laag polysilicium. Groei van de eerste laag HSG-Si wordt onderbroken en vervolgens wordt een tweede laag HSG-Si aangebracht. In één aspect van de onderhavige uitvinding kan groei van de eerste laag HSG-Si worden onderbroken ofwel door het afkoelen van het neerslag-substraat of door het stoppen van de neerslagbewerking gedurende een bepaalde tijdsperiode waarna het neerslaan opnieuw wordt geïnitieerd voor het verschaffen van een tweede laag HSG-Si op het oppervlak van de elektrode. De onderbreking van de groei van de eerste laag ofwel door afkoelen ofwel door vertragen is voldoende indien de opnieuw geïnitieerde groei aanvangt op een wijze die onafhankelijk is van de eerste bewerking; dat wil zeggen de tweede laag HSG-Si dient onafhankelijk te groeien. Onafhankelijke groei van de tweede laag betekent dat de kristallen van de tweede HSG-Si-laag groei initiëren uitgaande van nieuwe kerngebieden in plaats van het continueren van de groei van de reeds aanwezige kristallen. Derhalve dienen ten minste sommige van de korrels van de tweede HSG-Si-laag onafhankelijk te groeien van de HSG-Si-korrels van oppervlakte van de korrels van de eerste HSG-Si-laag.

In een variatie met betrekking tot dit aspect kan de groei van de eerste laag HSG-Si worden onderbroken door het aangroeien van een zeer dunne laag amorf silicium op oppervlakken van de korrels van de eerste laag HSG-Si. De korrels van de tweede laag HSG-Si zullen vervolgens groeien vanaf het oppervlak van de dunne amorfe siliciumlaag.

In een ander aspect van de onderhavige uitvinding wordt een condensatorelektrode bereid door het aangroeien van een eerste laag HSG-Si op een laag gedoteerd polysilicium. Groei van de eerste laag HSG-Si wordt onderbroken door het

stoppen van de neerslagbewerking en bij voorkeur door het verwijderen van de elektrode van het neerslagsysteem en het uitvoeren van een etsbewerking. Na de etsbewerking kan de elektrode weer worden ingebracht in het neerslagsysteem en een tweede laag HSG-Si worden aangegroeid op het geëtste oppervlak. Het is bijvoorbeeld mogelijk om de eerste HSG-Si-laag terug te etsen zodanig dat de oppervlaktetopografie van de eerste HSG-Si-laag in hoofdzaak wordt gereproduceerd in de gedoteerde polysiliciumlaag. Alternatief kan een ongedoteerde eerste laag HSG-Si worden gebruikt als een masker voor het selectief etsen van een daaronder liggende laag gedoteerd polysilicium. Geschikte etssystemen omvatten die welke chloorionen houden binnen het etsmiddel voor het gebruik maken van de selectiviteit van het chlooretssysteem hetgeen gedoteerd polysilicium sneller etst dan ongedoteerd polysilicium. Wanneer de ets wordt toegepast voor het etsen van de eerste laag ongedoteerd HSG-Si welke een laag gedoteerd polysilicium afdekt wordt het HSG-Si langzaam geëtt terwijl blootgestelde delen van het onderliggende gedoteerde polysilicium sneller worden geëtt. Indien de etsbewerking doorgaat tot al het HSG-Si verwijderd is dan zal het oppervlak van de gedoteerde laag polysilicium een onregelmatige matrix van kegels en afgeknotte kegels hebben met hoogten welke groter zijn dan de korrelgrootte van de oorspronkelijk aangebrachte HSG-Si-laag. Navolgende groei van een tweede laag HSG-Si op het oppervlak van de getextureerde gedoteerde polysiliciumlagen zal noodzakelijkerwijze onafhankelijk zijn van de groei van de eerste HSG-Si-laag aangezien de eerste HSG-Si-laag is verwijderd voor aangroei van de tweede laag HSG-Si. Zoals met andere uitvoeringsvormen van de onderhavige uitvinding verschaft de groei van de tweede laag HSG-Si op het geëtste oppervlak van deze uitvoeringsvormen een verdere toename in het oppervlaktegebied van de condensatorelektrode.

Fig. 2-4 tonen aspecten van voorkeursuitvoeringsvormen van de onderhavige uitvinding. Deze figuren zijn noodzakelijkerwijs schematisch van aard en overdreven in diverse opzichten voor het verschaffen van een beter inzicht met betrekking tot de onderhavige uitvinding. Elk van de figuren 2-4 toont een deel van de onderelektrodeconstructie voor een

condensator welke zou kunnen worden vervangen voor de onder-  
elektrode van fig. 1 bestaande uit de onderste polysilicium-  
plaat 24 en de daarboven gelegen HSG-Si-laag 26. Onder ver-  
wijzing naar fig. 2 wordt een laag gebruikelijk polysilicium  
5 40 aangebracht door middel van chemische opdamming bij lage  
druk (LPCVD) bij 620°C van silaan ( $\text{SiH}_4$ ) op een laag silicium-  
oxide (niet getoond) die is gebracht op een siliciumsub-  
straat. De laag gebruikelijk polysilicium 40 is bij voorkeur  
in situ gedoteerd tijdens het opdampen door ionenimplantatie  
10 en gloeien of bij een thermische diffusiebewerking welke alle  
zeer goed bekend zijn. De laag 40 kan bijvoorbeeld hoog  
gedoteerd N-type zijn door implantatie van fosforionen  
gevolgd door een snelle thermische gloeiing bij een tempera-  
tuur van 1000 tot 1100°C gedurende ongeveer 10 tot 30 secon-  
15 den. Een plaat van gebruikelijk polysilicium 40 welke de kern  
zal vormen van de onderelektrode is bepaald door middel van  
fotolithografie en etsen. Een eerste laag HSG-Si zal worden  
aangebracht over deze plaat van gebruikelijk polysilicium 40.

Het verdient de voorkeur dat het HSG-Si-groeiproces  
20 wordt geïnitieerd op een schoon siliciumoppervlak door het  
verwijderen van oorspronkelijk oxide van het oppervlak van de  
polysiliciumlaag 40 voor het aanbrengen van de HSG-Si. Een  
afzonderlijke schoonmaakstap kan overbodig zijn indien de  
groei van de HSG-Si-laag wordt geïnitieerd onmiddellijk vol-  
25 gend op de vorming van de onderliggende siliciumlaag indien  
het oppervlak van de onderliggende siliciumlaag wordt gehou-  
den op een voldoende hoog vacuüm om oxidegroei te vermijden.  
Meer in het bijzonder is het te verwachten dat er een tijds-  
interval zal zijn tussen de groei van de onderliggende sili-  
30 ciumlaag en het begin van de HSG-Si-groei. Alternatief zal  
indien de laag polysilicium is gedoteerd door implantatie en  
gloeien of door thermische diffusie een laag oxide groeien op  
het oppervlak van de laag polysilicium. In overeenstemming  
daarmee wordt het oppervlak van de onderliggende siliciumlaag  
35 bij voorkeur gereinigd voor de initiatie van de HSG-Si-groei.  
Oorspronkelijke oxide kan worden verwijderd van het oppervlak  
van het oppervlak van polysilicium met een verscheidenheid  
aan technieken waaronder begrepen HF-dompelen, spinetsen  
onder gebruikmaking van HF, damp-HF-reiniging of door  $\text{H}_2$ -

plasmareiniging. Bij voorkeur wordt het oppervlak van de onderliggende siliciumlaag verzadigd met waterstof ten gevolge van de reinigingsbewerking aangezien het met waterstof verzadigde oppervlak dient ter bescherming van het oppervlak van het polysilicium ten aanzien van reoxydatie. Met elk van de genoemde reinigingstechnieken zal de gewenste verzadiging met waterstof van het oppervlak van het polysilicium worden bereikt.

Na reiniging wordt een laag HSG-Si 42 gevormd op het oppervlak van de gebruikelijke polysiliciumlaag 40. De laag kan worden gevormd op elk van de welbekende werkwijzen en kan omvatten het neerslaan van HSG-Si door middel van LPCVD van een silaanbrongas of een substraat dat wordt gehouden op een temperatuur tussen 555°C en 595°C. De resulterende structuur wordt getoond in fig. 2 en omvat een onregelmatig oppervlak HSG-Si. Dankzij de willekeurige natuur van de kernvorming van HSG-Si-groei is het waarschijnlijk dat de onderliggende gedoteerde polysiliciumlaag 40 wordt blootgesteld bij bijzondere schaarse gebieden in de laag HSG-Si zoals die aangegeven bij 44 in fig. 2. Waargenomen is dat de groei van een laag HSG-Si 42 op het oppervlak van een laag polysilicium 40 de capaciteit vergroot met ongeveer een factor 1,8 ten opzichte van de capaciteit verschaft door het gladde oppervlak van de polysiliciumlaag 40. Het is moeilijk gebleken om verdere verhoging in capaciteit te verkrijgen door groei van HSG-Ni-lagen waarschijnlijk ten gevolge van een verlies van oppervlaktegebied aangezien de kristallen van een eerste laag HSG-Si voldoende groot groeien teneinde dat gebieden van naastliggende kristallen bij elkaar groeien.

In overeenstemming daarmee verschaffen voorkeursuitvoeringsvormen van de onderhavige uitvinding verdere toename in capaciteit door het onderbreken van de groei van de eerste HSG-Si-laag en vervolgens het hernemen van de groei van een tweede laag HSG-Si waarbij de tweede laag aangroeit op een wijze die overeenkomstig kan zijn met de groei van de eerste laag HSG-Si. Groei van de tweede laag HSG-Si wordt geïnitieerd op een wijze die onafhankelijk is van de groei van de eerste laag HSG-Si. Derhalve zal groei van de tweede laag HSG-Si in het algemeen weinig bijdragen aan de verdere groei

van de kristallen van de eerste laag HSG-Si. Het zal veeleer zo zijn dat groei van de tweede laag HSG-Si nieuwe korrels zal opleveren op het oppervlak van de elektrode waaronder begrepen het oppervlak van de korrels van de eerste laag HSG-Si. Dit wordt getoond in fig. 3 waar de tweede laag HSG-Si afzonderlijk korrels 46 HSG-Si vormt. Het is tevens mogelijk dat de tweede laag HSG-Si de kern zal vormen van de groei van nieuwe korrels 48 op nieuwe plaatsen op het oppervlak van de polysiliciumlaag 40. Met de meeste voorkeur groeien korrels in de tweede laag HSG-Si tot een kleinere afmeting dan de korrels van de eerste laag hetgeen kan worden bereikt door de aangroei van de tweede laag korter te laten duren dan de tijd die wordt gebruikt voor de eerste laag. Het proces van het onderbreken van de groei van een laag HSG-Si en het nadien reïnitieren van de groei van een onafhankelijke HSG-Si-laag kan een aantal malen worden herhaald zodat derde en vierde successieve onafhankelijke lagen aangegroeid kunnen worden op een bestaande tweede laag HSG-Si.

Het is belangrijk voor de praktijk van de onderhavige uitvinding dat neerslag van de eerste laag HSG-Si op een bepaalde manier wordt onderbroken zodat de continue aanwezigheid van de condensatorelektroden binnen de HSG-Si-neerslagomgeving bijdraagt aan de groei van nieuwe kristallen voor een tweede laag in plaats van een doorgezette groei van de eerste laag HSG-Si. Een aantal verschillende technieken kunnen worden gebruikt voor het onderbreken van de groei van de eerste laag HSG-Si. Bijvoorbeeld kan de stroom van reactiegas (bijvoorbeeld  $\text{SiH}_4$ ) naar de neerslagkamer worden onderbroken en de condensatorelektrode achterlaten in de neerslagkamer welke overigens wordt gehouden op neerslagcondities voor een periode welke voldoende is dat navolgende herintreding van het reactiegas groei op nieuwe groeikernen zal initiëren. Dit kan bijvoorbeeld in een tijdsduur van bijvoorbeeld dertig minuten plaatsvinden. Kenmerkende LPCVD-systemen werken op drukken van ongeveer  $10^{-4}$  Torr hetgeen voldoende is dat verontreinigingen op het oppervlak zich verzamelen van reeds neergeslagen HSG-Si-kernen en om verdere groei van die kernen af te remmen bij reïnitiatie van het groeiproces. Een overeenkomstig proces kan optreden indien in plaats van het

aanhouden van een wachttijd de condensatorelektrode wordt afgekoeld en weer opgewarmd naar de HSG-Si-neerslagtemperatuur. Alternatief kan de condensatorelektrode voldoende worden verwarmd voor het onderbreken van de HSG-Si-neerslag-  
5 temperaturen van polysiliciumneerslag en vervolgens afgekoeld naar het HSG-Si-neerslagbereik voor het hernemen van de HSG-Si-neerslag.

Een andere tactiek voor het onderbreken van de groei van de eerste laag HSG-Si is het neerslaan van een laag  
10 onderbrekend materiaal van slechts enkele angströms dikte over het oppervlak van de eerste laag HSG-Si-kernen zodat de tweede laag HSG-Si groeit op de laag onderbrekend materiaal. De meest eenvoudige gevormde en compatibele laag onderbrekend materiaal is een laag amorf silicium. Een laag amorf silicium  
15 in dikte variërend van bijvoorbeeld een paar angströms tot ongeveer tweehonderd angströms kan worden neergeslagen binnen hetzelfde LPCVD-systeem dat wordt gebruik voor de neerslag van HSG-Si. Door het tijdelijk verlagen van de temperatuur van de condensatorelektrode tot 550°C of daaronder kan amorf  
20 silicium worden neergeslagen op de elektrode.

Na het op geschikte wijze onderbreken van de groei van de eerste HSG-Si-laag worden één of meer additionele lagen HSG-Si aangebracht op het oppervlak van de condensator-  
elektrode bij voorkeur daarbij kleiner kernen vormend voor  
25 elke successievelijke laag. Fig. 4 toont een dunne amorfe siliciumlaag 50 gevormd op de kernen 42 van de eerste laag HSC-Si en over de blootgestelde delen van de polysiliciumlaag 40. Een tweede laag HSG-Si wordt vervolgens gevormd met ker-  
nen 52 gevormd op de amorfe siliciumlaag 50 over de eerste  
30 HSG-Si-laagkernen 42 en met kernen 54 gevormd op de amorfe siliciumlaag 50 op de polysiliciumlaag 40. Nadat de gehele oppervlaktetextuur is gevormd op de condensatorelektrode wordt de HSG-Si-laag in situ gedoteerd gedurende het neer-  
slaan door ionenimplantatie en gloeien of door een thermisch  
35 diffusieproces ofwel van het oppervlak van de HSG-Si-lagen of van de onderliggende laag polysilicium 40 welke alle zeer welbekend zijn. Indien de polysiliciumlaag 40 niet voordien was gedoteerd kan deze op dit moment worden gedoteerd bij-  
voorbeeld door middel van ionenimplantatie. Daarenboven wordt

een amorfe siliciumlaag gedoteerd op hetzelfde moment dat de HSG-Si-lagen worden gedoteerd indien een amorfe siliciumlaag 50 in de structuur was opgenomen. De bewerking wordt voortgezet door het vormgeven van de elektrode indien deze nog  
5 niet voordien was vormgegeven door het vormen van een diëlektrische laag over het oppervlak van de onderste condensatorelektrode en het vormen van een bovenste condensatorelektrode. Verdere bespreking van relevante aspecten van deze werkwijze worden hieronder gegeven. Eerst wordt echter een  
10 ander aspect van de onderhavige uitvinding beschreven.

In een ander aspect van de onderhavige uitvinding omvat de onderbreking van de groei van de eerste HSG-Si-laag het etsen van het oppervlak van de HSG-Si-polysiliciumstructuur getoond in fig. 2 na neerslag van de eerste HSG-Si-laag.  
15 Deze etsing wordt bij voorkeur anisotroop uitgevoerd en kan, maar hoeft niet selectief te zijn met betrekking tot de HSG-Si-kernen 42 en de polysiliciumlaag 40. Indien de etsing niet selectief is dan wordt met de ets eenvoudig de topografie van de HSG-Si-kernen 42 gereproduceerd in de polysiliciumlaag 40.  
20 Alternatief kunnen de HSG-Si-kernen niet zijn gedoteerd en de polysiliciumlaag 40 gedoteerd zijn en een dotatiegevoelig etsmiddel worden gebruikt voor het selectief etsen van de structuur zoals in fig. 2. In deze werkwijze werken de HSG-Si-kernen 42 als een masker voor het etsproces en de blootgestelde gebieden van de polysiliciumlaag 40 worden sneller  
25 geëtsd dan de HSG-Si-kernen. Het resultaat van de etsbewerking is een elektrode-oppervlak met een hogere oppervlakteruwheid of topografie dan een HSG-Si-laag op een polysiliciumlaag zoals getoond in fig. 2.

30 Een geschikte etsomgeving voor het selectief uitzenden kan een reactieve ionenetsers zijn zoals de magnetisch ondersteunde P5000-reactieve ionenetsers vervaardigd door Applied Materials Corporation. De etsgassen kunnen chloor ( $\text{Cl}_2$ ) omvatten en waterstofbromide (HBr) in een  $\text{Cl}_2/\text{HBr}$ -verhouding van 70 sccm/30 sccm voor een totale druk van 60 mTorr  
35 en een invoerenergieniveau van 300 W. Dit zijn voorbeeldcondities en andere condities kunnen evenzeer geschikt zijn. Een selectiviteitsratio ten aanzien van de etssnelheid van gedoteerd polysilicium ten opzichte van de etssnelheid van onge-

doteerd HSG-Si bedraagt ongeveer 2:1 onder deze omstandigheden. Het etsproces loopt bij voorkeur door zodat de HSG-Si-kernen 42 volledig teruggeëts worden en hogere oppervlakken 60 en verlagingen 62 op het oppervlak van de laag gedoteerd polysilicium 40 (fig. 5) overblijven. Een voordeel van het volledig verwijderen van de HSG-Si-laag is dat geen additionele dotatiestap noodzakelijk is voor het gelijkend maken van het HSG-Si. In elk geval dient een tweede laag 64 HSG-Si te worden aangebracht op het geëtsste oppervlak van de polysiliciumlaag 40. De HSG-Si-laag 64 wordt op dat moment gedoteerd. De bewerking wordt vervolgd door het vormgeven van de elektrode indien dit nog niet voorheen was geschied, het vormen van een diëlektrische laag over het oppervlak van de onderste condensatorelektrode en het vormen van een bovencondensatorelektrode.

Wanneer het oppervlak van een structuur zoals die getoond in fig. 3-5 wordt bedekt met een dunne diëlektrische laag en een bovenlaag van geleidend materiaal wordt aangebracht op de diëlektrische laag kan een hoge capacitieve koppeling worden bewerkstelligd tussen de getextureerde polysiliciumlaag en de bovenste laag van geleidend materiaal. Bij voorkeur is een tweede laag van zwaar gedoteerd N-type polysilicium voorzien en is een condensatorstructuur zoals die getoond in fig. 1 gevormd. Voor een dergelijke structuur is het wenselijk gebruik te maken van een diëlektrische laag die dun is in verhouding tot de schaal waarop het oppervlak is getextureerd. Voor de getoonde laag welke oppervlaktestructuren heeft van ongeveer een honderdste nanometer in afmeting zou het wenselijk zijn gebruik te maken van een diëlektrische laag die minder bedraagt dan ongeveer 8 nanometer dik. Het is tevens wenselijk een diëlektrische laag te vormen van een materiaal met een hoge diëlektrische constante. Een geschikte diëlektrische laag kan worden gevormd door het neerslaan van een laag siliciumnitride op het oppervlak van de HSG-Si-laag bijvoorbeeld door middel van CVD en vervolgens het aangroeien van een dunne oxidelaag op het oppervlak van de siliciumnitridelaag. Soms wordt een dergelijke "NO"-laag gevormd bovenop een oxidelaag zoals een oorspronkelijke oxidelaag welke het oppervlak van de getextureerde polysiliciumlaag



bedekt zodat de daadwerkelijke gevormde diëlektrische film een "ONO"-structuur heeft. Volgens Rosato et al. "Ultra-High Capacitance Nitrate Films Utilizing Surface Passivation on Rugged Polysilicon", J. Electrochem. Soc., deel 139, nr. 12, 5 blz. 3678-82 (december 1992) kan een dergelijke "ONO"-structuur worden gevormd tot een dikte van ongeveer 4 nanometer. De leer van het Rosato-artikel, waaronder de leer betreffende de vorming van ONO-diëlektrische lagen op ruw polysilicium en de passivering van oorspronkelijke oxide-oppervlakken voor de 10 neerslag van een CVD-nitridelaag, is hierin opgenomen door middel van verwijzing. Alternatief kan een dunne laag tantaalpentoxide of een ander materiaal met een hoge diëlektrische constante worden gebruikt als diëlektrische laag welke het getextureerde polysiliciumlaag-oppervlak afdekt en werkt 15 als een condensatordiëlektricum.

Ofschoon de werkwijze voor het vormen van getextureerd polysilicium is beschreven onder specifieke verwijzing naar het vormen van een condensator zoals getoond in de DRAM-structuur van fig. 1 kan getextureerd polysilicium in overeenstemming met de onderhavige uitvinding worden gebruikt in 20 andere structuren. Bijvoorbeeld kan het getextureerde silicium tevens worden gebruikt in andere condensatorstructuren, daaronder begrepen de vinnen van een verscheidenheid aan gestapelde condensatorstructuren. Daarenboven kunnen getextureerde siliciumlagen in overeenstemming met voorkeursuitvoeringsvormen van de onderhavige uitvinding elk worden gebruikt op het oppervlak van de zwevende gate in een EEPROM of een flash-geheugen. Gebruik van een getextureerd polysiliciumoppervlak en een dunne ONO-diëlektrische laag tussen 30 een polysilicium-zwevende gate en een polycide-regelgate gevormd over de ONO-diëlektrische laag vergroot sterk de koppeling tussen de zwevende gate en de besturingsgate vergeleken met meer gebruikelijke structuren van een flash-geheugeninrichting.

35 Ofschoon de onderhavige uitvinding is beschreven onder verwijzing naar bepaalde voorkeursuitvoeringsvormen daarvan zal het duidelijk dienen te zijn dat de onderhavige uitvinding niet beperkt is tot een specifieke uitvoeringsvorm zoals hierin beschreven. Eerder dient de beschermingsomvang

van de onderhavige uitvinding slechts te worden bepaald aan de hand de volgende conclusies.

CONCLUSIES

1. Werkwijze voor het vervaardigen van een halfgeleiderinrichting, welke de stappen omvat van:

het verschaffen van een eerste laag silicium op of boven een siliciumsubstraat, en het aanbrengen van een tweede  
5 siliciumlaag boven de eerste laag silicium,

**gekenmerkt door het verschaffen van een eerste laag halffrondkorrelig silicium op de laag silicium;**

het neerslaan van een tweede laag halffrondkorrelig silicium direct op de eerste laag halffrondkorrelig silicium  
10 zodat onafhankelijke korrels van halffrondkorrelig silicium worden gevormd op de korrels van de eerste laag halffrondkorrelig silicium.

2. Werkwijze volgens conclusie 1, waarbij de eerste laag halffrondkorrelig silicium wordt aangegroeid door middel  
15 van chemische opdamping op de laag silicium.

3. Werkwijze volgens conclusie 2, waarbij de laag silicium gedoteerd polysilicium is.

4. Werkwijze volgens conclusie 2, waarbij de tweede laag halffrondkorrelig silicium wordt gevormd door chemische  
20 opdamping.

5. Werkwijze volgens conclusie 4, waarbij de neerslag van de eerste laag halffrondkorrelig silicium wordt onderbroken door het afkoelen of verwarmen van de laag silicium.  
25

6. Werkwijze volgens conclusie 4, waarbij de neerslag van de eerste laag halffrondkorrelig silicium wordt onderbroken door het onderbreken van de neerslagwerkwijze gedurende een eerste tijdsperiode.

7. Werkwijze volgens conclusie 2, waarbij de neerslag van de tweede laag halffrondkorrelig silicium wordt uitgevoerd door het opnieuw initiëren van de chemische opdamping van halffrondkorrelig silicium voor het verschaffen van een  
30 groeiproces dat onafhankelijk is van de chemische opdamping van de eerste laag halffrondkorrelig silicium.

8. Werkwijze volgens conclusie 1, waarin de eerste en tweede lagen halffrondkorrelig silicium worden aangegroeid  
35

door middel van chemische opdamming bij lage druk bij een temperatuur van minder dan 600°C.

9. Werkwijze voor het vervaardigen van een halfgeleiderinrichting, welke de stappen omvat van:

- 5                   het verschaffen van een neerslagsubstraat dat silicium bevat;
- het neerslaan van een eerste laag silicium;
- het over de eerste laag silicium aanbrengen van een tweede laag silicium;
- 10                  het aanbrengen van een patroon op het neerslagsubstraat en
- het vormen van een diëlektrische laag op de tweede laag halffrondkorrelig silicium; en
- het neerslaan van een geleidende laag over de di-
- 15   elektrische laag,
- gekenmerkt door** het neerslaan van een eerste laag halffrondkorrelig silicium op het substraat in een eerste neerslagbewerking;
- het direct neerslaan van een tweede laag halffrond-
- 20   korrelig silicium over het neerslagsubstraat in een tweede neerslagbewerking zodat korrels halffrondkorrelig silicium van de tweede laag onafhankelijk groeien van korrels halffrondkorrelig silicium die worden gevormd in de eerste neerslagbewerking.
- 25                  10. Werkwijze volgens conclusie 9, welke de stap omvat van het etsen van de eerste laag halffrondkorrelig silicium voorafgaand aan de stap van het neerslaan van een tweede laag halffrondkorrelig silicium.
11. Werkwijze volgens conclusie 10, waarbij de stap
- 30   van het etsen wordt voortgezet totdat de eerste laag halffrondkorrelig silicium is verwijderd.
12. Werkwijze volgens conclusie 9, waarbij het neerslagsubstraat gedoteerd silicium omvat en de werkwijze de
- 35   stap omvat van het etsen van de eerste laag halffrondkorrelig silicium onder gebruikmaking van een selectieve ets welke bij voorkeur gedoteerd silicium etst met een snelheid welke hoger is dan de selectieve ets ongedoteerd silicium etst en waarin de tweede laag halffrondkorrelig silicium wordt neergeslagen
- volgend op de etsstap.

13. Werkwijze volgens conclusie 12, waarbij de eerste laag halffrondkorrelig silicium wordt aangebracht op het neerslagsubstraat en waarbij de stap van het etsen leidt tot etsen in de laag neerslagsubstraat tot een diepte welke ten  
5 minste gelijk is aan de dikte van de eerste laag halffrondkorrelig polysilicium.

14. Werkwijze volgens conclusie 9, welke verder de stappen omvat van:

10 het vormen van een diëlektrische laag op de tweede laag halffrondkorrelig silicium;

het vormen van een laag gedoteerd polysilicium op de diëlektrische laag; en

15 het aanbrengen van een patroon op de laag gedoteerd polysilicium voor het verschaffen van een bovinelektrode van een condensator.

15. Werkwijze volgens conclusie 14, waarbij de stap van het verschaffen van een laag gedoteerd polysilicium een stap omvat van het etsen van de laag gedoteerd polysilicium voor het zijdelings bepalen van de omvang van een elektrode-  
20 structuur.

16. Werkwijze volgens conclusie 9, waarbij de eerste en tweede laag halffrondkorrelig polysilicium zijn neergeslagen bij een temperatuur van ongeveer 550°C tot ongeveer 595°C.

25 17. Werkwijze volgens conclusie 9, welke verder de stap omvat van het neerslaan van een laag amorf silicium over het oppervlak van de eerste laag halffrondkorrelig silicium waarin de tweede laag halffrondkorrelig silicium wordt neergeslagen op de laag amorf silicium.

30 18. Werkwijze voor het vervaardigen van een halfgeleiderinrichting welke de stappen omvat van:

het verschaffen van een neerslagsubstraat dat silicium bevat;

35 het verschaffen van een eerste laag silicium op het neerslagsubstraat;

het neerslaan van een tweede laag silicium op het neerslagsubstraat;

het aanbrengen van een patroon op het neerslagsubstraat;

het vormen van een diëlektrische laag op de tweede laag silicium; en

het neerslaan van een geleidende laag over de diëlektrische laag,

5           **gekenmerkt doordat** korrels halfrondkorrelig silicium van de tweede laag onafhankelijk groeien van korrels in de eerste laag halfrondkorrelig silicium.

19. Werkwijze volgens conclusie 18, waarbij de stap van het verschaffen van de eerste laag halfrondkorrelig silicium wordt uitgevoerd door chemische opdamming en waarbij het substraat een laag gedoteerd polysilicium is.

20. Werkwijze volgens conclusie 19, waarbij de stap van het neerslaan van de tweede laag halfrondkorrelig silicium wordt uitgevoerd door chemische opdamming in hetzelfde neerslagsysteem als was gebruikt voor het neerslaan van de eerste laag halfrondkorrelig silicium.

FIG. 1

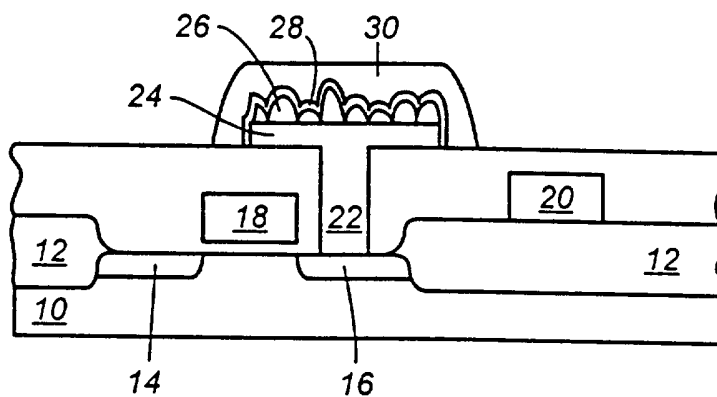


FIG. 2

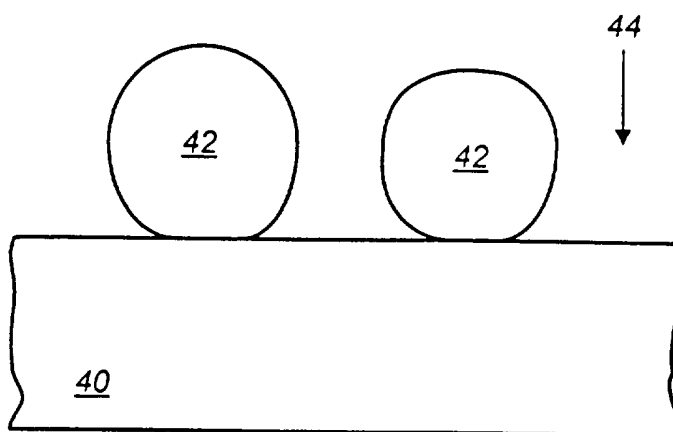
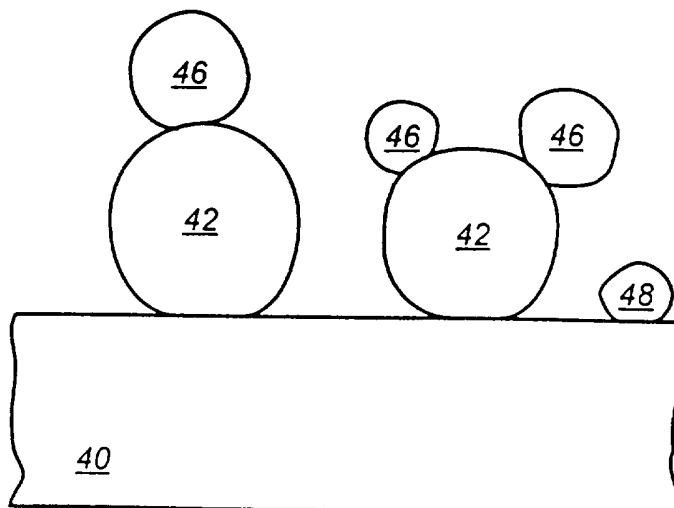


FIG. 3



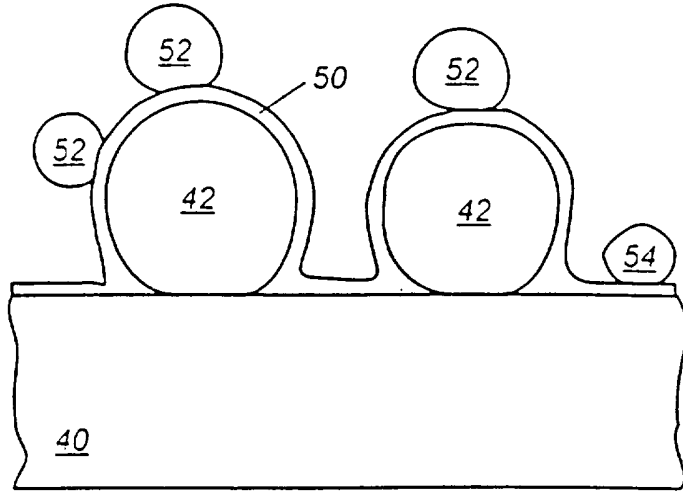


FIG. 4

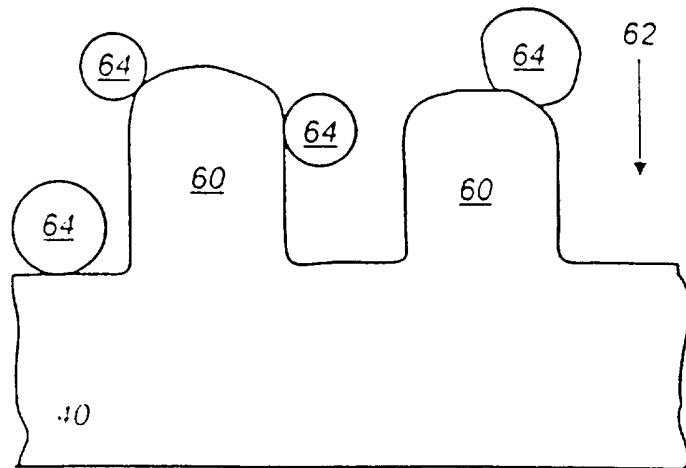


FIG. 5

8004011





**RAPPORT BETREFFENDE HET ONDERZOEK  
NAAR DE STAND VAN DE TECHNIEK**

Octrooiaanvraag Nr.:

NO 133790  
NL 1004811

VAN BELANG ZIJNDE LITERATUUR			
Categorie	Vermelding van literatuur met aanduiding voor zover nodig, van speciaal van belang zijnde passages	Van belang voor conclusie(s)Nr.:	Internationale classificatie (toegekend door de Octrooiraad)
X	PATENT ABSTRACTS OF JAPAN vol. 96, no. 9, 30 September 1996 & JP 08 139278 A (NEC CORP), 31 Mei 1996, * samenvatting *	1-20	H01L21/3205
X	DE 43 21 638 A (SAMSUNG ELECTRONICS CO LTD) * het gehele document *	1-20	
A	US 5 405 801 A (SAMSUNG ELECTRONICS CO LTD) * samenvatting; figuren *	1-20	
A	IBM TECHNICAL DISCLOSURE BULLETIN, deel 36, nr. 11, 1 November 1993, bladzijde 493 XP000424926 "DENDRITIC POLYSILICON FOR DRAM CAPACITORS"	1-20	
A	EP 0 732 738 A (TEXAS INSTRUMENTS INC) * samenvatting; figuren *	12,13	
A	PATENT ABSTRACTS OF JAPAN vol. 18, no. 120 (E-1516), 25 Februari 1994 & JP 05 315543 A (NEC CORP), 26 November 1993, * samenvatting *	17	Onderzochte gebieden van de techniek
Indien gewijzigde conclusies zijn ingediend, heeft dit rapport betrekking op de conclusies ingediend op .....			H01L
Plaats van onderzoek		Datum waarop het onderzoek werd voltooid	Vooronderzoeker (EOB)
'S-GRAVENHAGE		20 Augustus 1997	Sinemus, M
CATEGORIE VAN DE VERMELDE LITERATUUR			
X : op zichzelf van bijzonder belang Y : van bijzonder belang in samenhang met andere documenten van dezelfde categorie A : achtergrond van de stand van de techniek O : verwijzend naar niet op schrift gestelde stand van de techniek P : literatuur gepubliceerd tussen voorrangs- en indieningsdatum		T : niet tijdig gepubliceerde literatuur over theorie of principe ten grondslag liggend aan de uitvinding E : andere octrooi-publicatie maar gepubliceerd op of na indieningsdatum D : in de aanvraag genoemd L : om andere redenen vermelde literatuur & : lid van dezelfde octrooifamilie, corresponderende literatuur document	

1

EOB FORM 02.03 (P0414)

18.

**AANHANGSEL BEHORENDE BIJ HET RAPPORT BETREFFENDE  
HET ONDERZOEK NAAR DE STAND VAN DE TECHNIEK,  
UITGEVOERD IN DE OCTROOIAANVRAGE NR.**

NO 133790  
NL 1004811

Het aanhangsel bevat een opgave van elders gepubliceerde octrooiaanvragen of octrooien (zogenaamde leden van dezelfde octroofamilie), die overeenkomen met octrooischriften genoemd in het rapport.

De opgave is samengesteld aan de hand van gegevens uit het computerbestand van het Europees Octrooibureau per

De juistheid en volledigheid van deze opgave wordt noch door het Europees Octrooibureau, noch door de Octrooiraad gegarandeerd ; de gegevens worden verstrekt voor informatiedoeleinden.

20-08-1997

In het rapport genoemd octrooigeschrift	Datum van publicatie	Overeenkomend(e) geschrift(en)	Datum van publicatie
DE 4321638 A	24-03-94	KR 9603776 B	22-03-96
		JP 6196651 A	15-07-94
		US 5447878 A	05-09-95
-----			
US 5405801 A	11-04-95	KR 9602097 B	10-02-96
		EP 0557590 A	01-09-93
		JP 6163853 A	10-06-94
-----			
EP 732738 A	18-09-96	JP 9008250 A	10-01-97
-----			