



(12)发明专利申请

(10)申请公布号 CN 105870136 A

(43)申请公布日 2016.08.17

(21)申请号 201610481624.9

(22)申请日 2016.06.27

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 崔贤植 田允允

(74)专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51) Int. Cl.

H01L 27/12(2006.01)

H01L 21/77(2006.01)

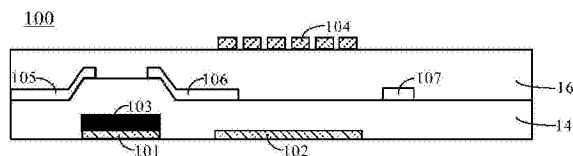
权利要求书2页 说明书6页 附图3页

(54)发明名称

一种阵列基板及其制作方法、显示装置

(57)摘要

本发明的实施例提供一种阵列基板及其制作方法、显示装置,涉及显示技术领域,可降低制作阵列基板时使用构图工艺的次数。该阵列基板包括:第一电极层,所述第一电极层包括:保留图案和第一电极;位于所述第一电极层上的栅金属层,所述栅金属层包括:位于所述保留图案上、且与所述保留图案直接接触的栅金属图案;第二电极层,所述第二电极层包括:与所述第一电极相对设置的第二电极,其中,所述第一电极为公共电极,所述第二电极为像素电极;或者,所述第一电极为像素电极,所述第二电极为公共电极。该阵列基板可应用于阵列基板的制作过程中。



1. 一种阵列基板,其特征在于,包括:
第一电极层,所述第一电极层包括:保留图案和第一电极;
位于所述第一电极层上的栅金属层,所述栅金属层包括:位于所述保留图案上、且与所述保留图案直接接触的栅金属图案;
第二电极层,所述第二电极层包括:与所述第一电极相对设置的第二电极,其中,所述第一电极为公共电极,所述第二电极为像素电极;或者,所述第一电极为像素电极,所述第二电极为公共电极。
2. 根据权利要求1所述的阵列基板,其特征在于,所述第二电极层位于所述栅金属层上方,所述阵列基板还包括:
位于所述栅金属层上的栅绝缘层;
位于所述栅绝缘层上的源漏金属层,所述源漏金属层包括:源极和漏极,数据线;
位于所述源漏金属层上的钝化层;
其中,所述第二电极层位于所述钝化层上。
3. 根据权利要求2所述的阵列基板,其特征在于,所述钝化层内设置有第一过孔,所述漏极通过所述第一过孔与所述第二电极电连接,使得所述第二电极为像素电极。
4. 根据权利要求2所述的阵列基板,其特征在于,所述栅绝缘层内设置有第二过孔,所述漏极通过所述第二过孔与所述第一电极电连接,使得所述第一电极为像素电极。
5. 根据权利要求2所述的阵列基板,其特征在于,
所述第二电极层还包括:连接图案;
所述钝化层内设置有第三过孔,所述连接图案通过所述第三过孔与所述漏极连接;
所述阵列基板还具有贯穿所述钝化层和所述栅绝缘层的第四过孔,所述连接图案通过所述第四过孔与所述第一电极连接,使得所述第一电极为像素电极。
6. 根据权利要求2-5中任一项所述的阵列基板,其特征在于,所述第二电极层还包括:与所述数据线相对设置的屏蔽电极。
7. 根据权利要求1-5中任一项所述的阵列基板,其特征在于,所述第二电极层还包括:信号接入图案,所述源漏金属层还包括:传导图案,所述栅金属图案包括公共电极线;
其中,所述信号接入图案通过贯穿所述钝化层的过孔与所述传导图案电连接,所述传导图案通过贯穿所述栅绝缘层的过孔与所述公共电极线电连接。
8. 根据权利要求7所述的阵列基板,其特征在于,所述信号接入图案包括:第一接入子图案和第二接入子图案;
所述第一接入子图案通过贯穿所述钝化层的第五过孔与所述传导图案电连接,所述第二接入子图案通过贯穿所述钝化层的第六过孔与所述传导图案电连接。
9. 一种如权利要求1-8中任一项所述的阵列基板的制作方法,其特征在于,包括:
在衬底基板上依次制作透明导电薄膜和金属薄膜,并使用一次掩模板对所述透明导电薄膜和金属薄膜构图形成第一电极层和栅金属层;其中,所述第一电极层包括:保留图案和第一电极,所述栅金属层包括:位于所述保留图案上、且与所述保留图案直接接触的栅金属图案;
所述方法还包括:形成第二电极层,所述第二电极层包括:与所述第一电极相对设置的第二电极;

其中,所述第一电极为公共电极,所述第二电极为像素电极;或者,所述第一电极为像素电极,所述第二电极为公共电极。

10.一种显示装置,其特征在于,包括如权利要求1-8中任一项所述的阵列基板。

一种阵列基板及其制作方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板及其制作方法、显示装置。

背景技术

[0002] 如图1所示,为目前显示面板中阵列基板的结构示意图,在制作该阵列基板时,至少需要使用5-6次构图工艺,例如,可先通过一次构图工艺形成栅极13,进而在栅极13上形成栅绝缘层05,再通过一次构图工艺形成有源层02,再通过一次构图工艺分别形成源极11和漏极12,再通过一次构图工艺形成像素电极01,进而在源极11、漏极12以及像素电极01上形成钝化层04,最后,通过一次构图工艺在钝化层04上形成公共电极03,这样,经过5次构图工艺可得到上述阵列基板。

[0003] 可以看出,在制作上述阵列基板时使用构图工艺的次数较多,从而增加了制作阵列基板时的复杂度和制作成本。

发明内容

[0004] 本发明提供一种阵列基板的制作方法,可降低制作阵列基板时使用构图工艺的次数,并且,本发明还提供一种可支持降低构图工艺的次数阵列基板和显示装置。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 一方面,本发明提供一种阵列基板,包括:

[0007] 第一电极层,所述第一电极层包括:保留图案和第一电极;

[0008] 位于所述第一电极层上的栅金属层,所述栅金属层包括:位于所述保留图案上、且与所述保留图案直接接触的栅金属图案;

[0009] 第二电极层,所述第二电极层包括:与所述第一电极相对设置的第二电极,其中,所述第一电极为公共电极,所述第二电极为像素电极;或者,所述第一电极为像素电极,所述第二电极为公共电极。

[0010] 进一步地,所述第二电极层位于所述栅金属层上方,所述阵列基板还包括:

[0011] 位于所述栅金属层上的栅绝缘层;

[0012] 位于所述栅绝缘层上的源漏金属层,所述源漏金属层包括:源极和漏极,数据线;

[0013] 位于所述源漏金属层上的钝化层;

[0014] 其中,所述第二电极层位于所述钝化层上。

[0015] 进一步地,所述钝化层内设置有第一过孔,所述漏极通过所述第一过孔与所述第二电极电连接,使得所述第二电极为像素电极。

[0016] 进一步地,所述栅绝缘层内设置有第二过孔,所述漏极通过所述第二过孔与所述第一电极电连接,使得所述第一电极为像素电极。

[0017] 进一步地,所述第二电极层还包括:连接图案;

[0018] 所述钝化层内设置有第三过孔,所述连接图案通过所述第三过孔与所述漏极连接;

[0019] 所述阵列基板还具有贯穿所述钝化层和所述栅绝缘层的第四过孔,所述连接图案通过所述第四过孔与所述第一电极连接,使得所述第一电极为像素电极。

[0020] 进一步地,所述第二电极层还包括:与所述数据线相对设置的屏蔽电极。

[0021] 进一步地,所述第二电极层还包括:信号接入图案,所述源漏金属层还包括:传导图案,所述栅金属图案包括公共电极线;

[0022] 其中,所述信号接入图案通过贯穿所述钝化层的过孔与所述传导图案电连接,所述传导图案通过贯穿所述栅绝缘层的过孔与所述公共电极线电连接。

[0023] 进一步地,所述信号接入图案包括:第一接入子图案和第二接入子图案;

[0024] 所述第一接入子图案通过贯穿所述钝化层的第五过孔与所述传导图案电连接,所述第二接入子图案通过贯穿所述钝化层的第六过孔与所述传导图案电连接。

[0025] 另一方面,本发明提供上述阵列基板的制作方法,包括:

[0026] 在衬底基板上依次制作透明导电薄膜和金属薄膜,并使用一次掩膜板对所述透明导电薄膜和金属薄膜构图形成第一电极层和栅金属层;其中,所述第一电极层包括:保留图案和第一电极,所述栅金属层包括:位于所述保留图案上、且与所述保留图案直接接触的栅金属图案;

[0027] 所述方法还包括:形成第二电极层,所述第二电极层包括:与所述第一电极相对设置的第二电极;

[0028] 其中,所述第一电极为公共电极,所述第二电极为像素电极;或者,所述第一电极为像素电极,所述第二电极为公共电极。

[0029] 另一方面,本发明提供一种显示装置,包括上述任一项所述的阵列基板。

[0030] 至此,本发明提供一种阵列基板及其制作方法、显示装置,其中,该阵列基板包括:第一电极层,该第一电极层包括:保留图案和第一电极;位于该第一电极层上的栅金属层,该栅金属层包括:位于保留图案上、且与保留图案直接接触的栅金属图案;以及,第二电极层,该第二电极层包括:与第一电极相对设置的第二电极,其中,第一电极为公共电极,第二电极为像素电极;或者,第一电极为像素电极,第二电极为公共电极。那么,在制作上述阵列基板时,可以在衬底基板上依次制作透明导电薄膜和金属薄膜,并使用一次掩膜板对透明导电薄膜和金属薄膜进行构图,形成上述结构的第一电极层和栅金属层,即通过一次构图工艺即可同时制作第一电极和栅极,相比于现有技术中需要通过三次构图工艺分别制作栅极、像素电极以及公共电极,本发明提供的阵列基板及其制作方法可降低制作阵列基板时使用构图工艺的次数。

附图说明

[0031] 图1为现有技术中阵列基板的结构示意图一;

[0032] 图2为本发明实施例提供的一种阵列基板的结构示意图一;

[0033] 图3为本发明实施例提供的一种阵列基板的结构示意图二;

[0034] 图4为本发明实施例提供的一种阵列基板的结构示意图三;

[0035] 图5为本发明实施例提供的一种阵列基板的结构示意图四;

[0036] 图6为本发明实施例提供的一种阵列基板的结构示意图五;

[0037] 图7为本发明实施例提供的一种阵列基板的结构示意图六;

- [0038] 图8为现有技术中阵列基板的结构示意图二；
- [0039] 图9为本发明实施例提供的一种阵列基板的制作过程示意图一；
- [0040] 图10为本发明实施例提供的一种阵列基板的制作过程示意图二。

具体实施方式

[0041] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。

[0042] 另外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本发明的描述中,除非另有说明,“多个”的含义是两个或两个以上。

[0043] 本发明的实施例提供一种阵列基板100,如图2所示,包括:

[0044] 第一电极层,该第一电极层包括:保留图案101和第一电极102;

[0045] 位于该第一电极层上的栅金属层,该栅金属层包括:位于该保留图案101上、且与该保留图案101直接接触的栅金属图案103;

[0046] 第二电极层,该第二电极层包括:与该第一电极102相对设置的第二电极104,其中,该第一电极102为公共电极,该第二电极为104像素电极;或者,该第一电极102为像素电极,该第二电极104为公共电极。

[0047] 示例性的,对于底栅结构的阵列基板100,仍如图2所示,该阵列基板100还包括:位于该栅金属层上的栅绝缘层14;位于该栅绝缘层14上的源漏金属层,该源漏金属层包括:源极105和漏极106,数据线107;以及,位于该源漏金属层上的钝化层16;其中,上述第二电极层位于该钝化层16上。

[0048] 可以看出,在制作上述阵列基板100时,可以在衬底基板上依次制作透明导电薄膜和金属薄膜,并使用一次掩模板对透明导电薄膜和金属薄膜进行构图,从而形成上述结构的第一电极层和栅金属层,即通过一次构图工艺即可同时制作第一电极102和栅极,相比于现有技术中需要通过三次构图工艺分别制作栅极、像素电极以及公共电极,本发明提供的阵列基板及其制作方法可降低制作阵列基板时使用构图工艺的次數。

[0049] 同时,在本发明实施例提供的阵列基板100中,由于第一电极102与第二电极104之间设置有钝化层16和栅绝缘层14共两层,因此,无需现有技术中那样需要通过增加钝化层的厚度来降低第一电极与第二电极之间存储电容,从而降低了阵列基板的厚度。

[0050] 示例性的,在一种可能的设计中,如图3所示,钝化层16内设置有第一过孔201,漏极106通过第一过孔201与第二电极104电连接,使得第二电极104为像素电极。

[0051] 示例性的,在另一种可能的设计中,如图4所示,第二电极层还包括:连接图案108;其中,钝化层16内设置有第三过孔202,连接图案108通过第三过孔202与漏极106连接;此时,阵列基板100还具有贯穿钝化层16和栅绝缘层14的第四过孔203,连接图案108通过第四过孔203与第一电极102连接,使得第一电极102为像素电极。

[0052] 然而,在如图4所示的阵列基板100中,由于包含连接第三过孔202和第四过孔203的连接图案108,导致设置过孔区域的面积增加,从而使得阵列基板100的开口率降低。

[0053] 对此,本发明实施例在图4的基础上提出了一种优化方案,如图5所示,栅绝缘层14

内设置有第二过孔204,漏极106通过第二过孔204与第一电极102电连接,使得第一电极102为像素电极。

[0054] 这样,与图4所示的阵列基板100相比,在图5所示的阵列基板100中,由于单独对栅绝缘层14一层进行刻蚀,在栅绝缘层14内形成第二过孔204,可减少过孔区域的面积,从而降低对阵列基板100开口率的影响。

[0055] 另外,在图2-图5中任一所示的阵列基板100中,如图6所示,第二电极层还包括:与数据线107相对设置的屏蔽电极109,此时,屏蔽电极109用于屏蔽数据线107周围形成的电场,防止因该电场引起的漏光现象。

[0056] 进一步地,基于图2-图5所示的任一种阵列基板100,如图7所示,第二电极层还包括:信号接入图案110;源漏金属层还包括:传导图案111;栅金属图案103包括栅极112和公共电极线113;其中,信号接入图案110通过贯穿钝化层16的过孔与传导图案111电连接,传导图案111通过贯穿栅绝缘层14的过孔与公共电极线113电连接。

[0057] 示例性的,仍如图7所示,信号接入图案110具体包括:第一接入子图案211和第二接入子图案212;其中,第一接入子图案211通过贯穿钝化层的第五过孔205与传导图案111电连接,第二接入子图案212通过贯穿钝化层的第六过孔206与传导图案111电连接。

[0058] 而现有技术中,基于图1所示的阵列基板,其信号接入图案110、传导图案111以及公共电极线113的设置方式如图8所示,其中,设置有贯穿栅绝缘层14和钝化层16的过孔C,以及贯穿钝化层16的过孔D和过孔E,传导图案111通过过孔D和过孔E与信号接入图案110连通,公共电极线113通过过孔C与信号接入图案110连通,此时,由于设置了三个过孔,即过孔C、过孔D和过孔E,从而导致过孔区域内信号接入图案110的面积增加,降低了阵列基板100的开口率。

[0059] 而在本发明实施例图7中提供的阵列基板100中,在形成栅绝缘层14时,可以通过刻蚀工艺制作过孔,使得传导图案111通过该过孔与公共电极线113电连接,只需在钝化层16内设置第五过孔205和第六过孔206,便可以使信号接入图案110通过传导图案111与公共电极线113电连接,从而减少了过信号接入图案110的面积,从而降低对阵列基板100开口率的影响。

[0060] 进一步地,本发明的实施例还提供上述阵列基板100的制作方法,包括:

[0061] 首先,如图9所示,在衬底基板200上依次制作透明导电薄膜31和金属薄膜32。该透明导电薄膜31可以为ITO(Indium Tin Oxides,氧化铟锡)等透明导电材料。

[0062] 进而,如图10所示,使用一次掩模板对透明导电薄膜31和金属薄膜32进行曝光、显影和刻蚀后,透明导电薄膜31保留下来的图案即为第一电极层,金属薄膜32保留下来的图案即为栅金属层。

[0063] 其中,第一电极层包括:保留图案101和第一电极102;栅金属层包括:位于保留图案101上、且与保留图案101直接接触的栅金属图案103。

[0064] 例如,该栅金属图案103可以由栅极112和公共电极线113构成。

[0065] 需要说明的是,第一电极102可以为公共电极,此时,与第一电极102相对设置的第二电极为像素电极;或者,第一电极102可以为像素电极,此时,与第一电极102相对设置的第二电极为公共电极。

[0066] 可以看出,上述制作方法中仅通过一次构图工艺即可同时制作第一电极102和栅

极112,相比于现有技术中需要通过二次构图工艺分别制作栅极和第一电极,本发明提供的阵列基板及其制作方法可降低制作阵列基板时使用构图工艺的次数,从而降低制作阵列基板时的复杂度和制作成本。

[0067] 后续,还可以分别制作上述栅绝缘层14、源漏金属层、钝化层16以及第二电极层。

[0068] 以下,将分别针对上述图3-图5中提供的阵列基板100的具体结构,详细阐述阵列基板100的制作方法。

[0069] 对于如图3所示的阵列基板100,在形成上述第一电极层和栅金属层之后,可以在栅金属层上制作栅绝缘层14,进而,在栅绝缘层14上通过一次构图工艺制作源漏金属层,该源漏金属层包括:源极105和漏极106,数据线107;进而,在源漏金属层上制作钝化层16,并且,通过刻蚀工艺在钝化层16内制作第一过孔201,第一过孔201的一端与漏极106相连,最后,在钝化层16上通过一次构图工艺制作第二电极层,该第二电极层包括:与该第一电极102相对设置的第二电极104,此时,第二电极104与第一过孔201相连,使得第二电极104与漏极106电连接,该第二电极104为像素电极,该第一电极102为公共电极。

[0070] 对于如图4所示的阵列基板100,在形成上述第一电极层和栅金属层之后,可以在栅金属层上制作栅绝缘层14,进而,在栅绝缘层14上通过一次构图工艺制作源漏金属层,该源漏金属层包括:源极105和漏极106,数据线107;进而,在源漏金属层上制作钝化层16,在形成钝化层16之后,可通过两次刻蚀工艺分别制作贯穿钝化层16的第三过孔202,以及贯穿钝化层16和栅绝缘层14的第四过孔203,其中,第三过孔202的一端与漏极106相连,第四过孔203的一端与第一电极102相连,由于第四过孔203的深度较大,因此,在制作第四过孔203时使用的刻蚀液的浓度较大,和/或者刻蚀时间较长。最后,在钝化层16上通过一次构图工艺制作第二电极层,该第二电极层包括:与该第一电极102相对设置的第二电极104,以及连接图案108,该连接图案108同时与第三过孔202和第四过孔203相连,以使得漏极106通过第三过孔202、第四过孔203和连接图案108与第一电极102电连接,此时,该第二电极104为公共电极,该第一电极102为像素电极。

[0071] 对于如图5所示的阵列基板100,在形成上述第一电极层和栅金属层之后,可以在栅金属层上制作栅绝缘层14,在形成栅绝缘层14之后,可以通过刻蚀工艺在栅绝缘层14内制作第二过孔204,第二过孔204的一端与第一电极102相连,进而,在栅绝缘层14上通过一次构图工艺制作源漏金属层,该源漏金属层包括:源极105和漏极106,数据线107;其中,漏极106与第二过孔204的另一端相连,以使得漏极106与第一电极102电连接,后续,可进一步在源漏金属层上制作钝化层16,进而,在钝化层16上通过一次构图工艺制作第二电极层,该第二电极层包括:与该第一电极102相对设置的第二电极104,此时,第二电极104为公共电极,第一电极102为像素电极。

[0072] 进一步地,基于上述任意一种制作方法,在制作上述第二电极层时,可以同时形成第二电极104和屏蔽电极109,屏蔽电极109与数据线107相对设置,得到如图6所示的阵列基板100,此时,屏蔽电极109用于屏蔽数据线107周围形成的电场,防止因该电场引起的漏光现象。

[0073] 另外,基于上述任意一种制作方法,在制作如图7所示的阵列基板100时,在制作源极105和漏极106时,可以同时制作传导图案111,此时,源极105和漏极106,数据线107和传导图案111构成源漏金属层;在制作第二电极104时,可以同时制作信号接入图案110,例如,

第一接入子图案211和第二接入子图案212,并且,在形成栅绝缘层14之后,通过刻蚀工艺在栅绝缘层14内制作连接公共电极线113和传导图案111的过孔,并在形成钝化层16之后,通过刻蚀工艺在钝化层16内制作连接传导图案111和信号接入图案110的过孔,这样,外部电压信号可以通过信号接入图案110传输给公共电极线113,以驱动公共电极和像素电极在外部电压信号的作用下形成电场,使阵列基板与彩膜基板之间的液晶分子发生偏转。

[0074] 进一步地,本发明实施例还提供了一种显示装置,包括上述阵列基板100。其中,所述显示装置可以为任意显示面板,也可以为集成有显示面板的任何具有显示功能的产品或部件,例如:液晶面板、电子纸、OLED面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相机、导航仪等。

[0075] 至此,本发明提供一种阵列基板及其制作方法、显示装置,其中,该阵列基板包括:第一电极层,该第一电极层包括:保留图案和第一电极;位于该第一电极层上的栅金属层,该栅金属层包括:位于保留图案上、且与保留图案直接接触的栅金属图案;以及,第二电极层,该第二电极层包括:与第一电极相对设置的第二电极,其中,第一电极为公共电极,第二电极为像素电极;或者,第一电极为像素电极,第二电极为公共电极。那么,在制作上述阵列基板时,可以在衬底基板上依次制作透明导电薄膜和金属薄膜,并使用一次掩膜板对透明导电薄膜和金属薄膜进行构图,形成上述结构的第一电极层和栅金属层,即通过一次构图工艺即可同时制作第一电极和栅极,相比于现有技术中需要通过三次构图工艺分别制作栅极、像素电极以及公共电极,本发明提供的阵列基板及其制作方法可降低制作阵列基板时使用构图工艺的次数。

[0076] 在本说明书的描述中,具体特征、结构、材料或者特点可以在任何一个或多个实施例或示例中以合适的方式结合。

[0077] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以权利要求的保护范围为准。

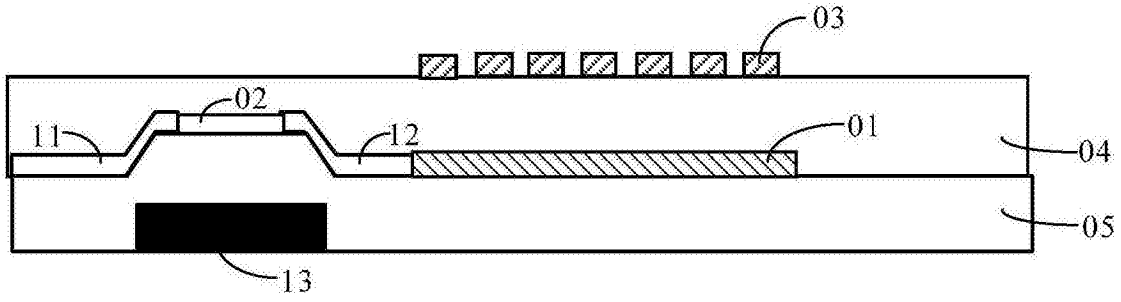


图1

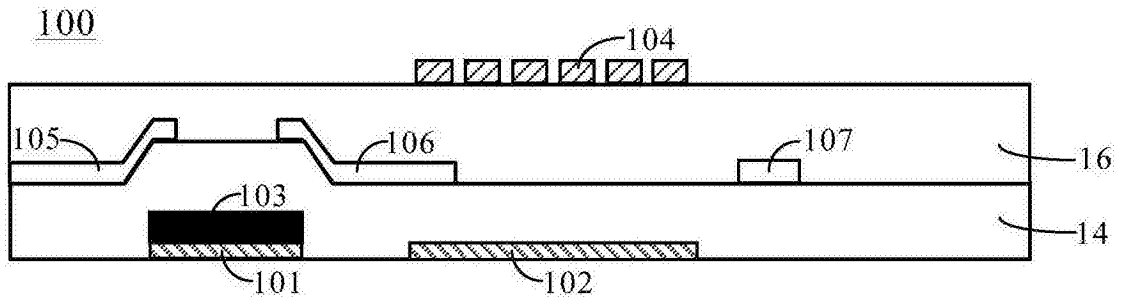


图2

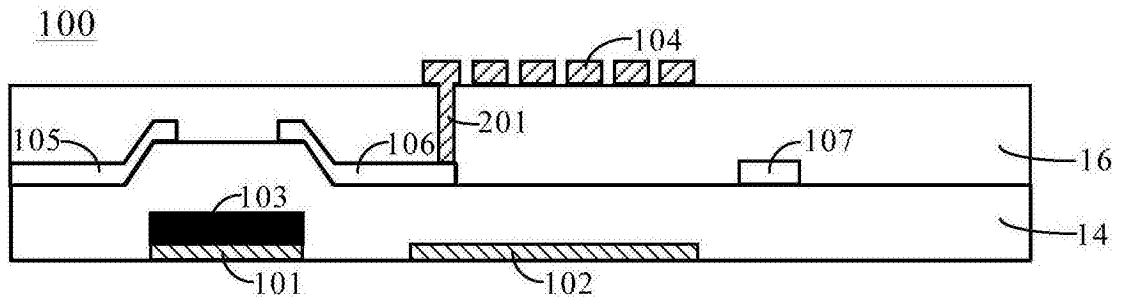


图3

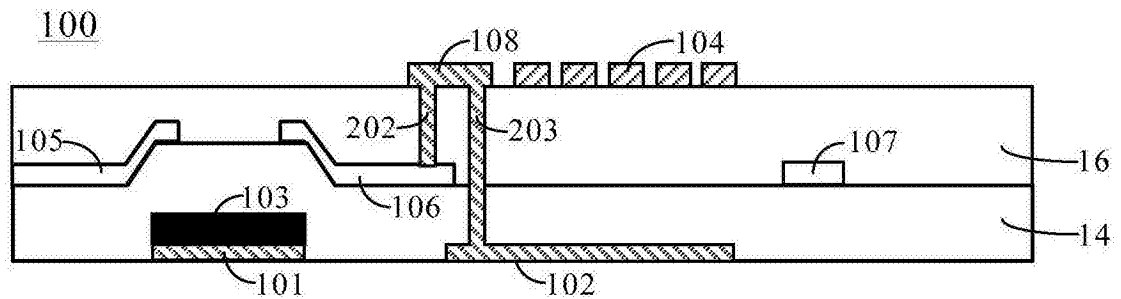


图4

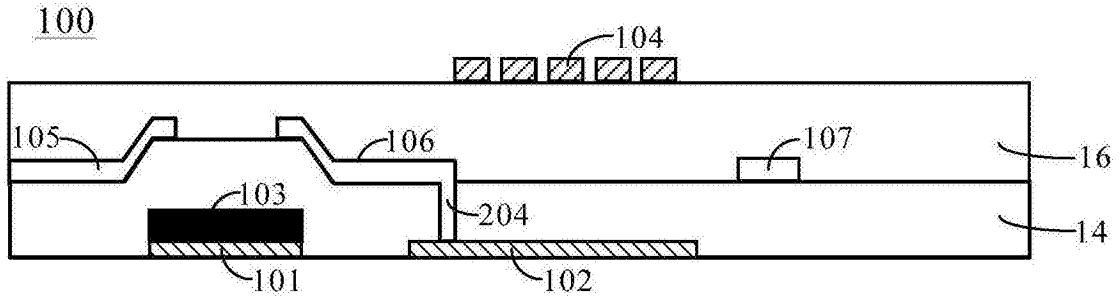


图5

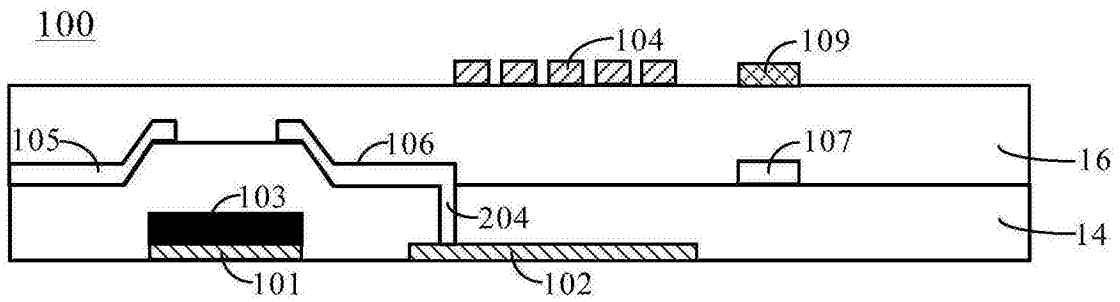


图6

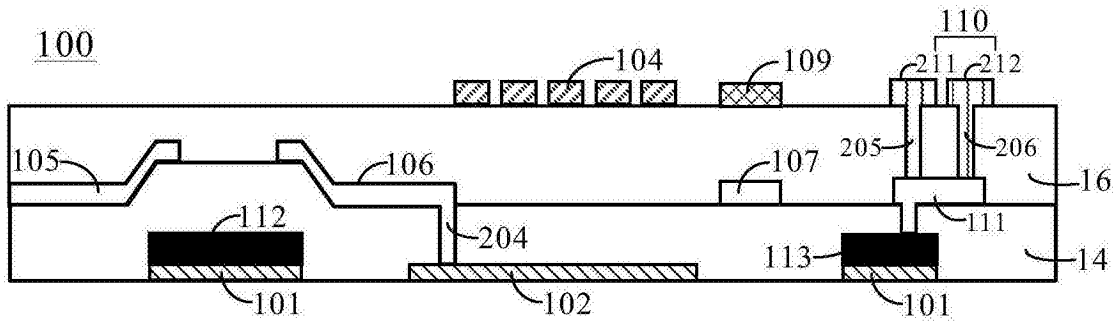


图7

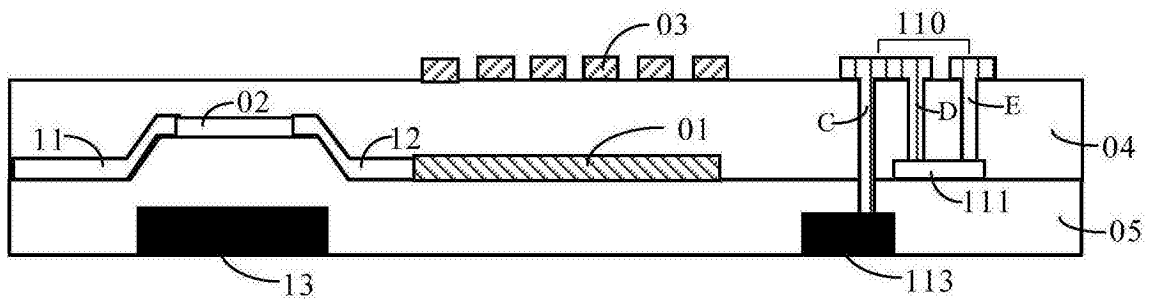


图8

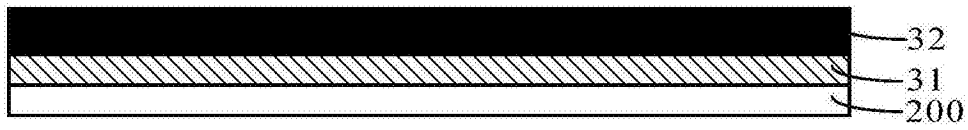


图9

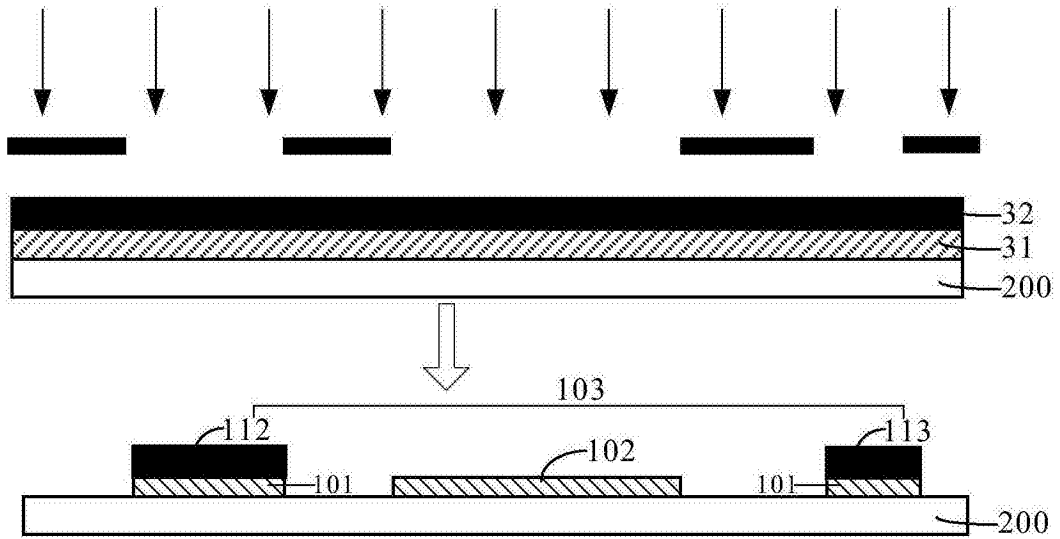


图10