



(12) 发明专利申请

(10) 申请公布号 CN 117457634 A

(43) 申请公布日 2024. 01. 26

(21) 申请号 202311029990.7

(51) Int. Cl.

(22) 申请日 2019.12.10

H01L 25/065 (2023.01)

H01L 25/18 (2023.01)

(30) 优先权数据

G11C 5/02 (2006.01)

62/777,254 2018.12.10 US

G11C 5/04 (2006.01)

62/824,315 2019.03.27 US

G11C 7/10 (2006.01)

62/848,553 2019.05.15 US

(62) 分案原申请数据

201911259589.6 2019.12.10

(71) 申请人 钰创科技股份有限公司

地址 中国台湾新竹市

申请人 发明创新暨合作实验室有限公司

(72) 发明人 卢超群

(74) 专利代理机构 深圳新创友知识产权代理有

限公司 44223

专利代理师 谢林红

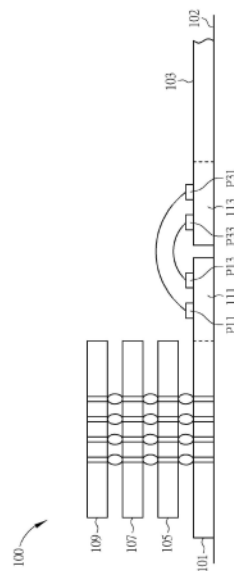
权利要求书2页 说明书11页 附图5页

(54) 发明名称

统一集成电路系统

(57) 摘要

本发明公开了一种统一集成电路 (IC) 系统。所述集成电路系统包含一基底动态随机存取存储 (DRAM) 芯片和一逻辑芯片。所述 DRAM 芯片包含多个 DRAM 单元以及一 DRAM 桥接区域, 所述 DRAM 桥接区域包含所述 DRAM 芯片的部分或全部的外围电路, 其中每一 DRAM 单元包含一第一鳍式结构晶体管与一电容, 以及所述 DRAM 桥接区域包含多个第三鳍式结构晶体管与多个 DRAM 输入/输出垫片。所述逻辑芯片包含多个第二鳍式结构晶体管与一逻辑桥接区域, 其中所述逻辑桥接区域包含多个逻辑输入/输出垫片, 以及所述多个 DRAM 输入/输出垫片电连接所述多个逻辑输入/输出垫片。本发明相较于现有技术可以显着地改善所述内存墙问题。



1. 一种统一集成电路系统,其特征在于包含:

一基底动态随机存取存储芯片,包含:

包含多个第一动态随机存取存储单元的一第一存储区域、和包含多个第二动态随机存取存储单元的一第二存储区域,其中所述多个第一动态随机存取存储单元和所述多个第二动态随机存取存储单元中的每一动态随机存取存储单元包含一第一晶体管与一第一电容;以及

一动态随机存取存储桥接区域,包含多个动态随机存取存储输入/输出垫片;以及

一逻辑芯片,包含:

一逻辑桥接区域,包含多个逻辑输入/输出垫片;

其中所述多个动态随机存取存储输入/输出垫片电连接所述多个逻辑输入/输出垫片,以及所述逻辑芯片和所述基底动态随机存取存储芯片实体上片分隔开来;

其中所述第一存储区域并非垂直分隔于所述第二存储区域。

2. 如权利要求1所述的统一集成电路系统,其特征在于:所述基底动态随机存取存储芯片另包含位于所述第一存储区域中的多个第一双向中继器和位于所述第二存储区域中的多个第二双向中继器。

3. 如权利要求2所述的统一集成电路系统,其特征在于:所述基底动态随机存取存储芯片另包含位于所述动态随机存取存储桥接区域中的多个外部双向中继器,其中所述多个第二双向中继器中的一第二双向中继器通过一第二金属导线电连接所述多个第一双向中继器中的一对应的第一双向中继器,所述对应的第一双向中继器通过一第一金属导线电连接所述多个外部双向中继器中一对应的的外部双向中继器,以及所述对应的的外部双向中继器通过一第三金属导线电连接所述多个动态随机存取存储输入/输出垫片中一对应的的动态随机存取存储输入/输出垫片。

4. 如权利要求3所述的统一集成电路系统,其特征在于包含:

包含多个第三动态随机存取存储单元的一第三存储区域;

位于所述第三存储区域中的多个第三双向中继器;以及

其中所述多个第三双向中继器中的一第三双向中继器通过一第四金属导线电连接所述多个第二双向中继器中的所述第二双向中继器。

5. 如权利要求4所述的统一集成电路系统,其特征在于包含:

包含多个第四动态随机存取存储单元的一第四存储区域;以及

位于所述第四存储区域中的多个第四双向中继器;

其中所述多个第四双向中继器中的一第四双向中继器通过一第五金属导线电连接所述多个第三双向中继器中的所述第三双向中继器。

6. 如权利要求2所述的统一集成电路系统,其特征在于:所述基底动态随机存取存储芯片另包含位于所述动态随机存取存储桥接区域中的多个外部双向中继器,其中所述多个第一双向中继器中的一第一双向中继器通过一第一金属导线电连接所述多个外部双向中继器中一对应的的外部双向中继器,所述多个第二双向中继器中的一第二双向中继器通过一第二金属导线电连接所述对应的的外部双向中继器,以及所述对应的的外部双向中继器通过一第三金属导线电连接所述多个动态随机存取存储输入/输出垫片中一对应的的动态随机存取存储输入/输出垫片。

7. 如权利要求6所述的统一集成电路系统,其特征在于包含:
包含多个第三动态随机存取存储单元的一第三存储区域;以及
位于所述第三存储区域中的多个第三双向中继器;
其中所述多个第三双向中继器中的一第三双向中继器通过一第四金属导线电连接所述对应的外部双向中继器。
8. 如权利要求7所述的统一集成电路系统,其特征在于包含:
包含多个第四动态随机存取存储单元的一第四存储区域;以及
位于所述第四存储区域中的多个第四双向中继器;
其中所述多个第四双向中继器中的一第四双向中继器通过一第五金属导线电连接所述对应的外部双向中继器。
9. 如权利要求1所述的统一集成电路系统,其特征在于:所述基底动态随机存取存储芯片另包含多个第一微垫片和多个第二微垫片,其中所述多个第一微垫片对应所述第一存储区域,所述多个第二微垫片对应所述第二存储区域,所述多个第一微垫片和所述多个第二微垫片用于耦接多个外部探针以分别测试所述第一存储区域和所述第二存储区域。
10. 如权利要求9所述的统一集成电路系统,其特征在于:所述多个第一微垫片中一第一微垫片或所述多个第二微垫片中一第二微垫片的尺寸大于所述多个动态随机存取存储输入/输出垫片中一动态随机存取存储输入/输出垫片的尺寸。
11. 如权利要求9所述的统一集成电路系统,其特征在于:所述多个第一微垫片或所述多个第二微垫片的数量小于所述多个动态随机存取存储输入/输出垫片的数量。
12. 如权利要求1所述的统一集成电路系统,其特征在于:所述第一存储区域和所述第二存储区域中的每一存储区域具有行地址接口和与所述行地址接口实体上互相独立的列地址接口。

统一集成电路系统

[0001] 原申请案的申请日为2019年12月10日,申请号为201911259589.6,以及发明名称为“统一集成电路系统”。

技术领域

[0002] 本发明涉及一种具有内存芯片与逻辑芯片的统一集成电路微系统,尤其涉及一种包含高性能逻辑三维晶体管(例如鳍式结构晶体管或环绕栅极晶体管)的统一集成电路系统与相关动态随机存取芯片。

背景技术

[0003] 用于高性能计算或人工智能系统的一集成电路系统是由多个DRAM芯片和一逻辑芯片所组成的。所述逻辑芯片在现有技术中可以利用10纳米工艺、7纳米工艺、甚至是5纳米工艺而制造于一硅裸芯片内。上述的工艺基本上遵循着摩尔定律的微缩:每经过一次的工艺节点,一特定区域内的晶体管数量就会增加一倍。但是现有的工艺节点能够遵循摩尔定律的关键因素是在三维晶体管(例如环绕栅极晶体管(gate-all-around transistor)、三栅极晶体管(tri-gate transistor)或鳍式场效应晶体管(fin field-effect transistor,FinFET))的发明与使用。所述三栅极晶体管达成了高性能、低漏电与高可靠性等等的特性。

[0004] 而在另一方面,有关DRAM的微缩技术在45纳米工艺节点后随即趋缓,且在25纳米工艺节点后花了两年更久的时间才达到如摩尔定律的预测而进入十几纳米等级的工艺节点。一关键的原因在于DRAM使用了一堆叠电容结构,而所述堆叠电容结构在形成一晶体管的结构后还要再进行高温的工艺步骤,所述晶体管的源极与漏极的接面将随着所述晶体管的微缩而难以控制。因此,即使所述三栅极晶体管已良好地运用在所述逻辑芯片低于20纳米的工艺上,且加速了所述逻辑芯片中必要电路的性能、达到良好的漏电流控制、且允许所述三栅极晶体管的供给电源从1.2伏特缩小到0.6至0.7伏特,但多数的DRAM工艺并未使用所述三栅极晶体管的结构。另外,在形成中的所述晶体管后才形成的堆叠电容结构为三栅极晶体管或鳍式场效应晶体管在DRAM工艺中的利用带来许多困难。结果,DRAM工艺在15纳米后的微缩越来越困难,而10纳米以下的技术也尚未出现。

[0005] 当所述逻辑芯片(或单芯片(System on a Chip,SOC))的性能可以被低于10纳米的工艺大幅加速,特别是因为鳍式场效应晶体管或是三栅极晶体管的进步而加速时,所述DRAM芯片趋缓的工艺发展使得知名的内存墙(memory-wall effect,事实上应是DRAM墙)问题更加恶化,其中所述内存墙问题降低了逻辑芯片与存储芯片之间的数据传输率。所述逻辑芯片和所述DRAM芯片之间的数据带宽与随机存取时间的差距愈来愈大,使得现有的DRAM技术无法作为一存储载体为所述逻辑芯片提供或存储数据。

[0006] 为了解决所述内存墙问题,DRAM的技术发展导向了三维空间的DRAM技术,称为高带宽存储器(High Bandwidth Memory,HBM)。然而,根据电子设备工程联合委员会(Joint Electron Device Engineering Council,JEDEC)公布的HBM标准,所述每一DRAM芯片的电

源电压定义为1.2伏特,而用于所述逻辑芯片的三栅极晶体管的电源电压却定义为0.6至0.7伏特。所述每一DRAM芯片与所述逻辑芯片间电源电压的不兼容带来了能源效率优化和性能同步上的困难。另外,所述HBM使用了三维的技术以堆叠多个DRAM芯片(例如2、4、或8个裸芯片),且每一DRAM芯片具有8Gb或16Gb的容量、超过一千个的输入/输出接口、且总数据速率在第三代双倍数据率同步DRAM(DDR3)的使用下每秒可以超过128Gb,其中最大的挑战就是这些超过一千个的输入/输出接口需通过数以千计的硅穿孔(Through Silicon Via, TSV)而垂直互连,直接挑战了所述HBM工艺上的良率,也花费相当长的制造时间与相当高的成本。另外,在一DRAM单元内采用三栅极晶体管而解决所述内存墙问题的方法在美国专利号第9,935,109号专利中被提出。然而,所述专利并未触及有关漏电流问题的探讨。因此,如何解决所述内存墙问题而同时具有低漏电流是所述集成电路系统的设计者的一项重要课题。

发明内容

[0007] 本发明的一实施例公开一种统一集成电路系统。所述集成电路系统包含一基底动态随机存取存储芯片和一逻辑芯片。所述基底动态随机存取存储芯片包含包含多个第一动态随机存取存储单元的一第一存储区域、包含多个第二动态随机存取存储单元的一第二存储区域和一动态随机存取存储桥接区域;其中所述多个第一动态随机存取存储单元和所述多个第二动态随机存取存储单元中的每一动态随机存取存储单元包含一第一晶体管与一第一电容。所述动态随机存取存储桥接区域包含多个动态随机存取存储输入/输出垫片。所述逻辑芯片包含一逻辑桥接区域,其中所述逻辑桥接区域包含多个逻辑输入/输出垫片;其中所述多个动态随机存取存储输入/输出垫片电连接所述多个逻辑输入/输出垫片,以及所述逻辑芯片和所述基底动态随机存取存储芯片实体上片分隔开来;其中所述第一存储区域并非垂直分隔于所述第二存储区域。

[0008] 在本发明的一实施例中,所述基底动态随机存取存储芯片另包含位于所述第一存储区域中的多个第一双向中继器和位于所述第二存储区域中的多个第二双向中继器。

[0009] 在本发明的一实施例中,所述基底动态随机存取存储芯片另包含位于所述动态随机存取存储桥接区域中的多个外部双向中继器,其中所述多个第二双向中继器中的一第二双向中继器通过一第二金属导线电连接所述多个第一双向中继器中的一对应的第一双向中继器,所述对应的第一双向中继器通过一第一金属导线电连接所述多个外部双向中继器中一对应的外部双向中继器,以及所述对应的外部双向中继器通过一第三金属导线电连接所述多个动态随机存取存储输入/输出垫片中一对应的动态随机存取存储输入/输出垫片。

[0010] 在本发明的一实施例中,所述统一集成电路系统包含包含多个第三动态随机存取存储单元的一第三存储区域和位于所述第三存储区域中的多个第三双向中继器;其中所述多个第三双向中继器中的一第三双向中继器通过一第四金属导线电连接所述多个第二双向中继器中的所述第二双向中继器。

[0011] 在本发明的一实施例中,所述统一集成电路系统包含包含多个第四动态随机存取存储单元的一第四存储区域和位于所述第四存储区域中的多个第四双向中继器;其中所述多个第四双向中继器中的一第四双向中继器通过一第五金属导线电连接所述多个第三双向中继器中的所述第三双向中继器。

[0012] 在本发明的一实施例中,所述基底动态随机存取存储芯片另包含位于所述动态随机存取存储桥接区域中的多个外部双向中继器,其中所述多个第一双向中继器中的一第一双向中继器通过一第一金属导线电连接所述多个外部双向中继器中一对应的外部双向中继器,所述多个第二双向中继器中的一第二双向中继器通过一第二金属导线电连接所述对应的外部双向中继器,以及所述对应的外部双向中继器通过一第三金属导线电连接所述多个动态随机存取存储输入/输出垫片中一对应的动态随机存取存储输入/输出垫片。

[0013] 在本发明的一实施例中,所述统一集成电路系统包含包含多个第三动态随机存取存储单元的一第三存储区域和位于所述第三存储区域中的多个第三双向中继器;其中所述多个第三双向中继器中的一第三双向中继器通过一第四金属导线电连接所述对应的外部双向中继器。

[0014] 在本发明的一实施例中,所述统一集成电路系统包含包含多个第四动态随机存取存储单元的一第四存储区域和位于所述第四存储区域中的多个第四双向中继器;其中所述多个第四双向中继器中的一第四双向中继器通过一第五金属导线电连接所述对应的外部双向中继器。

[0015] 在本发明的一实施例中,所述基底动态随机存取存储芯片另包含多个第一微垫片和多个第二微垫片,其中所述多个第一微垫片对应所述第一存储区域,所述多个第二微垫片对应所述第二存储区域,所述多个第一微垫片和所述多个第二微垫片用于耦接多个外部探针以分别测试所述第一存储区域和所述第二存储区域。

[0016] 在本发明的一实施例中,所述多个第一微垫片中一第一微垫片或所述多个第二微垫片中一第二微垫片的尺寸大于所述多个动态随机存取存储输入/输出垫片中一动态随机存取存储输入/输出垫片的尺寸。

[0017] 在本发明的一实施例中,所述多个第一微垫片或所述多个第二微垫片的数量小于所述多个动态随机存取存储输入/输出垫片的数量。

[0018] 在本发明的一实施例中,所述第一存储区域和所述第二存储区域中的每一存储区域具有行地址接口和与所述行地址接口实体上互相独立的列地址接口。

附图说明

[0019] 图1A是本发明的第一实施例所公开的一种具有存储集成电路与逻辑集成电路的统一微系统(统一集成电路系统)的示意图。

[0020] 图1B是本发明的第一实施例所公开的另一统一集成电路系统的示意图。

[0021] 图2是本发明另一实施例说明基底DRAM芯片和逻辑桥接区域的耦接关系的示意图。

[0022] 图3是本发明另一实施例说明基底DRAM芯片和逻辑桥接区域的耦接关系的示意图。

[0023] 图4是本发明第二实施例所公开的一晶体管的示意图。

[0024] 其中,附图标记说明如下:

[0025]	100	统一集成电路系统
[0026]	102	基底
[0027]	101	基底动态随机存取存储芯片

[0028]	103	逻辑芯片
[0029]	105、107、109	堆叠动态随机存取存储芯片
[0030]	111	DRAM桥接区域
[0031]	113	逻辑桥接区域
[0032]	400	鳍式结构晶体管
[0033]	401	栅极
[0034]	4011	覆盖结构
[0035]	403	间隔层
[0036]	4031	第一部分
[0037]	4032	第二部分
[0038]	405	通道区
[0039]	407	第一导通区
[0040]	409	第二导通区
[0041]	4071、4091	下方部份
[0042]	4072、4092	上方部份
[0043]	410	基底
[0044]	411	硅表面
[0045]	413、415	接触区
[0046]	417、419	绝缘层
[0047]	420	凹槽
[0048]	ER1、ER2、ERN	外部双向中继器
[0049]	MP11、MP12、MP21、MP22、MP31、	微垫片
[0050]	MP32、MP41、MP42	
[0051]	MR1、MR2、MR3、MR4	存储区域
[0052]	P11、P13、P1N	动态随机存取存储输入/输出垫片
[0053]	P31、P33、P3N	逻辑输入/输出垫片
[0054]	R1、R2、R3、R4	双向中继器

具体实施方式

[0055] 请参照图1A。图1A是本发明的第一实施例所公开的一种具有存储集成电路与逻辑集成电路的统一微系统(后续称为统一集成电路系统)的示意图。统一集成电路系统100包含一基底存储集成电路和一逻辑集成电路,其中所述基底存储集成电路可以是一动态随机存取存储(DRAM)芯片、一静态随机存取存储(SRAM)芯片、一闪存(flash)芯片或是其他数据存储芯片,以及所述逻辑集成电路可以是一人工智能集成电路。而在后续说明中,逻辑集成电路是一逻辑芯片103。另外,图1A中的基底存储集成电路是以DRAM芯片103作为范例,其中基底DRAM芯片101和逻辑芯片103一起设置于一基底102上,其中基底DRAM芯片101并非垂直地与和逻辑芯片103分开,以及基底DRAM芯片101实体上与逻辑芯片103分隔开来。另外,三个堆叠DRAM芯片105、107、109堆可以通过多个硅穿孔(Through Silicon Via,TSV)另外堆叠于基底DRAM芯片101上方。然而,本发明并不受限于堆叠DRAM芯片105、107、109堆叠于基

底DRAM芯片101上方,以及堆叠DRAM芯片105、107、109也可以是其他种类的数据存储芯片。也就是说,多个存储芯片可以堆叠于基底DRAM芯片101上。

[0056] 基底DRAM芯片101包含具有多个DRAM单元的一DRAM核心(未绘示于图1A)以及一DRAM桥接区域111,其中DRAM桥接区域111可以包含基底DRAM芯片101的部分或所有的外围电路。所述多个DRAM单元中的每一DRAM单元包含一第一晶体管和一电容,以及DRAM桥接区域111可以包含多个第三晶体管。另外,DRAM桥接区域111可以包含控制电路(例如串行解串器电路(SerDes circuits)或过渡或转换电路(translational circuit))、输入/输出电路与输入/输出垫片(例如DRAM输入/输出垫片P11、P13)以用于信号在基底DRAM芯片101与逻辑芯片103之间的传输/接收。然而所述控制电路与DRAM输入/输出垫片在堆叠DRAM芯片105、107、109中并非必要。当然地,堆叠DRAM芯片105、107、109中的每一DRAM芯片也包含具有多个DRAM单元的一DRAM核心,以及所述多个DRAM单元中的每一DRAM单元也包含一第一晶体管和一电容。堆叠DRAM芯片105、107、109可另包含少许或部份的外围电路,以和堆叠DRAM芯片105、107、109中的其他DRAM芯片和/或基底DRAM芯片101沟通。

[0057] 在本发明的另一实施例中,DRAM桥接区域111另包含测试电路以及纠错码(error-correcting code,ECC)电路(未绘示于图1A),其中所述测试电路以及所述ECC电路的操作方法为本领域的技术人员所公知,在此不再赘述。另外,所述第一晶体管(或所述多个第三晶体管中的一第三晶体管)可以是一三维晶体管(例如鳍式结构晶体管或环绕栅极晶体管(gate-all-around transistor))或是一平面晶体管。在本发明的一优选实施例中,所述第一晶体管和所述多个第三晶体管是鳍式结构晶体管。

[0058] 逻辑芯片103包含多个第二晶体管(未绘示于图1A)和一逻辑桥接区域113。所述多个第二晶体管中的一第二晶体管可以是一鳍式结构晶体管或是一平面晶体管,且可位于逻辑桥接区域113的内部及/或外部。逻辑桥接区域113包含多个逻辑输入/输出垫片,例如逻辑输入/输出垫片P31、P33。另外,后续于一实施例将以所述第一晶体管、所述第二晶体管、所述第三晶体管分别是一第一鳍式结构晶体管、一第二鳍式结构晶体管、一第三鳍式结构晶体管为例。在本发明的另一实施例中,所述第三鳍式结构晶体管的结构和所述第二鳍式结构晶体管的结构相同或几乎相同。因此,DRAM桥接区域111中的所述第三鳍式结构晶体管的输入信号的电压电平等于或几乎等于逻辑桥接区域113中的所述第二鳍式结构晶体管的输入信号的电压电平,以及所述第三鳍式结构晶体管的输出信号的电压电平等于或几乎等于所述第二鳍式结构晶体管的输出信号的电压电平。因此,DRAM输入/输出垫片P11、P13可以直接电连接逻辑输入/输出垫片P31、P33,而不需通过DRAM桥接区域111和/或逻辑桥接区域113中额外的一电压转换电路。DRAM输入/输出垫片P11、P13和逻辑输入/输出垫片P31、P33之间的电连接可以通过金属导线、金属桥、倒装芯片技术(flip-chip)、微凸块(micro-bump)技术或其他小芯片(chiplet)标准定义的接合技术而电连接。因此,基底DRAM芯片101将可以直接输入/输出数据或信号给逻辑芯片103,以及统一集成电路系统100中的数据处理、数据流与数据存储将可在一连串的操作流程中具有统一的电压波形,而可以流畅的执行输出/输入等操作,并显著地减少了内存墙(memory wall)问题,甚至可以达成数据流在输出/输入上无缝隙的平台。

[0059] 另外,在本发明的另一实施例中,一DRAM单元中的所述第一晶体管可以是所述鳍式结构晶体管,且所述第一鳍式结构晶体管的结构与DRAM桥接区域111中的所述第三鳍式

结构晶体管中的结构相同或几乎相同。另外,在本发明的另一实施例中,所述第一鳍式结构晶体管的结构和DRAM桥接区域111中所述第三鳍式结构晶体管中的结构相似,使得DRAM桥接区域111中所述第三鳍式结构晶体管的输出信号的电压电平等于或几乎等于所述DRAM单元中的所述第一鳍式结构晶体管的输入信号的电压电平,但所述DRAM单元中的所述第一鳍式结构晶体管的漏电流低于DRAM桥接区域111中所述第三鳍式结构晶体管的漏电流。具有较低漏电流的所述第一鳍式结构晶体管会在后续进行说明。

[0060] 另外,如图1A所示,基底DRAM芯片101和逻辑芯片103可以设置在基底102上而封装在单一封装中。然而,在本发明的另一实施例中,基底DRAM芯片101和逻辑芯片103可以设置在一中介层或一集成式扇出结构上,其中关于所述中介层以及所述集成式扇出结构的操作方法为本领域的技术人员所熟知,在此不再赘述。另外,DRAM输入/输出垫片P11、P13可以被安排至DRAM桥接区域111的一侧,且逻辑输入/输出垫片P31、P33也可以被安排至逻辑桥接区域113的一侧以缩短DRAM输入/输出垫片P11、P13连接至逻辑输入/输出垫片P31、P33的路径长度。在本发明的另一实施例中,DRAM桥接区域111和逻辑桥接区域113可以设置地越近越好,以使DRAM桥接区域111和逻辑桥接区域113之间可以无缝隙,或是具有小于一预定距离的缝隙。

[0061] 请参照图1B。在本发明的另一实施例中,基底DRAM芯片101是设置于逻辑芯片103上,以及所述DRAM输入/输出垫片(例如DRAM输入/输出垫片P11、P13)可以电连接所述逻辑输入/输出垫片(例如逻辑输入/输出垫片P31、P33),而无须通过DRAM桥接区域111和/或逻辑桥接区域113中额外的电压转换电路。如上述说明,所述DRAM输入/输出垫片和所述逻辑输入/输出垫片之间的电连接可以通过金属导线、金属桥、倒装芯片技术、微凸块技术或其他接合技术连接,而不是通过上述的硅穿孔技术。然而,堆叠DRAM芯片105、107、109仍然可以通过所述多个硅穿孔而堆叠在基底DRAM芯片101上。

[0062] 因此,如图1A和/或图1B所示的实施例公开了以下技术特征:(1)对于与离散的DRAM芯片或DRAM芯片堆叠而成的HBM结构互动或写入/读出数据的离散的逻辑芯片(或单芯片(System on a Chip,SOC))而言,位于逻辑芯片/SOC和所述DRAM芯片/HBM上的所有电路主要利用现有的逻辑工艺中相同的晶体管结构(例如三栅极晶体管(tri-gate transistor)、鳍式场效应晶体管(FinFET)或环绕栅极晶体管工艺),而未利用现有的DRAM或HBM结构产品所提供的DRAM或HBM结构中的晶体管结构(例如平面或是沟槽晶体管)。(2)对于与离散的DRAM芯片或DRAM芯片堆叠而成的HBM结构互动或写入/读出数据的逻辑芯片/SOC而言,逻辑芯片/SOC和DRAM芯片/HBM上的所有输出/输入电路仅利用现有的逻辑工艺中相同的晶体管结构(例如所述三栅极晶体管或环绕栅极晶体管),而未利用现有的DRAM或HBM结构产品所提供的DRAM或HBM结构中的晶体管结构(例如平面或是沟槽晶体管)。(3)所述DRAM单元使用了现有逻辑工艺中最广为使用的三维晶体管(例如所述三栅极晶体管、鳍式场效应晶体管、环绕栅极晶体管或其他具有三维结构的晶体管),且可采用从10纳米到7纳米,甚至是5纳米或更低的工艺。本发明后续公开的晶体管可包括所述三栅极晶体管、鳍式场效应晶体管、环绕栅极晶体管或其他具有鳍式结构晶体管。

[0063] 请参照图2。图2是本发明另一实施例说明基底DRAM芯片101和逻辑芯片103中的逻辑桥接区域113的耦接关系的示意图。基底DRAM芯片101包含多个存储区域,例如存储区域MR1、MR2、MR3、MR4,且存储区域MR1、MR2、MR3、MR4中的每一存储区域存有写入/用于读出的

多个数据。不像图1A、1B所示的基底DRAM芯片101,图2的基底DRAM芯片101上并未绘示出DRAM芯片堆叠的结构。也就是说,图2并未使用由电子设备工程联合委员会(Joint Electron Device Engineering Council,JEDEC)所定义的所述HBM结构(其中所述HBM结构是利用上千个硅穿孔(Through Silicon Via,TSV)以堆叠多个DRAM芯片(可以是2、4或8片芯片)的三维技术)。因此,一存储区域并非垂直地与其他存储区域分开。图2的基底DRAM芯片101可允许非常快的随机访问时间以在一高带宽DRAM芯片(High-Bandwidth DRAM die,HBD)中近数Gb的容量中选取每一位元(例如在所述HBD的容量中选取每一位时具有非常短的延迟),并在所述HBD的多种粒度(granularity)上提供了更短的封装时间,而有效地缩短了关于新的逻辑/AI芯片+DRAM的产品的上市时程、缩短了设计周期、并减少了产品的制造时间和劳力。如此新的HBD是由一硅晶圆上的多个此种芯片划片而成的单芯片HBD,在本发明的后续说明中可称为完全串联内存(Complete Cascade RAM,CCRAM)。

[0064] 如图2所示,一逻辑芯片103(或SOC)中的逻辑桥接区域113包含逻辑输入/输出垫片P31、P33...P3N,其中逻辑输入/输出垫片P31、P33...P3N分别耦接基底DRAM芯片101(或是所述CCRAM)中的DRAM输入/输出垫片P11、P13...P1N,其中N为大于3的一正整数。DRAM桥接区域111上的DRAM输入/输出垫片P11、P13...P1N另通过金属导线耦接至DRAM桥接区域111上的外部双向中继器ER1、ER2...ERN以传输及放大数据或信号。另外,基底DRAM芯片101另被分成四个存储区域MR1、MR2、MR3、MR4,其中存储区域MR1、MR2、MR3、MR4中的每一存储区域具有相同或几乎相同的结构。例如,存储区域MR1包含多个第一DRAM单元(未绘示于图2)、对应所述多个第一DRAM单元的一双向中继器(或驱动器)R1和两个微垫片MP11、MP12。相同地,其他存储区域,例如存储区域MR2,包含多个第二DRAM单元(未绘示于图2)、对应所述多个第二DRAM单元的一双向中继器(或驱动器)R2和多个微垫片...等等。然而,本发明并不受限于基底DRAM芯片101被分成存储区域MR1、MR2、MR3、MR4,以及存储区域MR1、MR2、MR3、MR4中的每一存储区域包含一个双向中继器。

[0065] 在本发明另一实施例中,所述每一存储区域具有行地址接口和与所述行地址接口实体上互向独立的列地址接口。而利用一并行存取路径以同时激活行地址和列地址的非多路复用(non-multiplexing)模式将可以用于本发明。

[0066] 如上所述,基底DRAM芯片101是一CCRAM,也就是由硅晶圆的多个芯片划片而成的所述单芯片HBD。所述CCRAM可以包含多个存储区域(例如图二中的存储区域MR1、MR2、MR3、MR4),以及每一存储区域也可被称为串联内存#(CRAM#,例如CRAM1、CRAM2、CRAM3、CRAM4)。每一CRAM#是一内存单元,使用了DRAM的单晶体管单电容单元结构,且另具有特殊的设计包含:(1)具有超低漏电流的存取晶体管与存储电容,例如每一单元低于1飞安培;(2)具有同时激活行与列的数据选取路径,其中比起常规DRAM的多路复用处理路径(常规封装的DRAM需减少DRAM的针脚数目以降低成本和符合特定的封装类型),反而更相似于一静态随机存取存储(Static random access memory,SRAM)的存取模式;(3)使用现有技术中具有最高性能的三维逻辑晶体管,例如具有高移动率的鳍式场效应晶体管、双栅极晶体管、三栅极晶体管等等,以用于存储单元的阵列外的外部设备,而不使用具有较低性能的DRAM甚至采用平面晶体管;(4)在现有DRAM技术的三层金属互连上,再加入第四、第五、甚至第六层的金属互连。也就是说,本发明的DRAM单元会具有更平顺的表面形貌(topography),而得到了更平顺的平面表面以用于高性能的互连;(5)所述每一CRAM#具有完整的测试与探测结构以验证

所述每一CRAM#的功能、良率与性能,但因为用于验证所述每一CRAM#的垫片不会连接至所述每一CRAM#的外部环境且不需包含尺寸较大的静电放电保护电路(electrostatic discharge protection circuits,ESD),所以所述每一CRAM#只需使用更小的垫片即可;

(6)所述每一CRAM#都需要独立地完成一随机存取存储器所需的操作例如对行与特定地址的述入、读取与写入指令、必要的时脉、控制信息位置与输入/输出等,而上述信号能通过所述每一CRAM#的双向中继器(或驱动器,其中具有高性能的晶体管)以及现有技术中高电导率的金属互连而被连接至一特定的控制位置(例如图2中基底DRAM芯片101(或所述CCRAM)的DRAM桥接区域111)是很重要的;以及(7)因为所述逻辑芯片与所述CCRAM使用了相同的鳍式场效应晶体管或三栅极晶体管作为接收和传输用的基本组件,所以所述逻辑芯片与所述CCRAM并不需要复杂的电压转换电路和片外驱动程序(off-chip drivers,OCDs),以及从所述逻辑芯片传输至所述CCRAM和从所述CCRAM传输至所述逻辑芯片的信号传输具有非常自然的阻抗匹配,而没有复杂的波形反射作用(waveform reflection effect)。另外,利用上述高性能的HBM结构制造的DRAM芯片,且在未利用任何硅穿孔技术的状况下,所述DRAM芯每秒将可上看1至2兆位元组的数据传输率。

[0067] 双向中继器R1通过一第一金属导线耦接于外部双向中继器ER1;双向中继器R2通过所述第一金属导线耦接于双向中继器R1;双向中继器R3通过所述第一金属导线耦接于双向中继器R2;以及双向中继器R4通过所述第一金属导线耦接于双向中继器R3。一选取或控制信号可以另外用于外部双向中继器ER1或双向中继器R1-R4以选取数据。另外,关于外部双向中继器ER2...ERN的操作方法可以参照上述有关外部双向中继器ER1的说明,所以图2并未示出关于外部双向中继器ER2...ERN的耦接关系,以及关于外部双向中继器ER2...ERN的操作方法也不再赘述。

[0068] 图2中逻辑芯片与CCRAM的子系统的操作如下,其中基底DRAM芯片101是所述CCRAM芯片。例如,逻辑芯片103传送所有必要的信号至逻辑输入/输出垫片P31、P33...P3N(也就是所有相关的逻辑输入/输出垫片)。而所述CCRAM芯片的信号传输路径与JEDEC为所述HBM结构所定义的信号传输路径相似,除了JEDEC所定义所述HBM结构需要利用硅穿孔以连接所有的输入/输出信号。但所述CCRAM芯片并不需要利用硅穿孔,而是利用现有技术中具有高性能晶体管的双向中继器/驱动器以及高电导率的金属互连以完成信号传输。因为如同所述HBM结构定义的硅穿孔连接,所述CCRAM芯片的信号输入/输出路径中部份的信号输入/输出路径互相连接,所以所述CCRAM芯片的接收和传输操作需要具有控制信号以决定图2中的存储区域MR1、MR2、MR3、MR4的哪存储区域的信号会被读取、接收或传输。另外,因为逻辑芯片103和基底DRAM芯片101(或所述CCRAM芯片)使用了如鳍式场效应晶体管或三栅极晶体管等(或上述有关图1A、1B的说明中列举的晶体管结构)相同或几乎相同的结构,且逻辑芯片103和所述CCRAM芯片的电压电平也相同,所以逻辑芯片103和所述CCRAM芯片上的收发结构都非常简单,且不需包含所述中介层或逻辑芯片与DRAM芯片的电压转换电路,而显着地降低了逻辑芯片103和所述CCRAM芯片成本和形状因素(form-factor)。

[0069] 另外,在本发明的另一实施例中,如图3所示,双向中继器R1-R4中的每一双向中继器直接耦接至外部双向中继器ER1。也就是说,双向中继器R1通过一第一金属导线耦接外部双向中继器ER1;双向中继器R2通过一第二金属导线耦接外部双向中继器ER1;双向中继器R3通过一第三金属导线耦接外部双向中继器ER1;以及双向中继器R4通过一第四金属导线

耦接外部双向中继器ER1。另外,一选择电路可以耦接至外部双向中继器ER1和/或双向中继器R1-R4以选取需要的信号。

[0070] 另外,在本发明的另一实施例中,双向中继器R1-R4可以直接耦接DRAM输入/输出垫片P11。也就是说,图2和图3中的外部双向中继器ER2...ERN可以被省略。

[0071] 另外,微垫片MP11、MP12是用于耦接外部探针(未绘示于图2)以测试所述多个第一DRAM单元(例如验证功能、良率和性能)。在本发明的另一实施例中,微垫片MP11、MP12可以耦接至统一集成电路系统100外的环境而包含现有的静电放电保护电路。因为DRAM输入/输出垫片P11、P13...P1N中每一DRAM输入/输出垫片是用于耦接统一集成电路系统100内部的逻辑芯片103,而不是统一集成电路系统100的外部环境,所以微垫片MP11、MP12的尺寸大于所述每一DRAM输入/输出垫片的尺寸。另外,存储区域MR1、MR2、MR3、MR4中的每一存储区域可包含多个微垫片,其中所述多个微垫片的数量小于DRAM桥接区域111中DRAM输入/输出垫片P11、P13...P1N的数量。

[0072] 然而,本发明并不受限于上述的说明。在本发明的另一实施例中,微垫片MP11、MP12并不会包含现有的静电放电保护电路,以及微垫片MP11、MP12中每一微垫片的尺寸可以小于DRAM输入/输出垫片P11、P13...P1N中每一DRAM输入/输出垫片的尺寸,其中所述每一DRAM输入/输出垫片可以或可以不包含所述静电放电保护电路。

[0073] 在本发明的另一实施例中,四个分开的CCRAM芯片或是四个基底DRAM芯片可以分别设置于逻辑芯片103的四周。也就是说,逻辑芯片103可以被四个CCRAM芯片围绕,其中逻辑芯片103的一侧与一CCRAM芯片之间的连接可以参照上述有关于图2与图3的说明。另外,在本发明的另一实施例中,所述CCRAM芯片可以在单一的封装中垂直地堆叠在逻辑芯片103上方或下方。

[0074] 请参照图4。图4是本发明第二实施例所公开的一晶体管400的示意图。此晶体管具有低漏电流,且可用于基底DRAM芯片101中所述DRAM单元中的所述第一晶体管。如图4所示,晶体管400包含一栅极401、一间隔层403、一通道区405、一第一导通区407和一第二导通区409。栅极401形成于一硅表面411上,其中一覆盖结构4011可再形成于栅极401上。在本发明的另一实施例中,硅表面411可以是一基底中一鳍式结构的上表面,以及晶体管400是一鳍式结构晶体管。另外,在本发明的另一实施例中,晶体管400可以是一平面晶体管,以及硅表面411是所述基底的平面表面。间隔层403形成于硅表面411上,且包含一第一部分4031和一第二部分4032,其中第一部分4031覆盖栅极401的左边侧壁,以及第二部分4032覆盖栅极401的右边侧壁。另外,间隔层403可以是单层的间隔层,或是多层的间隔层(例如一氮化物-氧化物的化合层)。通道区405形成于栅极401和间隔层403下,且通道区405对齐间隔层403。因为间隔层403的缘故,通道区405的长度大于栅极401的长度。

[0075] 第一导通区407和第二导通区409分别且部份地形成于二凹槽420中,且可以通过一选择性外延增长方法(Selective-Epitaxy-Growth, SEG)或一原子层沉积法(Atomic-Layer-Deposition, ALD)而形成。另外,第一导通区407包含一下方部份4071和一上方部份4072,其中下方部份4071位于硅表面411下以及凹槽420中的一凹槽内,且耦接通道区405。上方部份4072位于硅表面411上且耦接间隔层403的第一部分4031。相同地,第二导通区409包含一下方部份4091和一上方部份4092,其中下方部份4091位于硅表面411下以及凹槽420中的另一凹槽内,且耦接通道区405。上方部份4092位于硅表面411上且耦接间隔层403的第

二部分4032。因此,间隔层403的第一部分4031和第二部分4032可以将第一导通区407、第二导通区409和栅极401分别隔开,以减少鳍式结构晶体管400的漏电流。另外,上方部份4072的掺杂浓度可以高于或低于下方部份4071的掺杂浓度,以及上方部份4092的掺杂浓度可以高于或低于下方部份4091的掺杂浓度。另外,在本发明的另一实施例中,上方部份4072、4092可再被分成多层,其中所述多层的掺杂浓度分布是可控制的,或是在形成过程中具有不同的掺杂浓度分布。因此,第一导通区407和第二导通区409的阻值将可通过不同的掺杂浓度分布而得到控制。另外,在本发明的另一实施例中,第一导通区407和第二导通区409的阻值可另通过第一导通区407和第二导通区409的预定高度、宽度和长度而得到控制。

[0076] 另外,两个接触区413、415分别形成于第一导通区407和第二导通区409上方,其中接触区413、415是用于晶体管400未来互连的接触区域。另外,在本发明的一实施例中,两个绝缘层417、419可以形成于二凹槽420内和下方部份4071、4091下,以进一步地减少晶体管400的漏电流。另外,在本发明的另一实施例中,栅极401可以形成于基底410更深处(例如形成一埋入式闸极结构(buried gate structure))以使通道区405的长度更长,其中栅极401形成于基底410更深处为本领域的技术人员所公知,在此不再赘述。

[0077] 在本发明的另一实施例中,逻辑芯片103中的所述第二鳍式结构晶体管可以是所述鳍式结构晶体管或是图4中的晶体管400,以及基底DRAM芯片101中DRAM桥接区域111的所述第三鳍式结构晶体管可以是所述鳍式结构晶体管或是图4中的晶体管400。因此,逻辑芯片103与基底DRAM芯片101的输入/输出信号的电压电平可以互相兼容,以及统一集成电路系统100不需包含用于转换不同电压电平与信号电平的电压转换电路。另外,统一集成电路系统100中的数据处理、数据流与数据存储将可在一连串的操作流程中具有统一的电压波形,而可以流畅的执行输出/输入等操作,所以统一集成电路系统100可减少所述内存墙问题。

[0078] 在本发明的另一实施例中,逻辑芯片103中的所述第二晶体管是利用现有逻辑工艺中20纳米工艺的鳍式晶体管,且和基底DRAM芯片101中DRAM桥接区域111的所述第三鳍式结构晶体管的结构相同或几乎相同。但基底DRAM芯片101中所述DRAM单元的所述第一鳍式结构晶体管的结构是图4中的晶体管400,且与逻辑芯片103中的所述第二鳍式结构晶体管的结构相似,但晶体管400的漏极/源极结构和逻辑芯片103中的所述第二鳍式结构晶体管的漏极/源极结构并不相同。然而,基底DRAM芯片101与逻辑芯片103的输入/输出信号的电压电平仍然可以互相兼容,以及统一集成电路系统100不需包含用于转换不同电压电平与信号电平的电压转换电路。

[0079] 另外,因为图4的鳍式结构晶体管400应用于所述DRAM单元时具有较低的漏电流,所以所述存储区域可以有超过64毫秒的刷新时间(refresh time)。另外,本发明的所述DRAM单元中的所述电容可以是一堆叠式电容(stacked capacitor)、一沟槽式电容(trench capacitor)或一垂直电容(vertical capacitor),其中所述垂直电容具有沿着一基底的硅表面的法线方向延伸的二电极,以及所述电容的一电极并不位于另一电极的上方。

[0080] 综上所述,本发明公开了所述集成电路系统。所述集成电路系统包含一基底DRAM芯片和一逻辑芯片。所述集成电路系统的基底DRAM芯片包含具有多个DRAM单元的一DRAM核心和一DRAM桥接区域。每一DRAM单元包含一第一三维晶体管和所述电容,以及所述DRAM桥接区域包含多个第三晶体管与所述多个DRAM输入/输出垫片,其中所述第一晶体管是三维

结构的晶体管,且所述多个第三晶体管是鳍式结构晶体管。所述DRAM桥接区域主要用于所述基底DRAM芯片和所述逻辑芯片之间的信号连接/传递。所述集成电路系统的所述逻辑芯片包含多个第二晶体管,以及所述多个第二晶体管是鳍式结构晶体管。另外,多个堆叠的DRAM芯片是选择性地设置于所述基底DRAM芯片上方,所述多个堆叠的DRAM芯片通过所述多个硅穿孔电连接所述基底DRAM芯片,且不像所述基底DRAM芯片,所述多个堆叠的DRAM芯片中的每一堆叠的DRAM芯片并不包含一桥接区域。

[0081] 因为所述多个第三晶体管的输入/输出的电压电平等于所述多个第二晶体管的输入/输出的电压电平,所以所述DRAM芯片可以直接耦接所述逻辑芯片。因此,本发明相较于现有技术,可以解决所述内存墙问题,且所述基底DRAM芯片与所述逻辑芯片的输入/输出信号的电压电平可以互相相容。

[0082] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

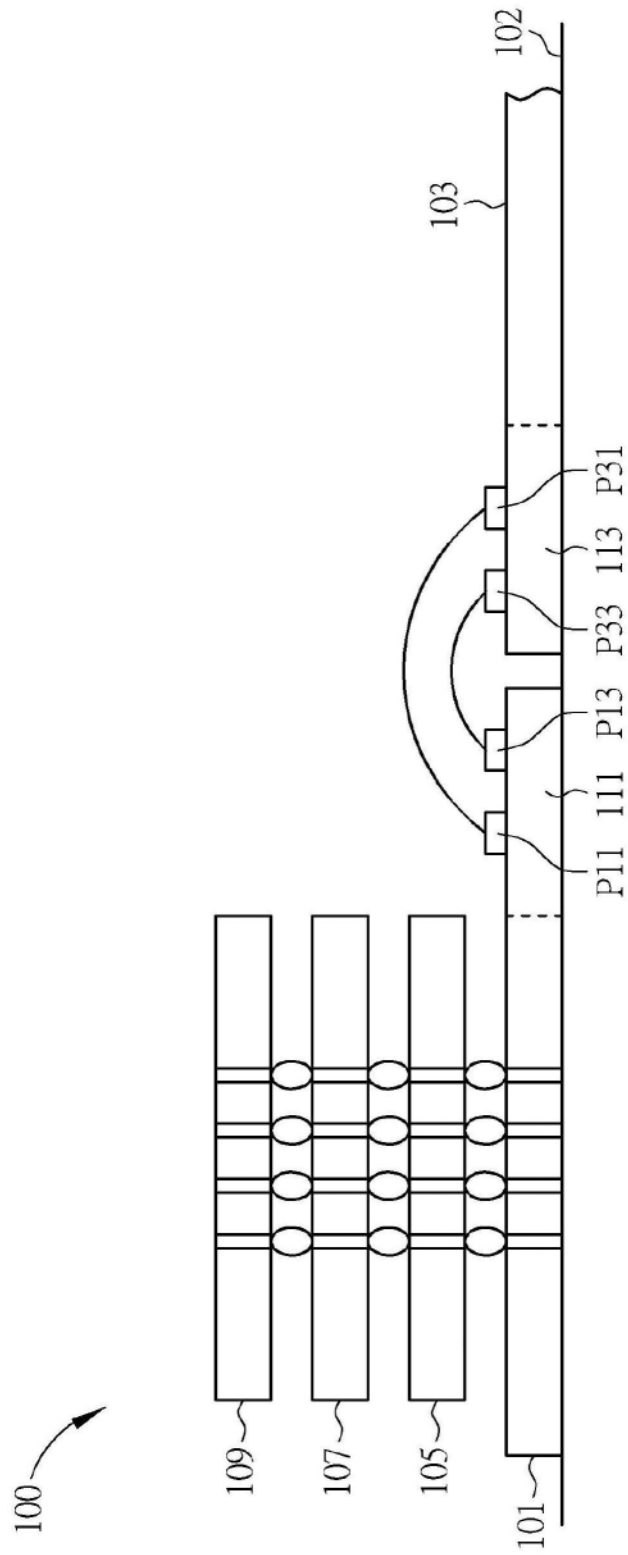


图1A

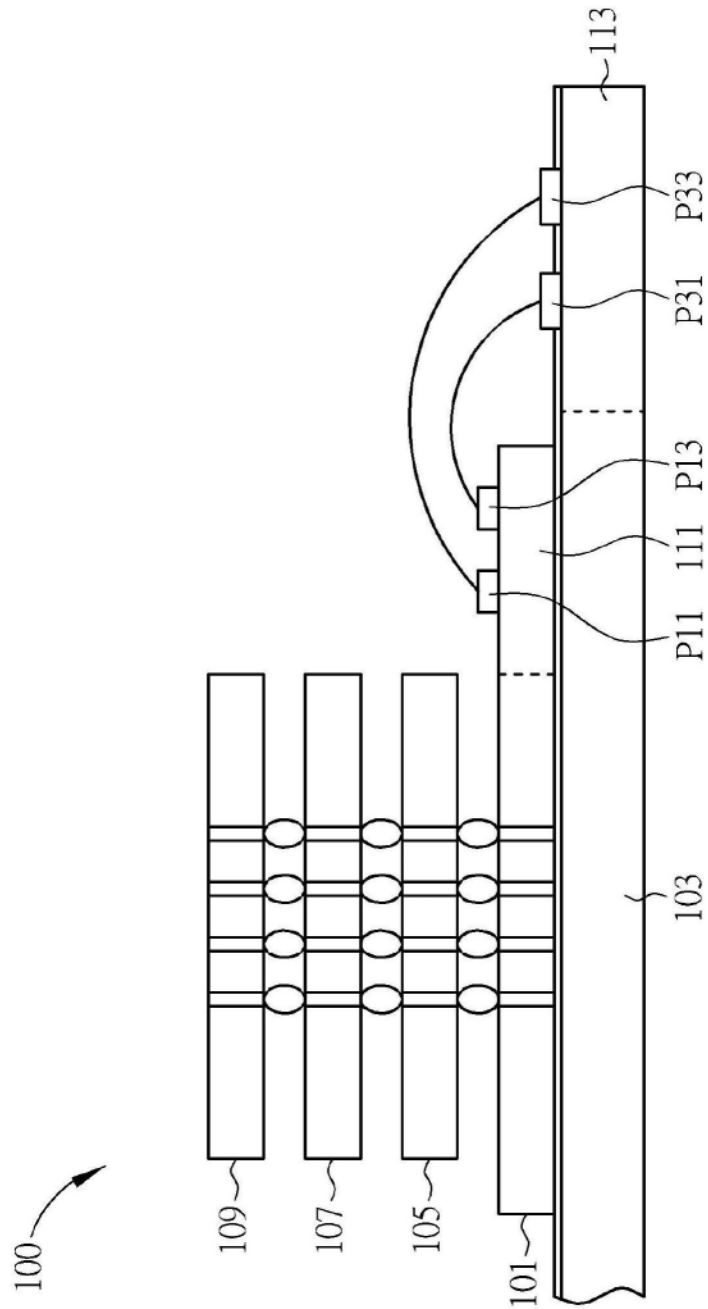


图1B

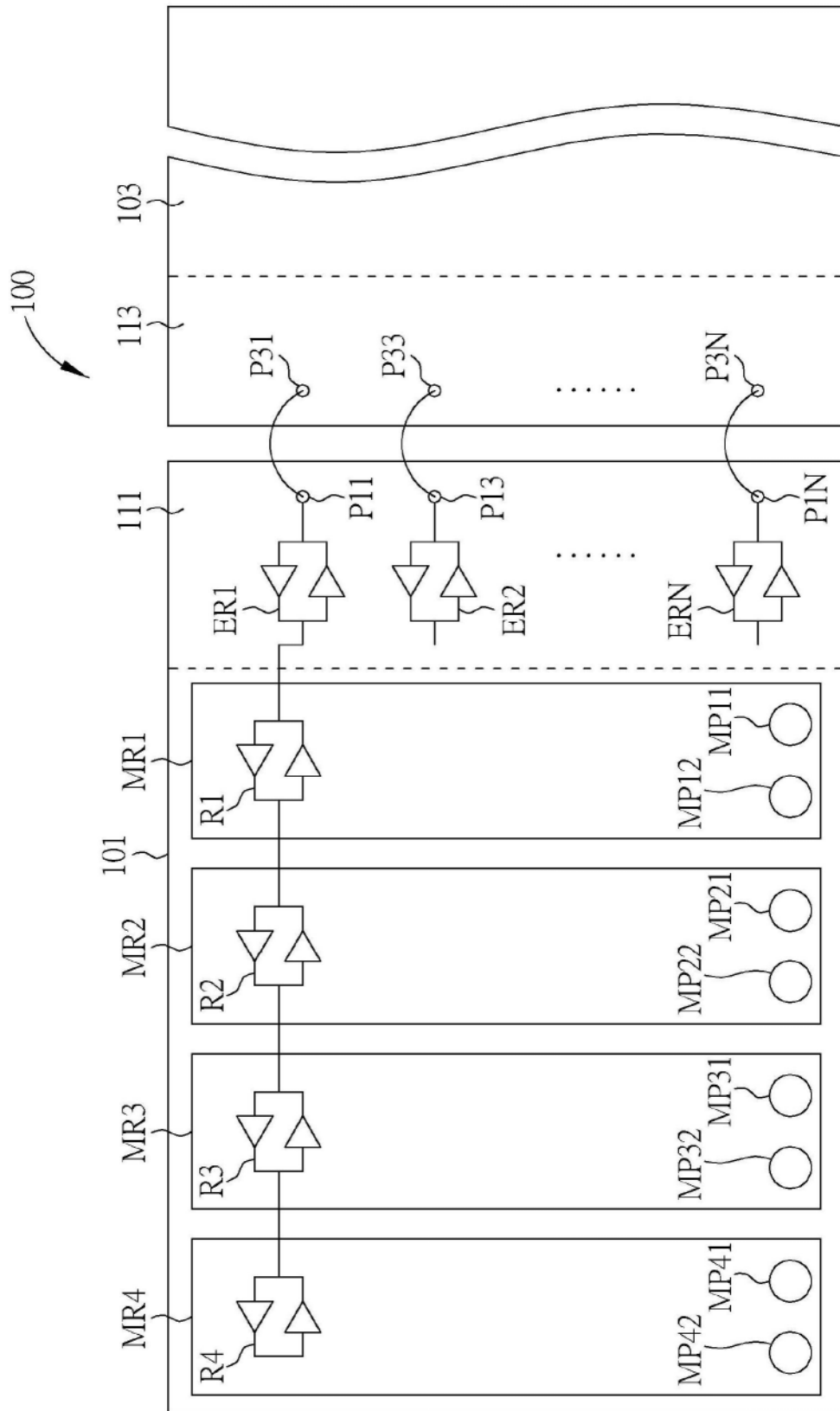


图2

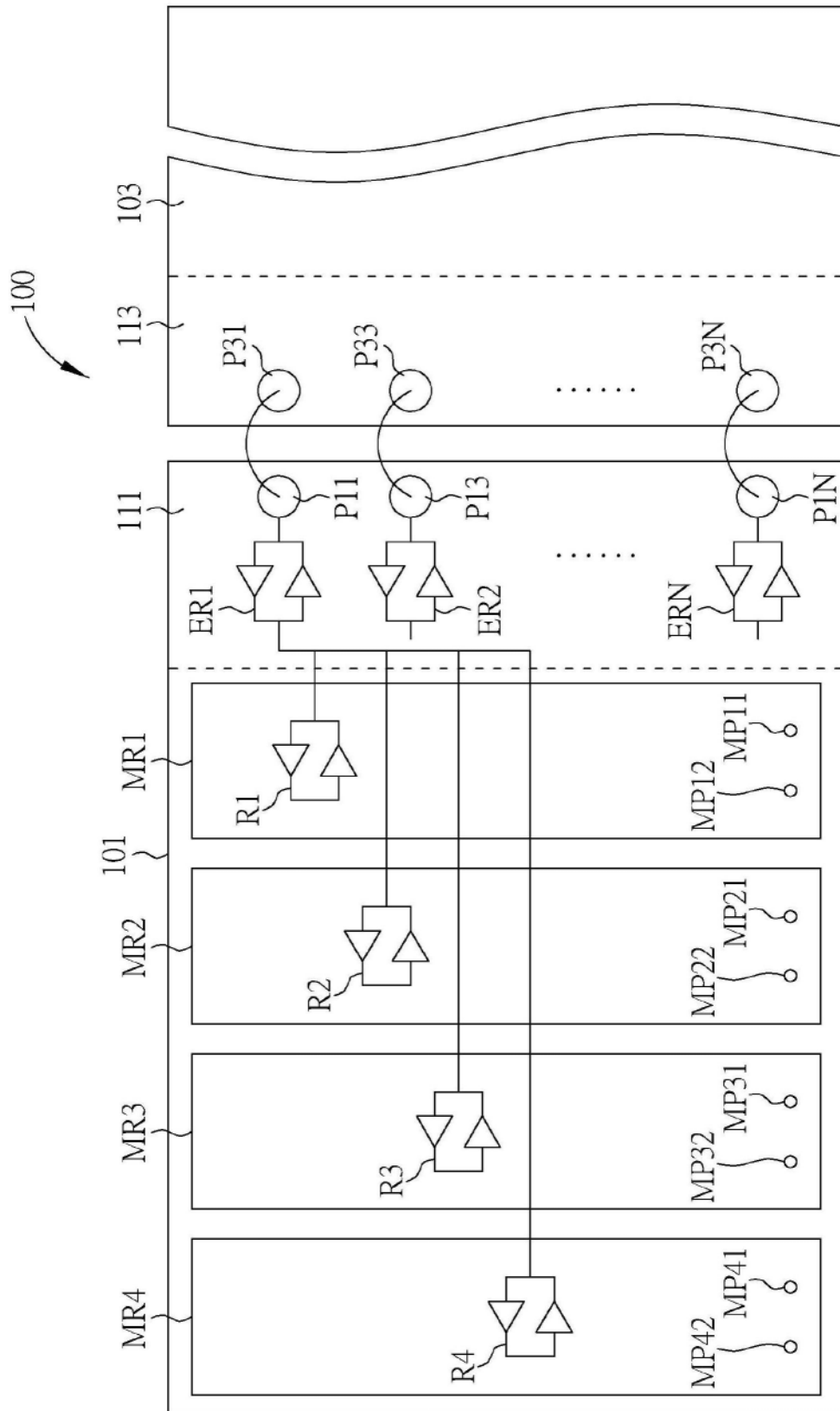


图3

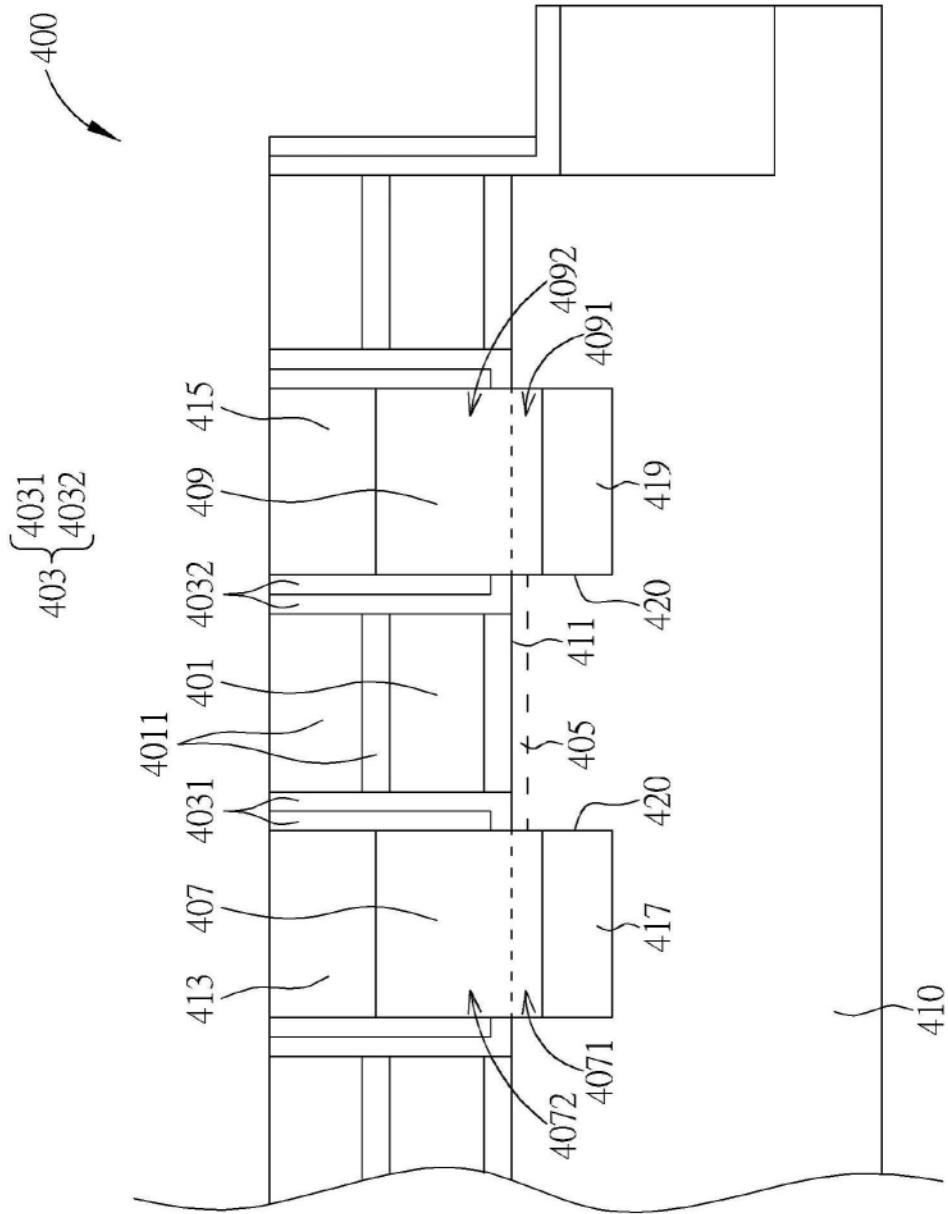


图4