

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-51135

(P2005-51135A)

(43) 公開日 平成17年2月24日(2005.2.24)

(51) Int. Cl. ⁷	F I	テーマコード (参考)	
HO 1 L 27/105	HO 1 L 27/10	4 4 4 B	5 F O 3 3
HO 1 L 21/304	HO 1 L 21/304	6 2 2 X	5 F O 8 3
HO 1 L 21/3205	HO 1 L 27/10	4 8 1	
HO 1 L 27/10	HO 1 L 21/88	K	

審査請求 有 請求項の数 19 O L (全 20 頁)

(21) 出願番号 特願2003-283440 (P2003-283440)
 (22) 出願日 平成15年7月31日 (2003. 7. 31)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100076174
 弁理士 宮井 暎夫
 (74) 代理人 100105979
 弁理士 伊藤 誠
 (72) 発明者 夏目 進也
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内

最終頁に続く

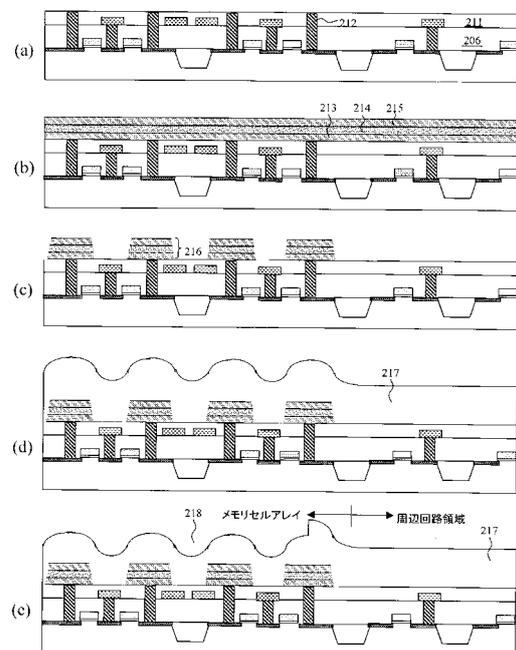
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体基板上に、凸部の密度が高い領域と低い領域とが存在しても、それらの上に形成する絶縁膜の表面を平坦にし、かつ、その膜厚ばらつきを低減する。

【解決手段】 半導体基板上に凸部の密度の高いメモリセルアレイ領域と、凸部の密度の低い周辺回路領域を形成する際、メモリセルアレイ領域にメモリセルであるキャパシタ216を二次元状に配置形成した後、半導体基板上全面に絶縁膜217を形成する。次に、メモリセルアレイ領域において二次元状に配置されているキャパシタ216同士の間隔が狭い方向に長いライン状の凹部218を、複数のキャパシタ216上を通るように、絶縁膜217に形成した後、絶縁膜217の表面をCMP法により平坦化する。この製造方法により、絶縁膜217の膜厚のばらつきを低減しながら、絶縁膜217の表面を平坦化できる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

隣接する凸部同士の間隔が狭い方向と広い方向とが存在するように凸部が配置された凸部の密度の高い領域と、凸部の密度の低い領域とを有する半導体基板上に、前記凸部の密度の高い領域と前記凸部の密度の低い領域とを覆うように、絶縁膜を形成する第 1 工程と

、前記凸部の密度の高い領域において、隣接する凸部同士の間隔が狭い方向に長く、かつ複数の凸部の上を通るように、前記絶縁膜に凹部を形成する第 2 工程と、

研磨により前記絶縁膜の表面を平坦化する第 3 工程とを含む半導体装置の製造方法。

【請求項 2】

隣接する凸部同士の間隔が狭い方向の前記間隔が $0.1\mu\text{m}$ 以下であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

隣接する凸部同士の間隔が広い方向の前記間隔が、前記凸部の高さの 2 倍以下であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】

前記凹部を、前記凸部の密度の高い領域の最端部の凸部を含む領域上にまで形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】

前記凹部を、前記凸部の密度の高い領域の最端部の凸部の上には形成しないことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】

ライン形状の凸部が配置された凸部の密度の高い領域と、凸部の密度の低い領域とを有する半導体基板上に、前記凸部の密度の高い領域と前記凸部の密度の低い領域とを覆うように、絶縁膜を形成する第 1 工程と、

前記凸部の密度の高い領域において、前記ライン形状の凸部の上に、前記絶縁膜にライン形状の凹部を形成する第 2 工程と、

研磨により前記絶縁膜の表面を平坦化する第 3 工程とを含む半導体装置の製造方法。

【請求項 7】

前記第 3 工程は、前記凸部の密度の高い領域の凸部の表面を露出することを特徴とする請求項 1 または 6 記載の半導体装置の製造方法。

【請求項 8】

前記凹部を、ウェットエッチングにより形成することを特徴とする請求項 1 または 6 記載の半導体装置の製造方法。

【請求項 9】

前記凹部を、ドライエッチングにより形成することを特徴とする請求項 1 または 6 記載の半導体装置の製造方法。

【請求項 10】

前記凹部の形成された部分の絶縁膜の表面の最低面が、前記凸部の密度の低い領域で下に凸部のない部分の前記絶縁膜の表面とほぼ同じ高さになるように、前記凹部を形成することを特徴とする請求項 1 または 6 記載の半導体装置の製造方法。

【請求項 11】

前記凹部の形成された部分の前記絶縁膜の表面の最低面が、平坦化後の前記絶縁膜の表面より高い位置になるように、前記凹部を形成することを特徴とする請求項 1 または 6 記載の半導体装置の製造方法。

【請求項 12】

前記凸部の密度の低い領域での研磨体積と、前記凹部が形成された前記凸部の密度の高い領域での研磨体積がほぼ同じとなるように、前記絶縁膜とその凹部を形成することを特徴とする請求項 1 または 6 記載の半導体装置の製造方法。

【請求項 13】

10

20

30

40

50

前記絶縁膜が、熱融解性の絶縁膜であることを特徴とする請求項 1 または 6 記載の半導体装置の製造方法。

【請求項 1 4】

前記絶縁膜が、少なくともボロンあるいはリンのどちらかを含むことを特徴とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 5】

前記絶縁膜が、 O_3 と TEOS を用いて形成したシリコン酸化膜であることを特徴とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 6】

前記凸部が、誘電体メモリのメモリセル、または前記メモリセルの一部であることを特徴とする請求項 1 または 6 記載の半導体装置の製造方法。 10

【請求項 1 7】

半導体基板上に強誘電体膜を含むキャパシタが複数形成され、前記キャパシタの上部および側部を覆うようにまたは前記キャパシタの全周囲を囲むようにバリア膜が形成され、前記バリア膜上に絶縁膜が形成されたメモリセルアレイ領域と、前記半導体基板上で前記メモリセルアレイ領域の周辺に配置され、前記絶縁膜が形成された周辺回路領域とを有した半導体メモリ装置であって、

前記キャパシタの上部に形成された前記バリア膜の表面における前記絶縁膜の膜厚のばらつきが $0.3\mu m$ 以内である半導体メモリ装置。

【請求項 1 8】

前記バリア膜が、Ti と Al の少なくとも一方を含む膜であることを特徴とする請求項 1 7 記載の半導体メモリ装置。 20

【請求項 1 9】

前記バリア膜が、SiN 膜であることを特徴とする請求項 1 7 記載の半導体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、特に凸部の密度が高い領域と、凸部の密度の低い領域とを有する半導体基板上に層間絶縁膜を形成し、その表面を平坦化する半導体装置の製造方法に関する。 30

【背景技術】

【0002】

近年の半導体装置の微細化に伴い、例えばメモリセルアレイと周辺回路領域のように、トランジスタ、キャパシタやメモリセルのような凸部の密度の高い領域と、凸部の密度の低い領域との段差の解消が重要となっている。このような段差が存在すると、フォトリソグラフィのフォーカスマージン不足や、段差による配線のショートや断線、あるいは接続孔の高抵抗化や断線の問題が生じる。

【0003】

このような問題を解決する方法として、一般的な従来の製造方法について、図 1 5 を用いて説明する。ここでは、強誘電体メモリ (FeRAM) の例を挙げる。 40

【0004】

まず、図 1 5 (a) に示すように、一般的なスタック構造のキャパシタ 701 を形成する。次に、図 1 5 (b) に示すように、全面に絶縁膜 702 を形成する。次に、図 1 5 (c) に示すように、メモリセルアレイ全体の上の絶縁膜 702 をエッチングし、凹部 703 を形成する。次に、図 1 5 (d) に示すように、CMP 法により、絶縁膜 702 を研磨・平坦化する。この方法により、あらかじめ絶縁膜 702 の段差を低減し、CMP 時の平坦化を容易にすることができる。

【0005】

このような製造方法の例が、例えば、特許文献 1 に記載されている。この例では、DRAM のメモリセル上の層間絶縁膜をエッチングし、凹部を形成するが、メモリセル領域と周辺 50

回路領域との境界領域における凹部の端部の位置を制御し、例えば図15(c)での距離Lを10 μ m以内にするにより、10 μ m以上の大面積凸パターンをなくし、CMP法により凸部の密度の高い領域と低い領域との段差をほぼ完全に平坦にしている。また、図15(c)での距離Lと高さHの比(距離L/高さH)を1以上とすることにより、突起部704の折れを防止している。

【0006】

また、特許文献2の例では、大面積パターンの境界領域における凹部の端部の位置を制御し、例えば図15(c)での距離Lを1~500 μ mの幅にすることにより、CMP研磨で凸部の密度の高い領域と低い領域との段差をほぼ完全に平坦化している。

【0007】

また、特許文献3の例では、凸部の密度の高い領域(例えば、メモリセルアレイ)の全域に渡って、絶縁膜に凹部を形成するのではなく、ドット状、ライン状など、絶縁膜の化学機械的研磨の研磨量、研磨対象材料、凸部の密度の高い領域の形状・大きさによって、凸部の配置とは関係なく、凹部の形状を最適化している。この方法により、凸部の密度の高い領域の全面に凹部を形成する場合に生じる研磨スラリーの溜まりを防止している。

【特許文献1】特開平10-284702号公報

【特許文献2】特開平7-235537号公報

【特許文献3】特開2000-269179号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

図16に、従来の製造方法の問題点を示すための工程断面図を示す。図15と同じように、凸部を有する半導体基板上に絶縁膜801を形成するが、実際の絶縁膜801の形状は、図15(b)のような平坦ではなく、図16(b)に示すように凸部の形状を反映する。次に、一般的なウェットエッチングやドライエッチングにより、メモリセルアレイ全体に凹部802を形成するが、その形状も図16(c)に示すように絶縁膜の形状を反映する。

【0009】

次に、CMP法により絶縁膜801の平坦化を行なうと、例えば、研磨面より凹部の最低面が低い位置にあれば、図16(d)に示すように、局所的な段差803が残る。

【0010】

この局所段差の発生を防止するためには、形成する絶縁膜801の膜厚を厚くする必要がある。しかし、この場合には、研磨後の絶縁膜801の膜厚が厚くなり、膜厚ばらつきも大きくなる。また、研磨後の絶縁膜801の膜厚を薄くするために、研磨量を増やすと、研磨量のばらつきが大きくなり、研磨後の絶縁膜801の膜厚ばらつきが更に大きくなる。従って、後の工程で絶縁膜801内に形成される接続孔の接続信頼性(接続できるかどうかの確実性)が低下する。

【0011】

本発明の目的は、凸部の密度の高い領域と低い領域とを有する半導体基板上に形成する絶縁膜表面を平坦にし、かつその絶縁膜の膜厚ばらつきを低減することのできる半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

【0012】

請求項1記載の半導体装置の製造方法は、隣接する凸部同士の間隔が狭い方向と広い方向とが存在するように凸部が配置された凸部の密度の高い領域と、凸部の密度の低い領域とを有する半導体基板上に、凸部の密度の高い領域と凸部の密度の低い領域とを覆うように、絶縁膜を形成する第1工程と、凸部の密度の高い領域において、隣接する凸部同士の間隔が狭い方向に長く、かつ複数の凸部の上を通るように、絶縁膜に凹部を形成する第2工程と、研磨により絶縁膜の表面を平坦化する第3工程とを含む。

【0013】

この方法により、形成する絶縁膜の膜厚が薄くても、局所段差の発生を防止でき、凸部

10

20

30

40

50

の密度の高い領域と低い領域との段差の平坦化に十分な凹部を絶縁膜に形成することができる。その結果、研磨後の絶縁膜の膜厚ばらつきも低減できる。

【0014】

請求項2記載の半導体装置の製造方法は、請求項1記載の半導体装置の製造方法において、隣接する凸部同士の間隔が狭い方向の間隔が $0.1\mu\text{m}$ 以下であることを特徴とする。

【0015】

この方法により、狭いスペース(間隔)での絶縁膜の埋め込み面が、広いスペースでの絶縁膜の埋め込み面より、高い位置に形成され、形成する絶縁膜の膜厚が更に薄くても、凸部の密度の高い領域と低い領域との段差の平坦化に十分な凹部を絶縁膜に形成できる。その結果、研磨後の絶縁膜の膜厚ばらつきを更に低減できる。

10

【0016】

請求項3記載の半導体装置の製造方法は、請求項1記載の半導体装置の製造方法において、隣接する凸部同士の間隔が広い方向の間隔が、凸部の高さの2倍以下であることを特徴とする。

【0017】

凸部を絶縁膜で埋め込むには、最低限凸部の高さ以上の膜厚が必要である。広い方向の間隔が、凸部の高さの2倍以下であるときには、広い方向の凸部同士のスペースを最低限の絶縁膜厚で完全に埋めることができ、局所段差の発生を防止することができる。

【0018】

請求項4記載の半導体装置の製造方法は、請求項1記載の半導体装置の製造方法において、凹部を、凸部の密度の高い領域の最端部の凸部を含む領域上にまで形成することを特徴とする。

20

【0019】

この方法により、ある一定の大きさ以上の絶縁膜の凸状部をあらかじめ除去することにより、研磨後の段差をより低減することができる。

【0020】

請求項5記載の半導体装置の製造方法は、請求項1記載の半導体装置の製造方法において、凹部を、凸部の密度の高い領域の最端部の凸部の上には形成しないことを特徴とする。

【0021】

この方法により、凸部の密度の高い領域の最端部に絶縁膜の微細な凸状部が形成されるのを防止し、研磨時の微細な凸状部(絶縁膜)の折れを防止し、それによるパターン不良やスクラッチを皆無にできる。

30

【0022】

請求項6記載の半導体装置の製造方法は、ライン形状の凸部が配置された凸部の密度の高い領域と、凸部の密度の低い領域とを有する半導体基板上に、凸部の密度の高い領域と凸部の密度の低い領域とを覆うように、絶縁膜を形成する第1工程と、凸部の密度の高い領域において、ライン形状の凸部の上に、絶縁膜にライン形状の凹部を形成する第2工程と、研磨により絶縁膜の表面を平坦化する第3工程とを含む。

【0023】

この方法により、絶縁膜の膜厚が薄くても、局所段差の発生を防止でき、凸部の密度の高い領域と低い領域との段差の平坦化に十分な凹部を絶縁膜に形成することができる。その結果、研磨後の絶縁膜の膜厚ばらつきも低減できる。

40

【0024】

請求項7記載の半導体装置の製造方法は、請求項1または6記載の半導体装置の製造方法において、第3工程は、凸部の密度の高い領域の凸部の表面を露出することを特徴とする。

【0025】

このように、絶縁膜を平坦化するとともに凸部の表面を露出するときには、絶縁膜を平坦化するだけの場合と比べて、より絶縁膜の膜厚ばらつきを低減させなければならない。

50

よって、本発明の効果は大きい。

【0026】

請求項8記載の半導体装置の製造方法は、請求項1または6記載の半導体装置の製造方法において、凹部を、ウェットエッチングにより形成することを特徴とする。

【0027】

この方法では、ウェットエッチングのレートや均一性の制御性が良いために、凹部の形状ばらつきを低減できる。

【0028】

請求項9記載の半導体装置の製造方法は、請求項1または6記載の半導体装置の製造方法において、凹部を、ドライエッチングにより形成することを特徴とする。

10

【0029】

この方法では、ドライエッチングの異方性エッチングにより、凹部の形状を制御しやすい。

【0030】

請求項10記載の半導体装置の製造方法は、請求項1または6記載の半導体装置の製造方法において、凹部の形成された部分の絶縁膜の表面の最低面が、凸部の密度の低い領域で下に凸部のない部分の絶縁膜の表面とほぼ同じ高さになるように、凹部を形成することを特徴とする。

【0031】

この方法により、効果的に凸部の密度の高い領域と低い領域との段差を低減することができる。

20

【0032】

請求項11記載の半導体装置の製造方法は、請求項1または6記載の半導体装置の製造方法において、凹部の形成された部分の絶縁膜の表面の最低面が、平坦化後の絶縁膜の表面より高い位置になるように、凹部を形成することを特徴とする。

【0033】

この方法により、局所段差の発生を完全に防止できる。

【0034】

請求項12記載の半導体装置の製造方法は、請求項1または6記載の半導体装置の製造方法において、凸部の密度の低い領域での研磨体積と、凹部が形成された凸部の密度の高い領域での研磨体積がほぼ同じとなるように、絶縁膜とその凹部を形成することを特徴とする。

30

【0035】

この方法により、凸部の密度の高い領域と低い領域との段差をより0に近づけることができる。

【0036】

請求項13記載の半導体装置の製造方法は、請求項1または6記載の半導体装置の製造方法において、絶縁膜が、熱融解性の絶縁膜であることを特徴とする。

【0037】

このように熱融解性の膜を用いれば、凸部間スペースの埋め込み性が向上し、より薄い絶縁膜で凸部間を埋め込むことができるようになり、局所段差の発生を防止でき、凸部の密度の高い領域と低い領域との段差の平坦化に十分な凹部を絶縁膜に形成することができる。その結果、研磨後の絶縁膜の膜厚ばらつきを低減できる。

40

【0038】

請求項14記載の半導体装置の製造方法は、請求項13記載の半導体装置の製造方法において、絶縁膜が、少なくともボロンあるいはリンのどちらかを含むことを特徴とする。

【0039】

この絶縁膜は、熱融解性が大きく、請求項13の効果により大きい。

【0040】

請求項15記載の半導体装置の製造方法は、請求項13記載の半導体装置の製造方法に

50

において、絶縁膜が、 O_3 とTEOSを用いて形成したシリコン酸化膜であることを特徴とする。

【0041】

この絶縁膜は、熱融解性があり、請求項13の効果大きい。また、不純物を含まないために使用条件を選ぶ必要がない。また、形成時に水素が発生しないという利点もある。

【0042】

請求項16記載の半導体装置の製造方法は、請求項1または6記載の半導体装置の製造方法において、凸部が、誘電体メモリのメモリセル、またはメモリセルの一部であることを特徴とする。

【0043】

誘電体メモリのメモリセルであるキャパシタでは、下部電極に酸素バリア膜、キャパシタ上部やキャパシタを囲むように水素バリア膜を形成するのが、一般的であり、その結果、キャパシタまたはメモリセルの高さが非常に高くなる。このような場合、研磨後の絶縁膜を薄く、かつばらつきを小さくしなければならず、本発明の効果大きい。

【0044】

請求項17記載の半導体メモリ装置は、半導体基板上に強誘電体膜を含むキャパシタが複数形成され、キャパシタの上部および側部を覆うようにまたはキャパシタの全周囲を囲むようにバリア膜が形成され、バリア膜上に絶縁膜が形成されたメモリセルアレイ領域と、半導体基板上でメモリセルアレイ領域の周辺に配置され、絶縁膜が形成された周辺回路領域とを有した半導体メモリ装置であって、キャパシタの上部に形成されたバリア膜の表面における絶縁膜の膜厚のばらつきが $0.3\mu m$ 以内である。

【0045】

強誘電体膜は、研磨時に凸部上の段差を緩和しやすいHDP-NSGのようなエッチングしながら形成する絶縁膜では、プラズマのダメージによりその特性が劣化する。そのため、強誘電体を含むキャパシタでは、よりメモリセルアレイ領域と周辺回路領域での段差を解消するのが困難となる。また、強誘電体膜は、水素により特性劣化を起こすため、キャパシタの上部および側部、あるいはキャパシタの全周囲を覆うような水素の拡散を止めるバリア膜が必要になり、メモリセルアレイの高さが更に高くなる。しかし、本発明を使用すれば、このバリア膜からメモリセル上の層間絶縁膜の高さばらつきを $0.3\mu m$ 以下に低減でき、上部配線とのコンタクトプラグの信頼性を確保できる。

【0046】

請求項18記載の半導体メモリ装置は、請求項17記載の半導体メモリ装置において、バリア膜が、TiとAlの少なくとも一方を含む膜であることを特徴とする。

【0047】

このような膜は、主に水素に対して、強誘電体膜の劣化を防止することができる。

【0048】

請求項19記載の半導体メモリ装置は、請求項17記載の半導体メモリ装置において、バリア膜が、SiN膜であることを特徴とする。

【0049】

この膜は、主に水素に対して、強誘電体膜の劣化を防止することができる。

【発明の効果】

【0050】

本発明によれば、半導体基板上に凸部の密度の高い領域と低い領域とが存在しても、その上に形成する絶縁膜の表面を、凸部の密度の高い領域と低い領域との段差や局所的な段差を低減し、容易に平坦化することができ、更に絶縁膜の面内ばらつきを抑えることができる。

【発明を実施するための最良の形態】

【0051】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

10

20

30

40

50

【0052】

(実施の形態1)

図1は、本発明の実施形態である半導体装置の製造方法を適用する強誘電体メモリ(FeRAM)の一例を示した平面図である。図1に示すFeRAMは、半導体基板に形成された周辺回路領域101とメモリセルアレイ領域102とを含んでいる。

【0053】

周辺回路領域101では、回路を構成するMOSFET等の素子が疎に形成されているため、層間絶縁膜等の凸部を覆う絶縁膜の表面に形成されるパターンは、 μm オーダーの微細なパターンになるのに対し、メモリセルアレイ領域102では、MOSFET等の素子が高密度で形成されているため、前記絶縁膜は凸部間にある程度埋め込まれ、その表面に形成されるパターンは数 μm オーダーの大面積パターンとなる。このような微細パターンと大面積パターンとが混在した絶縁膜をCMP法により研磨平坦化すれば、微細なパターンより大面積パターンの方が研磨されにくいいため、完全な平坦化は難しい。また、完全な平坦に近づけようとするれば、研磨量が大きくなり、絶縁膜の表面の面内ばらつきが大きくなる。また、FeRAMでは、キャパシタがメモリセルアレイ領域に高密度に形成されるため、その上の絶縁膜についても、同じ理由により周辺回路領域101とメモリセルアレイ領域102との完全な平坦化は難しい。

【0054】

しかし、以下に説明する製造方法を用いれば、凸部上の絶縁膜に凹部を形成し、その後にCMP法により平坦化することにより、その平坦性を向上し、更に絶縁膜の面内ばらつきを低減することができる。

【0055】

以下、図2から図4を用いて、本実施の形態1の製造方法を説明する。図2から図4は、本実施形態1の半導体装置の製造方法の一例をその工程順に示した断面図である。

【0056】

図2(a)に示すように、STI(Shallow Trench Isolation)分離領域202と、高濃度不純物層203、ゲート絶縁膜204およびゲート電極205からなるトランジスタとが形成された半導体基板201上に、BPSGやHDP-NSGやO3NSGのような絶縁膜206をCVD法により、例えば0.6~1.2 μm 成膜し、CMP法等を用いて、第1の層間絶縁膜206が0.4~0.8 μm の膜厚になるように形成する。次に、図2(b)に示すように、絶縁膜206の所望の位置にレジストパターンを形成し、レジストパターンをマスクとしてドライエッチングにより絶縁膜206に第1のコンタクト孔207を形成する。

【0057】

次に、図2(c)に示すように、スパッタ、CVD、または、メッキ法により全面に導電膜208(例えば、タングステン、モリブデン、チタン、窒化チタン、窒化タンタル、ケイ化金属のような金属からなり、このケイ化金属はTi、NiまたはCo、Cu、またはドーピングされた多結晶シリコン)を形成する。次に、図2(d)に示すように、エッチバック法、またはCMP法を用いて、絶縁膜206の上面が露出するまで、導電膜208を除去し、コンタクトプラグ209を形成する。

【0058】

次に、図2(e)に示すように、全面に導電膜(例えばW)を形成し、所望のマスクを用いて、コンタクトプラグ209と接続されるようにパターンニングし、ビット配線210を形成する。この時、導電膜を形成する前に、例えばビット配線210がWの場合には、TiN/Tiなどの密着層を形成してもよい。このビット配線210の高さは、配線抵抗や設計ルールより決定され、好ましくは20~150nmである。更に、キャパシタ上部の配線とのスタック型コンタクトを形成する場合には、あらかじめコンタクトプラグと、その1つのコンタクトプラグを被覆するようにビット配線パターン(ビット配線と同時に同じ材料で形成されたパターン)を形成しておく。

【0059】

次に、図2(f)に示すように、ビット配線210上に絶縁膜を200~800nm形成し、それを

10

20

30

40

50

CMP、エッチバック法あるいはリフローを用いて平坦化し、第2の層間絶縁膜211を形成する。この平坦化により、第2の層間膜211上部に形成されるキャパシタの形成を容易にでき、特にCMP法を用いることにより、ビット配線210による段差をより平坦化することができる。

【0060】

次に、図3(a)に示すように、第1の層間絶縁膜206と第2の層間絶縁膜211の積層膜の所望の位置にレジストパターンを形成し、レジストパターンをマスクとして、ドライエッチングにより第2のコンタクト孔を形成し、スパッタ、CVD、または、メッキ法により全面に導電膜(例えば、タングステン、モリブデン、チタン、窒化チタン、窒化タantal、ケイ化金属のような金属からなり、このケイ化金属はTi、NiまたはCo、Cu、またはドーピングされた多結晶シリコン)を形成し、エッチバック法、またはCMP法を用いて、絶縁膜211の上面が露出するまで、導電膜を除去し、第2のコンタクトプラグ212を形成する。

10

【0061】

次に、図3(b)に示すように、ウェハ全面にキャパシタの下部電極213、誘電体容量膜214、上部電極215となる膜をこの順に形成する。次に、図3(c)に示すように、所望のマスクを用いて、第2のコンタクトプラグ212が被覆されるようにパターンニングして、キャパシタ216を形成する。ここでは、スタック型のキャパシタ構造を挙げたが、立体型やその他の構造のキャパシタでも良く、これに限るものではない。また、下部電極213、誘電体容量膜214、上部電極215を一括でドライエッチしたが、それぞれの膜、またはその積層膜をその都度ドライエッチしてもかまわない。更には、キャパシタの形状を形成できれば、他の方法でもかまわない。また、誘電体の劣化を防止する膜をキャパシタ上部、またはキャパシタを覆うように形成するような場合は、その膜を含めたキャパシタ(メモリセル)を凸部とみなす。

20

【0062】

次に、誘電体容量膜214を構成する、BST($Ba_xSr_{1-x}TiO_3$)系誘電体、PZT($Pb(Zr_xTi_{1-x})O_3$)などの鉛(Pb)を含むペロブスカイト系誘電体、または、SBT($SrBi_2Ta_2O_9$)などのBiを含むペロブスカイト系誘電体を結晶化させるために、酸素雰囲気の高温度での焼結を行なうが、これはアニールでもRTA(Rapid Thermal Anneal)でもよい。

【0063】

ここで、メモリセルアレイ中のメモリセルの配置を図5に示す。メモリセルアレイ102の面積を小さくするために、メモリセル301は図5に示すように規則的に配置されている。図5の例では、複数のメモリセル301(ここではキャパシタ216)が縦・横方向にそれぞれ所定の間隔(Y、X)で二次元状に配置され、その配置される縦方向の間隔Yと、横方向の間隔Xとが異なる。

30

【0064】

次に、図3(d)に示すように、ウェハ全面にBPSGやO3NSGやHDP-NSGのような絶縁膜217を700~1500nmの膜厚でCVD法、またはスパッタ法により成膜する。

【0065】

ここで、高さが800nmの凸部(メモリセル301のキャパシタ216)に対して、図6に示すような(a)ドット状と(b)ライン状と(c)アレイ全体に凹部302を形成した場合と凹部を形成しない場合についてグローバル段差の比較を図7に示す。ドット状の凹部は、凹部を形成のしない場合とほぼ同等で、段差の低減には効果は小さい。一方、ライン状の凹部では、アレイ全体に凹部を形成する場合とほぼ同等の段差低減効果を果たすことができる。よって、メモリセル上に凹部をドット状に入れると、段差緩和の効果は小さいため、ライン状の凹部、またはメモリセルアレイ全体に凹部を形成するのが望ましい。

40

【0066】

次に、図3(e)に示すように、メモリセルアレイ領域に、隣接するキャパシタ同士のスเปースの狭い方向に長く、かつ複数のキャパシタ上を通る凹部218を形成する。この凹部218はエッチングにより絶縁膜217を除去した部分である。

50

【0067】

図4(a)~(c)の工程断面図では、図3(c)~(e)からの工程を、メモリセル間のスペースの狭い方向と、広い方向に分けて、キャパシタ216から上部を示したものである。図4(a)に示すキャパシタを搭載した下地に対し、図4(b)に示すように、絶縁膜217を形成すると、キャパシタ間のスペースが狭い方向と広い方向とではスペースの違いにより、絶縁膜217の表面の最下面が異なる。次に、図4(c)に示すように、図5内で示した、メモリセル間の横方向のスペースXと縦方向のスペースYを比較し、スペースの狭い方向に長いライン状の凹部218を形成し、スペースの広い方向には凹部を形成しない。ライン状の凹部218は複数のキャパシタ216上を通して形成される。点線220は、仮に、スペースの広い方向にも凹部を形成したときの仮想的な凹部の形状を示したものである。これは、メモリセルアレイ全体に凹部を形成する場合にもあてはまる。

10

【0068】

なお、図3(e)は、メモリセル間のスペースの狭い方向での断面を示す図で、従来の図16(c)と同様であるが、従来との相違は図4(c)のスペースの広い方向での断面に現れている。

【0069】

次に、図4(d)に示すように、CMP法により絶縁膜217を平坦化することにより、第3の層間絶縁膜221を形成する。ここで、図4(c)内の点線219は、研磨後の絶縁膜221の面を示すが、仮にスペースの大きい方向に凹部を形成すると、点線220が最終的な研磨面219より低い場合には、研磨後にもその段差が局所段差として残る。これを防止するには、絶縁膜の膜厚を厚くする必要があるが、この時、研磨量が同じだと、研磨後の絶縁膜の膜厚が厚くなる。また、研磨後の絶縁膜の膜厚を薄くするために研磨量を増やすと、研磨後の絶縁膜221の膜厚ばらつきが大きくなる。

20

【0070】

よって、本発明のようにメモリセルのスペースの狭い方向にだけ複数のメモリセルを含むように凹部を形成すれば、局所段差の発生を防止しつつ、絶縁膜の膜厚を小さくすることができる。また、図7を用いて説明したように、ライン状の凹部を形成することにより、凸部の密度の高い領域(メモリセルアレイ領域102)と凸部の密度の低い領域(周辺回路領域101)との段差(グローバル段差)を十分に低減することもできる。また、研磨量も低減できるため、絶縁膜の膜厚ばらつきを抑制できる効果がある。なお、凸部の密度とは、ある一定領域(一定面積)における、その領域内に存在する全凸部の面積の和とその領域の全面積との比のことである。

30

【0071】

また、凹部218の形成方法としては、フォトレジストをマスクに用いたウェットエッチにより形成するのが望ましい。本発明では、局所段差を残さないために、凹部の形状を制御することが重要であり、エッチング面内均一性・エッチングレートの再現性に優れるウェットエッチが望ましい。

【0072】

また、凹部218の形成方法として、フォトレジストをマスクに用いたドライエッチにより形成することが更に望ましい。これは、ドライエッチが異方性エッチであるために、凹部の横方向の形状を制御しやすいためである。

40

【0073】

次に、図4(e)に示すように、キャパシタ上部の配線とトランジスタの拡散領域を接続するコンタクト孔を、第1の層間絶縁膜206と第2の層間絶縁膜211と第3の層間絶縁膜221の積層膜に、所望のマスクを用いて、ドライエッチにより形成し、スパッタ、CVD、または、メッキ法により全面に導電膜(例えば、タングステン、モリブデン、チタン、窒化チタン、窒化タンタル、ケイ化金属のようなメタルからなり、このケイ化金属はTi、NiまたはCo、Cu、またはドーピングされた多結晶シリコン)を形成し、エッチバック法、またはCMP法を用いて、絶縁膜221の上面が露出するまで、導電膜を除去し、第3のコンタクトプラグ222を形成し、キャパシタ上部の配線と接続可能にする。スタック型のコン

50

タクトを採用している場合は、第2の層間絶縁膜211と第3の層間絶縁膜221の間に、あらかじめ形成したビット配線パターン上に同じ方法でコンタクトプラグを形成する。

【0074】

上記した方法により、絶縁膜221の膜厚を低減し、かつ、ばらつきも小さくできるため、キャパシタ上部の配線とトランジスタの拡散領域(高濃度不純物拡散層203)とを接続するコンタクトプラグ222の接続信頼性が向上する。なお、キャパシタ上部の配線は、図示していないが、コンタクトプラグ222の形成後に、絶縁膜221上およびコンタクトプラグ222上に形成される配線である。

【0075】

また、隣接する凸部(キャパシタ216)同士の狭い方向のスペースが $0.1\mu\text{m}$ 以下であることが望ましい。このときには、図4(b)に示すように、狭い方向のスペースでの絶縁膜217の埋め込み面が、広い方向のスペースでの絶縁膜217の埋め込み面より、高い位置に形成され、形成する絶縁膜217の膜厚が薄くても、グローバル段差の平坦化に十分な凹部を絶縁膜に形成できる。その結果、研磨後の絶縁膜221の膜厚ばらつきを低減できる。

【0076】

また、隣接する凸部(キャパシタ216)同士の広い方向のスペースが、凸部の高さの2倍以下であることが望ましい。凸部を絶縁膜で埋め込むには、最低限凸部の高さ以上の膜厚が必要である。図4(a)に示す広い方向のスペース L' が凸部の高さ H' の2倍以下であるときには、広い方向の凸部同士のスペースを最低限の絶縁膜厚で完全に埋めることができ、局所段差の発生を防止することができる。

【0077】

また、メモリセルアレイ102に形成する凹部218を、図8に示すように、メモリセルアレイ102の最端にまで形成することが望ましい。このときには、ある一定の大きさ以上の絶縁膜217の凸状部を完全に無くすことができ、CMP後の絶縁膜をより平坦化することができる。図8では、凹部218を1カ所しか図示していないが、他の部分にも同様に配置形成される。

【0078】

また、メモリセルアレイ102に形成する凹部218は、図9に示すように、メモリセルアレイ102の最端の凸部(メモリセル301すなわちキャパシタ216)を残した状態で形成されることが望ましい。このことにより、メモリセルアレイ102の最端部で絶縁膜217の微細な凸状部が形成されず、研磨時の微細な凸状部の折れを防止することができ、それによるパターン欠陥や、折れた絶縁膜によるスクラッチを皆無にできる。図9では、凹部218を1カ所しか図示していないが、他の部分にも同様に配置形成される。

【0079】

実施の形態1では、凸部の例として、FeRAMのメモリセルを挙げたが、凸部形状であれば、トランジスタやDRAMのキャパシタや配線など、これに限るものではない。

【0080】

また、凸部がキャパシタの下部電極である場合には、絶縁膜をCMP法により平坦化し、下部電極の表面を露出させなければならない。あるいは、絶縁膜をCMP法により平坦化した後に、ドライエッチやウェットエッチなどの他の方法により、下部電極の表面を露出させる必要がある。このとき、下部電極の表面を均一に露出させるために、層間絶縁膜の形成時の膜厚ばらつきよりも、絶縁膜の膜厚ばらつきを更に低減する必要があり、本発明の効果が大きいものとなる。

【0081】

(実施の形態2)

実施の形態2を図10から図12を用いて説明する。

【0082】

この実施形態2の製造工程は、図2(a)から図3(a)までは同じなので、ここでは省略する。

【0083】

10

20

30

40

50

続いて、図10(a)に示すように、下部電極となる導電膜401をスパッタ法、またはCVD法により形成する。この導電膜401は、例えば貴金属膜の単層、または貴金属膜が最上層に配置された積層膜であり、貴金属膜は例えばPt, Ir, Ru膜、あるいはそれらを含む合金膜を好ましくは20~100nmの膜厚で、スパッタまたはCVD法により全面に形成する。貴金属膜の下には、誘電体焼結時の熱履歴に対して、コンタクトプラグ212の酸化に対するバリアになるような導電膜を形成してもよい。この導電性バリア膜は、例えばTiAlN、または少なくともTi, Alのどちらかを一部に含む膜、または貴金属膜を少なくとも一部に含む膜、あるいはそれらの積層膜、あるいはIr/IrOx/TiAlN等であり、その膜厚は、好ましくは10~200nmである。

【0084】

10

次に、図10(b)に示すように、所望の位置にレジストパターンを形成し、レジストパターンをマスクとして、ドライエッチにより下部電極402を形成する。あるいは、絶縁膜等をマスクとして用いるハードマスクエッチでもかまわない。次に、図10(c)に示すように、下部電極402および第2の層間絶縁膜211上に03NSG、BPSGまたはHDP-NSGのような第3の絶縁膜をCVD法により形成し、第3の絶縁膜をCMPまたはエッチバックにより平坦化し、下部電極402の表面を露出させ、埋め込み絶縁膜403を形成する。

【0085】

次に、図10(d)に示すように、強誘電体膜404をスピン塗布法またはスパッタ法により形成し、その上に、上部電極となる導電膜405をスパッタ法またはCVD法により形成する。この上部電極なる導電膜405は、例えばPt, Ir, IrOxのような膜である。次に、図11(a)の実線で示すように、強誘電体膜404および導電膜405をリソグラフィとドライエッチにより、複数の下部電極402にまたがるように形成し、ライン形状の上部電極406および強誘電体膜404とする。このときの断面が図11(b)である。

20

【0086】

次に、強誘電体膜404を構成する、BST($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$)系誘電体、PZT($\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$)などの鉛(Pb)を含むペロブスカイト系誘電体、または、SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)などのBiを含むペロブスカイト系誘電体を結晶化させるために、酸素雰囲気の高温度での焼結を行なうが、これはアニールでもRTA(Rapid Thermal Anneal)でもよい。また、この結晶化は、この他の工程後に行なわれてもかまわない。

【0087】

30

次に、図11(c)に示すように、上部電極406上に、例えば03NSG, 03BPSG, HDP-NSG, P-TEOSのような第4の絶縁膜407をCVD法・スパッタ法により形成する。次に、図11(d)に示すように、ライン状の上部電極406上の絶縁膜407に、図11(a)の点線で示すようなライン状の凹部408を形成する。この凹部408は、実施の形態1同様、フォトリソグラフィをマスクに用いたウェットエッチあるいはドライエッチで形成する。次に、図12(a)に示すように、CMP法により、絶縁膜407を平坦化し、層間絶縁膜409を形成する。次に、図12(b)に示すように、層間絶縁膜(409, 403, 211, 206)にキャパシタ上部の配線とトランジスタの拡散層203を接続するコンタクトプラグ410を形成する。

【0088】

ここでは、ライン形状である凸部として、FeRAMのプレートライン(上部電極406および強誘電体膜404)を挙げたが、これに限るものではない。また、キャパシタでなくても、例えば、トランジスタや容量素子の一部分、容量素子の下部電極・配線であっても良い。更に、凸部の表面を露出する必要がある場合には、更に絶縁膜の膜厚ばらつきを抑制する必要があり、この発明の効果が大きくなる。

40

【0089】

また、実施形態1及び2において、凹部(218, 408)の形成された部分の絶縁膜(217, 407)の表面の最低面が、凸部の密度の低い領域(周辺回路領域)で下に凸部のない部分の絶縁膜(217, 407)の表面とほぼ同じ高さになるように、凹部を形成することが望ましい。このように、あらかじめ、凸部のない絶縁膜の面と、凹部での絶縁膜の面を揃えることで、効果的に凸部の密度の高い領域(メモリセルアレイ領域)と低い領域(周辺回路

50

領域)との段差を低減することができる。

【0090】

また、実施形態1及び2において、凹部の面を、研磨による平坦化後の前記絶縁膜の表面より、高い位置に形成することが望ましい。この方法により、局所段差の発生を完全に防止できる。

【0091】

また、実施形態1及び2において、凸部の密度の低い領域での研磨体積と、凹部が形成された凸部の密度の高い領域での研磨体積がほぼ同じとなるように、絶縁膜とその凹部を形成することが望ましい。この方法により、凸部の密度の高い領域と低い領域との段差をより0に近づけることができる。なお、研磨体積とは、研磨前から研磨後に、実際に除去された被研磨膜の体積のことである。

10

【0092】

また、実施形態1及び2において、絶縁膜が、熱融解性の酸化膜であることが望ましい。熱融解性の膜を用いれば、図13(a)に示すように、凸部間スペースにおける絶縁膜501の埋め込み性が向上し、より薄い絶縁膜で凸部間を埋め込むことができるようになる。よって、図13(c)に示すように、局所段差の発生を防止できる。また、研磨後の絶縁膜の膜厚ばらつきも低減できる。図13は、例として実施の形態1の場合を用いて示したものであり、キャパシタ216が凸部であり、図13(a)は絶縁膜501を形成時(堆積時)の状態、図13(b)は絶縁膜501に凹部502を形成した状態、図13(c)は研磨後の状態を示し、503は研磨レベル、504は研磨後の絶縁膜501の表面を示す。

20

【0093】

また、前記絶縁膜が、少なくともボロンあるいはリンのどちらかを含むことが望ましい。この絶縁膜は、熱融解性が大きく、効果がより大きい。

【0094】

また、前記絶縁膜が、O3とTEOSを用いて形成したシリコン酸化膜であることが望ましい。この絶縁膜は、熱融解性があり、効果が大きい。また、不純物を含まないために使用条件を選ぶ必要がない。また、形成時に水素が発生しないという利点もある。

【0095】

また、凸部が誘電体メモリのメモリセル、またはその一部であることが望ましい。誘電体メモリでは、容量を増やすために立体型のキャパシタを形成することが多く、メモリセルの高さが高くなる。このようなときには、メモリセルの上部の配線と拡散層とのコンタクトプラグのアスペクト比が高くなり、本発明を用いて、層間絶縁膜の膜厚ばらつきを低減しながら、層間絶縁膜の膜厚を薄くすることにより、接続信頼性を高めることができる。

30

【0096】

次に、本発明による半導体メモリ装置の例を図14に示す。一般に、グローバル段差を低減するためには、凸部上の絶縁膜として、デポ形状が凸部となるHDP-NSGのようなエッチングしながら形成される膜の効果が大きい。しかし、強誘電体膜は、このような膜のプラズマのダメージによりその特性が劣化する。そのため、強誘電体を含むキャパシタでは、このような膜が使用できないために、メモリセルアレイと周辺回路領域での段差を解消するのがより困難となる。

40

【0097】

また、強誘電体膜は、水素により特性劣化を起こすため、キャパシタの上部および側部を覆うバリア膜601、あるいは、さらにキャパシタの底部にもバリア膜602を設けてキャパシタの全周囲を囲むようなバリア膜600が必要になり、凸部の高さが高くなる。この膜601、602は、例えば Al_2O_3 、 $TiAlO_x$ 、 $TiAlN$ 、 $TiAlON$ 、 SiN 、またはTi,Alを少なくとも一部に含む膜である。また、キャパシタの全周囲を囲む場合には、2種類以上の膜でキャパシタを囲むこともある。また、下部電極の下にWプラグを配置している場合には、強誘電体膜の焼結時にWの酸化を防止するために、下部電極に酸素の透過を防止する膜を配置する必要があり、凸部の高さが更に高くなる。また、容量を増やすために立体型のキャパシタを

50

形成する場合には、凸部の高さがより一層高くなる。このような凸部の高さが高くなる場合には、上部配線と拡散層とを接続するコンタクトプラグ603のアスペクト比が高くなり、接続信頼性が極端に低下する。

【0098】

そこで、バリア膜601、600のうちキャパシタ上部に形成された部分の膜表面から層間絶縁膜604の高さばらつきが $0.3\mu\text{m}$ 以下となるように、本発明の製造方法を用いて表面が平坦な層間絶縁膜604を形成することで、上部配線とのコンタクトプラグ603の接続信頼性を確保できる。

【0099】

この図14の場合、キャパシタおよびバリア膜601,600を含む凸部が複数(図示せず)存在しており、実施の形態1と2のいずれかの製造方法を適用して凸部の上に凹部を形成することができる。例えば、図14では、断面方向(平面的に見て例えば横方向)に2つのキャパシタを含む凸部が示されているが、奥行き方向(平面的に見て例えば縦方向)にバリア膜601,600がライン状に延びて、1つの凸部内で奥行き方向にも複数のキャパシタを含むように凸部が形成されている場合は、実施の形態2の製造方法を適用することが一般的であるが、実施の形態1の製造方法を適用することもありえる。なお、図14では、1つの凸部に、断面方向(平面的に見て例えば横方向)に2つのキャパシタを含む場合を示しているが、同断面方向に1つのキャパシタを含む場合や、2つに限らず3つ以上も含め複数のキャパシタを含む場合もある。

【産業上の利用可能性】

【0100】

本発明にかかる半導体装置の製造方法は、半導体基板上に形成する絶縁膜表面を平坦にし、かつその絶縁膜の膜厚ばらつきを低減することができ、凸部の密度が高い領域と凸部の密度の低い領域とを有する半導体基板上に絶縁膜を形成する半導体装置の製造方法として有用である。

【図面の簡単な説明】

【0101】

【図1】本発明の実施の形態1の半導体装置の製造方法を適用するFeRAMの一例を示す平面図

【図2】本発明の実施の形態1を示す製造方法の工程断面図

【図3】本発明の実施の形態1を示す製造方法の工程断面図

【図4】本発明の実施の形態1を示す製造方法の工程断面図

【図5】メモリセルアレイ中のメモリセルの配置を示す平面図

【図6】凸部の密度の高い領域に対して形成する凹部の形状を示す平面図

【図7】凹部の形状とグローバル段差の関係を示す図

【図8】メモリセルと凹部の配置例1を示す平面図

【図9】メモリセルと凹部の配置例2を示す平面図

【図10】本発明の実施の形態2を示す製造方法の工程断面図

【図11】本発明の実施の形態2を示す製造方法の工程断面図

【図12】本発明の実施の形態2を示す製造方法の工程断面図

【図13】非熱融解性の膜と、熱融解性の膜での形状の違いを示す工程断面図

【図14】本発明による半導体メモリ装置の構造を示す断面図

【図15】従来の製造方法を示す工程断面図

【図16】従来の製造方法の問題を示すための工程断面図

【符号の説明】

【0102】

- 101 周辺回路領域
- 102 メモリセルアレイ領域
- 201 半導体基板
- 202 分離領域

10

20

30

40

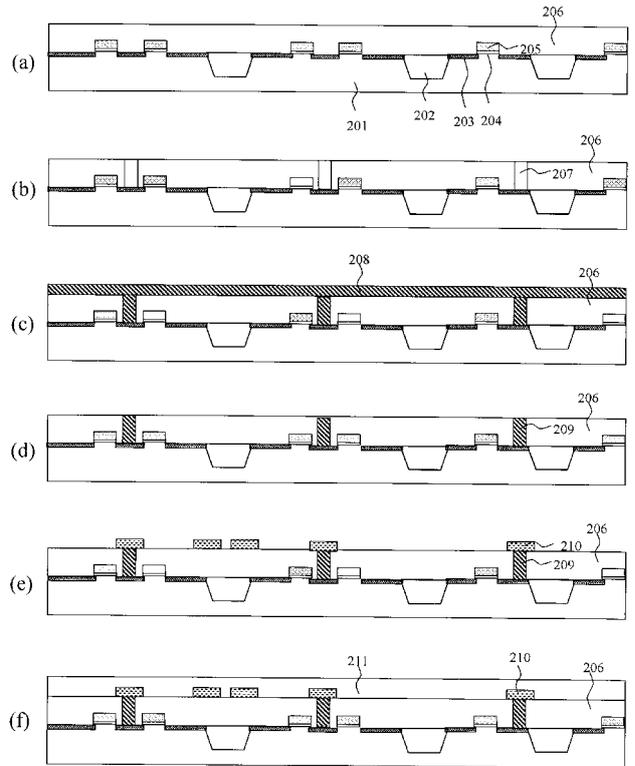
50

2 0 3	高濃度不純物拡散層	
2 0 4	ゲート絶縁膜	
2 0 5	ゲート電極	
2 0 6	第 1 の層間絶縁膜	
2 0 7	第 1 のコンタクト孔	
2 0 8	導電膜	
2 0 9	コンタクトプラグ	
2 1 0	ビット配線	
2 1 1	第 2 の層間絶縁膜	
2 1 2	第 2 のコンタクトプラグ	10
2 1 3	下部電極	
2 1 4	誘電体容量膜	
2 1 5	上部電極	
2 1 6	キャパシタ	
2 1 7	第 3 の層間絶縁膜	
2 1 8	凹部	
2 1 9	研磨後の第 3 の層間絶縁膜表面	
2 2 0	キャパシタのスペースの広い方向に仮に凹部を形成した場合の絶縁膜形状	
2 2 1	第 3 の層間絶縁膜	
2 2 2	第 3 のコンタクトプラグ	20
3 0 1	メモリセル(キャパシタ)	
3 0 2	凹部	
4 0 1	導電膜	
4 0 2	下部電極	
4 0 3	第 3 の絶縁膜	
4 0 4	誘電体容量膜	
4 0 5	導電膜	
4 0 6	上部電極	
4 0 7	第 4 の絶縁膜	
4 0 8	凹部	30
4 0 9	第 4 の層間絶縁膜	
4 1 0	第 3 のコンタクトプラグ	
5 0 1	絶縁膜	
5 0 2	凹部	
5 0 3	研磨レベル	
5 0 4	研磨後の絶縁膜表面形状	
6 0 0	バリア膜	
6 0 1	バリア膜	
6 0 2	バリア膜	
6 0 3	コンタクトプラグ	40
6 0 4	絶縁膜	
7 0 1	キャパシタ	
7 0 2	絶縁膜	
7 0 3	凹部	
7 0 4	突起部	
8 0 1	絶縁膜	
8 0 2	凹部	
8 0 3	局所的な段差	

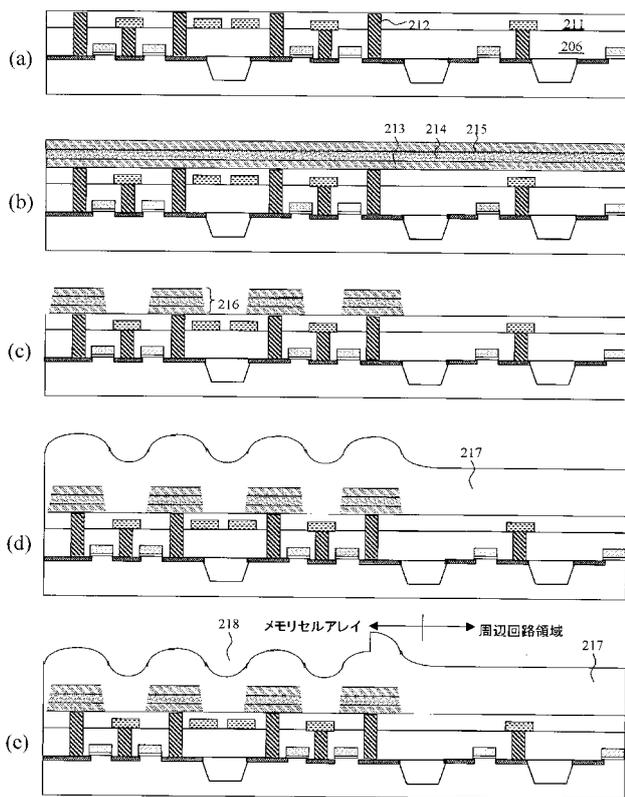
【 図 1 】



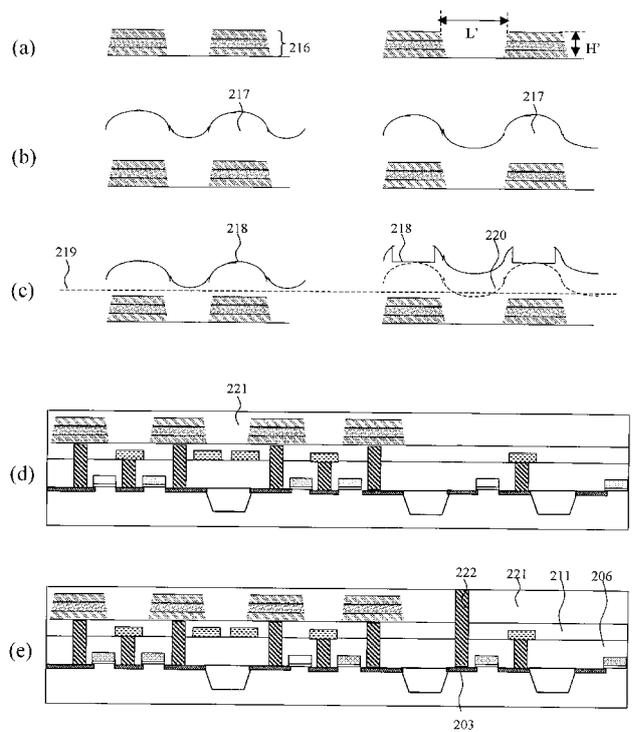
【 図 2 】



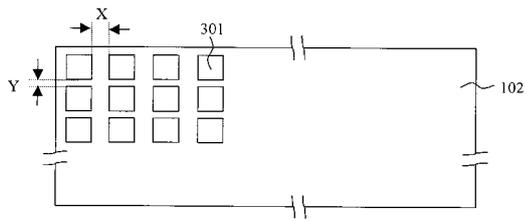
【 図 3 】



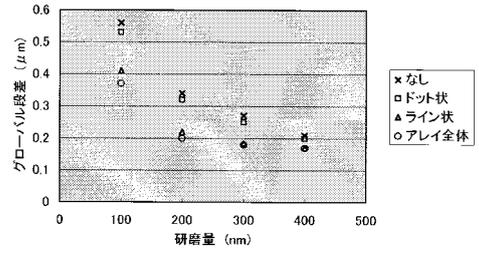
【 図 4 】



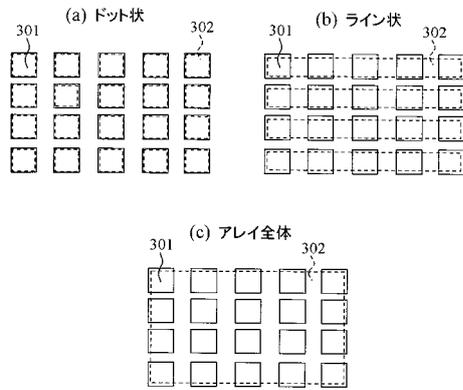
【図 5】



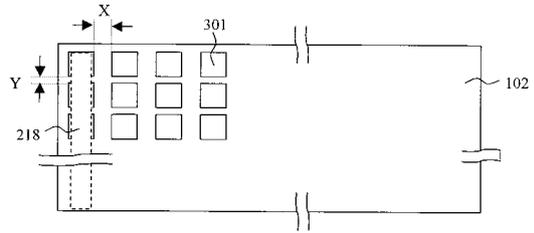
【図 7】



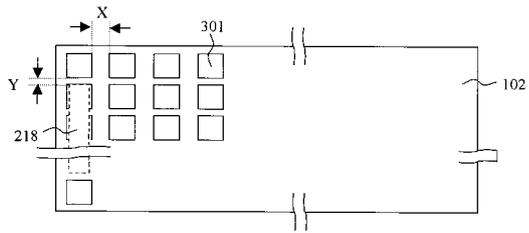
【図 6】



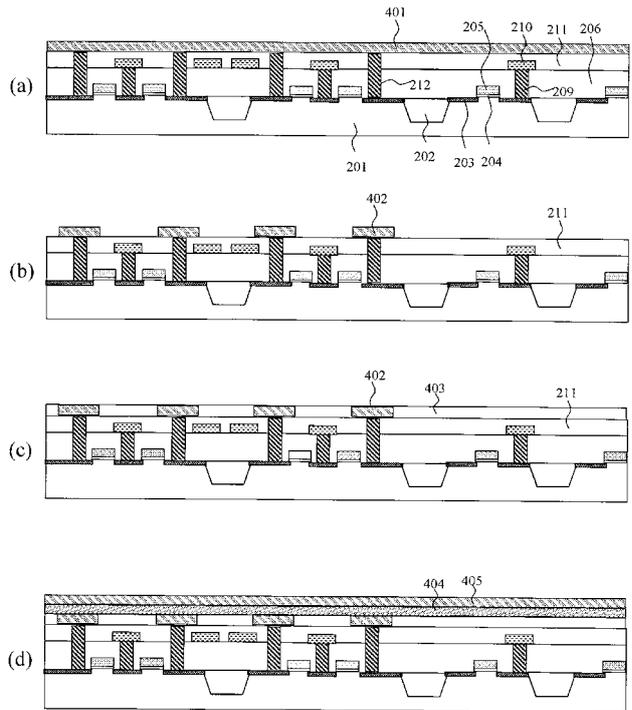
【図 8】



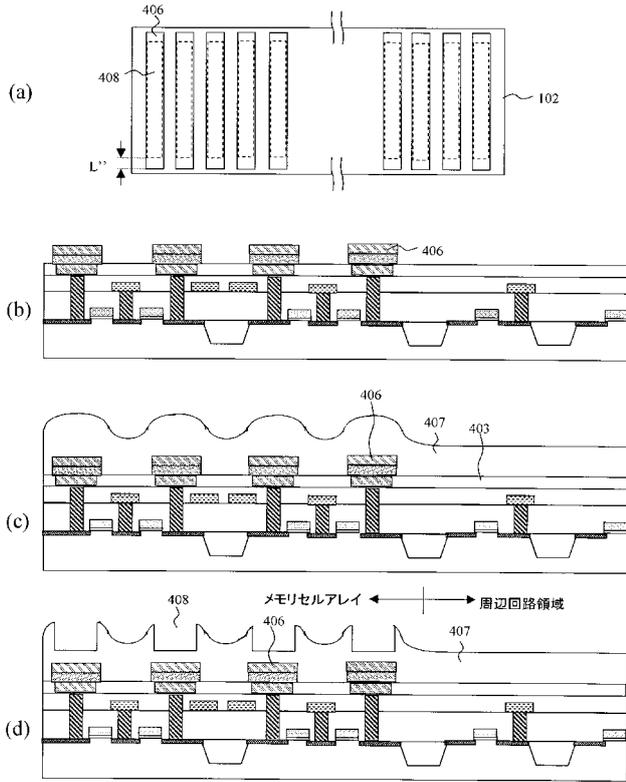
【図 9】



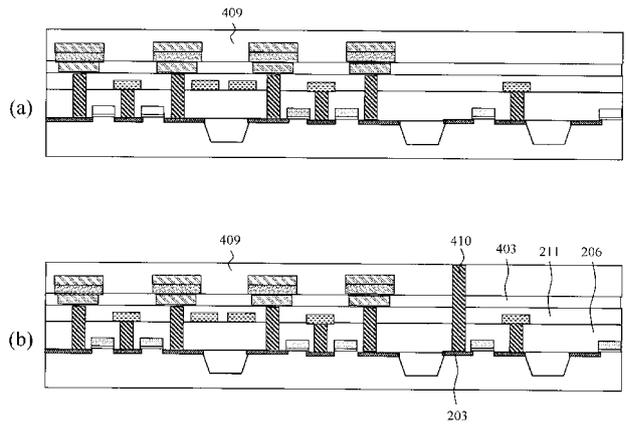
【図 10】



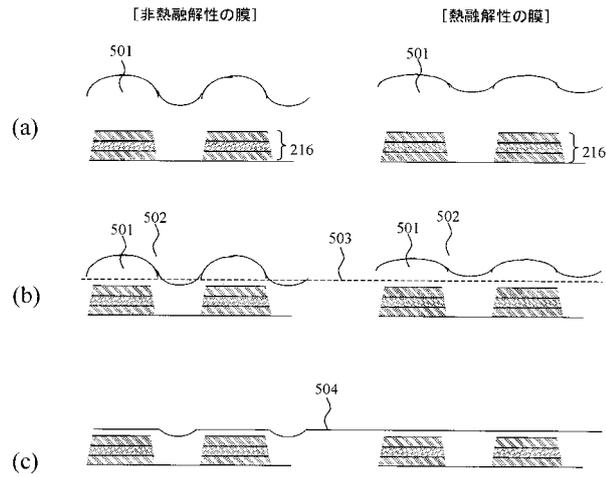
【図11】



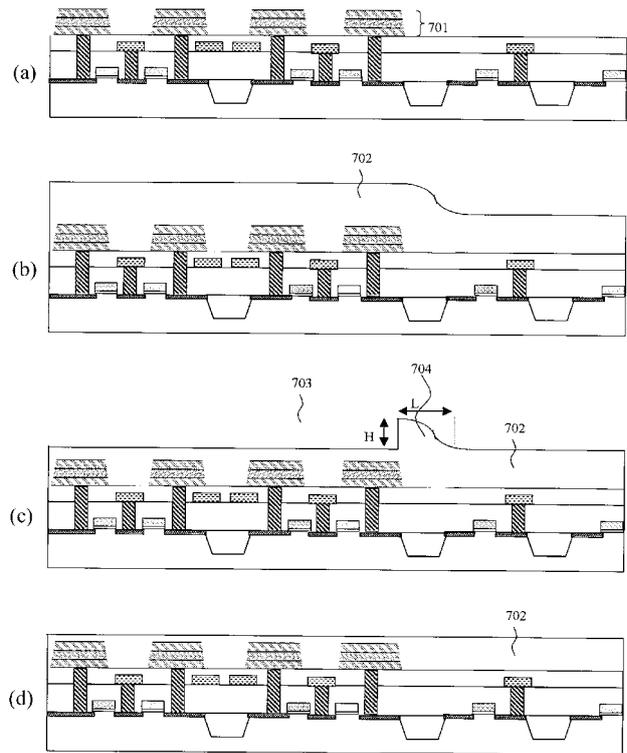
【図12】



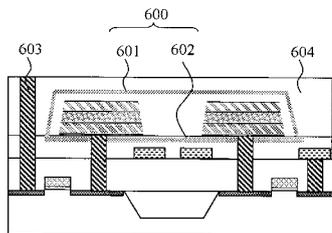
【図13】



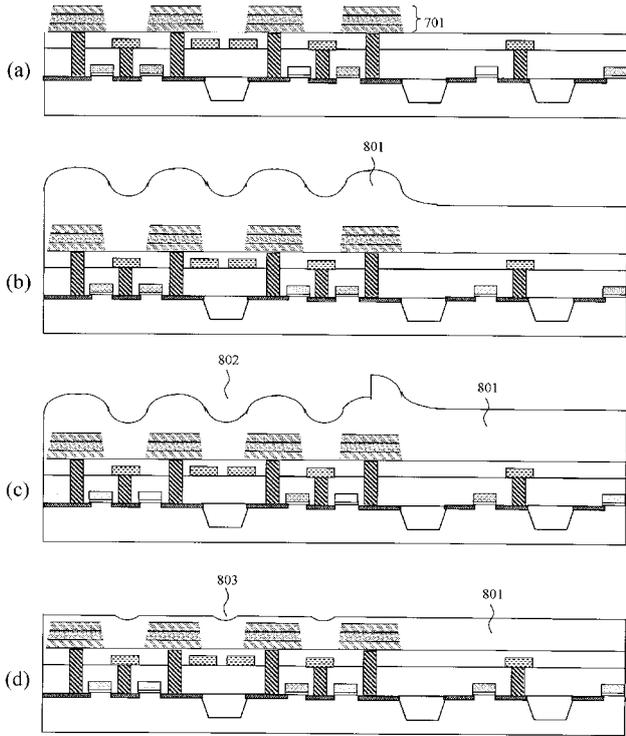
【図15】



【図14】



【図 16】



フロントページの続き

F ターム(参考) 5F033 HH07 HH18 HH19 HH32 HH33 JJ04 JJ18 JJ19 JJ20 JJ25
JJ27 JJ33 KK01 MM08 PP06 PP15 PP27 QQ08 QQ09 QQ11
QQ16 QQ19 QQ31 QQ48 RR03 RR04 RR05 RR06 RR07 RR15
SS01 SS08 SS11 VV16 WW01 XX01 XX28
5F083 AD21 FR02 JA14 JA15 JA17 JA36 JA37 JA38 JA39 JA40
JA43 JA56 MA06 MA17 MA20 NA01 PR03 PR05 PR33 PR34
PR38 PR39 PR40 PR42 PR52 ZA02