

【特許請求の範囲】**【請求項 1】**

光デバイス、および、前記光デバイスの上方に形成され、且つ、前記光デバイスに電氣的に接続された第 1 配線を備える第 1 半導体チップと、

基板、前記基板の表面側に形成され、且つ、電気回路の一部を構成する半導体素子、および、前記半導体素子の上方に形成され、且つ、前記半導体素子に電氣的に接続された第 2 配線を備える第 2 半導体チップと、

を有し、

前記第 2 半導体チップは、前記第 1 半導体チップ上に搭載され、

前記第 1 配線と前記第 2 配線とが直接接するように、前記第 1 半導体チップの表面は、前記第 2 半導体チップの表面と接合され、

前記基板には、平面視における形状が環状であるスルーホールが形成され、

前記スルーホール内には、第 1 クラッド層が形成され、

前記第 1 クラッド層は、前記スルーホールに囲まれた前記基板を構成する材料よりも低い屈折率を有する材料からなる、半導体モジュール。

【請求項 2】

請求項 1 記載の半導体モジュールにおいて、

前記光デバイスは、前記スルーホールに囲まれた前記基板と平面視において重なるように形成されている、半導体モジュール。

【請求項 3】

請求項 2 記載の半導体モジュールにおいて、

前記スルーホールに囲まれた前記基板は、光導波路として機能し、

前記光デバイスは、受光器またはグレーティングカップラであり、

前記半導体モジュール外部の光通信機器と前記光デバイスとの間で行われる光の送信または受信は、前記光導波路を介して行われる、半導体モジュール。

【請求項 4】

請求項 3 記載の半導体モジュールにおいて、

前記第 1 半導体チップには、前記光デバイスの下方に形成され、且つ、前記光デバイスと平面視において重なる位置に、前記光を反射させることができる反射膜が形成されている、半導体モジュール。

【請求項 5】

請求項 1 記載の半導体モジュールにおいて、

前記スルーホールに囲まれた前記基板以外の領域において、前記基板の裏面には、金属膜が形成されている、前記半導体モジュール。

【請求項 6】

請求項 1 記載の半導体モジュールにおいて、

前記第 1 クラッド層は、絶縁膜からなる、前記半導体モジュール。

【請求項 7】

請求項 1 記載の半導体モジュールにおいて、

前記スルーホールは、第 1 箇所、および、前記第 1 箇所よりも前記基板の裏面に近い第 2 箇所を有し、

前記第 1 箇所に形成されている前記第 1 クラッド層は、第 1 絶縁膜からなり、

前記第 2 箇所に形成されている前記第 1 クラッド層は、第 2 絶縁膜、第 3 絶縁膜、および、前記第 2 絶縁膜と前記第 3 絶縁膜とに挟まれた第 1 導電性膜からなる、前記半導体モジュール。

【請求項 8】

請求項 1 記載の半導体モジュールにおいて、

前記スルーホールは、第 1 箇所、および、前記第 1 箇所よりも前記基板の裏面に近い第 2 箇所を有し、

前記第 1 箇所に形成されている前記第 1 クラッド層は、第 1 絶縁膜、第 2 絶縁膜、およ

10

20

30

40

50

び、前記第 1 絶縁膜と前記第 2 絶縁膜とに挟まれた第 1 導電性膜からなり、
前記第 2 箇所形成されている前記第 1 クラッド層は、第 3 絶縁膜からなる、前記半導体モジュール。

【請求項 9】

請求項 1 記載の半導体モジュールにおいて、

前記スルーホールは、第 1 箇所、および、前記第 1 箇所よりも前記基板の裏面に近い第 2 箇所を有し、

前記第 1 箇所に形成されている前記第 1 クラッド層は、第 1 絶縁膜、第 2 絶縁膜、および、前記第 1 絶縁膜と前記第 2 絶縁膜とに挟まれた第 1 導電性膜からなり、

前記第 2 箇所に形成されている前記第 1 クラッド層は、第 3 絶縁膜、第 4 絶縁膜、および、前記第 3 絶縁膜と前記第 4 絶縁膜とに挟まれた第 2 導電性膜からなる、前記半導体モジュール。

10

【請求項 10】

請求項 1 記載の半導体モジュールにおいて、

平面視において、前記第 1 半導体チップの外周は、前記第 2 半導体チップの外周と 5 μ m 以内の範囲で一致している、半導体モジュール。

【請求項 11】

請求項 1 記載の半導体モジュールにおいて、

平面視において、前記第 1 半導体チップおよび前記第 2 半導体チップは、それぞれ、第 1 方向に沿った第 1 辺および第 2 辺と、前記第 1 方向と交差する第 2 方向に沿った第 3 辺および第 4 辺とを有し、

20

前記第 1 半導体チップの第 1 辺および前記第 2 半導体チップの第 1 辺は、5 μ m 以内の範囲で一致し、

前記第 1 半導体チップの第 2 辺および前記第 2 半導体チップの第 2 辺は、5 μ m 以内の範囲で一致し、

前記第 1 半導体チップの第 3 辺および前記第 2 半導体チップの第 3 辺は、5 μ m 以内の範囲で一致し、

前記第 1 半導体チップの第 4 辺および前記第 2 半導体チップの第 4 辺は、5 μ m 以内の範囲で一致している、半導体モジュール。

【請求項 12】

30

請求項 3 記載の半導体モジュールにおいて、

前記第 1 半導体チップは、

前記光デバイスの上方に形成され、且つ、前記第 1 配線を含む第 1 多層配線と、

前記光デバイスの下方に形成され、且つ、前記第 1 半導体チップの裏面側に形成された第 1 絶縁膜と、

前記第 1 絶縁膜の下面に形成されたパッド電極と、

前記第 1 絶縁膜を貫通し、且つ、前記パッド電極および前記第 1 配線に電気的に接続された貫通電極と、

前記パッド電極の下面に形成された外部接続用端子と、

を更に有し、

40

前記第 2 半導体チップは、

前記半導体素子の上方に形成され、且つ、前記第 2 配線を含む第 2 多層配線、

を更に有する、半導体モジュール。

【請求項 13】

請求項 12 記載の半導体モジュールを用いた通信方法であって、

前記半導体モジュール外部の電気機器からの第 1 電気信号を、前記外部接続用端子および前記貫通電極を介して、前記第 1 半導体チップで受信するステップと、

前記第 1 半導体チップが受信した前記第 1 電気信号を、前記第 1 半導体チップから前記第 2 半導体チップへ送信するステップと、

前記第 2 半導体チップが受信した前記第 1 電気信号を、前記半導体素子を用いて、第 2

50

電気信号に加工するステップと、

前記第 2 電気信号を、第 2 半導体チップから前記第 1 半導体チップへ送信するステップと、

前記第 1 半導体チップが受信した前記第 2 電気信号を、前記光デバイスを用いて、光信号へ変換するステップと、

前記光信号を、前記光導波路を介して、前記第 1 半導体チップから前記半導体モジュール外部の光通信機器へ送信するステップと、

を有する、通信方法。

【請求項 1 4】

請求項 1 2 記載の半導体モジュールを用いた通信方法であって、

前記半導体モジュール外部の光通信機器からの光信号を、前記光導波路を介して、前記第 1 半導体チップで受信するステップと、

前記第 1 半導体チップが受信した前記光信号を、前記光デバイスを用いて、第 3 電気信号へ変換するステップと、

前記第 3 電気信号を、前記第 1 半導体チップから前記第 2 半導体チップへ送信するステップと、

前記第 2 半導体チップが受信した前記第 3 電気信号を、前記半導体素子を用いて、第 4 電気信号に加工するステップと、

前記第 4 電気信号を、前記外部接続用端子および前記貫通電極を介して、前記半導体モジュール外部の電気機器へ送信するステップと、

を有する、通信方法。

【請求項 1 5】

(a) 第 1 基板、前記第 1 基板上に形成された光デバイス、および、前記光デバイスの上方に形成され、且つ、前記光デバイスに電気的に接続された第 1 配線を備える第 1 半導体チップとなる領域を複数有する第 1 ウェハを準備する工程、

(b) 第 2 基板、前記第 2 基板の表面側に形成され、且つ、電気回路の一部を構成する半導体素子、前記半導体素子の上方に形成され、且つ、前記半導体素子に電気的に接続された第 2 配線、前記第 2 基板に形成され、且つ、平面視における形状が環状であるスルーホール、および、前記スルーホール内に形成された第 1 クラッド層を備える第 2 半導体チップとなる領域を複数有する第 2 ウェハを準備する工程、

(c) 前記 (a) 工程および前記 (b) 工程後に、前記第 1 配線と前記第 2 配線とが直接接するように、前記第 1 ウェハの表面と前記第 2 ウェハの表面とを接合する工程、

(d) 前記 (c) 工程後、前記第 1 基板を除去する工程、

(e) 前記 (d) 工程後、互いに接合された前記第 1 ウェハと前記第 2 ウェハとを個片化することによって、互いに接合された前記第 1 半導体チップおよび前記第 2 半導体チップを有する半導体モジュールを、複数形成する工程、

を有する、半導体モジュールの製造方法。

【請求項 1 6】

請求項 1 5 記載の半導体モジュールの製造方法において、

前記 (b) 工程は、

(b 1) 前記第 2 基板の前記表面から前記第 2 基板の内部に達するように、前記第 2 基板に第 1 孔を形成する工程、

(b 2) 前記第 1 孔内に、第 1 絶縁膜を形成する工程、

(b 3) 前記 (b 2) 工程後、前記第 2 基板の裏面から前記第 1 孔に達するように、前記第 2 基板に第 2 孔を形成する工程、

(b 4) 前記第 2 孔内に、第 2 絶縁膜を形成する工程、

を有し、

前記第 1 孔および前記第 2 孔は、前記スルーホールを構成し、

前記第 1 絶縁膜および前記第 2 絶縁膜は、前記第 1 クラッド層を構成する、半導体モジュールの製造方法。

10

20

30

40

50

【請求項 17】

請求項 15 記載の半導体モジュールの製造方法において、
前記 (b) 工程は、

(b1) 前記第 2 基板の前記表面から前記第 2 基板の内部に達するように、前記第 2 基板に第 1 孔を形成する工程、

(b2) 前記第 1 孔の両側面に、第 1 絶縁膜を形成する工程、

(b3) 前記第 1 孔内に、前記第 1 絶縁膜を介して、半導体膜を形成する工程、

(b4) 前記 (b3) 工程後、前記第 2 基板の裏面から前記第 1 孔に達するように、前記第 2 基板に第 2 孔を形成する工程、

(b5) 前記第 2 孔内に、第 2 絶縁膜を形成する工程、

10

を有し、

前記第 1 孔および前記第 2 孔は、前記スルーホールを構成し、

前記第 1 絶縁膜、前記半導体膜および前記第 2 絶縁膜は、前記第 1 クラッド層を構成する、半導体モジュールの製造方法。

【請求項 18】

請求項 15 記載の半導体モジュールの製造方法において、
前記 (b) 工程は、

(b1) 前記第 2 基板の前記表面から前記第 2 基板の内部に達するように、前記第 2 基板に第 1 孔を形成する工程、

(b2) 前記第 1 孔内に、第 1 絶縁膜を形成する工程、

20

(b3) 前記 (b2) 工程後、前記第 2 基板の裏面から前記第 1 孔に達するように、前記第 2 基板に第 2 孔を形成する工程、

(b4) 前記第 2 孔の両側面に、第 2 絶縁膜を形成する工程、

(b5) 前記第 2 孔内に、前記第 2 絶縁膜を介して、導電性膜を形成する工程、

を有し、

前記第 1 孔および前記第 2 孔は、前記スルーホールを構成し、

前記第 1 絶縁膜、前記第 2 絶縁膜および前記導電性膜は、前記第 1 クラッド層を構成する、半導体モジュールの製造方法。

【請求項 19】

請求項 15 記載の半導体モジュールの製造方法において、
前記 (b) 工程は、

30

(b1) 前記第 2 基板の前記表面から前記第 2 基板の内部に達するように、前記第 2 基板に第 1 孔を形成する工程、

(b2) 前記第 1 孔の両側面に、第 1 絶縁膜を形成する工程、

(b3) 前記第 1 孔内に、前記第 1 絶縁膜を介して、半導体膜を形成する工程、

(b4) 前記 (b3) 工程後、前記第 2 基板の裏面から前記第 1 孔に達するように、前記第 2 基板に第 2 孔を形成する工程、

(b5) 前記第 2 孔の両側面に、第 2 絶縁膜を形成する工程、

(b6) 前記第 2 孔内に、前記第 2 絶縁膜を介して、導電性膜を形成する工程、

を有し、

40

前記第 1 孔および前記第 2 孔は、前記スルーホールを構成し、

前記第 1 絶縁膜、前記半導体膜、前記第 2 絶縁膜および前記導電性膜は、前記第 1 クラッド層を構成する、半導体モジュールの製造方法。

【請求項 20】

請求項 15 記載の半導体モジュールの製造方法において、

前記 (c) 工程において、前記光デバイスは、前記スルーホールに囲まれた前記第 2 基板と平面視において重なるように形成されている、半導体モジュールの製造方法。

【発明の詳細な説明】**【技術分野】**

50

【0001】

本発明は、半導体モジュールおよびその製造方法、並びに、半導体モジュールを用いた通信方法に関し、特に、光信号および電気信号の伝搬を行う半導体モジュールに好適に利用できるものである。

【背景技術】

【0002】

近年、光通信を行う半導体装置として、シリコンフォトンクス技術が開発されている。シリコンフォトンクス技術では、半導体基板上に、シリコンなどの半導体を材料とした光信号用の伝送線路を形成し、この光信号用の伝送線路により形成される種々の光デバイスと、電子デバイスとを集積したフォトンクスチップが使用される。また、このフォトンクスチップを制御するためのドライバチップを、フォトンクスチップ上に搭載することで、光信号および電気信号の伝搬を行う半導体モジュールの集積化が検討されている。

10

【0003】

特許文献1および2には、光導波路などの光デバイスが形成された基板上に、ドライバチップを搭載する技術が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2017-151146号公報

【特許文献2】国際公開第2014/156962号

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

フォトンクスチップを有する光通信の半導体モジュールにおいて、フォトンクスチップのサイズは、半導体素子から構成される電子回路が形成されたドライバチップのサイズよりも大きい場合が多い。これは、フォトンクスチップにおいては、光の伝送距離が長くなっても伝搬損失が非常に小さいため、ドライバチップにおいて、電気の伝送距離を最短とする方が、全体的な伝搬損失を低減し、消費電力を最小にできるからである。更に、フォトンクスチップの上面側の方向、または、フォトンクスチップの側面側の方向から光の入出力を行うことができる。

30

【0006】

しかし、このような光信号および電気信号の伝搬を行う半導体モジュールでは、フォトンクスチップとドライバチップとの間で、体積当たりのデータ伝送量（帯域密度）を最大化し、データ伝送エネルギーの効率（情報量当たりの消費電力）を向上させることが困難である。また、半導体モジュールの高集積化のための設計自由度が低いので、半導体モジュールの微細化に対応し難いという問題がある。

【0007】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

40

【0008】

一実施の形態によれば、半導体モジュールは、光デバイス、および、光デバイスの上方に形成され、且つ、光デバイスに電氣的に接続された第1配線を備える第1半導体チップと、基板、基板の表面側に形成され、且つ、電気回路の一部を構成する半導体素子、および、半導体素子の上方に形成され、且つ、半導体素子に電氣的に接続された第2配線を備える第2半導体チップとを有する。ここで、第2半導体チップは、第1半導体チップ上に搭載され、第1配線と第2配線とが直接接するように、第1半導体チップの表面は、前記第2半導体チップの表面と接合している。また、基板には、平面視における形状が環状であるスルーホールが形成され、スルーホール内には、第1クラッド層が形成され、第1クラッド層は、スルーホールに囲まれた基板を構成する材料よりも低い屈折率を有する材料

50

からなる。

【発明の効果】

【0009】

一実施の形態によれば、半導体モジュールの性能を向上させることができる。

【図面の簡単な説明】

【0010】

【図1】実施の形態1の半導体モジュールを示す平面図である。

【図2】実施の形態1の半導体モジュールを示す断面図である。

【図3】実施の形態1の半導体モジュールを示す断面図である。

【図4】実施の形態1の光導波路を示す要部平面図である。

10

【図5】実施の形態1の半導体チップの製造工程を示す断面図である。

【図6】図5に続く製造工程を示す断面図である。

【図7】図6に続く製造工程を示す断面図である。

【図8】実施の形態1の半導体モジュールの製造工程を示す断面図である。

【図9】図8に続く製造工程を示す断面図である。

【図10】図9に続く製造工程を示す断面図である。

【図11】図10に続く製造工程を示す断面図である。

【図12】実施の形態2の光導波路を示す要部平面図である。

【図13】実施の形態2の半導体チップの製造工程を示す断面図である。

20

【図14】図13に続く製造工程を示す断面図である。

【図15】図14に続く製造工程を示す断面図である。

【図16】図15に続く製造工程を示す断面図である。

【図17】図16に続く製造工程を示す断面図である。

【図18】実施の形態3の光導波路を示す要部平面図である。

【図19】実施の形態3の半導体チップの製造工程を示す断面図である。

【図20】図19に続く製造工程を示す断面図である。

【図21】図20に続く製造工程を示す断面図である。

【図22】実施の形態4の半導体チップの製造工程を示す断面図である。

【発明を実施するための形態】

【0011】

30

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。また、以下の実施の形態において、要素の数など（個数、数値、量、範囲などを含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップなども含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合などを除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそ

40

【0012】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。また、実施の形態で用いる断面図においては、図面を見易くするためにハッチング等を省略する場合もある。

【0013】

また、以下の実施の形態で「Aの直下に位置しているB」などと表現したときは、Aと

50

Bとの関係は、互いに直接接している場合も含み、互いの間に他の構成物がある場合も含む。言い換えれば、AとBとの関係は、平面視において重なっていることを意味する。なお、「直下」の代わりに「直上」と表現したときも、同様の関係が成り立つ。

【0014】

(実施の形態1)

図1は、光信号および電気信号の伝搬を行うことが可能な半導体装置である半導体モジュールM Jの平面図を示しており、図2は、半導体モジュールM Jの断面図を示している。図3は、図2と同様の断面図であるが、光の入射および出射の状態が矢印で示されており、これらを見易くするために、図3では一部のハッチングが省略されている。図4は、半導体チップC H P 2に形成されている光導波路W G 2の形状を半導体チップC H P 2の裏面B S 2側から見た要部平面図である。

10

【0015】

半導体モジュールM Jは、半導体チップC H P 1と、半導体チップC H P 1上に搭載された半導体チップC H P 2とを有する。半導体チップC H P 1は、光導波路などの光デバイスを備えたフォトニクスチップである。半導体チップC H P 2は、半導体チップC H P 1と電気信号の伝搬を行い、且つ、C P U (Central Processing Unit)などの電気回路を備えたドライバチップである。

【0016】

図1に示されるように、半導体モジュールM Jの外部には、光通信機器の一例として、レーザ光L Zを発光する発光部を有するレーザダイオードチップL Dが設けられている。半導体モジュールM Jのうち半導体チップC H P 1は、直接または光ファイバなどを介して、レーザダイオードチップL Dからのレーザ光L Zの受光が可能であり、半導体モジュールM J外部の光通信機器と光信号の送信および受信を行うことができる。すなわち、半導体モジュールM Jは、光の送受信が可能な光通信用のインターポーザであるとも言える。

20

【0017】

また、後で詳細に説明するが、半導体チップC H P 1の平面サイズは、半導体チップC H P 2の平面サイズとほぼ同じである。図1に示されるように、平面視において、半導体モジュールM Jは、X方向に沿った第1辺S 1および第2辺S 2、並びに、Y方向に沿った第3辺S 3および第4辺S 4を有し、半導体チップC H P 1および半導体チップC H P 2も、これらに対応する第1辺S 1～第4辺S 4を有する。なお、X方向およびY方向は、互いに交差し、互いに直交している。

30

【0018】

ここで、第1辺S 1を用いて例示すると、平面視において、半導体チップC H P 1の第1辺S 1の位置は、半導体チップC H P 2の第1辺S 1の位置と、5 μ m以内の範囲で一致している。このような関係は、各々の第2辺S 2～第4辺S 4についても同様である。

【0019】

すなわち、平面視において、半導体チップC H P 1の外周は、半導体チップC H P 2の外周と所定の範囲内で一致し、具体的には、半導体チップC H P 2の外周と5 μ m以内の範囲で一致している。言い換えれば、半導体チップC H P 1の側面と、半導体チップC H P 2の側面とは、面一である。更に言い換えれば、半導体チップC H P 1の第1辺S 1～第4辺S 4の位置と、半導体チップC H P 2の第1辺S 1～第4辺S 4の位置とのずれが、それぞれ5 μ m以内である。

40

【0020】

以降の本実施の形態において、半導体チップC H P 1の平面サイズおよび半導体チップC H P 2の平面サイズが、同じ、または、ほぼ同じと記した場合は、上述のように、半導体チップC H P 1の外周が、半導体チップC H P 2の外周と5 μ m以内の範囲で一致していることを意味する。

【0021】

以下に、図2～図4を用いて、本実施の形態の半導体モジュールM Jに含まれる半導体

50

チップＣＨＰ１および半導体チップＣＨＰ２の構造について説明する。図２に示されるように、半導体チップＣＨＰ１は、表面ＴＳ１および裏面ＢＳ１を有し、半導体チップＣＨＰ２は、表面ＴＳ２および裏面ＢＳ２を有している。表面ＴＳ１および表面ＴＳ２は、向かい合わせになっており、互いに接合している。すなわち、図２では、半導体チップＣＨＰ２が逆さになっている状態が示されている。

【００２２】

<半導体チップＣＨＰ１の構造>

半導体チップＣＨＰ１には複数の光デバイス（光半導体素子）が形成されており、本実施の形態では、このような光デバイスの例として、光導波路ＷＧ、受光器ＯＲおよびグレーティングカブラＧＣを示している。なお、図示されていない他の光デバイスとしては、例えば光変調器が挙げられる。

10

【００２３】

光導波路ＷＧ、受光器ＯＲおよびグレーティングカブラＧＣは、それぞれ絶縁膜ＢＸ上に形成されており、同層の半導体層が加工されることにより形成されている。このような半導体層は、例えばシリコンからなり、例えば２００～３００ｎｍの厚さを有する。また、絶縁層ＢＸは、例えば酸化シリコンからなり、例えば５００ｎｍ～３μｍの厚さを有する。

【００２４】

光導波路ＷＧは、主に、各光デバイスを光学的に接続するための光信号の伝搬路であり、受光器ＯＲおよびグレーティングカブラＧＣのような他の光デバイスと一体化して接続されている。

20

【００２５】

受光器ＯＲは、例えばｐ型の不純物が導入された半導体層と、このｐ型の半導体層上に形成され、その表面がｎ型であるｉ型のゲルマニウム層とを含み、これらによってｐｉｎ構造が構成されている。ｎ型のゲルマニウム層およびｐ型の半導体層は、プラグなどを介して、それぞれ上層の配線Ｍ１ａに電氣的に接続されている。これによって、ｐｉｎ構造において光起電力効果により流れる直流電流を、受光器ＯＲの外部に取り出すことができる。

【００２６】

グレーティングカブラＧＣは、光導波路ＷＧ１を伝搬する光に半導体モジュールＭＪ外部の光通信機器から入射するレーザ光を結合する、または、光導波路ＷＧ１を伝搬する光を半導体モジュールＭＪ外部の光通信機器へ出射する光デバイスである。グレーティングカブラＧＣを伝搬する光は、伝搬方向に沿って光導波路面に設けられた凹部（溝部）および凸部（突起部）において、周期的屈折率変調（導波路グレーティング）が行われ、ある特定の方向に回折放射される。本実施の形態では、グレーティングカブラＧＣの凹部および凸部は、半導体チップＣＨＰ１の表面ＴＳ１側に向けて設けられている。そのため、光の回折方向は、表面ＴＳ１側に向かう方向が支配的となる。

30

【００２７】

また、後で説明するが、半導体チップＣＨＰ２の半導体基板ＳＢ２にはスルーホールＴＨが形成されており、スルーホールＴＨ内には光導波路ＷＧ２が形成されている。本実施の形態では、受光器ＯＲおよびグレーティングカブラＧＣの各々は、光導波路ＷＧ２の直下に設けられている。言い換えれば、受光器ＯＲおよびグレーティングカブラＧＣの各々は、平面視において光導波路ＷＧ２と重なる位置に形成されている。

40

【００２８】

図３には、光の伝搬経路が模式的に矢印で示されている。半導体モジュールＭＪ外部の光通信機器からの光は、光導波路ＷＧ２に入射され、層間絶縁膜ＩＬ２および層間絶縁膜ＩＬ１を透過して受光器ＯＲに達する。すなわち、受光器ＯＲは、光導波路ＷＧ２を介して上記光を受光する。また、本実施の形態では、光導波路ＷＧ１からグレーティングカブラＧＣに伝搬した光が、グレーティングカブラＧＣの上方へ回折し、回折した光が、光導波路ＷＧ２を介して半導体モジュールＭＪ外部の光通信機器へ出射される場合が示されて

50

いる。また、光導波路WG2を介して、半導体モジュールMJ外部の光通信機器からグレーティングカブラGCへ光を入射する場合は、この矢印の向きが逆となる。

【0029】

受光器ORおよびグレーティングカブラGCの下方には、それぞれ絶縁膜BXおよび絶縁膜IF1を介して、反射膜RF1および反射膜RF2が形成されている。具体的には、反射膜RF1は、受光器ORの直下に形成され、平面視において受光器ORと重なる位置に形成されている。反射膜RF2は、グレーティングカブラGCの直下に形成され、平面視においてグレーティングカブラGCと重なる位置に形成されている。反射膜RF1および反射膜RF2の各々は、例えば銅膜またはアルミニウム膜のような金属膜によって構成されている。

10

【0030】

反射膜RF1は、受光器ORを透過した光を反射させることができる。従って、反射した光を受光器ORにおいて受光することで、光損失を抑制することができる。

【0031】

また、反射膜RF2は、グレーティングカブラGCの下方へ回折した光を反射させることができ、反射した光は、グレーティングカブラGCの上方の光導波路WG2へ入射される。グレーティングカブラGCにおいて、光の回折方向は、表面TS1側へ向かう方向が支配的であるが、半導体チップCHP1の表面TS1側に回折せず、半導体チップCHP1の裏面BS1側に回折する光も存在している。例えば、50~70%程度の光が表面TS1側に回折し、30~50%程度の光が裏面BS1側に回折している。この裏面BS1側に回折した光は、光損失に直結する。従って、反射膜RF2が設けられていることで、このような裏面BS1側に回折した光が表面TS1側に反射されるので、光損失を抑制することができる。

20

【0032】

また、グレーティングカブラGCから光導波路WG2へ光を入射させる場合、グレーティングカブラGCにおける光の回折方向は、概ね斜め上方向であるが、グレーティングカブラGCを構成する凹部および凸部のピッチまたは高さなどを調整することで、光の回折方向を垂直方向にすることもできる。

【0033】

なお、光損失をより確実に抑制するために、反射膜RF1および反射膜RF2は、それぞれ受光器ORおよびグレーティングカブラGCの下面全体を覆っていることが好ましい。

30

【0034】

光導波路WG1、受光器ORおよびグレーティングカブラGCの上方には、例えば酸化シリコンからなる層間絶縁膜IL1が形成されている。このように、光導波路WG1、受光器ORおよびグレーティングカブラGCの各々の周囲は、互いに同じ材料からなる絶縁膜BXおよび層間絶縁膜IL1に覆われている。そして、絶縁膜BXおよび層間絶縁膜IL1は、光導波路WG1、受光器ORおよびグレーティングカブラGCを構成する材料の屈折率よりも、低い屈折率を有する材料からなる。このため、光導波路WG1、受光器ORおよびグレーティングカブラGCは、光デバイスのコア層として機能し、絶縁膜BXおよび層間絶縁膜IL1は、光デバイスのクラッド層として機能する。

40

【0035】

光デバイス下方には絶縁膜BXが形成されているが、絶縁膜BXの下面には、更に、例えば酸化シリコンからなり、例えば1~2μmの厚さを有する絶縁膜IF1が形成されている。

【0036】

絶縁膜BXと、光導波路WG1、受光器ORおよびグレーティングカブラGCなどに使用される半導体層とは、元々、SOI(Silicon On Insulator)基板の一部である。本実施の形態では、SOI基板の支持基板である半導体基板(基板)SB1を除去している。この時、絶縁膜BXの一部も除去され、絶縁膜BXの厚さが薄くなり、絶縁膜BXがクラ

50

ッド層として機能できる程度の厚さを保てなくなる恐れがある。このため、絶縁膜 I F 1 は、半導体チップ C H P 1 の裏面 B S 1 側において、クラッド層としての役目も果たす。なお、この目的が絶縁膜 B X のみで十分に達成されるならば、絶縁膜 I F 1 は必須ではない。

【 0 0 3 7 】

層間絶縁膜 I L 1 中には、1層目の配線 M 1 a と、配線 M 1 a の上方に2層目の配線 M 2 a が形成されている。層間絶縁膜 I L 1 は、実際には多層の絶縁膜の積層膜からなり、配線 M 1 a および配線 M 2 a は、各層の絶縁膜中に形成されているが、本実施の形態では、このような多層の絶縁膜を層間絶縁膜 I L 1 として図示している。光デバイスは、配線 M 1 a および配線 M 2 a に電氣的に接続されている。配線 M 1 a および配線 M 2 a は、所謂ダマシ構造またはデュアルダマシ構造の配線であり、銅を主体とした導電性膜からなる。ダマシ構造またはデュアルダマシ構造とは、層間絶縁膜 I L 1 などの絶縁膜に溝を形成し、この溝内に窒化 tantalum 膜などのバリアメタル膜を介して、銅を主体とした導電性膜を埋め込み、その後、溝外のバリアメタル膜および導電性膜を、C M P (Chemical Mechanical Polishing) 法によって除去することで形成される配線構造である。

10

【 0 0 3 8 】

絶縁膜 I F 1 の下面側 (半導体チップ C H P 1 の裏面 B S 1 側) には、例えば銅膜またはアルミニウム膜を有するパッド電極 P A D が形成されている。また、パッド電極 P A D は、貫通電極 T G V を介して、配線 M 1 a に電氣的に接続されている。貫通電極 T G V は、裏面 B S 1 側から配線 M 1 a に達するように、絶縁膜 B X および絶縁膜 I F 1 を貫通し、層間絶縁膜 I L 1 の一部が除去されることで形成された孔内に、例えば銅からなる導電性膜を埋め込むことで構成される。

20

【 0 0 3 9 】

パッド電極 P A D の下面には、外部接続用端子として、例えば半田からなるバンプ電極 B E が形成されている。図示はしていないが、このバンプ電極 B E は、他の配線基板または他の半導体チップなどに接続される。従って、半導体チップ C H P 1 は、他の配線基板または他の半導体チップなどのような半導体モジュール M J 外部の電気機器と、電気信号の伝達を行うことができる。

【 0 0 4 0 】

< 半導体チップ C H P 2 の構造 >

半導体チップ C H P 2 には、電気回路の一部を構成する複数の半導体素子が形成されており、本実施の形態では、このような半導体素子の例として、M I S F E T 1 Q ~ 3 Q を示している。

30

【 0 0 4 1 】

半導体チップ C H P 2 の裏面 B S 2 側には、p型の不純物が導入されたシリコンからなる半導体基板 (基板) S B 2 が設けられている。従って、半導体基板 S B 2 の裏面は、半導体チップ C H P 2 の裏面 B S 2 である。

【 0 0 4 2 】

半導体基板 S B 2 の表面側には、複数のウェル領域が形成され、各々のウェル領域には n型または p型の拡散層などが形成され、このような複数のウェル領域に、ゲート絶縁膜およびゲート電極を有する M I S F E T 1 Q ~ 3 Q が形成されている。

40

【 0 0 4 3 】

半導体基板 S B 2 上には、M I S F E T 1 Q ~ 3 Q などの半導体素子を覆うように、層間絶縁膜 I L 2 が形成されており、層間絶縁膜 I L 2 中には、半導体素子の上方に多層配線層が形成されている。図 2 では、このような多層配線層として、配線 M 1 b ~ M 5 b が示されており、半導体素子は配線 M 1 b ~ M 5 b に電氣的に接続されている。これらの配線 M 1 b ~ M 5 b の構造は、半導体チップ C H P 1 の配線 M 1 a および配線 M 2 a と同様に、例えばダマシ構造またはデュアルダマシ構造である。また、層間絶縁膜 I L 2 は、実際には多層の絶縁膜の積層膜からなり、配線 M 1 b ~ M 5 b は、各層の絶縁膜中に形成されているが、本実施の形態では、このような多層の絶縁膜を層間絶縁膜 I L 2 として

50

図示している。

【0044】

半導体基板SB2には、裏面BS2から層間絶縁膜IL2に達するスルーホール（貫通孔）THが形成されている。図4に示されるように、平面視におけるスルーホールTHの形状は、環状となっている。スルーホールTH内には、例えば酸化シリコンからなる絶縁膜IF2が形成されている。そして、このような絶縁膜IF2（スルーホールTH）に囲まれた半導体基板SB2が、光導波路WG2を構成している。絶縁膜IF2は、光導波路WG2を構成する材料の屈折率よりも、低い屈折率を有する材料からなり、光導波路WG2は、絶縁膜IF2によって囲まれている。従って、光導波路WG2はコア層として機能でき、光導波路WG2を囲む構成物である絶縁膜IF2はクラッド層として機能できるので、上述のように、光導波路WG2を介して、半導体モジュールMJ外部の光通信機器と光の入射および出射を行うことができる。

10

【0045】

また、後の製造工程で詳細に説明するが、スルーホールTHは、半導体基板SB2に形成された第1孔THaおよび第2孔THbを含み、第1孔THaおよび第2孔THbは連通している。すなわち、第1孔THaは、スルーホールTHの第1箇所であり、半導体基板SB2の表面に近い箇所である。第2孔THbは、スルーホールTHの第2箇所であり、第1箇所よりも半導体基板SB2の裏面に近い箇所である。

【0046】

また、スルーホールTHの平面形状は環状であるが、このような環状の形状は、円形状、楕円形状または八角形のような多角形状であってもよい。しかし、光導波路WG2内を伝搬する光の回折の等方性を考慮すると、環状としては、円形状が最も好ましい。また、スルーホールTHの幅、すなわちスルーホールTHの外径と内径との差は、例えば7~30μmである。また、光導波路WG2の幅、すなわちスルーホールTHの内径は、10~100μmである。

20

【0047】

また、絶縁膜IF2は、第1孔THa内に形成された絶縁膜IF2a、および、第2孔THb内に形成された絶縁膜IF2bを含み、絶縁膜IF2aおよび絶縁膜IF2bは一体化している。そして、上述のように、光導波路WG2を囲む構成物である絶縁膜IF2aおよび絶縁膜IF2bは、それぞれクラッド層として機能できる。

30

【0048】

スルーホールTH内は、絶縁膜IF2によって完全に埋め込まれていることが好ましいが、絶縁膜IF2の厚さがクラッド層として機能できる厚さであればよい。例えば、スルーホールTH内が絶縁膜IF2によって完全に埋め込まれておらず、スルーホールTH内に空孔が形成されていてもよく、この空孔とスルーホールTHの側面との間の絶縁膜IF2の厚さが、十分な厚さに保たれていればよい。

【0049】

半導体基板SB2の裏面には、例えば窒化チタンまたはタングステンからなる金属膜MFが形成されている。金属膜MFは、スルーホールTHに囲まれた半導体基板SB2以外の領域に形成されており、光導波路WG2を選択的に露出するように形成されている。従って、光導波路WG2において、半導体モジュールMJ外部の光通信機器と光の入射または出射が行われる際に、光導波路WG2以外の半導体基板SB2に光が入射する、または、光導波路WG2以外の半導体基板SB2から光が出射されることを防止できる。すなわち、金属膜MFは遮光膜として機能する。

40

【0050】

また、半導体チップCHP2の裏面BS2側に、半導体基板SB2を構成する材料よりも熱導電性の高い材料からなる金属膜MFを設けたことで、半導体チップCHP2の放熱効果を高めることができる。

【0051】

<半導体モジュールMJの構成および主な特徴>

50

本実施の形態における半導体モジュールM Jは、半導体チップC H P 1および半導体チップC H P 2を有し、半導体チップC H P 1の表面T S 1および半導体チップC H P 2の表面T S 2が、互いに接合している。具体的には、半導体チップC H P 1の層間絶縁膜I L 1の上面が、半導体チップC H P 2の層間絶縁膜I L 2の上面と接合し、半導体チップC H P 1の最上層配線である配線M 2 aの上面が、半導体チップC H P 2の最上層配線である配線M 5 bの上面と接合している。

【0052】

このように、半導体チップC H P 1および半導体チップC H P 2は、互いに直接接している配線M 2 aおよび配線M 5 bを介して、電気信号の伝達を行うことができる。また、半導体チップC H P 1のポンプ電極B Eを介して、半導体チップC H P 1外部の電気機器（配線基板または他の半導体チップなど）から半導体チップC H P 2へ、電気信号の伝達を行うことができる。また、半導体チップC H P 1は、レーザダイオードチップL Dまたは光ファイバなどのような半導体モジュールM J外部の光通信機器と光の送受信を行うことができる。

10

【0053】

以下に、半導体モジュールM Jと、半導体モジュールM J外部の光通信機器および電気機器との通信方法について説明する。

【0054】

電気信号から光信号へ変換する場合は、まず、半導体モジュールM J外部の電気機器からの第1電気信号を、ポンプ電極B E、貫通電極T G Vおよび配線M 1 aを介して、半導体チップC H P 1内で受信する。次に、半導体チップC H P 1が受信した第1電気信号を、配線M 2 aおよび配線M 5 bを介して、半導体チップC H P 1から半導体チップC H P 2へ送信する。次に、半導体チップC H P 2が受信した第1電気信号を、半導体チップC H P 2のM I S F E T 1 Q ~ 3 Qなどを用いて、第2電気信号などに加工する。次に、第2電気信号を、半導体チップC H P 2から半導体チップC H P 1へ送信する。次に、半導体チップC H P 1が受信した第2電気信号を、半導体チップC H P 1の光デバイスを用いて、光信号へ変換する。その後、光信号は、半導体チップC H P 1のグレーティングカップラG Cで回折し、回折した光信号が、半導体チップC H P 2の光導波路W G 2を介して、半導体モジュールM J外部の光通信機器（光ファイバなど）へ送信される。

20

【0055】

光信号から電気信号へ変換する場合は、上記と逆の通信経路を辿ればよい。すなわち、まず、半導体モジュールM J外部の光通信機器（光ファイバなど）からの光信号を、半導体チップC H P 2の光導波路W G 2を介して、半導体チップC H P 1の受光器O RまたはグレーティングカップラG Cで受信する。次に、半導体チップC H P 1が受信した光信号を、半導体チップC H P 1の光デバイスを用いて、第3電気信号へ変換する。次に、第3電気信号を、半導体チップC H P 1から半導体チップC H P 2へ送信する。次に、半導体チップC H P 2が受信した第3電気信号を、半導体チップC H P 2のM I S F E T 1 Q ~ 3 Qなどを用いて、第4電気信号などに加工する。その後、第4電気信号が、半導体チップC H P 1のポンプ電極B E、貫通電極T G V、配線M 1 aおよび配線M 2 aを介して、半導体モジュールM J外部の電気機器へ送信される。

30

40

【0056】

また、従来技術においては、上述の先行技術文献などに示されるように、フォトリソ技術である半導体チップC H P 1の平面サイズが、ドライバチップである半導体チップC H P 2の平面サイズよりも大きくなるように形成されていた。

【0057】

これに対して、本実施の形態では、図1で説明したように、半導体チップC H P 1の平面サイズ、および、半導体チップC H P 2の平面サイズは同じである。より具体的には、平面視において、半導体チップC H P 1の外周は、半導体チップC H P 2の外周と5 μ m以内の範囲で一致している。

【0058】

50

従って、半導体チップＣＨＰ１と半導体チップＣＨＰ２との実装密度が最大となっているので、両チップ間において、単位体積当たりのデータ伝送量を最大化し、データ伝送エネルギーの効率を向上させることができる。従って、半導体チップＣＨＰ１および半導体チップＣＨＰ２を有する半導体モジュールＭＪの性能を向上させることができる。

【００５９】

また、半導体チップＣＨＰ１の平面サイズを、半導体チップＣＨＰ２の平面サイズと同じにすることができるので、半導体モジュールＭＪを高集積化することが可能であり、半導体モジュールＭＪの微細化を図ることができる。

【００６０】

また、従来技術においては、上述の先行技術文献などに示されるように、フォトニクスチップが、ドライパチップに層間絶縁膜のみを介して接合されているため、フォトニクスチップおよびドライパチップの接合強度が十分でない。

【００６１】

これに対して、本実施の形態では、半導体チップＣＨＰ１の表面ＴＳ１および半導体チップＣＨＰ２の表面ＴＳ２において、半導体チップＣＨＰ１の配線Ｍ２ａおよび半導体チップＣＨＰ２の配線Ｍ５ｂが互いに直接接合されている。このため、半導体チップＣＨＰ１と半導体チップＣＨＰ２との間の抵抗を最小にすることができると共に、半導体チップＣＨＰ１と半導体チップＣＨＰ２の接合強度を高めることができる。従って、上記の半導体チップＣＨＰ１と半導体チップＣＨＰ２との間のデータ伝送エネルギーの効率を最大にすることができる。

【００６２】

また、半導体チップＣＨＰ１と半導体チップＣＨＰ２との接続は、配線Ｍ２ａおよび配線Ｍ５ｂからなる積層配線を引き回すことで達成できる。すなわち、厚さの厚い積層配線によって、半導体チップＣＨＰ１内および半導体チップＣＨＰ２内の所望の箇所まで配線を引き回せるため、設計の自由度が増し、配線抵抗を低く抑制することができる。

【００６３】

また、本実施の形態では、半導体チップＣＨＰ２の半導体基板ＳＢ２にスルーホールＴＨが設けられ、スルーホールＴＨ内に光導波路ＷＧ２が形成され、光導波路ＷＧ２の直下に受光器ＯＲまたはグレーティングカップラＧＣが形成されている。このため、受光器ＯＲおよびグレーティングカップラＧＣの各々の上方に設けられた光導波路ＷＧ２を介して、本実施の形態の半導体モジュールＭＪは、半導体モジュールＭＪ外部の光通信機器と、光信号の入出力を行うことができる。

【００６４】

従って、光導波路ＷＧ２の形成箇所に応じて、半導体チップＣＨＰ２内の光デバイスを適切に配置することができるので、従来技術のように光の伝送距離を長くする必要がない。このため、半導体チップＣＨＰ２内において、光デバイスの設計自由度を向上させることができ、光デバイスの実装密度を増やすことができる。また、半導体チップＣＨＰ１内のＭＩＳＦＥＴ１Ｑ～３Ｑのような半導体素子と、半導体チップＣＨＰ２内の光デバイスとの間の伝送距離を短くすることができるので、両チップ間におけるデータ伝送エネルギーの効率を向上させることができる。

【００６５】

以上のように、本実施の形態によれば、半導体モジュールＭＪの性能を向上させることができる。

【００６６】

< 光導波路ＷＧ２の製造方法 >

以下に、図５～図７を用いて、本実施の形態の半導体チップＣＨＰ２に含まれる光導波路ＷＧ２の製造方法を説明する。なお、図５～図７では、半導体チップＣＨＰ２のうち１つの光導波路ＷＧ２が形成される領域の周辺のみが拡大されて示されている。

【００６７】

まず、図５に示されるように、フォトリソグラフィ技術およびドライエッチング処理に

10

20

30

40

50

よって、半導体基板 S B 2 に、後にスルーホール T H の一部となる第 1 孔 T H a を形成する。すなわち、第 1 孔 T H a はスルーホール T H の第 1 箇所である。第 1 孔 T H a は、半導体基板 S B 2 を貫通しておらず、半導体基板 S B 2 の表面（半導体チップ C H P 2 の表面 T S 2）から半導体基板 S B 2 の内部にかけて形成されている。

【 0 0 6 8 】

なお、第 1 孔 T H a の平面形状は、図 4 に示されるスルーホール T H の形状と同様であり、環状である。また、スルーホール T H と同様に、第 1 孔 T H a は円形状であることが最も好ましい。また、第 1 孔 T H a の幅、すなわち第 1 孔 T H a の外径と内径との差は、例えば 7 ~ 30 μm であり、第 1 孔 T H a の内径は、例えば 10 ~ 100 μm である。また、第 1 孔 T H a の深さは、例えば 65 ~ 170 μm である。

10

【 0 0 6 9 】

次に、第 1 孔 T H a 内を埋め込むように、半導体基板 S B 2 上に、例えば C V D (Chemical Vapor Deposition) 法によって、例えば酸化シリコンからなる絶縁膜 I F 2 a を形成する。次に、第 1 孔 T H a 内の絶縁膜 I F 2 a が残されるように、C M P 法による研磨処理によって、第 1 孔 T H a 外に形成されている絶縁膜 I F 2 a を除去する。その後、半導体基板 S B 2 の表面側に半導体素子を形成する。ここでは、半導体素子として M I S F E T 3 Q のみが示されている。

【 0 0 7 0 】

次に、図 6 に示されるように、M I S F E T 3 Q などの半導体素子を覆うように、半導体基板 S B 2 上に多層の絶縁膜および多層配線層を形成する。このような多層配線層として、配線 M 1 b ~ M 5 b が示されており、半導体素子は配線 M 1 b ~ M 5 b に電氣的に接続されている。これらの配線 M 1 b ~ M 5 b の構造は、例えばダマシン構造またはデュアルダマシン構造である。実際には、配線 M 1 b ~ M 5 b は、各層の絶縁膜中に形成されているが、本実施の形態では、このような多層の絶縁膜を層間絶縁膜 I L 2 として図示している。その後、半導体基板 S B 2 の裏面（半導体チップ C H P 2 の裏面 B S 2）を研磨し、半導体基板 S B 2 の厚さを薄くする。

20

【 0 0 7 1 】

次に、図 7 に示されるように、フォトリソグラフィ技術およびドライエッチング処理によって、半導体基板 S B 2 に、スルーホール T H の一部となる第 2 孔 T H b を形成する。第 2 孔 T H b は、半導体基板 S B 2 の裏面から第 1 孔 T H a に達するように形成される。これにより、第 1 孔 T H a と第 2 孔 T H b とが連通し、第 1 孔 T H a および第 2 孔 T H b を含むスルーホール T H が形成される。すなわち、第 2 孔 T H b はスルーホール T H の第 2 箇所である。

30

【 0 0 7 2 】

なお、第 2 孔 T H b の平面形状は、第 1 孔 T H a の平面形状と同様であることが好ましい。また、第 2 孔 T H b の幅、すなわち第 2 孔 T H b の外径と内径との差は、例えば 7 ~ 30 μm であり、第 2 孔 T H b の内径は、例えば 10 ~ 100 μm である。また、第 2 孔 T H b の深さは、例えば 65 ~ 170 μm である。また、第 1 孔 T H a の形成位置は、第 2 孔 T H b の形成位置と一致していることが最も好ましいが、光導波路 W G 2 内の光が正常に伝搬される範囲内であれば、第 1 孔 T H a の形成位置と第 2 孔 T H b の形成位置とが多少ずれていてもよい。

40

【 0 0 7 3 】

次に、第 2 孔 T H b 内を埋め込むように、半導体基板 S B 2 の裏面上に、例えば C V D 法によって、例えば酸化シリコンからなる絶縁膜 I F 2 b を形成する。次に、第 2 孔 T H b 内の絶縁膜 I F 2 b が残されるように、C M P 法による研磨処理によって、第 2 孔 T H b 外に形成されている絶縁膜 I F 2 b を除去する。これにより、スルーホール T H 内において、絶縁膜 I F 2 a と絶縁膜 I F 2 b とが一体化し、絶縁膜 I F 2 a および絶縁膜 I F 2 b を含む絶縁膜 I F 2 が形成される。

【 0 0 7 4 】

以上の製造工程によって、半導体基板 S B 2 にスルーホール T H が形成され、スルーホ

50

ールTH内に絶縁膜IF2が形成される。そして、絶縁膜IF2（スルーホールTH）に囲まれた半導体基板SB2が、光導波路WG2となる。

【0075】

<半導体モジュールMJの製造方法>

以下に、図8～図11を用いて、本実施の形態の半導体モジュールMJの製造方法を説明する。なお、図8～図11では、最終的に図2の半導体モジュールMJが形成される領域に着目して説明するが、実際には、図8～図11は、半導体モジュールMJが形成される領域を複数備えるウェハ状態における製造工程の断面図となっている。

【0076】

まず、図8に示されるように、半導体チップCHP1となる領域を複数有するウェハWF1と、半導体チップCHP2となる領域を複数有するウェハWF2とを、それぞれ準備する。

【0077】

ウェハWF1には、半導体基板SB1上に絶縁膜BXが形成され、絶縁膜BX上に光デバイス（光導波路WG、受光器ORおよびグレーティングカブラGCなど）、層間絶縁膜IL1、配線M1aおよび配線M2aが形成されている。なお、半導体基板SB1、絶縁膜BX、並びに、光導波路WG、受光器ORおよびグレーティングカブラGCなどに使用される半導体層は、それぞれSOI基板の一部である。

【0078】

ウェハWF2には、図5～図7で説明したように、スルーホールTH、光導波路WG2、MISFET1Q～3Qなどの半導体素子、層間絶縁膜IL2および配線M2a～M5bが形成されている。

【0079】

このようなウェハWF1およびウェハWF2を準備した後、ウェハWF1の表面TS1と、ウェハWF2の表面TS2とが向き合うように、ウェハWF1に対してウェハWF2を反転させる、または、ウェハWF2に対してウェハWF1を反転させる。

【0080】

次に、図9に示されるように、ウェハWF1の表面TS1と、ウェハWF2の表面TS2とを互いに接合させる。この時、半導体チップCHP1となる領域が、半導体チップCHP2となる領域と重なるように、ウェハWF1とウェハWF2との位置合わせが行われる。これにより、ウェハWF1の層間絶縁膜IL1および配線M2aが、それぞれ、ウェハWF2の層間絶縁膜IL2および配線M5bに接合される。また、半導体チップCHP1の受光器ORおよびグレーティングカブラGCの各々の直上に、半導体チップCHP2の光導波路WG2が位置するように、ウェハWF1とウェハWF2とを接合させる。言い換えれば、半導体チップCHP1の受光器ORおよびグレーティングカブラGCの各々が、平面視において半導体チップCHP2の光導波路WG2と重なるように、ウェハWF1とウェハWF2とを接合させる。

【0081】

次に、図10に示されるように、ウェハWF1の裏面BS1に対して研磨処理を行い、半導体基板SB1を除去することで、絶縁膜BXを露出させる。次に、絶縁膜BXの下面に、例えばCVD法によって、酸化シリコンからなる絶縁膜IF1を形成する。

【0082】

次に、図11に示されるように、ウェハWF1の裏面BS1側から配線M1aに達するように、絶縁膜BXおよび絶縁膜IF1を貫通し、層間絶縁膜IL1の一部を除去することで、孔を形成する。次に、孔内に、例えば銅からなる導電性膜を埋め込むことで、孔内に貫通電極TGVが形成される。次に、絶縁膜IF1の下面側に、例えば銅膜またはアルミニウム膜を含む導電性膜を形成し、この導電性膜をパターニングすることで、貫通電極TGVに接続されるパッド電極PADを形成する。

【0083】

なお、パッド電極PADを形成する工程と同じ工程によって、受光器ORの下方に反射

10

20

30

40

50

膜 R F 1 を形成し、グレーティングカプラ G C の下方に反射膜 R F 2 を形成することができる。その場合、製造工程の簡略化を図ることができる。

【 0 0 8 4 】

また、反射膜 R F 1 および反射膜 R F 2 を、パッド電極 P A D とは別の導電性膜によって形成してもよい。このような導電性膜は、パッド電極 P A D とは別工程によって形成される。この場合、反射膜 R F 1 および反射膜 R F 2 を別途形成するための製造コストが増加するが、反射膜 R F 1 および反射膜 R F 2 の材料は、パッド電極 P A D に使用される材料に限られず、所望の反射率が得られるように、自由に選択できる。このような導電性膜としては、例えば窒化チタン膜、窒化タンタル膜またはタングステン膜のような金属膜が挙げられる。

10

【 0 0 8 5 】

図 1 1 の製造工程後、パッド電極 P A D に接するように、例えば半田ボールからなるバンパ電極 B E を形成する。次に、互いに接合しているウェハ W F 1 およびウェハ W F 2 を、ダイシング工程によって個片化することで、図 2 に示されるような、互いに接合している半導体チップ C H P 1 および半導体チップ C H P 2 が複数個取得される。すなわち、複数の半導体モジュール M J が形成される。

【 0 0 8 6 】

このように、ウェハ W F 1 およびウェハ W F 2 が互いに接合された状態において、ダイシング工程を行っているので、半導体チップ C H P 1 の平面サイズ、および、半導体チップ C H P 2 の平面サイズは同じとなる。

20

【 0 0 8 7 】

ここで、ダイシング工程には、ブレードまたはレーザによる手法が用いられるが、本願発明者らの検討によれば、これらの手法では、各チップのサイズに多少のばらつきがあることが判った。また、層間絶縁膜 I L 1 および層間絶縁膜 I L 2 のような絶縁膜と、半導体基板 S B 2 のようなシリコンとでは、熱膨張係数が異なるため、ダイシング工程後に、半導体チップ C H P 1 および半導体チップ C H P 2 の各々の平面サイズが変化することもある。

【 0 0 8 8 】

特に、本実施の形態のように、互いに接合されたウェハ W F 1 およびウェハ W F 2 を一括してダイシングする場合、1つの半導体モジュール M J における平面サイズのばらつきが大きくなる。このようなばらつきは、5 μ m 以内の範囲である。すなわち、本実施の形態の半導体モジュール M J では、図 1 で説明したように、半導体チップ C H P 1 の第 1 辺 S 1 ~ 第 4 辺 S 4 の位置と、半導体チップ C H P 2 の第 1 辺 S 1 ~ 第 4 辺 S 4 の位置とのずれが、それぞれ 5 μ m 以内である。

30

【 0 0 8 9 】

(実施の形態 2)

以下に、実施の形態 2 の半導体モジュール M J を、図 1 2 を用いて説明する。なお、以下では、実施の形態 1 との相違点を主に説明する。図 1 2 は、実施の形態 1 の図 4 に対応する平面図であり、半導体モジュール M J のうち半導体チップ C H P 2 に形成されている光導波路 W G 2 の形状を裏面 B S 2 側から見た要部平面図である。

40

【 0 0 9 0 】

図 1 2 に示されるように、実施の形態 2 では、実施の形態 1 と同様に、スルーホール T H に囲まれた半導体基板 S B 2 を光導波路 W G 2 として用いるが、スルーホール T H 内の構成物が実施の形態 1 と異なる。すなわち、スルーホール T H の一部である第 1 孔 T H a 内には、2つの絶縁膜 I F 2 a、および、この2つの絶縁膜 I F 2 a に挟まれた半導体膜 C F a が形成され、スルーホール T H の一部である第 2 孔 T H b 内には、絶縁膜 I F 2 b が形成されている。

【 0 0 9 1 】

以下に、このような実施の形態 2 の製造方法について、図 1 3 ~ 図 1 7 を用いて説明する。

50

【0092】

まず、図13に示されるように、半導体基板SB2の表面上に、例えばCVD法によって、例えば窒化シリコン膜のような絶縁膜からなるハードマスクHM1を形成する。次に、フォトリソグラフィ技術およびドライエッチング処理によって、ハードマスクHM1をパターニングする。次に、ハードマスクHM1をマスクとしてドライエッチング処理を行うことで、半導体基板SB2の表面から半導体基板SB2の内部にかけて、第1孔THaを形成する。次に、第1孔THa内および半導体基板SB2上に、例えばCVD法によって、例えば酸化シリコンからなる絶縁膜IF2aを形成する。この段階では、第1孔THa内は、絶縁膜IF2aによって完全に埋め込まれていない。

【0093】

次に、図14に示されるように、絶縁膜IF2aに対して異方性エッチング処理を行うことで、第1孔THaの底部および半導体基板SB2上に形成されていた絶縁膜IF2aを除去する。これにより、第1孔THaの両側面には、絶縁膜IF2aが残される。

【0094】

次に、図15に示されるように、第1孔THa内で露出している半導体基板SB2上に、例えばエピタキシャル成長法によって、例えばシリコンからなる半導体膜Cfaを形成する。半導体膜Cfaは、少なくとも第1孔THa内を埋め込むように形成され、第1孔THa外のハードマスクHM1上にも形成されていてもよい。なお、第1孔THa外の半導体基板SB2上にはハードマスクHM1が形成されているので、第1孔THaの底部の半導体基板SB2において、選択的にエピタキシャル成長が行われる。また、半導体膜Cfaは、例えばシリコンゲルマニウムのような他の半導体膜であってもよいし、半導体膜以外の導電性膜であってもよい。

【0095】

次に、第1孔THa内の半導体膜Cfaが残されるように、CMP法による研磨処理によって、第1孔THa外に形成されている半導体膜Cfaを除去し、その後、ウェットエッチング処理によって、ハードマスクHM1を除去する。これにより、第1孔THaの両側面に絶縁膜IF2aが形成され、2つの絶縁膜IF2aの間に半導体膜Cfaが形成される。すなわち、第1孔THa内は、絶縁膜IF2aおよび半導体膜Cfaによって埋め込まれる。

【0096】

次に、図16に示されるように、半導体基板SB2の表面に半導体素子を形成する。ここでは、半導体素子としてMISFET3Qのみが示されている。次に、実施の形態1と同様に、半導体基板SB2上に層間絶縁膜IL2とおよび配線M1b~M5bを形成する。その後、半導体基板SB2の裏面を研磨し、半導体基板SB2の厚さを薄くする。

【0097】

次に、図17に示されるように、半導体基板SB2の裏面から第1孔THaに達するように、フォトリソグラフィ技術およびドライエッチング処理によって、半導体基板SB2に第2孔THbを形成する。これにより、第1孔THaと第2孔THbとが連通し、第1孔THaおよび第2孔THbを含むスルーホールTHが形成される。

【0098】

次に、第2孔THb内を埋め込むように、半導体基板SB2の裏面上に、例えばCVD法によって、例えば酸化シリコンからなる絶縁膜IF2bを形成する。次に、第2孔THb内の絶縁膜IF2bが残されるように、CMP法による研磨処理によって、第2孔THb外に形成されている絶縁膜IF2bを除去する。これにより、スルーホールTH内において、絶縁膜IF2aと絶縁膜IF2bとが一体化し、絶縁膜IF2aおよび絶縁膜IF2bを含む絶縁膜IF2が形成される。そして、スルーホールTHに囲まれた半導体基板SB2が、光導波路WG2となる。

【0099】

また、実施の形態2における光導波路WG2の幅であるスルーホールTHの内径は、実施の形態1と同じであるが、実施の形態2では、スルーホールTHの幅であるスルーホー

10

20

30

40

50

ルTHの外径と内径との差は、実施の形態1より若干広くなっており、例えば15~50 μm である。そして、第1孔THa内における2つの絶縁膜IF2aの幅は、それぞれ例えば2~5 μm であり、第1孔THa内における半導体膜Cfaの幅は、例えば11~40 μm である。また、スルーホールTHの深さは例えば130~340 μm であり、第1孔THaの深さは例えば65~170 μm であり、第2孔THbの深さは例えば65~170 μm である。

【0100】

スルーホールTHの深さを深くしたい場合、エッチング処理におけるアスペクト比を保持するために、スルーホールTHの幅を広くすることが有効である。例えば、スルーホールTHの深さを深くするために、第1孔THaの深さを深くしたとする。その際に、絶縁膜IF2aだけでは第1孔THa内を完全に埋め込めない場合があるので、埋め込みきれなかった箇所を半導体膜Cfaで補填することで、第1孔THa内を絶縁膜IF2aおよび半導体膜Cfaによって完全に埋め込むことができる。

10

【0101】

また、絶縁膜IF2aの厚さは、クラッド層として機能できる厚さである。実施の形態2では、クラッド層として機能する絶縁膜IF2aの厚さを確保すると共に、第1孔THa内を絶縁膜IF2aおよび半導体膜Cfaによって完全に埋め込むことができるので、クラッド特性を更に安定させることができる。

【0102】

なお、実施の形態1でも説明したように、スルーホールTH内に空孔が形成されている場合もある。しかし、空孔内に水分などが侵入する恐れもあるため、そのような恐れを防止するために空孔を設けたくない場合には、実施の形態2のように、第1孔THa内を、絶縁膜IF2aだけでなく半導体膜Cfaも用いることによって埋め込むことが有効である。

20

【0103】

また、実施の形態2でも実施の形態1と同様に、第1孔THaの形成位置は、第2孔THbの形成位置と一致していることが最も好ましいが、第1孔THaの形成位置と第2孔THbの形成位置とがずれていてもよい。その場合、絶縁膜IF2aと絶縁膜IF2bとが分断され、その分断箇所において、半導体膜Cfaと半導体基板SB2とが接触することもある。そうすると、光導波路WG2を伝搬する光が、分断箇所において若干漏れることになる。漏れる光の量が僅かであれば、光の伝搬に大きな影響は無いが、漏れる光の量が多いと、それは光損失に繋がる。そのため、仮に、第1孔THaの形成位置と第2孔THbの形成位置とがずれていたとしても、絶縁膜IF2aは、絶縁膜IF2bに接触し、絶縁膜IF2bと一体化していることが最も好ましい。

30

【0104】

(実施の形態3)

以下に、実施の形態3の半導体モジュールMJを、図18を用いて説明する。なお、以下では、実施の形態1との相違点を主に説明する。図18は、実施の形態1の図4に対応する平面図であり、半導体モジュールMJのうち半導体チップCHP2に形成されている光導波路WG2の形状を裏面BS2側から見た要部平面図である。

40

【0105】

図18に示されるように、実施の形態3では、実施の形態1と同様に、スルーホールTHに囲まれた半導体基板SB2を光導波路WG2として用いるが、スルーホールTH内の構成物が実施の形態1と異なる。すなわち、スルーホールTHの一部である第1孔THa内には、絶縁膜IF2aが形成され、スルーホールTHの一部である第2孔THb内には、2つの絶縁膜IF2b、および、この2つの絶縁膜IF2bに挟まれた導電性膜Cfbが形成されている。

【0106】

以下に、このような実施の形態3の製造方法について、図19~図21を用いて説明する。実施の形態3の製造方法は、図6の製造工程までは実施の形態1と同様である。図1

50

9は、図6に続く製造工程を示している。

【0107】

まず、図19に示されるように、半導体基板SB2の裏面上に、例えばCVD法によって、例えば窒化シリコン膜のような絶縁膜からなるハードマスクHM2を形成する。次に、フォトリソグラフィ技術およびドライエッチング処理によって、ハードマスクHM2をパターンニングする。次に、半導体基板SB2の裏面から第1孔THaに達するように、ハードマスクHM2をマスクとしてドライエッチング処理を行うことで、半導体基板SB2に第2孔THbを形成する。次に、第2孔THb内およびハードマスクHM2の下面上に、例えばCVD法によって、例えば酸化シリコンからなる絶縁膜IF2bを形成する。この段階では、第2孔THb内は、絶縁膜IF2bによって完全に埋め込まれていない。

10

【0108】

次に、図20に示されるように、絶縁膜IF2bに対して異方性エッチング処理を行うことで、第2孔THbの底部およびハードマスクHM2の下面上に形成されていた絶縁膜IF2bを除去する。これにより、第2孔THbの側面には、絶縁膜IF2bが残される。

【0109】

次に、図21に示されるように、第2孔THb内およびハードマスクHM2の下面上に、スパッタリング法によって、例えば銅からなるシード膜を形成し、その後、シード膜上に、例えばめっき法によって、例えば銅からなる導電性膜CFbを形成する。シード膜は、導電性膜CFbに取り込まれて、導電性膜CFbと一体化する。導電性膜CFbは、少なくとも第2孔THb内を埋め込むように形成されている。なお、半導体基板SB2の裏面にはハードマスクHM2が形成されているので、導電性膜CFbは半導体基板SB2に直接接しない。このため、銅のような金属が、半導体基板SB2中に取り込まれ、金属汚染などの問題が発生することを防止することができる。

20

【0110】

また、銅からなるシード膜を形成する前に、例えば窒化タンタルからなるバリアメタル膜を形成してもよく、このバリアメタル膜を導電性膜CFbの一部としてもよい。また、導電性膜CFbは、例えばCVD法を用いて形成された多結晶シリコン膜であってもよい。

【0111】

次に、第2孔THb内の導電性膜CFbが残されるように、CMP法による研磨処理によって、第2孔THb外に形成されている導電性膜CFbを除去し、その後、ウェットエッチング処理によって、ハードマスクHM2を除去する。これにより、第2孔THbの両側面に絶縁膜IF2bが形成され、2つの絶縁膜IF2bの間に導電性膜CFbが形成される。すなわち、第2孔THb内は、絶縁膜IF2bおよび導電性膜CFbによって埋め込まれる。これにより、スルーホールTH内において、絶縁膜IF2aと絶縁膜IF2bとが一体化し、絶縁膜IF2aおよび絶縁膜IF2bを含む絶縁膜IF2が形成される。そして、スルーホールTHに囲まれた半導体基板SB2が、光導波路WG2となる。

30

【0112】

また、実施の形態3における光導波路WG2の幅であるスルーホールTHの内径は、実施の形態1と同じであるが、実施の形態3では、スルーホールTHの幅であるスルーホールTHの外径と内径との差は、実施の形態1より若干広くなっており、例えば15~50μmである。そして、第2孔THb内における2つの絶縁膜IF2bの幅は、それぞれ例えば2~5μmであり、第2孔THb内における導電性膜CFbの幅は、例えば11~40μmである。

40

【0113】

実施の形態3では、スルーホールTHの深さを深くしたい場合、第2孔THbの深さを深くする。その際に、絶縁膜IF2bだけでは第2孔THb内を完全に埋め込めない場合があるので、埋め込みきれなかった箇所を導電性膜CFbで補填することで、第2孔THb内を絶縁膜IF2bおよび導電性膜CFbによって完全に埋め込むことができる。

50

【 0 1 1 4 】

また、絶縁膜 I F 2 b の厚さは、クラッド層として機能できる厚さである。実施の形態 3 では、クラッド層として機能する絶縁膜 I F 2 b の厚さを確保すると共に、第 2 孔 T H b 内を絶縁膜 I F 2 b および導電性膜 C F b によって完全に埋め込むことができるので、クラッド特性を更に安定させることができる。

【 0 1 1 5 】

なお、実施の形態 2 と同様に、スルーホール T H 内に空孔を設けたくない場合にも、実施の形態 3 の技術は有効である。

【 0 1 1 6 】

また、実施の形態 3 でも実施の形態 1 および実施の形態 2 と同様に、第 1 孔 T H a の形成位置は、第 2 孔 T H b の形成位置と一致していることが最も好ましいが、第 1 孔 T H a の形成位置と第 2 孔 T H b の形成位置とがずれていてもよい。その場合、絶縁膜 I F 2 a と絶縁膜 I F 2 b とが分断されていることもあるが、実施の形態 2 と同様の理由から、絶縁膜 I F 2 b は、絶縁膜 I F 2 a に接触し、絶縁膜 I F 2 a と一体化していることが最も好ましい。

10

【 0 1 1 7 】

(実施の形態 4)

以下に、実施の形態 4 の半導体モジュール M J を、図 2 2 を用いて説明する。なお、以下では、実施の形態 2 および実施の形態 3 との相違点を主に説明する。

【 0 1 1 8 】

図 2 2 に示されるように、実施の形態 4 では、第 1 孔 T H a 内の構造物を実施の形態 2 で説明した技術を用いて形成し、第 2 孔 T H b 内の構造物を実施の形態 3 で説明した技術を用いて形成する。すなわち、第 1 孔 T H a 内は、絶縁膜 I F 2 a および半導体膜 C F a によって埋め込まれており、第 2 孔 T H b 内は、絶縁膜 I F 2 b および導電性膜 C F b によって埋め込まれている。

20

【 0 1 1 9 】

このように、実施の形態 4 によれば、実施の形態 2 および実施の形態 3 と比較して、クラッド特性を更に向上させることができる。

【 0 1 2 0 】

以上、本願発明者らによってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

30

【 0 1 2 1 】

例えば、半導体チップ C H P 1 および半導体チップ C H P 2 において、配線 M 1 a および配線 M 1 b のような最上層配線より下層の配線は、ダマシン構造の配線ではなく、窒化チタン膜、アルミニウム膜および窒化チタン膜を積層させ、この積層膜をパターニングすることによって形成された配線であってもよい。この場合、配線を形成し、配線を覆うように層間絶縁膜を形成した後、層間絶縁膜の上面に対して C M P 法による研磨処理を行うことによって、層間絶縁膜が平坦化される。

【 0 1 2 2 】

また、半導体チップ C H P 1 では、多層配線として、配線 M 1 a および配線 M 2 a の 2 層配線を例示したが、半導体チップ C H P 1 の多層配線は、3 層以上であってもよい。また、半導体チップ C H P 2 では、多層配線として、配線 M 1 b ~ 配線 M 5 b の 5 層配線を例示したが、半導体チップ C H P 2 の多層配線は、5 層より少なくてもよいし、5 層より多くてもよい。

40

【 符号の説明 】

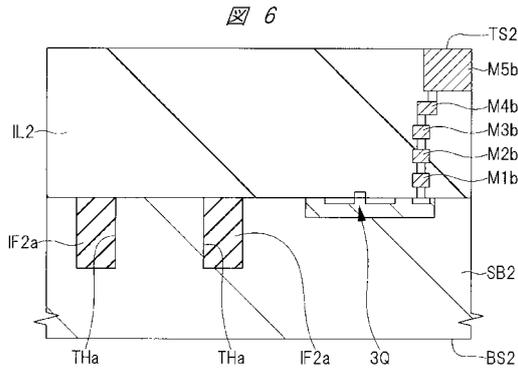
【 0 1 2 3 】

1 Q ~ 3 Q M I S F E T
B E パンプ電極
B S 1、B S 2 裏面

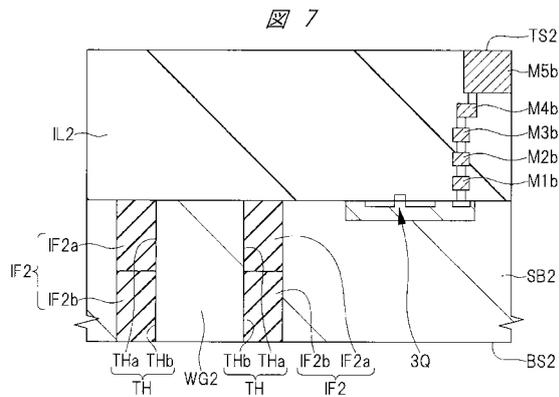
50

B X	絶縁膜	
C F a	半導体膜	
C F b	導電性膜	
C H P 1、C H P 2	半導体チップ	
G C	グレーティングカプラ	
H M 1、H M 2	ハードマスク	
I F 1、I F 2、I F 2 a、I F 2 b	絶縁膜	
I L 1、I L 2	層間絶縁膜	
L D	レーザダイオードチップ	
L Z	レーザ光	10
M 1 a、M 2 a、M 1 b ~ M 5 b	配線	
M F	金属膜	
M J	半導体モジュール	
O R	受光器	
P A D	パッド電極	
R F 1、R F 2	反射膜	
S 1 ~ S 4	辺	
S B 1、S B 2	半導体基板	
S L	半導体層	
T G V	貫通電極	20
T H	スルーホール	
T H a	第1孔(第1箇所)	
T H b	第2孔(第2箇所)	
T S 1、T S 2	表面	
W F 1、W F 2	ウェハ	
W G、W G 2	光導波路	

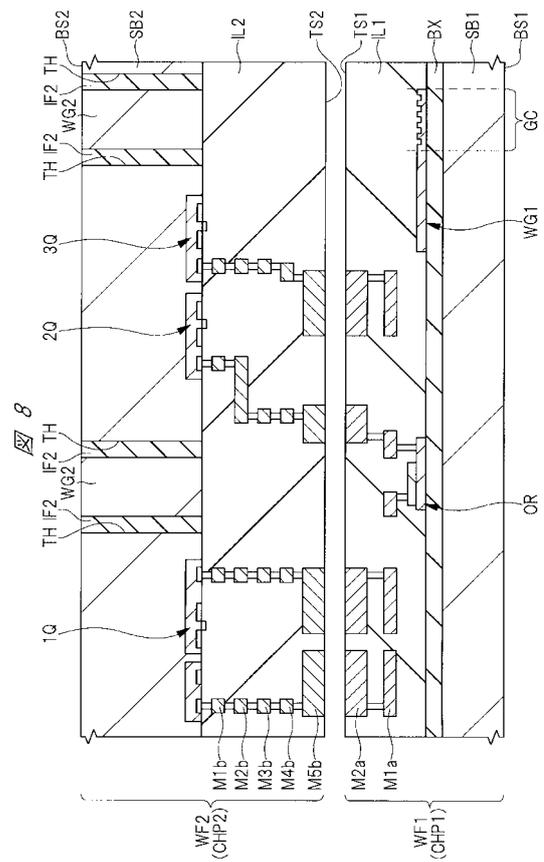
【 図 6 】



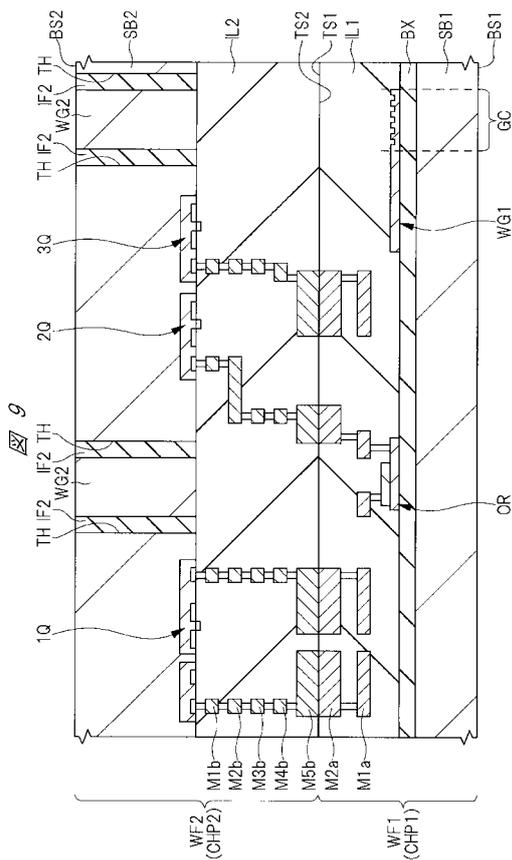
【 図 7 】



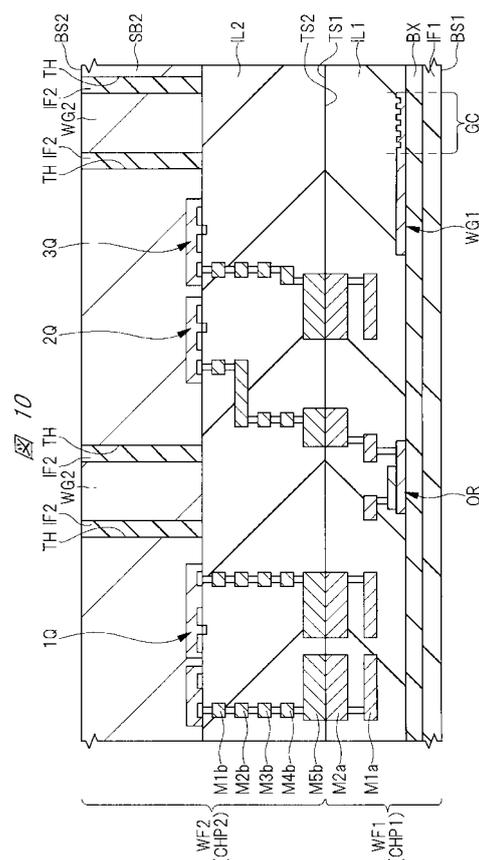
【 図 8 】



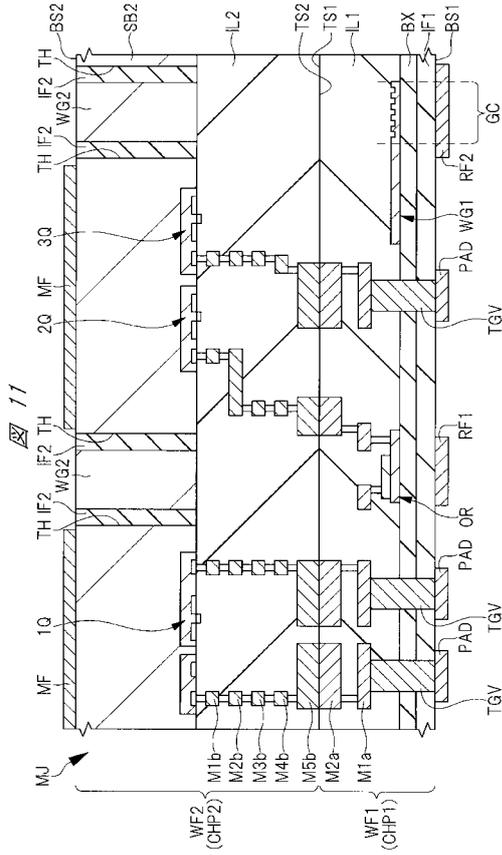
【 図 9 】



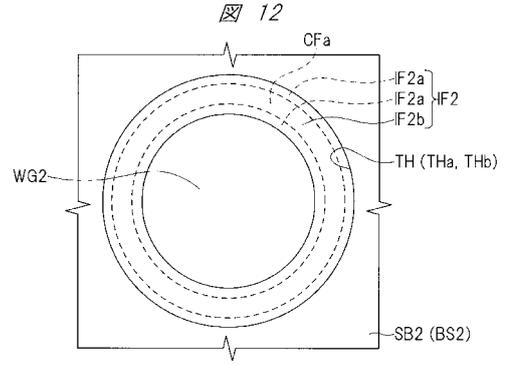
【 図 10 】



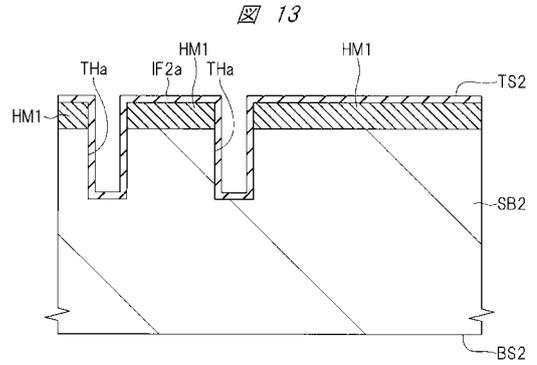
【 図 1 1 】



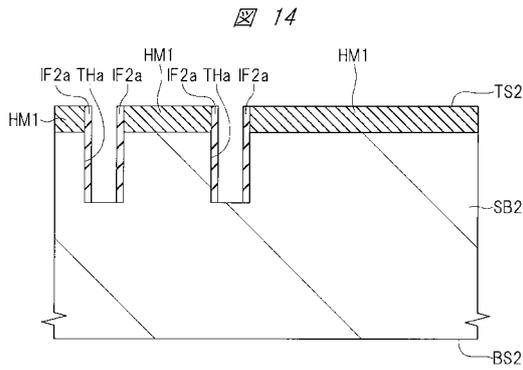
【 図 1 2 】



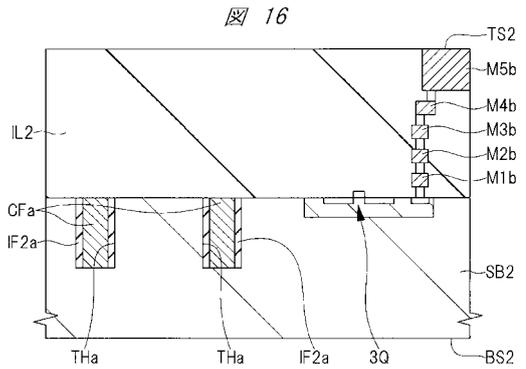
【 図 1 3 】



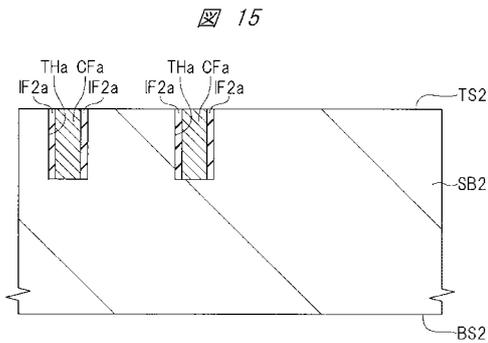
【 図 1 4 】



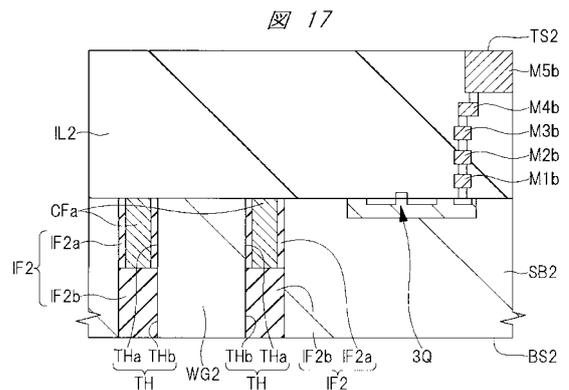
【 図 1 6 】



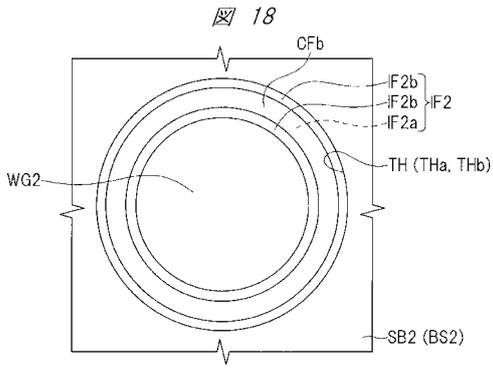
【 図 1 5 】



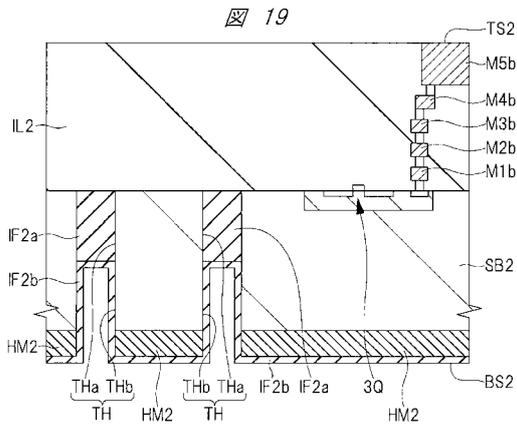
【 図 1 7 】



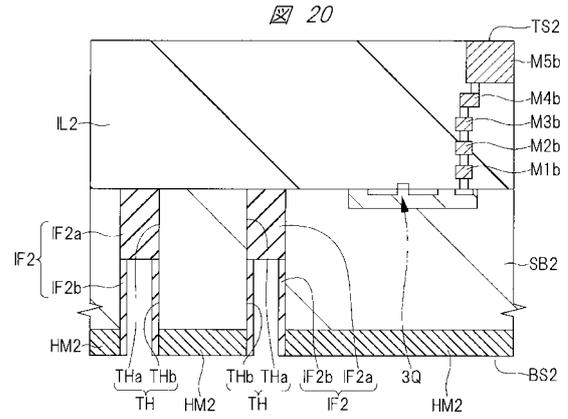
【 図 18 】



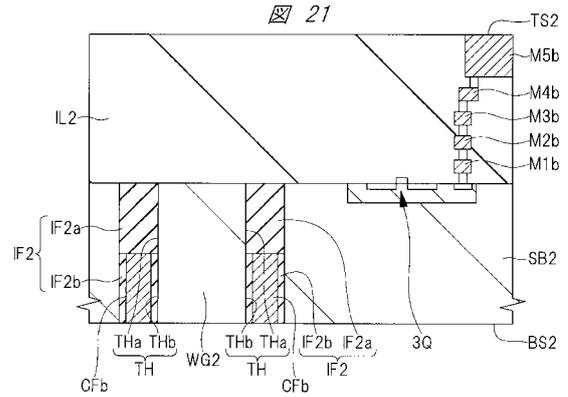
【 図 19 】



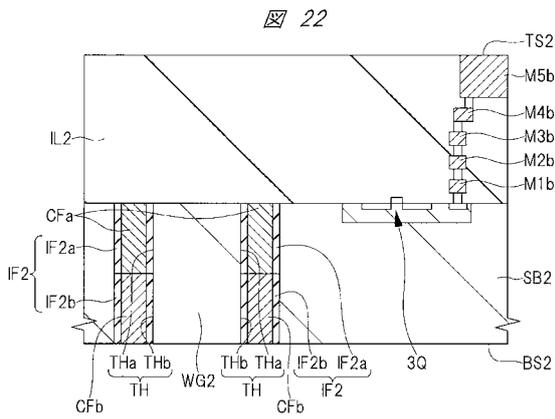
【 図 20 】



【 図 21 】



【 図 22 】



フロントページの続き

(51)Int.Cl.	F I		テーマコード(参考)
G 0 2 B 6/13 (2006.01)	G 0 2 B	6/30	
G 0 2 B 6/42 (2006.01)	H 0 1 L	31/10	A
G 0 2 B 6/30 (2006.01)	G 0 2 B	6/34	
H 0 1 L 31/10 (2006.01)			
G 0 2 B 6/34 (2006.01)			

Fターム(参考) 2H137 AA11 AB05 AB08 AB16 AC11 BA01 BA34 BA41 BA53 BB02
BB12 BB25 BB32 BC25 BC51 CA34 CA73 CC01 DA39 EA02
EA04 EA05 FA06
2H147 AB05 BC03 BC05 BG04 CA01 CA13 CB04 CD13 CD18 DA08
DA09 DA10 EA10D EA13A EA13C EA14B FA03 FC03 FC08 FD15
GA10
5F849 AA04 AB03 BA03 BA25 BB01 DA06 EA11 EA12 EA13 EA18
FA05 HA09 HA13 XB05 XB37