

특허청구의 범위

청구항 1.

기관;
상기 기관의 상부에 구비된 게이트 전극;
상기 게이트 전극과 절연된 소스 전극 및 드레인 전극;
상기 게이트 전극과 절연되고, 상기 소스 전극 및 상기 드레인 전극과 전기적으로 연결될 수 있는 채널 영역을 구비하며, 상기 채널 영역을 인접한 박막 트랜지스터와 구별시키는 그루브를 구비하는 반도체층; 및
상기 반도체층의 상기 그루브의 하부 및 상기 그루브 주위의 영역에 배치된 스토퍼층;을 구비하는 것을 특징으로 하는 박막 트랜지스터.

청구항 2.

제 1항에 있어서,
상기 그루브의 깊이는 상기 반도체층의 두께보다 작은 것을 특징으로 하는 박막 트랜지스터.

청구항 3.

제 1항에 있어서,
상기 그루브의 깊이는 상기 반도체층의 두께와 동일한 것을 특징으로 하는 박막 트랜지스터.

청구항 4.

제 1항에 있어서,
상기 그루브의 깊이는 상기 반도체층의 두께보다 크고, 상기 반도체층의 두께와 상기 스토퍼층의 두께의 합보다는 작은 것을 특징으로 하는 박막 트랜지스터.

청구항 5.

제 1항에 있어서,
상기 그루브의 깊이는 상기 반도체층의 두께와 상기 스토퍼층의 두께의 합과 동일한 것을 특징으로 하는 박막 트랜지스터.

청구항 6.

제 1항에 있어서,

상기 그루브는 폐곡선을 형성하는 것을 특징으로 하는 박막 트랜지스터.

청구항 7.

제 6항에 있어서,

상기 채널영역은 상기 폐곡선의 그루브 내에 위치하는 것을 특징으로 하는 박막 트랜지스터.

청구항 8.

제 1항에 있어서,

상기 그루브는 한 쌍의 평행선인 것을 특징으로 하는 박막 트랜지스터.

청구항 9.

제 8항에 있어서,

상기 채널영역은 상기 평행한 그루브 사이에 위치하는 것을 특징으로 하는 박막 트랜지스터.

청구항 10.

제 1항에 있어서,

상기 스토퍼층은 상기 그루브의 하부 및 상기 그루브 하부 주위의 영역에만 구비되는 것을 특징으로 하는 박막 트랜지스터.

청구항 11.

제 1항에 있어서,

상기 스토퍼층은 상기 기관의 전면에 구비되며, 상기 소스 전극과 상기 드레인 전극의 서로 대향된 단부들 및 그 사이의 채널영역에 대응하는 개구부를 구비하는 것을 특징으로 하는 박막 트랜지스터.

청구항 12.

제 1항에 있어서,

상기 스토퍼층은 상기 기관의 전면에 구비되며, 상기 소스 전극과 상기 드레인 전극의 서로 대향된 단부들에 대응하는 개구부들을 구비하는 것을 특징으로 하는 박막 트랜지스터.

청구항 13.

제 1항 내지 제 12항 중 어느 한 항에 있어서,

상기 반도체층은 유기물로 형성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 14.

제 1항 내지 제 12항 중 어느 한 항에 있어서,

상기 소스 전극, 상기 드레인 전극 및 상기 채널 영역은 상기 게이트 전극의 상부에 구비되고, 상기 소스 전극, 상기 드레인 전극 및 상기 반도체층을 상기 게이트 전극으로부터 절연시키는 게이트 절연막이 상기 소스 전극, 상기 드레인 전극 및 상기 반도체층과 상기 게이트 전극 사이에 개재되며, 상기 반도체층은 상기 소스 전극 및 상기 드레인 전극과 상기 게이트 절연막 상에 구비되는 것을 특징으로 하는 박막 트랜지스터.

청구항 15.

제 1항 내지 제 12항 중 어느 한 항에 있어서,

상기 반도체층은 상기 소스 전극 및 상기 드레인 전극 상에 구비되고, 상기 게이트 전극은 상기 반도체층의 상부에 구비되며, 상기 게이트 전극과 상기 반도체층 사이에는 상기 게이트 전극을 상기 반도체층으로부터 절연시키는 게이트 절연막이 더 구비되는 것을 특징으로 하는 박막 트랜지스터.

청구항 16.

기관;

상기 기관의 상부에 구비된 게이트 전극;

상기 게이트 전극과 절연된 소스 전극 및 드레인 전극;

상기 게이트 전극과 절연되고, 상기 소스 전극 및 상기 드레인 전극과 전기적으로 연결될 수 있는 채널 영역을 구비하며, 상기 채널 영역을 인접한 박막 트랜지스터와 구별시키는 그루브를 구비하는 반도체층; 및

상기 반도체층의 상기 그루브 하부 및 상기 그루브 주위의 영역에 배치된 프라이밍층;을 구비하는 것을 특징으로 하는 박막 트랜지스터.

청구항 17.

제 16항에 있어서,

상기 그루브의 깊이는 상기 반도체층의 두께보다 크고, 상기 반도체층의 두께와 상기 프라이밍층의 두께의 합보다는 작은 것을 특징으로 하는 박막 트랜지스터.

청구항 18.

제 17항에 있어서,

상기 프라이밍층은 상기 그루브의 하부 및 상기 그루브 하부 주위의 영역에만 구비되는 것을 특징으로 하는 박막 트랜지스터.

청구항 19.

제 17항에 있어서,

상기 프라이밍층은 상기 기판의 전면에 구비되며, 상기 소스 전극과 상기 드레인 전극의 서로 대향된 단부들 및 그 사이의 채널영역에 대응하는 개구부를 구비하는 것을 특징으로 하는 박막 트랜지스터.

청구항 20.

제 17항에 있어서,

상기 프라이밍층은 상기 기판의 전면에 구비되며, 상기 소스 전극과 상기 드레인 전극의 서로 대향된 단부들에 대응하는 개구부들을 구비하는 것을 특징으로 하는 박막 트랜지스터.

청구항 21.

제 16항에 있어서,

상기 그루브의 깊이는 상기 반도체층의 두께와 상기 프라이밍층의 두께의 합과 동일한 것을 특징으로 하는 박막 트랜지스터.

청구항 22.

제 21항에 있어서,

상기 프라이밍층은 상기 그루브의 주위의 영역에만 구비되는 것을 특징으로 하는 박막 트랜지스터.

청구항 23.

제 21항에 있어서,

상기 프라이밍층은 상기 기판의 전면에 구비되며, 상기 그루브, 상기 소스 전극과 상기 드레인 전극의 서로 대향된 단부들 및 그 사이의 채널영역에 대응하는 개구부를 구비하는 것을 특징으로 하는 박막 트랜지스터.

청구항 24.

제 21항에 있어서,

상기 프라이밍층은 상기 기판의 전면에 구비되며, 상기 소스 전극과 상기 드레인 전극의 서로 대향된 단부들 및 상기 그루브에 대응하는 개구부들을 구비하는 것을 특징으로 하는 박막 트랜지스터.

청구항 25.

제 16항에 있어서,

상기 그루브는 폐곡선을 형성하는 것을 특징으로 하는 박막 트랜지스터.

청구항 26.

제 25항에 있어서,

상기 채널영역은 상기 폐곡선의 그루브 내에 위치하는 것을 특징으로 하는 박막 트랜지스터.

청구항 27.

제 16항에 있어서,

상기 그루브는 한 쌍의 평행선인 것을 특징으로 하는 박막 트랜지스터.

청구항 28.

제 27항에 있어서,

상기 채널영역은 상기 평행한 그루브 사이에 위치하는 것을 특징으로 하는 박막 트랜지스터.

청구항 29.

제 16항 내지 제 28항 중 어느 한 항에 있어서,

상기 반도체층은 유기물로 형성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 30.

제 16항 내지 제 28항 중 어느 한 항에 있어서,

상기 소스 전극, 상기 드레인 전극 및 상기 채널 영역은 상기 게이트 전극의 상부에 구비되고, 상기 소스 전극, 상기 드레인 전극 및 상기 반도체층을 상기 게이트 전극으로부터 절연시키는 게이트 절연막이 상기 소스 전극, 상기 드레인 전극 및 상기 반도체층과 상기 게이트 전극 사이에 개재되며, 상기 반도체층은 상기 소스 전극 및 상기 드레인 전극과 상기 게이트 절연막 상에 구비되는 것을 특징으로 하는 박막 트랜지스터.

청구항 31.

제 16항 내지 제 28항 중 어느 한 항에 있어서,

상기 반도체층은 상기 소스 전극 및 상기 드레인 전극 상에 구비되고, 상기 게이트 전극은 상기 반도체층의 상부에 구비되며, 상기 게이트 전극과 상기 반도체층 사이에는 상기 게이트 전극을 상기 반도체층으로부터 절연시키는 게이트 절연막이 더 구비되는 것을 특징으로 하는 박막 트랜지스터.

청구항 32.

제 1항 내지 제 12항 중 어느 한 항의 박막 트랜지스터를 구비하는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 33.

제 16항 내지 제 28항 중 어느 한 항의 박막 트랜지스터를 구비하는 것을 특징으로 하는 평판 디스플레이 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 및 이를 구비한 평판 디스플레이 장치에 관한 것으로서, 더 상세하게는 용이하게 반도체층을 패터닝하면서도 그 패터닝이 균일하게 이루어지는 효과를 얻을 수 있는 박막 트랜지스터 및 이를 구비한 평판 디스플레이 장치에 관한 것이다.

액정 디스플레이 소자나 유기 전계발광 디스플레이 소자 또는 무기 전계발광 디스플레이 소자 등 평판 디스플레이 장치에 사용되는 박막 트랜지스터(thin film transistor)는 각 픽셀의 동작을 제어하는 스위칭 소자 및 픽셀을 구동시키는 구동 소자로 사용된다.

이러한 박막 트랜지스터는 서로 대향된 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극 사이에 형성된 채널 영역을 구비하는 반도체층을 구비하며, 상기 소스 전극, 드레인 전극 및 반도체층과 절연되는 게이트 전극이 구비된다.

상기와 같은 구조의 박막 트랜지스터들이 어레이 형태로 구현될 경우, 상기 각 박막 트랜지스터는 독립된 스위칭 소자로 작동해야 되는 바, 따라서 인접한 박막 트랜지스터들간의 크로스 토크를 방지하기 위해 상기 반도체층이 패터닝되도록 하는 것이 바람직하다. 따라서 종래의 실리콘 박막 트랜지스터 등의 경우에는 포토 리소그래피법을 이용하여 실리콘으로 형성된 반도체층을 패터닝하고 있다.

한편, 최근 플렉서블 디스플레이 장치에 대한 연구가 활발해짐에 따라 종래의 글래스재 기판이 아닌 플라스틱재 기판을 이용하려는 시도가 계속되고 있다. 이 경우, 상기 플라스틱재 기판은 고온공정을 거칠 수 없다는 문제점이 있기에, 종래의 실리콘 박막 트랜지스터를 이용하기 어렵다는 문제점이 있었다.

따라서, 저온에서 박막 트랜지스터를 플라스틱재 기판에 형성하기 위한 방법들이 제안되고 있다. 특히, 저온 공정이 가능한 유기 박막 트랜지스터, 즉 유기물로 반도체층이 형성된 박막 트랜지스터에 대한 연구가 활발해지고 있다. 그러나 이러한 유기 박막 트랜지스터의 경우에는, 종래의 포토 리소그래피법을 이용하여 유기 반도체층을 패터닝할 수 없다는 문제점이 있었다. 즉, 종래의 습식 또는 건식 에칭 공정이 혼입된 방법을 사용하게 되면, 유기 반도체층에 손상을 가하게 되어 사용할 수 없게 된다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 용이하게 반도체층을 패터닝하면서도 그 패터닝이 균일하게 이루어지는 효과를 얻을 수 있는 박막 트랜지스터 및 이를 구비한 평판 디스플레이 장치를 제공하는 것을 목적으로 한다.

발명의 구성

상기와 같은 목적 및 그 밖의 여러 목적을 달성하기 위하여, 본 발명은, 기판과, 상기 기판의 상부에 구비된 게이트 전극과, 상기 게이트 전극과 절연된 소스 전극 및 드레인 전극과, 상기 게이트 전극과 절연되고, 상기 소스 전극 및 상기 드레인 전

극과 전기적으로 연결될 수 있는 채널 영역을 구비하며, 적어도 상기 채널 영역을 인접한 박막 트랜지스터와 구별시키는 그루브를 구비하는 반도체층, 그리고 상기 반도체층의 하부에 구비된 스토퍼층을 구비하는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

이러한 본 발명의 다른 특징에 의하면, 상기 그루브의 깊이는 상기 반도체층의 두께보다 작은 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 그루브의 깊이는 상기 반도체층의 두께와 동일한 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 그루브의 깊이는 상기 반도체층의 두께보다 크고, 상기 반도체층의 두께와 상기 스토퍼층의 두께의 합보다는 작은 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 그루브의 깊이는 상기 반도체층의 두께와 상기 스토퍼층의 두께의 합과 동일한 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 그루브는 폐곡선을 형성하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 채널영역은 상기 폐곡선의 그루브 내에 위치하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 그루브는 적어도 한 쌍의 평행선인 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 채널영역은 상기 평행한 그루브 사이에 위치하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 스토퍼층은 상기 그루브의 하부 및 그 주위의 영역에만 구비되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 스토퍼층은 상기 기판의 전면에 구비되며, 상기 소스 전극과 상기 드레인 전극의 서로 대향된 단부들 및 그 사이의 채널영역에 대응하는 개구부를 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 스토퍼층은 상기 기판의 전면에 구비되며, 상기 소스 전극과 상기 드레인 전극의 서로 대향된 단부들에 대응하는 개구부들을 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 반도체층은 유기물로 형성되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 소스 전극, 상기 드레인 전극 및 상기 채널 영역은 상기 게이트 전극의 상부에 구비되고, 상기 소스 전극, 상기 드레인 전극 및 상기 반도체층을 상기 게이트 전극으로부터 절연시키는 게이트 절연막이 상기 게이트 전극을 덮도록 더 구비되며, 상기 반도체층은 상기 소스 전극 및 상기 드레인 전극을 덮도록 구비되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 반도체층은 상기 소스 전극 및 상기 드레인 전극을 덮도록 구비되고, 상기 게이트 전극은 상기 반도체층의 상부에 구비되며, 상기 게이트 전극과 상기 반도체층 사이에는 상기 게이트 전극을 상기 반도체층으로부터 절연시키는 게이트 절연막이 더 구비되는 것으로 할 수 있다.

본 발명은 또한 상기와 같은 목적을 달성하기 위하여, 기판과, 상기 기판의 상부에 구비된 게이트 전극과, 상기 게이트 전극과 절연된 소스 전극 및 드레인 전극과, 상기 게이트 전극과 절연되고, 상기 소스 전극 및 상기 드레인 전극과 전기적으로 연결될 수 있는 채널 영역을 구비하며, 적어도 상기 채널 영역을 인접한 박막 트랜지스터와 구별시키는 그루브를 구비하는 반도체층, 그리고 상기 반도체층의 하부에 구비된 프라이밍층을 구비하는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

이러한 본 발명의 다른 특징에 의하면, 상기 그루브의 깊이는 상기 반도체층의 두께보다 크고, 상기 반도체층의 두께와 상기 프라이밍층의 두께의 합보다는 작은 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 프라이밍층은 상기 그루브의 하부 및 그 주위의 영역에만 구비되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 프라이밍층은 상기 반도체층의 하부에 구비되며, 상기 기관의 전면에 구비되며, 상기 소스 전극과 상기 드레인 전극의 서로 대향된 단부들 및 그 사이의 채널영역에 대응하는 개구부를 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 프라이밍층은 상기 기관의 전면에 구비되며, 상기 소스 전극과 상기 드레인 전극의 서로 대향된 단부들에 대응하는 개구부들을 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 그루브의 깊이는 상기 반도체층의 두께와 상기 프라이밍층의 두께의 합과 동일한 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 프라이밍층은 상기 그루브의 주위의 영역에만 구비되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 프라이밍층은 상기 기관의 전면에 구비되며, 상기 그루브, 상기 소스 전극과 상기 드레인 전극의 서로 대향된 단부들 및 그 사이의 채널영역에 대응하는 개구부를 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 프라이밍층은 상기 기관의 전면에 구비되며, 상기 소스 전극과 상기 드레인 전극의 서로 대향된 단부들 및 상기 그루브에 대응하는 개구부들을 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 그루브는 폐곡선을 형성하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 채널영역은 상기 폐곡선의 그루브 내에 위치하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 그루브는 적어도 한 쌍의 평행선인 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 채널영역은 상기 평행한 그루브 사이에 위치하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 반도체층은 유기물로 형성되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 소스 전극, 상기 드레인 전극 및 상기 채널 영역은 상기 게이트 전극의 상부에 구비되고, 상기 소스 전극, 상기 드레인 전극 및 상기 반도체층을 상기 게이트 전극으로부터 절연시키는 게이트 절연막이 상기 게이트 전극을 덮도록 더 구비되며, 상기 반도체층은 상기 소스 전극 및 상기 드레인 전극을 덮도록 구비되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 반도체층은 상기 소스 전극 및 상기 드레인 전극을 덮도록 구비되고, 상기 게이트 전극은 상기 반도체층의 상부에 구비되며, 상기 게이트 전극과 상기 반도체층 사이에는 상기 게이트 전극을 상기 반도체층으로부터 절연시키는 게이트 절연막이 더 구비되는 것으로 할 수 있다.

본 발명은 또한 상기와 같은 목적을 달성하기 위하여, 상기와 같은 박막 트랜지스터를 구비하는 것을 특징으로 하는 평판 디스플레이 장치를 제공한다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.

전술한 바와 같이, 유기 반도체층을 패터닝함에 있어서 종래의 습식 또는 건식 에칭 공정이 혼입된 방법을 사용하게 되면, 유기 반도체층에 손상을 가하게 되어 사용할 수 없게 된다는 문제점이 있었다. 따라서 이를 해결하기 위해 본 발명에서는 레이저 어블레이션 기술(LAT; laser ablation technique)을 이용하여 유기 반도체층에 그루브를 형성함으로써 패터닝 효과를 얻도록 한다. 물론 본 발명은 반도체층으로 유기물이 사용된 경우뿐만 아니라 그 외의 다양한 물질이 사용된 경우에도 적용될 수 있음은 물론이다.

도 1은 레이저 어블레이션 기술을 이용하여 제조된 인버티드 코플라나(inverted coplanar)형 박막 트랜지스터를 개략적으로 도시하는 평면도이고, 도 2는 도 1의 박막 트랜지스터를 개략적으로 도시하는 단면도이다.

상기 도면들을 참조하면, 기관(1)의 상부에 게이트 전극(2)이 구비되고, 상기 게이트 전극(2)을 덮도록 게이트 절연막(8)이 구비된다. 그리고 상기 게이트 절연막(8)의 상부에 소스 전극(3) 및 드레인 전극(4)이 구비되며, 상기 소스 전극(3) 및

상기 드레인 전극(4)을 덮도록 반도체층(6)이 구비된다. 이때, 상기 반도체층의 채널영역(6a)을 인접한 박막 트랜지스터(미도시)와 구별시키는 그루브(5)가 구비된다. 물론 이 채널영역(6a)은 박막 트랜지스터가 동작할 때만 형성될 수도 있는 등 다양한 변형이 가능하며, 이는 후술하는 실시예들 및 변형예들에 있어서도 동일하다.

상기 그루브(5)를 형성하는 방법은, 반도체층(6)이 형성된 후 레이저를 소정의 영역에 조사하여 그 부분의 반도체층을 제거하는, 소위 레이저 어블레이션 기술을 이용하면 된다.

그러나 이 경우에는 레이저가 조사되는 반도체층의 하부가, 각 반도체층의 영역에 따라 다르다. 즉, 상기 소스 전극(3) 및 상기 드레인 전극(4)의 상부에 구비된 반도체층의 영역에 레이저를 조사할 경우에는 레이저가 금속층에 도달하게 되며, 그 이외의 영역의 반도체층에 레이저를 조사할 경우에는 레이저가 상기 게이트 절연막(8)에 도달하게 된다. 따라서 레이저가 조사되는 영역에 따라 반도체층의 하부의 물질이 다르게 되며, 이에 따라 도 1에 도시된 바와 같이 레이저에 의해 반도체층(6)이 식각되어 형성된 그루브(5)가 일정한 폭 또는 일정한 깊이 등을 갖지 않게 되고, 이는 공정 중의 박막 트랜지스터의 불량, 또는 제조 후에 박막 트랜지스터의 특성이 균일하지 못하게 될 수도 있다. 따라서 이를 방지하기 위해, 스토퍼층 또는 프라이밍층이 반도체층의 하부에 구비되도록 한다.

도 3은 본 발명의 바람직한 제 1 실시예에 따른 인버티드 코플레나형 박막 트랜지스터를 개략적으로 도시하는 평면도이고, 도 4는 도 3의 박막 트랜지스터를 개략적으로 도시하는 단면도이다.

상기 도면들을 참조하면, 기판(11)의 상부에 게이트 전극(12)이 구비된다. 상기 기판(11)으로는 글라스재 또는 플라스틱재 등, 다양한 재료의 기판이 사용될 수 있다. 그리고 상기 게이트 전극(12)과 절연된 소스 전극(13) 및 드레인 전극(14)이 구비된다. 상기 소스 전극(13) 및 상기 드레인 전극(14)은, 도 3 및 도 4에 도시된 바와 같이, 상기 게이트 전극(12)과 일정부분 중첩되도록 할 수 있으나, 반드시 이에 한정되는 것은 아니다.

그리고 상기 게이트 전극(12)과 절연되고, 상기 소스 전극(13) 및 상기 드레인 전극(14)과 전기적으로 연결될 수 있는 채널 영역(16a)을 구비하며, 적어도 상기 채널 영역(16a)을 인접한 박막 트랜지스터와 구별시키는 그루브(15)를 구비하는 반도체층(16)이 구비된다.

물론, 상기 소스 전극(13), 상기 드레인 전극(14) 및 상기 반도체층(16)을 상기 게이트 전극(12)으로부터 절연시키기 위한 게이트 절연막(18)이 상기 게이트 전극(12)을 덮도록 더 구비될 수 있다.

상기 반도체층(16)은 상기 소스 전극(13)과 상기 드레인 전극(14)과 전기적으로 연결될 수 있는 채널 영역(16a)을 구비한다. 상기 소스 전극(13) 및 상기 드레인 전극(14)과 접하는 상기 반도체층(16)의 영역에는 n형 또는 p형 불순물이 도핑될 수 있으나, 반드시 이에 한정되는 것은 아니며, 상기 반도체층(16)을 n형 또는 p형 반도체 물질로 사용하거나, n형 또는 p형 불순물을 도핑할 수 있다.

상기 반도체층(16)은 무기물 또는 유기물로 형성될 수 있는데, 바람직하게는 유기물로 형성될 수 있다.

상기 무기물은 CdS, GaS, ZnS, CdSe, CaSe, ZnSe, CdTe, SiC 및 Si로 이루어진 군으로부터 선택된 하나 이상의 물질일 수 있다.

상기 반도체층(16)이 유기물로 형성될 경우에는, 상기 유기물은, 고분자로서, 폴리티오펜 및 그 유도체, 폴리파라페닐렌비닐렌 및 그 유도체, 폴리파라페닐렌 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체, 폴리티오펜-헥테로고리방향족 공중합체 및 그 유도체를 포함할 수 있고, 저분자로서, 펜타센, 테트라센, 나프탈렌의 올리고아센 및 이들의 유도체, 알파-6-티오펜, 알파-5-티오펜의 올리고티오펜 및 이들의 유도체, 금속을 함유하거나 함유하지 않은 프탈로시아닌 및 이들의 유도체, 파이로멜리틱 디안하이드라이드 또는 파이로멜리틱 디이미드 및 이들의 유도체, 퍼릴렌테트라카르복시산 디안하이드라이드 또는 퍼릴렌테트라카르복실릭 디이미드 및 이들의 유도체를 포함할 수 있다.

이러한 상기 반도체층(16)에는 소정 패턴의 그루브(15)가 형성되는 데, 상기 그루브(15)는 적어도 상기 채널 영역(16a)을 인접한 박막 트랜지스터와 구별시키도록 형성되어 있다. 따라서, 상기 반도체층(16)은 별도의 패터닝 공정 없이 그루브(15)에 의해 인접한 박막 트랜지스터와 구별되는 패터닝 효과를 얻을 수 있게 된다. 이는 상기 반도체층(16)으로 특히 유기 반도체층을 사용할 때에 더욱 효과적이다.

전술한 바와 같이, 유기 반도체층의 경우, 이를 형성한 후에는 유기물 손상의 우려 때문에 패터닝 공정을 하기가 어려웠다. 그러나, 상기 그루브(15)에 의해 채널 영역(16a)이 인접한 박막 트랜지스터와 구별되어 패터닝 효과를 얻게 되므로, 굳이

별도의 패터닝 공정을 할 필요가 없게 되는 것이다. 또한, 상기와 같은 그루브(15)만으로 패터닝 효과를 얻게 되므로, 액티브 채널(Active channel)을 제외한 부위의 반도체층 전체를 식각할 필요가 없게 되어, 공정시간 단축과 효율성을 향상시킬 수 있다. 그리고, 패터닝 공정에 수반하는 습식 또는 건식 에칭 공정이 배제되므로, 공정 단순화, 및 특성 향상을 기할 수 있다.

이러한 그루브(15)는 레이저 식각법(Laser ablation method)을 이용해 간단하게 형성 가능하다. 즉, 도 3 및 도 4에서 볼 때, 반도체층(16)을 형성한 후에, 상기 반도체층(16)의 소정 부위에 소정 강도의 레이저를 조사해 해당 부위의 반도체 물질만을 식각하는 것이다. 상기 그루브(15)의 형성방법은 반드시 전술한 레이저 식각법에 한정되는 것은 아니며, 그 외에도 간단한 공정으로 채널 형상의 그루브(15) 형성이 가능한 어떠한 방법도 적용 가능하다.

이때, 상기 반도체층(16)의 하부에는 스토퍼층(17)이 구비되어 있다. 도 3 및 도 4에는 스토퍼층(17)이 그루브(15)의 하부 또는 그 주위의 영역에만 구비되어 있는 것으로 도시되어 있으나, 본 발명이 이에 한정되는 것은 아니고 기판(11)의 전면에 걸쳐 형성될 수도 있는 등 다양한 변형이 가능하다. 즉, 에칭 스토퍼층(17)이 적어도 그루브(15)의 하부 또는 그 주위의 영역에만 구비되면 된다.

전술한 바와 같이, 상기 그루브(15)를 형성하는 방법으로 레이저 어블레이션 기술을 이용할 수 있다. 이 경우, 레이저가 조사되는 반도체층의 하부에 구비되어 있는 물질이 레이저가 조사되는 영역에 따라 다르기 때문에, 그 하부의 물질의 성질에 따라 레이저에 의해 형성되는 그루브(15)가 일정한 폭 또는 일정한 깊이를 갖지 않게 되고, 이는 공정 중의 박막 트랜지스터의 불량, 또는 제조 후에 박막 트랜지스터들의 특성이 균일하지 못하게 되는 등의 문제점을 야기하게 된다.

따라서 본 실시예에 따른 박막 트랜지스터에는, 적어도 레이저가 조사될 영역의 반도체층의 하부에 스토퍼층(17)이 구비되도록 한다. 즉, 레이저가 조사될 영역의 반도체층의 하부에 일정한 물질이 구비되도록 함으로써, 레이저가 조사되어 그루브(15)가 형성될 시 일정한 폭 또는 일정한 깊이의 그루브(15)가 형성되도록 할 수 있으며, 이를 통해 박막 트랜지스터의 불량을 방지하고 또한 제조 후의 박막 트랜지스터들의 특성의 균일성을 담보할 수 있게 된다.

이때, 상기 그루브(15)의 깊이는, 도 4에 도시된 바와 같이, 상기 반도체층(16)의 두께 보다 작도록 할 수 있다. 즉, 상기 반도체층(16)의 채널영역(16a)에서 상기 소스 전극(13)과 상기 드레인 전극(14) 사이의 전류 흐름을 매개하는 캐리어의 소통을 방해할 수 있을 정도면 된다.

물론 도 4에 도시된 바에 한정되는 것은 아니고, 도 5에 도시된 본 발명의 바람직한 제 2 실시예에 따른 박막 트랜지스터와 같이 그루브(25)의 깊이가 반도체층(26)의 두께와 동일하도록 할 수도 있다. 이 경우에는 스토퍼층(27)이 상기 그루브(25)를 통해 상기 반도체층(26)의 상부로 노출되게 된다.

또한, 도 6에 도시된 제 3 실시예에 따른 박막 트랜지스터와 같이, 그루브(35)의 깊이가 반도체층(36)의 두께보다는 크고 상기 반도체층(36)의 두께와 그 하부의 스토퍼층(37)의 두께의 합보다는 작도록 할 수도 있다. 그리고 도 7에 도시된 제 4 실시예에 따른 박막 트랜지스터와 같이, 그루브(45)의 깊이가 반도체층(46)의 두께와 그 하부의 스토퍼층(47)의 두께의 합과 동일하도록 할 수도 있다. 물론 이보다 과식각되어, 상기 그루브(45)가 게이트 절연막(48)에까지 도달해도 무방하다.

상기와 같은 그루브(15, 25, 35, 45)는 각 박막 트랜지스터의 채널 영역(16a, 26a, 36a, 46a)이 내측에 포함되도록 형성될 수 있는 데, 도 8 내지 도 14에 도시된 변형예들에 따른 박막 트랜지스터들과 같이, 다양한 형상으로 형성될 수 있다. 도 8 내지 도 14에서 도면부호 12a는 게이트 전극(12)에 게이트 신호를 부여하는 게이트 배선이고, 13a는 소스 전극(13)에 연결된 배선이다. 드레인 전극(14)에 연결된 배선은 도시하지 않았다. 또한, 도 8 내지 도 14에서는 편의상 스토퍼층을 도시하지 않았다.

도 8 및 도 9는 상기 그루브(15)가 폐곡선을 형성하는 경우를 도시한 것으로, 상기 폐곡선의 그루브(15) 내에 채널 영역(16a)이 위치한다. 상기 폐곡선의 그루브(15)는 도 8에 도시된 바와 같이, 게이트 전극(12)에 일정부분 중첩되도록 형성될 수도 있고, 도 9에 도시된 바와 같이, 게이트 전극(12)의 외측으로 형성될 수도 있다. 이 때, 도 8에 도시된 바와 같이, 그루브(15)가 게이트 배선(12a)의 내측에 위치하도록 하고, 도 9에 따른 실시예에 의하면, 그루브(15)가 게이트 배선(12a)의 외측을 넘어서도록 할 수도 있다.

한편, 상기 그루브(15)는 도 10 내지 도 13에 도시된 바와 같이, 한 쌍의 평행선으로 형성될 수 있다. 이 때, 상기 평행한 그루브(15) 사이에 채널 영역(16a)이 위치한다. 이들 한 쌍의 평행선은 도 10 및 도 11에 도시된 바와 같이, 게이트 배선(12a)에 평행할 수도 있고, 도 12 및 도 13에 도시된 바와 같이, 소스 전극(13)에 연결된 배선(13a)에 평행할 수도 있다.

또한, 상기 그루브(15)는 도 10에 도시된 바와 같이, 게이트 전극(12)을 가로질러 게이트 배선(12a)의 내측에 위치하도록 형성될 수도 있고, 도 11에 도시된 바와 같이, 게이트 전극(12)의 외측으로 게이트 배선(12a)의 외측을 넘어서도록 형성될 수도 있다.

그리고, 상기 그루브(15)는 도 12에 도시된 바와 같이, 소스 전극(13) 또는 드레인 전극(14)을 가로질러 형성될 수도 있고, 도 13에 도시된 바와 같이, 소스 전극(13) 또는 드레인 전극(14)의 외측으로 형성될 수도 있다.

뿐만 아니라, 상기 그루브(15)는 도 14에 도시된 바와 같이, 두 쌍의 평행선으로 형성될 수 있다. 이 때, 상기 두 쌍의 평행한 그루브들(15) 사이에 채널 영역(16a)이 위치한다. 이들 두 쌍의 평행선들 중 한 쌍은 게이트 배선(12a)에 평행할 수도 있고, 다른 한 쌍은 소스 전극(13)에 연결된 배선(13a)에 평행할 수 있다. 그리고 그 범위도, 도 14에 도시된 바와 같이, 게이트 전극(12), 소스 전극(13) 및 드레인 전극(14)을 가로지르도록 형성될 수 있고, 그 외측에 형성될 수도 있다.

한편, 상기 도 4 내지 도 7에는, 상기 스토퍼층(17, 27, 37, 47)이 상기 그루브(15, 25, 35, 45)의 하부 및 그 주위의 영역에만 구비되는 것으로 도시되어 있으나, 본 발명이 이에 한정되는 것은 아니다.

즉, 도 15에 도시된 본 발명의 바람직한 제 5 실시예에 따른 박막 트랜지스터와 같이, 스토퍼층(57)이 기판(51)의 전면에서 구비되며, 소스 전극(53)과 드레인 전극(54)의 서로 대향된 단부들 및 그 사이의 채널영역(56a)에 대응하는 개구부를 구비하도록 할 수 있다.

도 15에는 그루브(55)의 깊이가 반도체층(56)의 두께와 동일한 경우에 대해 도시되어 있으나, 도 16에 도시된 변형예에 따른 박막 트랜지스터처럼 그루브(55)의 깊이가 반도체층(56)의 두께보다 작은 경우, 도 17에 도시된 변형예에 따른 박막 트랜지스터처럼 그루브(55)의 깊이가 반도체층(56)의 두께보다 크고 반도체층(56)의 두께와 스토퍼층(57)의 두께의 합보다 작은 경우, 그리고 도 18에 도시된 변형예에 따른 박막 트랜지스터처럼 그루브(55)의 깊이가 반도체층(56)의 두께와 스토퍼층(57)의 두께의 합과 같은 경우에도, 스토퍼층(57)이 기판(51)의 전면에서 구비되며, 소스 전극(53)과 드레인 전극(54)의 서로 대향된 단부들 및 그 사이의 채널영역(56a)에 대응하는 개구부를 구비하도록 할 수 있는 등, 다양한 변형이 가능함은 물론이다. 이는 후술할 실시예들에 있어서도 동일함은 물론이다.

또한, 도 19에 도시된 제 6 실시예에 따른 박막 트랜지스터와 같이, 스토퍼층(67)이 기판(61)의 전면에서 구비되며, 소스 전극(63)과 드레인 전극(64)의 서로 대향된 단부들에 대응하는 개구부들을 구비하도록 할 수도 있다. 물론 이 외에도 다양한 변형들이 가능함은 물론이다.

상기 도 3 내지 도 19에서는 소위 인버티드 코플레나형 박막 트랜지스터가 도시되어 있다. 즉, 도 3 및 도 4를 예로 들어 설명하자면, 소스 전극(13), 드레인 전극(14) 및 채널 영역(16a)은 게이트 전극(12)의 상부에 구비되고, 반도체층(16)은 상기 소스 전극(13) 및 상기 드레인 전극(14)을 덮도록 구비된 박막 트랜지스터가 도시되어 있으나, 물론 본 발명이 이에 한정되는 것은 아니다. 즉 스테거드형(staggered type) 박막 트랜지스터 및 인버티드 스테거드형(inverted staggered type) 박막 트랜지스터 등, 다양한 형태의 박막 트랜지스터들에도 본 발명이 적용될 수 있다.

도 20은 그 예로서 본 발명의 바람직한 제 7 실시예에 따른 스테거드형 박막 트랜지스터에 본 발명이 적용된 실시예를 개략적으로 도시하는 단면도이다.

도 20을 참조하면, 기판(71)의 상부에 소스 전극(73) 및 드레인 전극(74)이 구비되어 있고, 상기 소스 전극(73) 및 상기 드레인 전극(74)을 덮도록 반도체층(76)이 구비되어 있다. 물론 상기 반도체층(76)에는 채널영역(76a)을 이웃한 박막 트랜지스터들과 구분시키는 그루브(75)가 형성되어 있으며, 상기 그루브(75)의 하부에는 스토퍼층(77)이 구비되어 있다. 그리고 상기 반도체층(76)을 덮도록 게이트 절연막(78)이 구비되어 있고, 그 상부에 상기 채널 영역(76a)에 대응되도록 게이트 전극(72)이 구비되어 있다.

상기와 같이 스테거드형 박막 트랜지스터의 경우에도 본 발명이 적용될 수 있다. 물론 도 20에 도시된 바에 한정되지 않고, 도 21에 도시된 본 발명의 바람직한 제 8 실시예에 따른 박막 트랜지스터와 같이, 스토퍼층(87)이 기판(81)의 전면에서 구비되며, 소스 전극(83)과 드레인 전극(84)의 서로 대향된 단부들 및 그 사이의 채널영역(86a)에 대응하는 개구부를 갖도록 구비될 수도 있는 등, 지금까지 인버티드 코플레나형 박막 트랜지스터를 예로 적용한 모든 실시예들이 적용될 수 있다.

또한, 도 22에 도시된 본 발명의 바람직한 제 9 실시예에 따른 박막 트랜지스터와 같이, 인버티드 스테거드형 박막 트랜지스터의 경우에도 게이트 전극(92)을 덮는 게이트 절연막(98)이 기판(91)의 전면에서 구비되지 않고 상기 게이트 전극(92)만

을 덮도록 구비된 경우에는, 반도체층(96)의 하부에 구비된 물질이 상기 반도체층(96)의 영역에 따라 달라질 수 있으므로 스토퍼층(97)이 구비되도록 할 수 있다. 이 경우, 스토퍼층(97)과 게이트 절연막(98)이 동일한 물질로 형성될 수도 있다. 물론, 상기 게이트 절연막(98)이 상기 기판(91)의 전면에 구비된 경우에도 레이저 어블레이션 기술을 이용하여 그루브를 보다 용이하게 형성할 수 있도록 하기 위해 스토퍼층이 구비되도록 할 수도 있다. 그리고 인버티드 스테퍼드형 박막 트랜지스터의 경우에도 도 22에 도시된 바와 달리 스토퍼층(97)이 기판(91)의 전면에 구비될 수도 있는 등, 전술한 실시예들 및 변형예들에서 설명한 사항들이 적용될 수 있음은 물론이다.

한편, 상기 실시예들에서 설명한 스토퍼층이 프라이밍층이 되도록 할 수도 있다. 즉, 전술한 바와 같이 레이저 어블레이션 기술을 이용하여 그루브를 형성할 시, 레이저가 조사되는 영역의 하부에 구비된 물질이 각 영역에 따라 다르기에 그루브들이 일정하게 형성되지 않은 것이다.

따라서, 스토퍼층이 구비되도록 하여 레이저가 조사되는 영역의 하부가 일정한 특성을 띠도록 하는 것에 그치지 않고, 스토퍼층이 아닌 프라이밍층, 즉 레이저 등의 광이 조사되거나 열을 받으면 터지는 층이 구비되도록 함으로써, 그루브들이 일정하게 형성되도록 할 수 있다. 보다 상세히 설명하자면, 반도체층에 그루브를 형성하기 위해 레이저를 조사하되, 상기 레이저가 그 하부의 프라이밍층에 도달하거나 도달하기 전에 레이저가 조사된 영역의 하부에 있는 프라이밍층이 터지도록 함으로써, 일정한 특성을 갖는 그루브를 보다 용이하게 형성할 수 있다.

이러한 방법으로 그루브를 형성할 경우에는 상기 그루브의 깊이가 반도체층의 두께보다는 크게 되며, 반도체층의 두께와 프라이밍층의 두께의 합보다는 작거나 같아지게 된다. 레이저가 조사된 영역의 하부의 프라이밍층이 일부만 터져 일부만 제거될 경우에는 그루브의 깊이가 반도체층의 두께와 프라이밍층의 두께의 합보다 작게 될 것이며, 그 영역의 하부의 프라이밍층이 모두 터져 제거될 경우에는 그루브의 깊이가 반도체층의 두께와 프라이밍층의 두께의 합과 동일하게 될 것이기 때문이다.

이와 같이 프라이밍층이 구비된 박막 트랜지스터에도, 전술한 스토퍼층이 구비된 실시예들에 따른 박막 트랜지스터들에서 설명한 모든 것들이 적용될 수 있음은 물론이다.

상기와 같은 구조의 박막 트랜지스터들은 액정 디스플레이 장치 또는 유기 전계발광 디스플레이 장치와 같은 평판 디스플레이 장치에 구비될 수 있다.

즉, 상기와 같은 박막 트랜지스터들은 평판 디스플레이 장치의 스위칭 박막 트랜지스터 또는 구동 박막 트랜지스터로 사용될 수 있고, 각종 드라이버의 박막 트랜지스터로도 사용될 수 있다.

구동 박막 트랜지스터로 사용될 경우, 소스전극 및 드레인 전극 중 어느 한 전극에 평판 디스플레이 장치의 화소전극이 연결될 수 있다.

본 발명의 박막 트랜지스터는 특히, 유기 전계발광 디스플레이 장치에 유용하게 사용될 수 있다.

유기 전계발광 디스플레이 장치는 전계발광 소자의 발광 색상에 따라 다양한 화소패턴을 갖는 데, 바람직하게는 적색, 녹색 및 청색의 화소를 구비한다.

이러한 적색, 녹색 및 청색의 각 부화소는 자발광 소자인 전계발광 소자를 갖는다. 그리고, 박막 트랜지스터를 구비하는 데, 이 박막 트랜지스터는 전술한 실시예들에 따른 박막 트랜지스터가 될 수 있다.

상기 전계발광 소자는 전류의 흐름에 따라 적색, 녹색 또는 청색의 빛을 발광하여 소정의 화상 정보를 표시하는 것으로, 전술한 박막 트랜지스터의 소스 전극 및 드레인 전극 중 어느 한 전극에 연결된 화소 전극과, 전체 화소를 덮도록 구비된 대향 전극, 및 이들 화소 전극과 대향 전극의 사이에 배치되어 발광하는 유기 발광막으로 구성된다. 본 발명은 반드시 상기와 같은 구조로 한정되는 것은 아니며, 다양한 유기 전계발광 디스플레이 장치의 구조가 그대로 적용될 수 있음은 물론이다.

상기 유기 발광막은 저분자 또는 고분자 유기막이 사용될 수 있는 데, 저분자 유기막을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐

-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기막은 진공증착의 방법으로 형성된다.

고분자 유기막의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.

상기와 같은 유기막은 반드시 이에 한정되는 것은 아니고, 다양한 실시예들이 적용될 수 있음은 물론이다.

상기 화소 전극은 애노드 전극의 기능을 하고, 상기 대향 전극은 캐소드 전극의 기능을 하는 데, 물론, 이들 화소 전극과 대향 전극의 극성은 반대로 되어도 무방하다.

상기 화소 전극은 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 ITO, IZO, ZnO, 또는 In₂O₃로 구비될 수 있고, 반사형 전극으로 사용될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO 또는 In₂O₃를 형성할 수 있다. 한편, 상기 대향 전극도 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물이 유기 발광막의 방향을 향하도록 증착한 후, 그 위에 ITO, IZO, ZnO, 또는 In₂O₃ 등의 투명 전극 형성용 물질로 보조 전극층이나 버스 전극 라인을 형성할 수 있다. 그리고, 반사형 전극으로 사용될 때에는 위 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물을 전면 증착하여 형성한다. 그러나, 반드시 이에 한정되는 것은 아니며, 화소 전극 및 대향 전극으로 전도성 폴리머 등 유기물을 사용할 수도 있다.

액정디스플레이 장치의 경우, 이와는 달리, 상기 화소전극을 덮는 하부배향막을 형성함으로써, 액정디스플레이 장치의 하부기판의 제조를 완성한다.

이렇게 본 발명에 따른 박막 트랜지스터는 각 부화소에 탑재될 수도 있고, 화상이 구현되지 않는 드라이버 회로에도 탑재 가능하다.

발명의 효과

상기한 바와 같이 이루어진 본 발명의 박막 트랜지스터 및 이를 구비한 평판 디스플레이 장치에 따르면, 다음과 같은 효과를 얻을 수 있다.

첫째, 반도체층에 별도의 패터닝 공정 없이, 그루브에 의해 인접한 박막 트랜지스터와 구별되는 패터닝 효과를 얻을 수 있게 되어, 복잡한 패터닝 공정을 생략할 수 있다.

둘째, 건식 또는 습식 에칭 공정이 배제되어, 액티브 채널의 특성 저하를 최소화할 수 있다.

셋째, 그루브만으로 패터닝 효과를 얻게 되므로, 액티브 채널(Active channel)을 제외한 부위의 반도체층 전체를 식각할 필요가 없게 되어, 공정시간 단축과 효율성을 향상시킬 수 있다. 그리고, 패터닝 공정에 수반하는 습식 공정이 배제되므로, 공정 단순화 및 효율성을 향상시킬 수 있다.

넷째, 그루브에 의해 채널 영역을 인접한 박막 트랜지스터와 구별시킴으로써, 누설 전류를 낮출 수 있다.

다섯째, 스톱퍼층이 그루브의 하부 또는 그 주변 영역에 구비되도록 함으로써, 레이저 어블레이션 기술을 이용하여 그루브를 형성할 시 그루브가 균일한 폭 및 깊이 등을 갖도록 형성할 수 있다.

여섯째, 프라이밍층이 그루브의 하부 또는 그 주변 영역에 구비되도록 함으로써, 그루브를 형성할 시 그루브가 균일한 폭 및 깊이 등을 갖도록 형성할 수 있다.

일곱째, 균일한 폭 및 깊이 등의 그루브가 구비된 박막 트랜지스터들을 구비함으로써, 전 화소에 있어서 특성 등이 동일한 박막 트랜지스터가 구비된 평판 디스플레이 장치를 제조할 수 있게 되며, 이에 따라 영상을 보다 정확하고 선명하게 재현할 수 있게 된다.

본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면의 간단한 설명

도 1은 레이저 어블레이션 기술을 이용하여 제조된 인버티드 코플레나형 박막 트랜지스터를 개략적으로 도시하는 평면도.

도 2는 도 1의 박막 트랜지스터를 개략적으로 도시하는 단면도.

도 3은 본 발명의 바람직한 일 실시예에 따른 인버티드 코플레나형 박막 트랜지스터를 개략적으로 도시하는 평면도.

도 4는 도 3의 박막 트랜지스터를 개략적으로 도시하는 단면도.

도 5는 본 발명의 바람직한 또 다른 일 실시예에 따른 인버티드 코플레나형 박막 트랜지스터를 개략적으로 도시하는 단면도.

도 6은 본 발명의 바람직한 또 다른 일 실시예에 따른 인버티드 코플레나형 박막 트랜지스터를 개략적으로 도시하는 단면도.

도 7은 본 발명의 바람직한 또 다른 일 실시예에 따른 인버티드 코플레나형 박막 트랜지스터를 개략적으로 도시하는 단면도.

도 8 내지 도 14는 다양한 변형예들에 따른 박막 트랜지스터들을 개략적으로 도시하는 평면도들.

도 15는 본 발명의 바람직한 또 다른 일 실시예에 따른 인버티드 코플레나형 박막 트랜지스터를 개략적으로 도시하는 단면도.

도 16 내지 도 18은 도 15의 변형예들에 따른 인버티드 코플레나형 박막 트랜지스터들을 개략적으로 도시하는 단면도들.

도 19는 본 발명의 바람직한 또 다른 일 실시예에 따른 인버티드 코플레나형 박막 트랜지스터를 개략적으로 도시하는 단면도.

도 20 및 도 21은 본 발명의 바람직한 또 다른 일 실시예들에 따른 스테거드형 박막 트랜지스터들을 개략적으로 도시하는 단면도들.

도 22는 본 발명의 바람직한 또 다른 일 실시예에 따른 인버티드 스테거드형 박막 트랜지스터를 개략적으로 도시하는 단면도.

<도면의 주요부분에 대한 부호의 설명>

11: 기관 12: 게이트 전극

13: 소스 전극 14: 드레인 전극

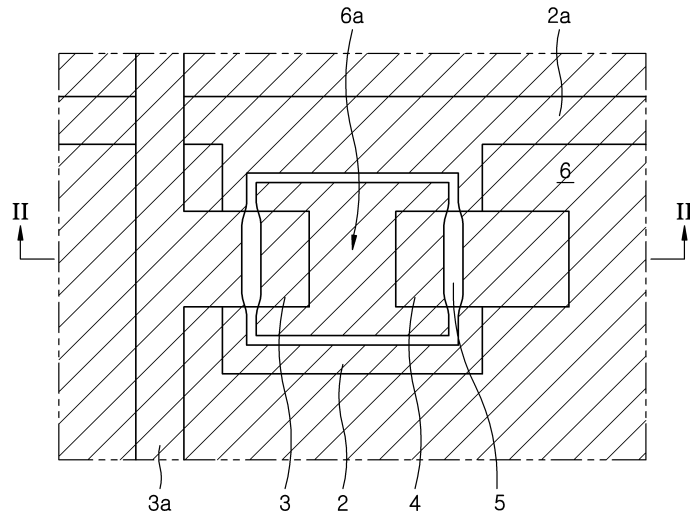
15: 그루브 16: 반도체층

16a: 채널영역 17: 스토퍼층

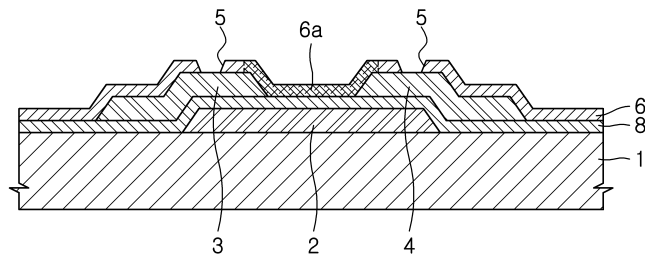
18: 게이트 절연막

도면

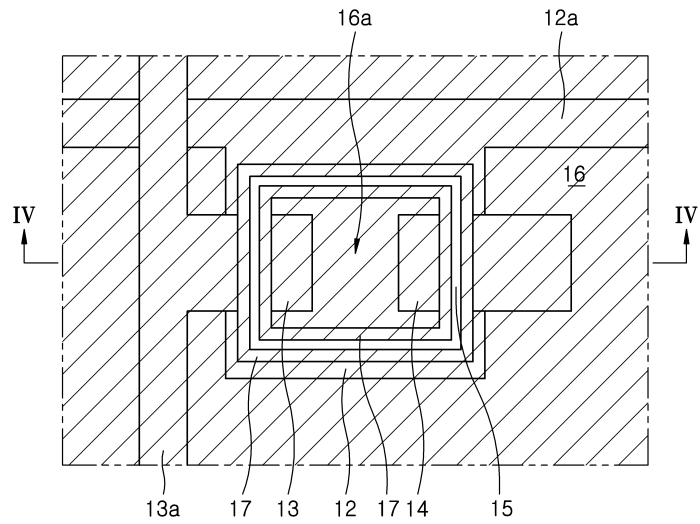
도면1



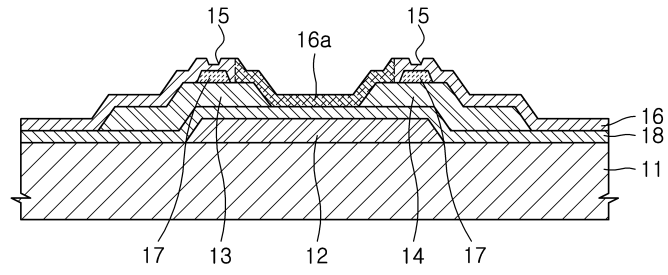
도면2



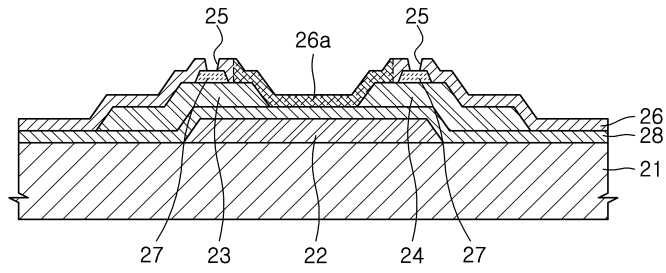
도면3



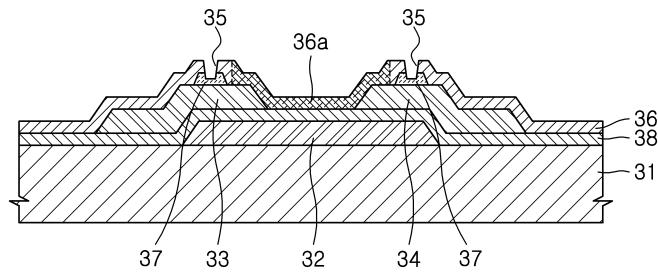
도면4



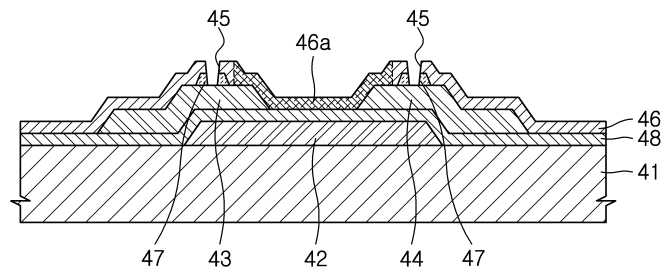
도면5



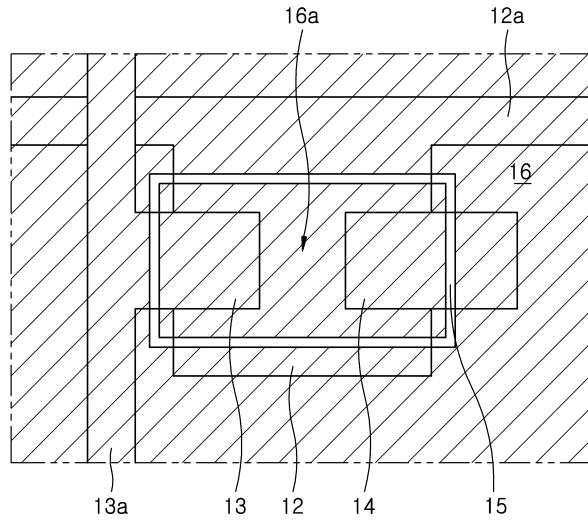
도면6



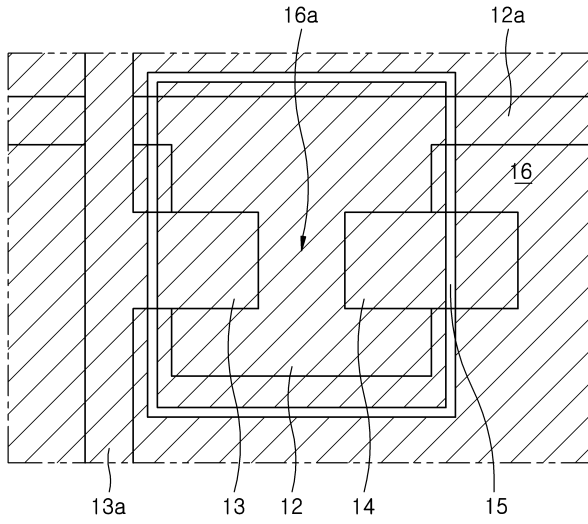
도면7



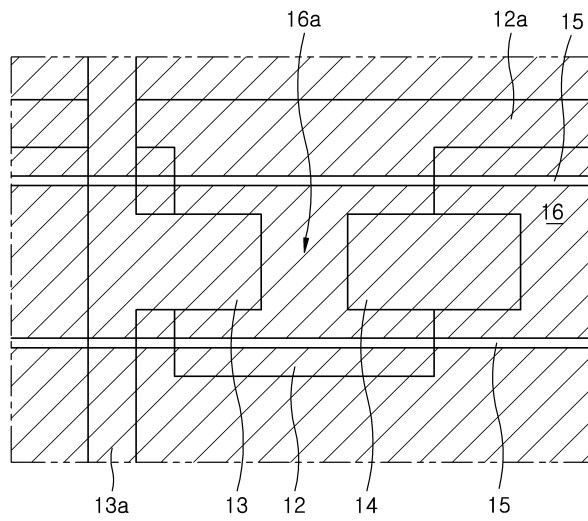
도면8



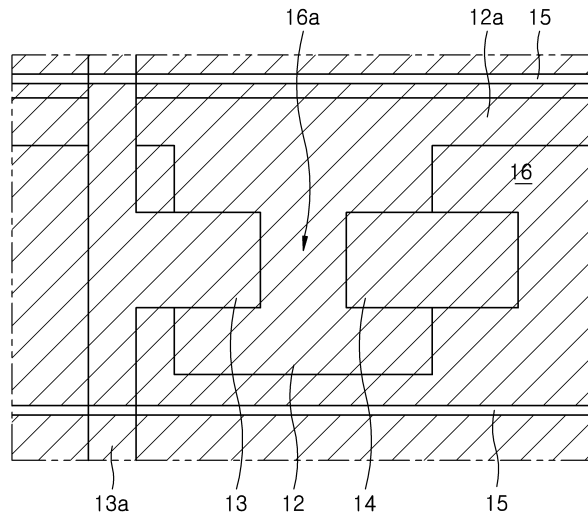
도면9



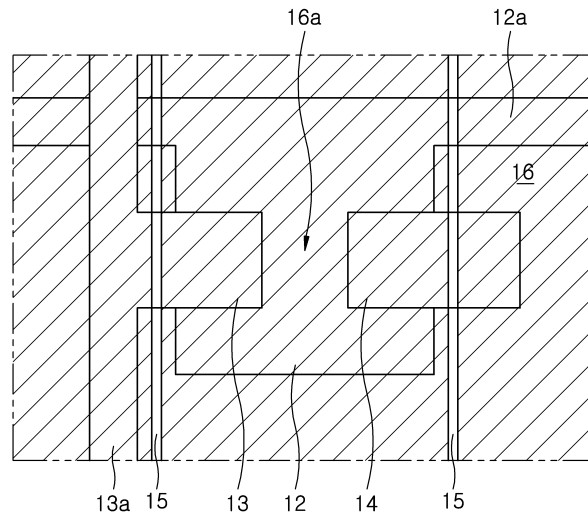
도면10



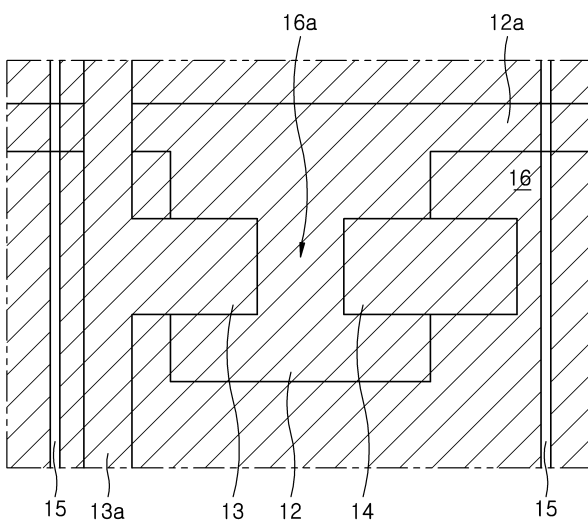
도면11



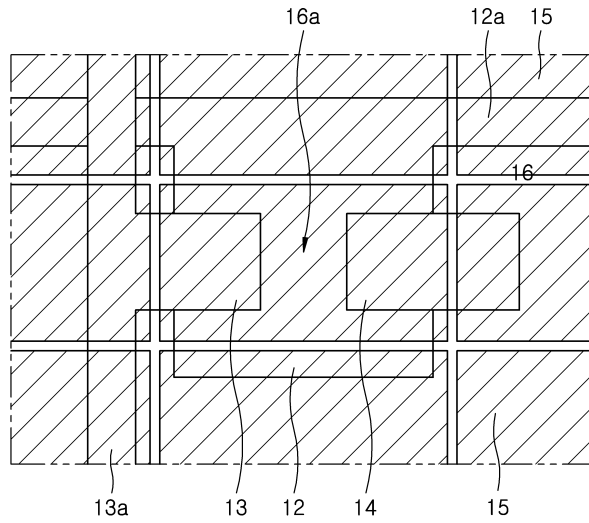
도면12



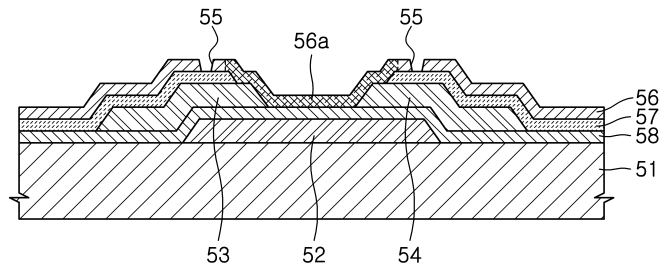
도면13



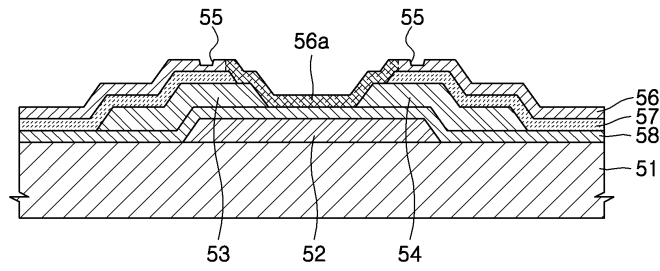
도면14



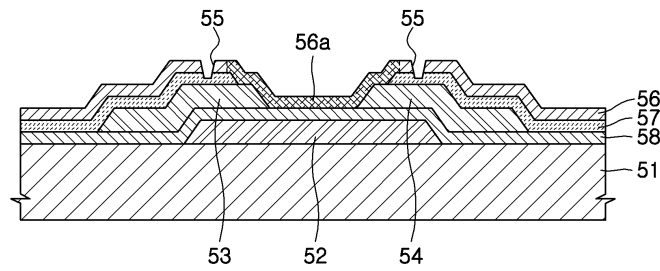
도면15



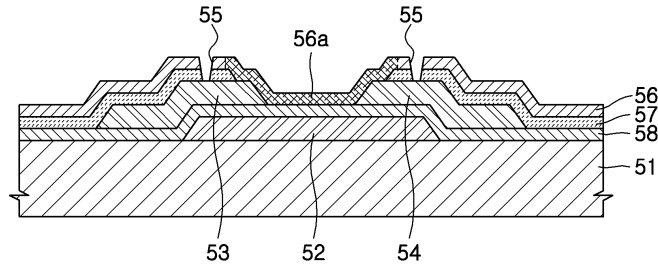
도면16



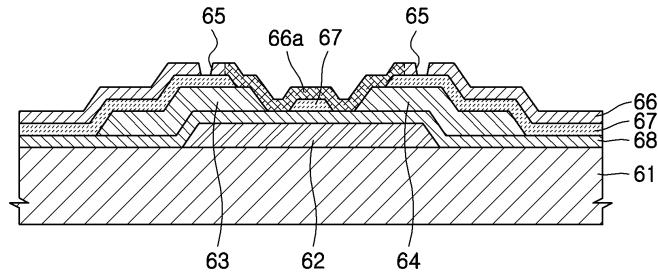
도면17



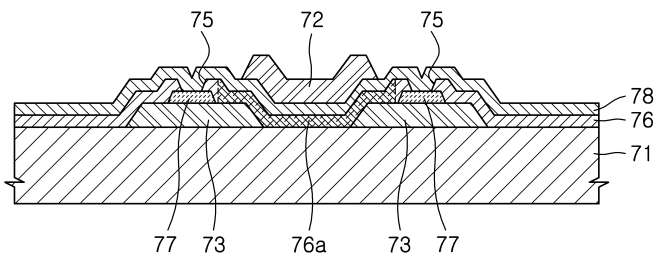
도면18



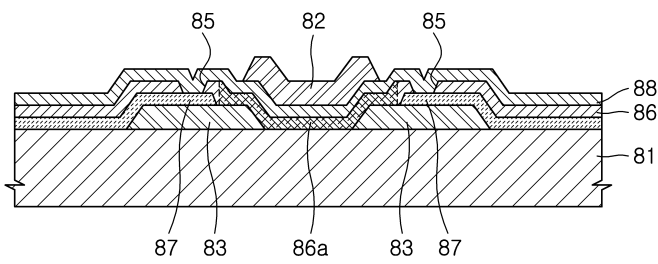
도면19



도면20



도면21



도면22

