

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4660124号
(P4660124)

(45) 発行日 平成23年3月30日(2011.3.30)

(24) 登録日 平成23年1月7日(2011.1.7)

(51) Int. Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/316 (2006.01)	HO 1 L 21/316 M
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 U
	HO 1 L 29/78 6 1 7 V

請求項の数 8 (全 15 頁)

(21) 出願番号	特願2004-179225 (P2004-179225)	(73) 特許権者	000001443
(22) 出願日	平成16年6月17日(2004.6.17)		カシオ計算機株式会社
(65) 公開番号	特開2006-5115 (P2006-5115A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成18年1月5日(2006.1.5)	(73) 特許権者	397070439
審査請求日	平成18年11月8日(2006.11.8)		財団法人高知県産業振興センター
			高知県高知市布師田3992-2
		(74) 代理人	100095407
			弁理士 木村 満
		(72) 発明者	古田 寛
			高知県高知市布師田3992番地2 財団
			法人 高知県産業振興センター内
		(72) 発明者	平松 孝浩
			高知県高知市布師田3992番地2 財団
			法人 高知県産業振興センター内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

酸化亜鉛を半導体層に用いた薄膜トランジスタの製造方法であって、
それぞれがII族、III族若しくはIV族の別の金属から構成される対向ターゲット
のスパッタリングにより生成された金属粒子を反応性ガスと反応させつつゲート電極上ま
たは前記半導体層上に堆積することにより、ゲート絶縁膜を成膜する、
ことを特徴とする薄膜トランジスタの製造方法。

【請求項2】

酸化亜鉛を半導体層に用いた薄膜トランジスタの製造方法であって、
一方がTiを含み他方がSiを含む対向ターゲットのスパッタリングにより生成された
粒子を反応性ガスと反応させつつゲート電極上または前記半導体層上に堆積することによ
り、ゲート絶縁膜を成膜する、
ことを特徴とする薄膜トランジスタの製造方法。

【請求項3】

前記反応性ガスがO₂ガスまたはN₂ガスを含む、
ことを特徴とする請求項2に記載の薄膜トランジスタの製造方法。

【請求項4】

酸化亜鉛を半導体層に用いた薄膜トランジスタの製造方法であって、
一方がTiを含み他方がAlを含む対向ターゲットのスパッタリングにより生成された
金属粒子をN₂ガスと反応させつつゲート電極上または前記半導体層上に堆積することに

より、ゲート絶縁膜を成膜する、
ことを特徴とする薄膜トランジスタの製造方法。

【請求項 5】

酸化亜鉛を半導体層に用いた薄膜トランジスタの製造方法であって、
一方が ZnO を含み他方が Mg を含む対向ターゲットを用いたスパッタリングを少なく
とも N₂ ガスを供給しつつ行うことにより、ゲート電極上または前記半導体層上に、(Zn
nMgO / ZnO : N) x 積層膜からなるゲート絶縁膜を成膜する、
ことを特徴とする薄膜トランジスタの製造方法。

【請求項 6】

酸化亜鉛を半導体層に用いた薄膜トランジスタの製造方法であって、
一方が ZnMgO を含み他方が ZnO : N を含む対向ターゲットを用いたスパッタリン
グを行うことにより、ゲート電極上または前記半導体層上に、(ZnMgO / ZnO : N
) x 積層膜からなるゲート絶縁膜を成膜する、
ことを特徴とする薄膜トランジスタの製造方法。

【請求項 7】

ゲート電極が形成された基板を用意し、
該基板上にゲート絶縁膜を形成し、
対向して配置され、少なくともその一方が亜鉛から構成される一対のターゲットの間に
形成したプラズマによりスパッタリングして発生させた亜鉛粒子を、酸化させつつ、前記
プラズマから離間された基板に前記ゲート絶縁膜を介して前記ゲート電極と対応するよう
に堆積し、酸化亜鉛半導体膜を形成する薄膜トランジスタの製造方法であって、
それぞれが I I 族、I I I 族若しくは I V 族の別の金属から構成される前記一対のター
ゲットのスパッタリングにより発生した金属粒子を、反応性ガスと反応させつつ、その酸
化物若しくは窒化物を堆積して前記ゲート絶縁膜を形成する、
ことを特徴とする薄膜トランジスタの製造方法。

【請求項 8】

酸化亜鉛薄膜から構成されるチャネル層が形成された基板を用意し、
それぞれが I I 族、I I I 族若しくは I V 族の別の金属から構成される対向ターゲッ
トのスパッタリングにより生成された金属粒子を、反応性ガスと反応させつつ、その酸化物
若しくは窒化物を前記基板上に堆積して前記チャネル層を絶縁するためのゲート絶縁膜を
形成し、
該ゲート絶縁膜を介して、前記チャネル層と対応する位置に、ゲート電極を配置する、
ことを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタの製造方法に関する。

【背景技術】

【0002】

従来、アクティブマトリックス液晶 T F T (Thin Film Transistor) のチャネル層 (活
性層) にはアモルファスシリコン膜が広く用いられてきた。

アモルファスシリコン膜の移動度は、略 $1 \text{ cm}^2 / (\text{V} \cdot \text{s})$ と小さく、要求される T
F T 素子の ON / OFF 特性を確保するために、配線線幅を細くすることができない。そ
のため、高精細、高輝度、高速応答等の性能が求められる次世代液晶 T F T として、アモ
ルファスシリコンに代わって、より結晶性が高く、移動度が大きい低温ポリシリコンを使
用した低温ポリシリコン T F T が開発され、小型液晶装置等に導入されている。

【0003】

低温ポリシリコンの結晶化を促進し、移動度を向上させるために、エキシマレーザ装置
を用いたアニール等の処理が行われる。T F T 素子のソース・ドレイン間隔 (略数 μm)
と低温ポリシリコンの結晶粒子のサイズ (略 $1 \mu \text{m}$) とが近接するため、ソース電極とド

10

20

30

40

50

レイン電極との間における結晶粒界の密度にばらつきが生じ易い。そのため、低温ポリシリコンを用いた場合には、面内で均一な動作特性を有するTFT素子を作成することが難しく、従って、歩留まりが低い。また、エキシマレーザ装置等の製造装置が高価であり、低温ポリシリコンに比較して、製造原価が高い。このため、現状では、低温ポリシリコンTFTへの投資効果は小さい。

【0004】

一方、上述したアモルファスシリコン及び低温ポリシリコン以外の半導体材料を用いてTFT素子を作成することが、実験室規模で試みられている。酸化亜鉛(ZnO)は、エネルギー準位の間隔(バンドギャップ)が広いこと、移動度が大きいこと、室温においても結晶化することなどの利点を有するため、近時注目されている。

10

【0005】

酸化亜鉛膜は、例えば、分子線エピタキシ(Molecular Beam Epitaxy)あるいは有機金属気相成長(Metalorganic Vapour Phase Epitaxy)等の方法により形成可能である。従来、酸化亜鉛の成膜は、サファイヤ基板上やプラスチック基板上で行われているが、レーザによる励起が必要であり、大面積基板上への成膜には適さない。そのため、この成膜方法は、生産性が低く、工業的に行われる成膜には適用できない。酸化亜鉛膜を大面積基板上に成膜できる方法としてマグネトロンスパッタリング法が知られている(例えば、特許文献1参照)。

【特許文献1】特開平9-87833号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0006】

マグネトロンスパッタリング法は、4インチのガラス基板上に半導体膜を形成することが可能であり、大型のターゲットを用いて、さらに大面積の成膜も検討されている。開発が進められているZnO-TFTでは、マグネトロンスパッタリング法を用いて、略1000以下の厚さを有するZnO活性層が形成されている。

【0007】

しかし、マグネトロンスパッタリング法によるZnO薄膜の成膜では、成膜速度が略20/minと小さいという問題があった。さらに、基板がプラズマに曝されるため、基板上に形成されたゲート絶縁膜が損傷されるという問題があった。例えば、P.F.Carciaらは、Mat.Res.Soc.Symp.vol1769(2003)に、従来のマグネトロンスパッタリング法により活性層を作成したZnO-TFT素子では、プラズマがゲート絶縁膜及び活性層自体にダメージを与えるため、移動度が略5cm²/(V·s)に止まることを開示する。

30

【0008】

本発明は、高速な応答特性を有する薄膜トランジスタの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するため、本発明の第1の観点に係る薄膜トランジスタの製造方法は、酸化亜鉛を半導体層に用いた薄膜トランジスタの製造方法であって、それぞれがII族、III族若しくはIV族の別の金属から構成される対向ターゲットのスパッタリングにより生成された金属粒子を反応性ガスと反応させつつゲート電極上または前記半導体層上に堆積することにより、ゲート絶縁膜を成膜する、ことを特徴とする。

40

【0010】

上記目的を達成するため、本発明の第2の観点に係る薄膜トランジスタの製造方法は、酸化亜鉛を半導体層に用いた薄膜トランジスタの製造方法であって、一方がTiを含む他方がSiを含む対向ターゲットのスパッタリングにより生成された粒子を反応性ガスと反応させつつゲート電極上または前記半導体層上に堆積することによ

50

り、ゲート絶縁膜を成膜する、
ことを特徴とする。

【0011】

前記反応性ガスがO₂ガスまたはN₂ガスを含むことが望ましい。

【0012】

上記目的を達成するため、本発明の第3の観点に係る薄膜トランジスタの製造方法は、
酸化亜鉛を半導体層に用いた薄膜トランジスタの製造方法であって、
一方がTiを含み他方がAlを含む対向ターゲットのスパッタリングにより生成された
金属粒子をN₂ガスと反応させつつゲート電極上または前記半導体層上に堆積すること
により、ゲート絶縁膜を成膜する、
ことを特徴とする。

10

【0013】

上記目的を達成するため、本発明の第4の観点に係る薄膜トランジスタの製造方法は、
酸化亜鉛を半導体層に用いた薄膜トランジスタの製造方法であって、
一方がZnOを含み他方がMgを含む対向ターゲットを用いたスパッタリングを少なく
ともN₂ガスを供給しつつ行うことにより、ゲート電極上または前記半導体層上に、(ZnMgO/ZnO:N)×積層膜からなるゲート絶縁膜を成膜する、
ことを特徴とする。

【0014】

上記目的を達成するため、本発明の第5の観点に係る薄膜トランジスタの製造方法は、
酸化亜鉛を半導体層に用いた薄膜トランジスタの製造方法であって、
一方がZnMgOを含み他方がZnO:Nを含む対向ターゲットを用いたスパッタリン
グを行うことにより、ゲート電極上または前記半導体層上に、(ZnMgO/ZnO:N
)×積層膜からなるゲート絶縁膜を成膜する、
ことを特徴とする。

20

【0015】

上記目的を達成するため、本発明の第6の観点に係る薄膜トランジスタの製造方法は、
ゲート電極が形成された基板を用意し、
該基板上にゲート絶縁膜を形成し、
対向して配置され、少なくともその一方が亜鉛から構成される一对のターゲットの間に
形成したプラズマによりスパッタリングして発生させた亜鉛粒子を、酸化させつつ、前記
プラズマから離間された基板に前記ゲート絶縁膜を介して前記ゲート電極と対応するよう
に堆積し、酸化亜鉛半導体膜を形成する薄膜トランジスタの製造方法であって、
それぞれがII族、III族若しくはIV族の別の金属から構成される前記一对のター
ゲットのスパッタリングにより発生した金属粒子を、反応性ガスと反応させつつ、その酸
化物若しくは窒化物を堆積して前記ゲート絶縁膜を形成する、
ことを特徴とする。

30

【0016】

上記目的を達成するため、本発明の第7の観点に係る薄膜トランジスタの製造方法は、
酸化亜鉛薄膜から構成されるチャネル層が形成された基板を用意し、
それぞれがII族、III族若しくはIV族の別の金属から構成される対向ターゲット
のスパッタリングにより生成された金属粒子を、反応性ガスと反応させつつ、その酸化物
若しくは窒化物を前記基板上に堆積して前記チャネル層を絶縁するためのゲート絶縁膜を
形成し、
該ゲート絶縁膜を介して、前記チャネル層と対応する位置に、ゲート電極を配置する、
ことを特徴とする。

40

【発明の効果】

【0019】

本発明によれば、高速な応答特性を有する薄膜トランジスタの製造方法を提供することが

50

【発明を実施するための最良の形態】

【0020】

本発明の実施形態にかかる透明導電膜が形成されたTFT素子及び透明導電膜の形成方法について、以下図面を参照して説明する。

【0021】

図1-(a)、(b)は、それぞれ、本発明の実施形態にかかるTFT素子の構造を示す拡大平面図及び拡大断面図である。

図示されるように、メタルマスクを介したEB(Electron Beam)蒸着により形成されたAl等の金属からなるゲート電極11を覆うように、市販のガラス基板10上に、PECVD(Plasma Enhanced Chemical Vapor Deposition)により250の雰囲気温度にて成膜された窒化シリコン膜などからなるゲート絶縁膜12が形成されている。このゲート絶縁膜上に、後述するように、対向ターゲット方式の反応性DCマグネトロンスパッタリングにより、メタルマスクを介して略60/minの成膜速度にて、略1000の厚さを有する酸化亜鉛(ZnO)チャンネル層(活性層)13が成膜されている。このZnO活性層13を介して対向するソース/ドレイン電極14が、メタルマスクを介したAl等の金属のEB蒸着により形成されて、ボトムゲート構造のZnO-TFT素子1が製造される。ここで、SD電極間隔Lは、100μmであり、SD電極幅Wは、1.5mmである。

【0022】

図2に、半導体パラメータアナライザを用いて測定されたTFT素子1のON/OFF特性の一例を示す。SD電極間に10Vの電圧が印加されたときのON/OFF比は、 3×10^7 以上であった。なお、図示されるように、ゲート電圧Vgが印加されない時(Vg=0V)のSD電極間のOFF電流は、測定器の検出感度 5×10^{-15} A以下であった。ゲート電圧10Vが印加された時(Vg=10V)のSD電極間のON電流は、 4×10^{-8} Aであった。

【0023】

図3に、図2に示されるTFT素子のON/OFF特性のヒステリシス曲線を示す。図示されるように、繰り返し測定では、SD電極間のOFF電流は、略 5×10^{-13} Aであり、SD電極間のON電流は、 8×10^{-7} Aであった。

【0024】

図4に、XRD(X-ray Diffraction)を用いて測定されたTFT素子1のZnO活性層13の回折スペクトルの一例を示す。図示されるように、このZnO活性層13は、c軸(002)方向のピーク強度1555.6cps、半値幅(FWHM)0.44により表される結晶性を有している。

【0025】

次に、図5を参照して、ZnO活性層の成膜方法について簡単に説明する。

同一の高純度のZnからなる1組(実施例では2個)の所定の純度のターゲットA、ターゲットBを、対向した配置されたアースシールド121内に配置する。

永久磁石122が配置された電極板123に、DC電源128により負電圧を印加して、形成された電磁場の作用により対向するターゲットA、Bの間に発生させたプラズマで、成膜室124上部から導入されたアルゴンガスを励起して、励起されたアルゴンイオンで、A、Bターゲットをスパッタリングする。

このとき、成膜室124内の下部側の載置台126上に載置された基板125近傍に、ガス供給ラインから、酸素ガスを所定の流量にて供給し、該基板125の表面近傍にて、スパッタリングされたZn粒子を反応させて、SiNゲート絶縁膜上に所定の膜厚のZnO膜を堆積する。

ここで、基板125は、成膜中、RF電源129の印加により発生するプラズマから鉛直下方に離間された位置に載置されており、プラズマの影響を実質的に受けない。

また、アースシールド121が配置される成膜室124上部に供給されるアルゴンガスに対して酸素ガスは、基板125が配置される成膜室124下部に対して供給される。ア

10

20

30

40

50

ルゴンガスは、成膜室 1 2 4 上部にて確保され、基板 1 2 5 近傍に供給された酸素ガスは、成膜室 1 2 4 下部に滞留する。成膜室 1 2 4 上部に発生するプラズマは成膜室 1 2 4 上部に閉じ込められ、成膜室 1 2 4 下部には発生しない。したがって、対向するターゲット A , B の間に生成したプラズマは、アルゴンガスを励起するが、基板 1 2 5 近傍の酸素ガスは励起しない。

なお、ガラス基板は、図示しない駆動装置により旋回可能であるが、ZnO の成膜中には静止されており、バイアス電圧は印加されず、基板温度は室温である。

従って、載置台 1 2 6 の下方に備えられたヒータ 1 2 7 は、使用しないか、あるいはガラス基板が室温になるように加熱する。

【 0 0 2 6 】

対向ターゲット方式の反応性 DC マグネトロンスパッタでは、プラズマが基板上方の対向するターゲット A , B 間に形成され、直接基板 1 2 5 に作用しないため、ZnO 活性層は、ゲート電極及びゲート絶縁膜にダメージを加えずに形成される。

図 1 に戻って、ZnO 活性層 1 3 では、ゲート電極 1 1 に印加される電圧により誘起されるキャリアが SD 電極間を移動する。c 軸 (0 0 2) 方向への優先配向を示す結晶性の良好な ZnO 活性層 1 3 は、上記キャリアの移動度を相対的に高く維持する。そのため、TFT 素子 1 は、ゲート電極及びチャネル層を細線化しても相対的に高い ON / OFF 電流比を有し、スイッチングに対して高速に応答する。

【 0 0 2 7 】

以下、実施例を用いて、本発明の実施形態にかかる ZnO 活性層、積層絶縁膜の特性及び成膜条件についてさらに詳しく説明する。

(実施例 1)

図 6 に示すように、ゲート電極 1 1 及びゲート絶縁膜 1 2 が形成されたコーニング # 1 7 3 7 と同等のガラス基板 1 0 を、図 5 に示す対向ターゲット式のスパッタリング装置の成膜室 1 2 4 内に 5 N 純度の Zn からなる一組のターゲット A , B を配置し、表 1 に示す成膜条件にて、略 1 0 0 0 の ZnO 活性層を形成した。次いで、メタルマスクを介した A 1 の EB 蒸着により、図 1 に示す ZnO 活性層のチャネル領域上で分離されたソース / ドレイン電極 1 4 を形成した。

(成膜条件)

【 表 1 】

ターゲット	5N純度ZnO、サイズ300mmφ×t4mm
到達真空度	5.6×10^{-4} Pa
スパッタ圧力	0.27Pa
Ar流量	50sccm
O ₂ 流量	25sccm
基板旋回	静止
基板加熱温度	室温
ターゲット間距離	160mm
ターゲット基板間距離	175mm
印加形態	定電流DC
DC電流	0.51A
DC電圧	開始時435V、終了時396V
DC電力	開始時0.23kW、終了時0.20kW

【 0 0 2 8 】

XRD を用いて、この ZnO 膜と比較例 1 にて成膜された ZnO 膜との回折スペクトルを測定した。図 7 に、両者の回折スペクトルを示す。実施例 1 の ZnO 膜は、比較例 1 の ZnO 膜に比して、(0 0 2) 方位に略 6 倍のピーク強度を有し、その半値幅 (FWHM) も、比較例 1 の ZnO 膜より小さい。

【 0 0 2 9 】

形成された ZnO 膜の一部を傷つけ、その断面を露出させて、45度斜めの角度から SEM 観察を行った。図 8 に、表面の SEM 観察像を示す。点線で示された領域の表面は、平滑である。また、その領域には、20nm 以下のグレインが観察された。なお、基板表面のダメージは、観察されなかった。

【 0 0 3 0 】

(実施例 2)

5N 純度 Ti と 5N 純度 Si とを対向ターゲットに用いて、基板温度を 70 とした以外は、表 1 に記載された条件に設定して、Al ゲート電極が形成されたガラス基板上に (TiO_x/SiO_y)_z 積層膜をゲート絶縁膜として形成した。表 2 に示すように、SEM 観察によれば、(TiO_x/SiO_y)_z 積層膜は、平滑な表面を有していた。次いで、実施例 1 と同様にして、ZnO 活性層、SD 電極を順次形成し、図 1 に示す TFT 素子を得た。

(形成された各種積層膜の SEM 観察結果)

【表 2】

	積層膜	SEM観察結果	グレイン数	基板の損傷
実施例2	(TiO _x /SiO _y) _z	表面は平滑であった。	少ない	観察されず
実施例3	(TiN _x /SiN _y) _z	表面は平滑であった。	少ない	観察されず
実施例4	(TiN _x /AlN _y) _z	表面は平滑であった。	少ない	観察されず
実施例5	(ZnMgO/ZnO:N) _x	表面は平滑であった。	少ない	観察されず

【 0 0 3 1 】

(実施例 3)

O₂ ガスの代わりに N₂ ガスを供給し、その流量を 50 sccm とし、基板温度を 150 とした以外は、実施例 2 と同様にして、Al ゲート電極が形成されたガラス基板上に (TiN_x/SiN_y)_z 積層膜を形成した。表 2 に示したように、SEM 観察によれば、(TiN_x/SiN_y)_z 積層膜は、平滑な表面を有していた。次いで、実施例 1 と同様にして、ZnO 活性層、SD 電極を順次形成し、図 1 に示す TFT 素子を得た。

【 0 0 3 2 】

(実施例 4)

実施例 3 で用いた 5N 純度 Si の代わりに、5N 純度 Al を対向ターゲットに使用して、基板温度を 100 とした以外は、実施例 3 と同様にして、Al ゲート電極が形成されたガラス基板上に (TiN_x/AlN_y)_z 積層膜を形成した。表 2 に示したように、SEM 観察によれば、(TiN_x/AlN_y)_z 積層膜は、平滑な表面を有していた。次いで、実施例 1 と同様にして、ZnO 活性層、SD 電極を順次形成し、図 1 に示す TFT 素子を得た。

【 0 0 3 3 】

(実施例 5)

intrinsic-ZnO と 5N 純度 Mg とを対向ターゲットに用いて、O₂ ガスの流量をゼロとし、N₂ ガスを 25 sccm の流量で供給した以外は実施例 1 と同様にして、Al ゲート電極が形成されたガラス基板上に、(ZnMgO/ZnO:N)_x 積層膜を形成した。表 2 に示したように、SEM 観察によれば、(ZnMgO/ZnO:N)_x 積層膜は、平滑な表面を有していた。次いで、実施例 1 と同様にして、ZnO 活性層、SD 電極を順次形成し、図 1 に示す TFT 素子を得た。

【 0 0 3 4 】

(実施例 6)

亜鉛とマグネシウムとの共酸化物 (ZnMgO)、及び、窒素が配位した亜鉛酸化物 (ZnO:N) を対向ターゲットに用いて、N₂ 流量をゼロとした以外は、実施例 5 と同様にして、Al ゲート電極が形成されたガラス基板上に (ZnMgO/ZnO:N)_x 積層膜を形成した。SEM 観察によれば、(ZnMgO/ZnO:N)_x 積層膜は、平滑な表

面を有していた。次いで、実施例 1 と同様にして、ZnO 活性層、SD 電極を順次形成し、図 1 に示す TFT 素子を得た。

【0035】

(実施例 7)

断面の長軸の大きさが 300 mm のサイズの 5N 純度の金属亜鉛ターゲットを用いた以外は、実施例 1 と同様の成膜条件にて、Al ゲート電極及び SiN ゲート絶縁膜が形成された 2 枚の 4 インチガラス基板に、ZnO 膜を形成した。形成された ZnO 膜の平均厚さは、略 1000 であり、それぞれの基板の膜厚の面内のばらつきは、略 10% 以下であった。

【0036】

(比較例 1)

被処理基板がターゲットに対面して配置される周知の高周波マグネトロンスパッタリング装置を用いて、表 3 に示す成膜条件にて、Al ゲート電極及び SiN ゲート絶縁膜が形成されたガラス基板上に略 1000 の膜厚を有する ZnO 膜を形成した。

(高周波マグネトロンスパッタによる成膜条件)

【表 3】

ターゲット	5N純度ZnO、サイズ4インチφ
基板温度	室温
ターゲット投入電力	180W
成膜時間	60分
ターゲット基板間距離	88mm
Ar流量	10sccm
O ₂ 流量	5sccm
スパッタ圧力	7Pa

図 7 に示したように、比較例 1 の ZnO 膜は、(002) 方位に 247.1 cps のピーク強度を有し、その半値幅 (FWHM) は、0.51 であった。

実施例 1 と同様にして、ZnO 膜の SEM 観察を行った。図 9 に、表面の SEM 観察像を示す。膜の表面は、実施例 1 に比較して粗く、その表面には、略 50 nm のグレインが観察された。

【0037】

以上説明したように、本発明の実施形態によれば、ZnO 活性層を対向ターゲット方式の反応性スパッタリング法を用いて形成するため、ボトムゲート構造の ZnO-TFT 素子において、ゲート電極及びゲート絶縁膜にプラズマダメージを加えずに、ZnO 活性層を形成することができる。

【0038】

比較例 1 に示した条件で作成された、ボトムゲート構造 (逆スタガ構造) の TFT 素子では、ゲート絶縁膜のダメージが観察され、TFT 素子の動作に関して、移動度の低下、OFF 電流の上昇などの望ましくない結果が得られた。

【0039】

このことは、被処理基板がターゲットに対面していることにより引き起こされたと考えられる。

被処理基板の位置がターゲットの軸方向からずらされた状態 (オフアクシス) となる、対向ターゲット方式のマグネトロンスパッタリング法を用いて、ZnO 薄膜を被処理基板上に成膜することにより、基板へのプラズマダメージが大幅に低減された。

【0040】

また、上記の実施形態によれば、基板を加熱することなく、ZnO 活性層を形成できる。このとき、ZnO 活性層の試料温度は、略 70 以下である。

10

20

30

40

50

【0041】

さらに、上記の実施形態によれば、略150 /min以上の高い成膜速度を実現することができる。

従来の高抵抗酸化亜鉛ターゲットを用いた高周波マグネトロンスパッタリング法によるZnO薄膜の形成では、成膜速度は、略20 /minであった。上記の高純度の導電性金属亜鉛ターゲットを用いて、酸素ガスが導入された反応性DCマグネトロンスパッタリング法により、ZnO薄膜は、略150 /min以上の高い成膜速度にて、形成可能である。

【0042】

上記の実施形態によれば、従来の高周波マグネトロンスパッタリングに比較して、ZnO膜の結晶性が向上する。

【0043】

本発明は、上記の実施形態に限定されず、その応用及び変形等は任意である。

上記の実施形態では、ゲートが形成されたTFT素子にZnO活性層を成膜し、ボトムゲート構造のTFT素子を得ると説明した。しかし、ZnO活性層を成膜した後、ゲート電極を形成してもよい。例えば、図10に示すように、ガラス基板21上に、対向ターゲット方式の反応性DCマグネトロンスパッタリングにより、略1000 の厚さを有するZnO活性層22を成膜する。このZnO活性層22上に、ソース/ドレイン電極23、ゲート絶縁膜24、ゲート電極25を順次形成して、トップゲート構造のTFT素子20が得られる。

この場合には、ゲート絶縁膜24を形成するとき、その処理温度で、ZnO活性層22がアニールされる。そのため、ZnO活性層22の結晶性がさらに向上し、その結果、移動度も上昇する。

【0044】

上記の実施形態では、A1ゲート電極に対応するように形成されたZnO活性層を挟むようにして、対向するSD電極を形成すると説明した。しかし、図11-(a)に示すように、ゲート絶縁膜12上に形成されたZnO活性層13上に、その下面全体がZnO活性層13に接するように、互いに対向するSD電極14を形成してもよい。

【0045】

また、上記の実施形態では、n⁺領域については特に説明しなかったが、TFT素子のON電流特性を向上させるため、n⁺領域を形成することが望ましい。

図11-(b)に示すように、ゲート絶縁膜12上に形成されたZnO活性層13上に、対向ターゲット方式のDCマグネトロンスパッタリング法を用いて、例えばインジウム及び亜鉛をターゲットとして、若しくは、ガリウム及び亜鉛をターゲットとして、酸素ガスを用いた反応性スパッタリングにより、抵抗の低い透明導電膜(酸化亜鉛膜)15をn⁺領域として形成することが好ましい。この場合、インジウム-亜鉛酸化物(InZnO)またはガリウム-亜鉛酸化物(GaZnO)等の同一材料からなる一組のターゲットを用いて、実施例1と同様にマグネトロンスパッタリングによりn型の酸化亜鉛膜を形成することもできる。なお、n⁺領域として、AlZnO、ZnO:F等のZnOの他の金属との共酸化物や非金属原子の配位したZnO酸化物膜を使用することもできる。

また、対向ターゲット方式の反応性DCマグネトロンスパッタリング法によりp型の酸化亜鉛半導体膜を形成することも可能である。この場合、酸化亜鉛を主材料とし、Ga、In、Al等のドナーを含む同一の材料からなる複数のターゲットを一組として、対向ターゲット方式のDCマグネトロンスパッタリング装置を用いて、N₂ガスを供給することにより、ドナーおよびNを含むP型の酸化亜鉛半導体を形成することができる。

【0046】

上記の実施形態では、基板温度は室温に設定されると説明したが、ZnO薄膜の結晶性を向上させるため、基板上に堆積された未反応のZn粒子と、O₂等の反応性ガスとの反応性を促進するため、及びZnO薄膜の成膜速度を向上させるために、基板の表面を、ヒータ等により加熱して、昇温してもよい。

10

20

30

40

50

【0047】

上記の実施形態では、ガラス基板にバイアス電圧を印加することについては特に説明しなかった。しかし、さらにZnO膜の結晶性を向上させるため、DC、パルスもしくは高周波電圧のバイアス電圧(電界)を印加してもよい。この場合、バイアス電圧を制御することにより、電極板に印加される電圧が相対的に小さくても、ガラス基板表面に、イオン成分の運動エネルギーをコントロールして従来の高周波マグネトロンスパッタリングと同等な入射エネルギーにて、スパッタリングされた粒子を堆積することが可能となる。一方、従来法によるZnO膜の形成では、プラズマダメージを最小限にするために、基板に自己バイアス電圧を印加することができない。そのため、高い運動エネルギー成分を有するスパッタリングされた粒子のイオンエネルギーを制御することができなかつた。

10

【0048】

上記の実施形態では、静止された2枚の4インチ被処理基板に、10%以内の面内均一性で、同時に成膜可能であると説明した。さらに、成膜中にガラス基板を順次回転させることにより、連続して幅300mmの成膜を行うことができる。また、断面の長軸が300mmより大きいターゲットを使用することにより、幅300mm以上の成膜も可能である。このように、ガラス基板の移動とターゲットサイズの変更により、さらに大面積のZnO膜を同時に成膜することもできる。

【0049】

上記の実施形態では、成膜時、酸素ガス等を導入すると説明したが、成膜速度の向上、反応性の向上のために、活性化した酸素、オゾン、原子状酸素、酸素ラジカル等を導入してもよい。

20

【0050】

上記の実施形態では、定電流DC電源から電極板に電圧を印加すると説明したが、パルス電源あるいは高周波電源を用いて電極板に電圧を印加するようにしてもよい。この場合、パルス電源にはパルス同調回路、高周波電源にはマッチングボックス等の所定の整合装置が含まれる。

【0051】

上記の実施形態では、窒化シリコンからなるゲート絶縁膜は、PE-CVDにより250の処理温度にて形成されると説明したが、高周波の電界成分も利用されるICP(inductive coupled plasma)-CVDにより、例えば150以下の処理温度にてゲート絶縁膜を成膜してもよい。

30

【0052】

上記の実施形態では、ゲート絶縁膜をPE-CVDにより形成すると説明したが、ゲート絶縁膜は窒化シリコン膜に限定されない。対向ターゲット方式のスパッタリングにより、ガラス基板31上に形成されたゲート電極32を覆うように、 $(TiO_x/SiO_y)_z$ 積層膜、 $(TiN_x/SiNy)_z$ 積層膜、 $(ZnMgO/ZnO:N)_x$ 積層膜等のいずれかからなるゲート絶縁膜33を形成して、図12に示すTFT素子30を製造してもよい。この場合、この積層膜からなるゲート絶縁膜33上にZnO活性層34およびSD電極35を形成してTFT素子30が得られる。

なお、実施例では、上記金属のターゲットから構成される一組のターゲット、若しくは、上記金属の酸化物または窒化物から構成される一組のターゲットのスパッタリングにより、上記絶縁膜を形成すると説明した。しかし、一方が金属ターゲットで、他方が金属酸化物または金属窒化物から構成される一組のターゲットをスパッタリングして、上記絶縁膜を形成することもできる。

40

【0053】

上記の実施形態では、TFT素子1は、ガラス基板10上に構成されると説明した。しかし、ゲート絶縁膜を150以下の処理温度で、ZnO活性層を室温にて成膜することができるので、TFT素子をプラスチック基板上に構成することが可能である。

また、プラスチック基板上に構成される素子は、TFTに限定されず、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)、MESFET(Metal-Semicon

50

ductor Field Effect Transistor) 等の薄膜トランジスタであってもよい。

【図面の簡単な説明】

【0054】

【図1】本発明の実施形態に係るTFT素子の構造を示す模式図である。(a)は拡大平面図である。(b)は拡大断面図である。

【図2】半導体パラメータアナライザを用いて測定された図1のTFT素子のON/OFF特性の例を示す測定チャートである。

【図3】半導体パラメータアナライザを用いて測定された図1のTFT素子のON/OFF特性の別の例を示す測定チャートである。

【図4】XRDにより測定されたZnO活性層の回折スペクトルの例を示す模式図である。

10

【図5】本発明の実施形態に係る対向ターゲット方式のマグネトロンスパッタリング装置の概略構成を示す模式図である。

【図6】本発明の実施形態に係るボトムゲート構造が形成されたTFT素子を示す模式図である。(a)は平面図である。(b)は断面図である。

【図7】実施例1及び比較例1で形成されたZnO活性層のXRDにより測定された回折スペクトルの例を示す模式図である。

【図8】実施例1で形成されたZnO活性層の膜表面を示すSEM画像である。

【図9】比較例1のZnO活性層の膜表面を示すSEM画像である。

【図10】TFT素子の別の構成を示す模式図である。

20

【図11】(a)は、TFT素子の他の構成を示す模式図である。(b)は、n⁺領域が形成されたTFT素子の概略構成を示す模式図である。

【図12】別のゲート構造を有するTFT素子の構造を示す模式図である。

【符号の説明】

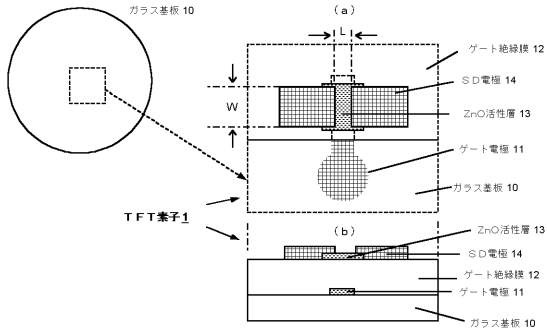
【0055】

- 1 TFT素子
- 10 ガラス基板
- 11 Alゲート電極
- 12 SiNゲート絶縁膜
- 13 ZnO活性層
- 14 ソース/ドレイン電極
- 20 TFT素子
- 21 ガラス基板
- 22 ZnO活性層
- 23 ソース/ドレイン電極
- 24 SiNゲート絶縁膜
- 25 Alゲート電極
- 30 TFT素子
- 31 基板
- 32 Alゲート電極
- 33 ゲート絶縁膜
- 34 ZnO活性層
- 35 ソース/ドレイン電極

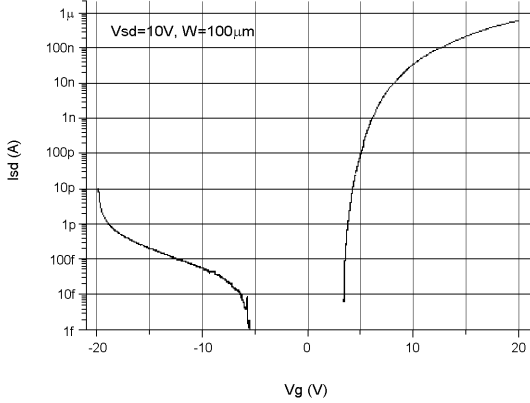
30

40

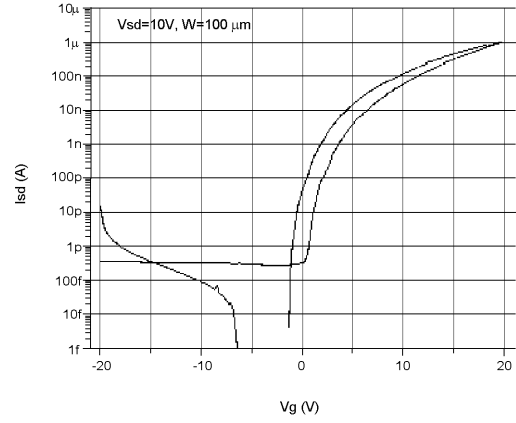
【図1】



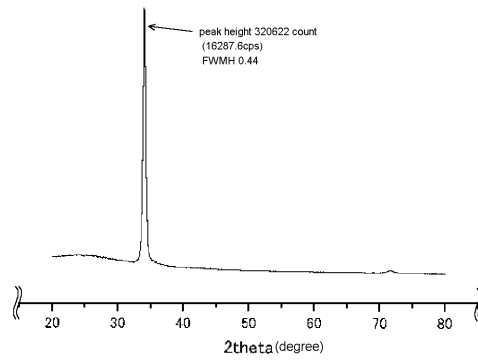
【図2】



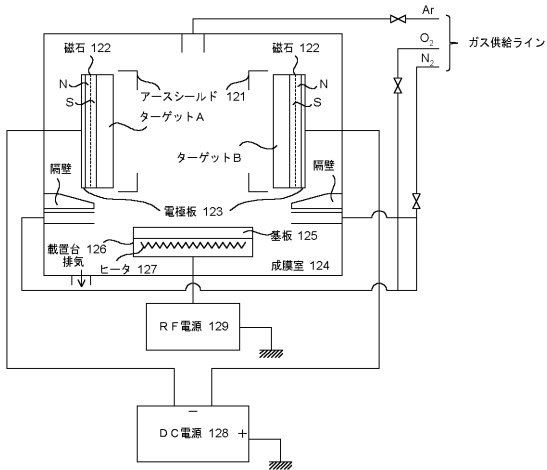
【図3】



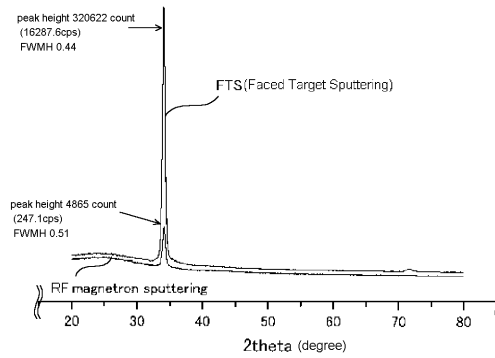
【図4】



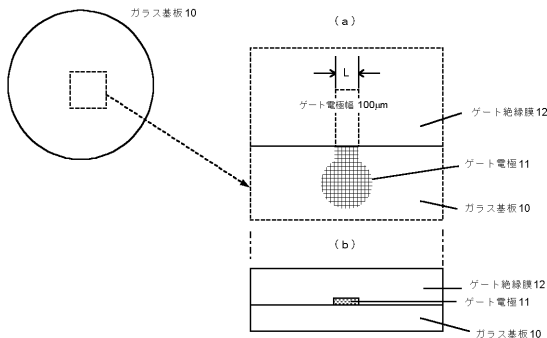
【図5】



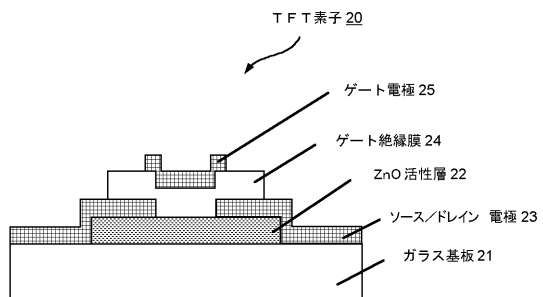
【図7】



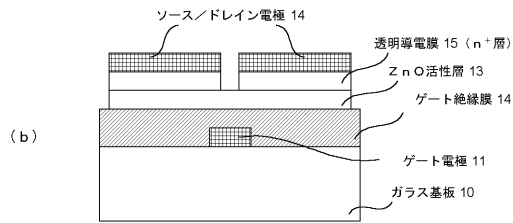
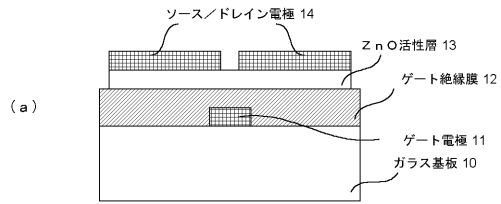
【図6】



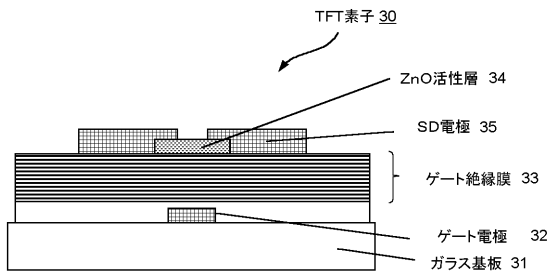
【図10】



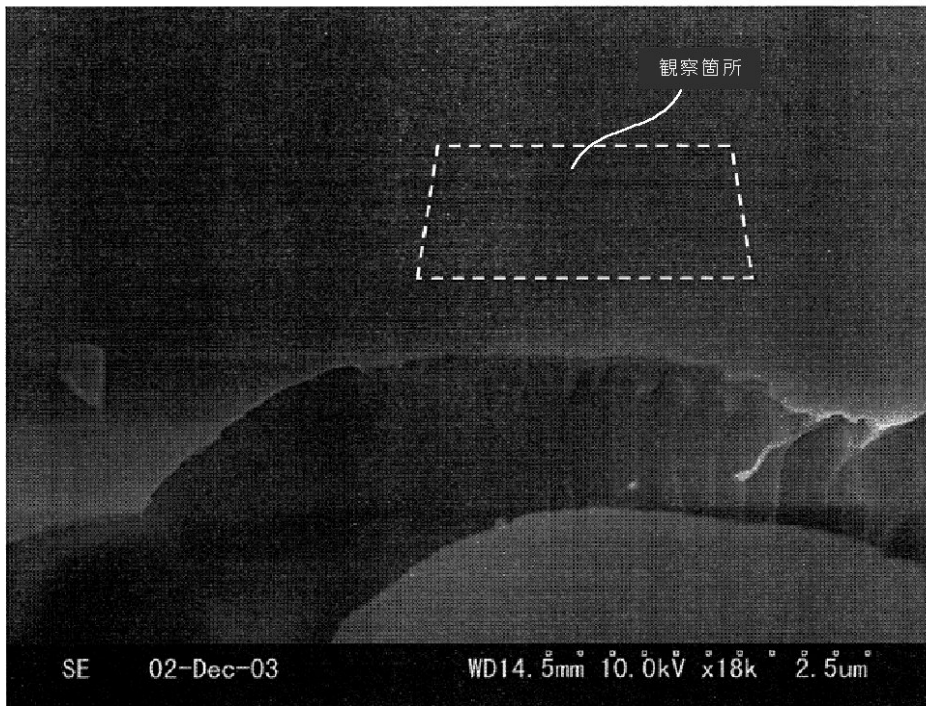
【図 1 1】



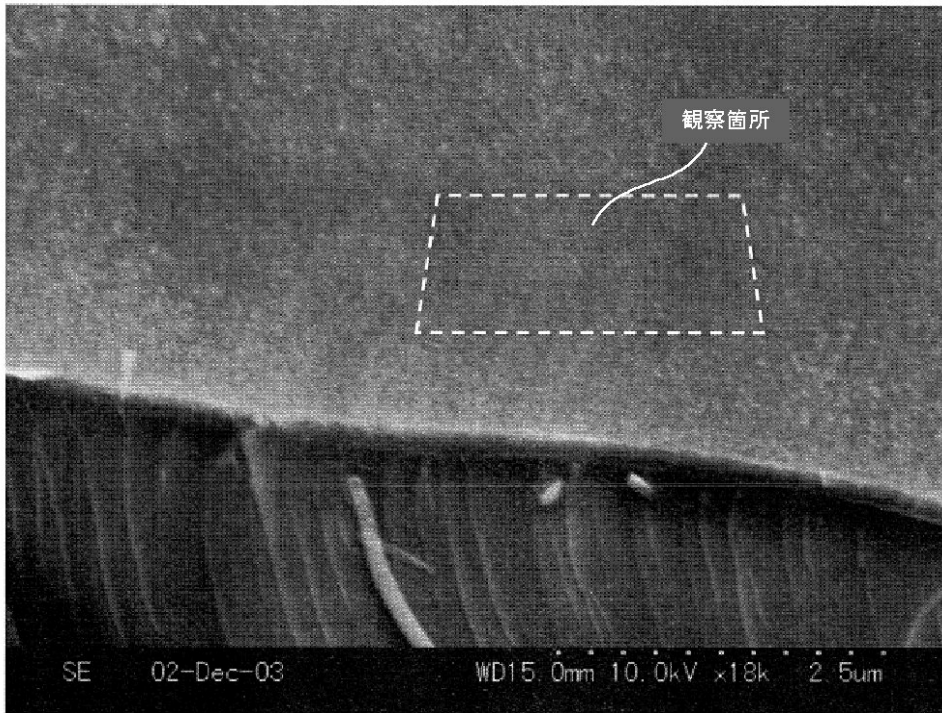
【図 1 2】



【図 8】



【図 9】



フロントページの続き

(72)発明者 平尾 孝

高知県高知市布師田3992番地2 財団法人 高知県産業振興センター内

審査官 綿引 隆

(56)参考文献 特開2002-289859(JP,A)

特開平03-162571(JP,A)

特開2003-086808(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/203

H01L 21/316

H01L 21/336

H01L 29/786