

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-88736
(P2012-88736A)

(43) 公開日 平成24年5月10日(2012.5.10)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 611A	5C080
	G09G 3/20 660U	
	G09G 3/20 660V	

審査請求 有 請求項の数 3 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2012-900 (P2012-900)
 (22) 出願日 平成24年1月6日(2012.1.6)
 (62) 分割の表示 特願2001-243091 (P2001-243091) の分割
 原出願日 平成13年8月10日(2001.8.10)
 (31) 優先権主張番号 特願2000-282173 (P2000-282173)
 (32) 優先日 平成12年9月18日(2000.9.18)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100107906
 弁理士 須藤 克彦
 (72) 発明者 横山 良一
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 (72) 発明者 米田 清
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 Fターム(参考) 2H193 ZA04 ZA07 ZA08 ZA20 ZC32 ZD36 ZF02

最終頁に続く

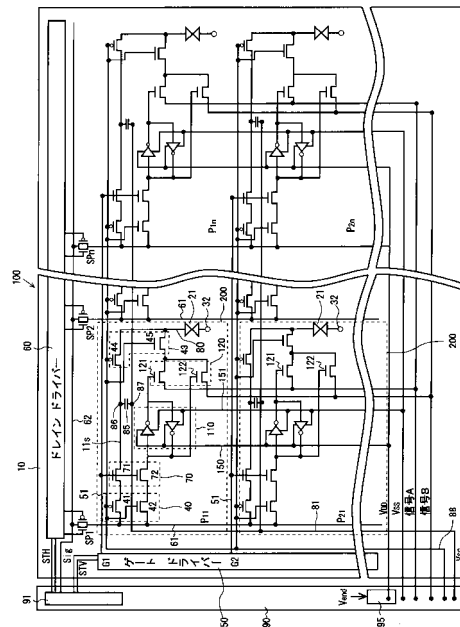
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 保持回路110へのデータの誤書き込みを防止すると共に、低消費電力化及び表示画素の高集積化を図る。

【解決手段】 表示画素にデジタル映像データを保持するための保持回路を備えた表示装置において、データ書き込み時には、保持回路110に供給される電源電圧をデータ保持に必要な最小電圧に設定し、書き込み終了後に、昇圧回路95により保持回路110に供給される電源電圧を昇圧する。保持回路110はゲート信号線51から入力される信号に応じて、ドレイン信号線61からのデジタル映像信号が書き込まれると共に該デジタル映像信号を保持する。そして、保持回路110に保持された信号に応じて表示が行われる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

基板上の一方向に配置された複数のゲート信号線と、前記ゲート信号線と交差する方向に配置された複数のドレイン信号線と、前記ゲート信号線からの走査信号により選択されると共に前記ドレイン信号線から映像信号が供給される表示画素がマトリクス状に配置された表示装置において、

正帰還された第 1 及び第 2 のインバータ回路から成り、前記ゲート信号線から入力される走査信号に応じて前記ドレイン信号線からのデジタル映像信号が書き込まれると共に該デジタル映像信号を保持する保持回路と、

前記デジタル映像信号の前記保持回路への書き込み終了後に前記保持回路の前記第 1 及び第 2 のインバータ回路に供給される電源電圧を昇圧する昇圧回路と、を備え、前記昇圧回路は、垂直同期信号又は垂直同期信号に基づいて作成された信号に応じて発振動作を開始する発振回路を含んで構成されることを特徴とする表示装置。

10

【請求項 2】

前記保持回路の出力に応じて表示電極に第 1 の信号及び第 2 の信号を選択的に供給する信号選択回路を備え、該信号選択回路は、前記第 1 のインバータ回路の出力がゲートに印加された第 1 の薄膜トランジスタと、前記第 2 のインバータ回路の出力がゲートに印加され、前記第 1 の薄膜トランジスタと相補的にオンオフする第 2 の薄膜トランジスタと、を備え、前記昇圧回路により昇圧された電源電圧は、前記第 1 及び第 2 の信号の最も高い電圧に前記第 1 及び第 2 の薄膜トランジスタのしきい値電圧を加えた電圧より高いことを特徴とする請求項 1 に記載の表示装置。

20

【請求項 3】

前記第 1 及び第 2 のインバータ回路は CMOS 型インバータ回路であることを特徴とする請求項 1 又は 2 に記載の表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は表示装置に関し、特に携帯可能な表示装置に用いて好適な表示装置に関する。

【背景技術】**【0002】**

近年、携帯可能な表示装置、例えば携帯テレビ、携帯電話等が市場ニーズとして要求されている。かかる要求に応じて表示装置の小型化、軽量化、省消費電力化に対応すべく研究開発が盛んに行われている。

30

【0003】

図 7 に従来例に係る液晶表示装置の一表示画素の回路構成図を示す。絶縁性基板（不図示）上に、ゲート信号線 5 1、ドレイン信号線 6 1 とが交差して形成されており、その交差部近傍に両信号線 5 1、6 1 に接続された画素選択 T F T 6 5 が設けられている。T F T 6 5 のソース 1 1 s は液晶 2 1 の表示電極 8 0 に接続されている。

【0004】

また、表示電極 8 0 の電圧を 1 フィールド期間、保持するための補助容量 8 5 が設けられており、この補助容量 8 5 の一方の端子 8 6 は T F T 6 5 のソース 1 1 s に接続され、他方の電極 8 7 には各表示画素に共通の電位が印加されている。

40

【0005】

ここで、ゲート信号線 5 1 に走査信号が印加されると、T F T 6 5 はオン状態となり、ドレイン信号線 6 1 からアナログ映像信号が表示電極 8 0 に伝達されると共に、補助容量 8 5 に保持される。表示電極 8 0 に印加された映像信号電圧が液晶 2 1 に印加され、その電圧に応じて液晶 2 1 が配向することにより液晶表示を得ることができる。

【0006】

したがって、動画像、静止画像に関係なく表示を得ることができる。かかる液晶表示装置に静止画像を表示する場合、例えば携帯電話の液晶表示部の一部に携帯電話を駆動する

50

ためのバッテリーの残量表示として、乾電池の画像を表示することになる。

【0007】

しかしながら、上述した構成の液晶表示装置においては、静止画像を表示する場合であっても、動画像を表示する場合と同様に、走査信号でTFT65をオン状態にして、映像信号を各表示画素に再書き込みする必要が生じていた。

【0008】

そのため、走査信号及び映像信号等の駆動信号を発生するためのドライバ回路、及びドライバ回路の動作タイミングを制御するための各種信号を発生する外部LSIは常時動作するため、常に大きな電力を消費していた。このため、限られた電源しか備えていない携帯電話等では、その使用可能時間が短くなるという欠点があった。

10

【0009】

これに対して、各表示画素にスタティック型メモリを備えた液晶表示装置が特許文献1に開示されている。同公報の一部を引用して説明すると、この液晶表示装置は、図8に示すように、2段インバータINV1, INV2を正帰還させた形のメモリ、即ちスタティック型メモリをデジタル映像信号の保持回路として用いることにより、消費電力を低減するものである。

【0010】

ここで、スタティック型メモリに保持された2値デジタル映像信号に応じて、スイッチ素子24は参照線Vrefと表示電極80との間の抵抗値を制御し、液晶21のバイアス状態を調整している。一方、共通電極には交流信号Vcomを入力する。本装置は理想上、静止画像のように表示画像に変化がなければ、メモリへのリフレッシュは不要である。

20

【0011】

上述したように、デジタル映像信号を保持するためのスタティック型メモリを備えた液晶表示装置では、低階調度の静止画像を表示すると共に、消費電力を低減するのに適している。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開平8-194205号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0013】

しかしながら、上述した構成の液晶表示装置は以下の問題点を有していた。この問題点について図9を参照しながら説明する。いま、画素選択TFT65のソース11sが「L(ロウ)」レベルであり、インバータINV1の出力ノードに「H(ハイ)」レベルが保持されているとする。

【0014】

この保持状態から、外部回路よりドレイン信号線61に「H」を出力し、スタティック型メモリに「H」の書き込みを行う場合、インバータINV2のNチャンネル型TFTがオンしているので、図の破線で示すように、ドレイン信号線61?TFT65?Nチャンネル型TFTの経路で電流が流れる。つまり、「H」レベルと「L」レベルの引っ張り合いが起こり、「H」の低下により誤書き込みが生じるおそれがある。

40

【0015】

ここで、「H」のデータを正常に書き込むためには、TFT65のソース11sがインバータINV1のしきい値電圧より高くするという条件を満足しなければならないが、上記の電流経路が存在するためにTFT65のソース11sが低下してしまうおそれがある。

【0016】

そこで、上記条件を満足するためには次の対策が考えられる。

(1) 外部回路からドレイン線61に供給する「H」レベルの電圧を高くする。

50

(2)画素TFT65のオン抵抗を下げるためにゲート信号線51が選択された時の電圧を高くするか、TFT65のチャンネル幅を大きくする。

【0017】

しかしながら、(1)は外部回路の電源電圧が上昇するため消費電力が増加してしまうという欠点がある。(2)はゲートドライバの電源電圧の上昇、TFTサイズが増加し、画素の微細ピッチでのレイアウトが困難となるという欠点がある。

【0018】

本発明は、表示画素にデジタル映像データを保持するためのスタティック型メモリを備えた表示装置において、当該スタティック型メモリへのデータの誤書き込みを防止すると共に、低消費電力化及び画素の微細レイアウトを可能とした表示装置を提供するものである。

10

【課題を解決するための手段】

【0019】

本発明の表示装置は、基板上の一方向に配置された複数のゲート信号線と、前記ゲート信号線と交差する方向に配置された複数のドレイン信号線と、前記ゲート信号線からの走査信号により選択されると共に前記ドレイン信号線から映像信号が供給される表示画素がマトリクス状に配置された表示装置において、

正帰還された第1及び第2のインバータ回路から成り、前記ゲート信号線から入力される走査信号に応じて前記ドレイン信号線からのデジタル映像信号が書き込まれると共に該デジタル映像信号を保持する保持回路と、前記デジタル映像信号の前記保持回路への書き込み終了後に前記保持回路の前記第1及び第2のインバータ回路に供給される電源電圧を昇圧する昇圧回路と、を備え、前記昇圧回路は、垂直同期信号又は垂直同期信号に基づいて作成された信号に応じて発振動作を開始する発振回路を含んで構成されることを特徴とする。

20

【発明の効果】

【0020】

本発明の表示装置によれば、各表示画素にデジタル映像データを保持するための保持回路を備えた表示装置において、保持回路に供給する電源電圧を書き込み時には低く設定し、書き込み後の表示時には高く設定しているため、当該保持回路へのデータの誤書き込みを防止すると共に、低消費電力化を図ることができる。

30

【0021】

また、本発明の表示装置によれば、画素選択素子を小さくすることができるので画素の微細レイアウトを行うことが可能となる。

【図面の簡単な説明】

【0022】

【図1】本発明の第1の実施形態に係る液晶表示装置の回路構成図である。

【図2】本発明の第1の実施形態に係る昇圧回路の回路構成図である。

【図3】本発明の第1の実施形態に係る映像信号の切替回路の回路構成図である。

【図4】本発明の第1の実施形態に係る液晶表示装置のタイミング図である。

【図5】反射型液晶表示装置の断面図である。

40

【図6】本発明の第2の実施形態に係るEL表示装置の回路構成図である。

【図7】従来例に係る液晶表示装置の回路構成図である。

【図8】従来例に係る液晶表示装置の他の回路構成図である。

【図9】従来例に係る液晶表示装置の問題点を説明するための回路図である。

【発明を実施するための形態】

【0023】

次に、本発明の実施形態に係る表示装置について説明する。図1に第1の実施形態に係る液晶表示装置の回路構成図を示す。

【0024】

絶縁基板10上に、走査信号を供給するゲートドライバ50に接続された複数のゲート

50

信号線 5 1 が一方向に配置されており、これらのゲート信号線 5 1 と交差する方向に複数のドレイン信号線 6 1 が配置されている。

【 0 0 2 5 】

ドレイン信号線 6 1 には、ドレインドライバ 6 0 から出力されるサンプリングパルスのタイミングに応じて、サンプリングトランジスタ S P 1 , S P 2 , ・ C S P n がオンし、データ信号線 6 2 のデータ信号 (アナログ映像信号又はデジタル映像信号) が供給される。

【 0 0 2 6 】

液晶表示パネル 1 0 0 は、ゲート信号線 5 1 からの走査信号により選択されると共に、ドレイン信号線 6 1 からのデータ信号が供給される複数の表示画素 2 0 0 がマトリックス状に配置されて構成されている。

10

【 0 0 2 7 】

以下、表示画素 2 0 0 の詳細な構成について説明する。ゲート信号線 5 1 とドレイン信号線 6 1 の交差部近傍には、Pチャネル型 T F T 4 1 及びNチャネル型 4 2 から成る回路選択回路 4 0 が設けられている。T F T 4 1 , 4 2 の両ドレインはドレイン信号線 6 1 に接続されると共に、それらの両ゲートは回路選択信号線 8 8 に接続されている。T F T 4 1 , 4 2 は、回路選択信号線 8 8 からの回路選択信号に応じていずれか一方がオンする。また、後述するように回路選択回路 4 0 と対を成して、Pチャネル型 T F T 4 4 及びNチャネル型 T F T 4 5 から成る回路選択回路 4 3 が設けられている。

【 0 0 2 8 】

これにより、後述するアナログ表示モード (フルカラー動画像対応) とデジタル表示モード (低消費電力、静止画像対応) とを選択して切換えることが可能となる。また、回路選択回路 4 0 に隣接して、Nチャネル型 T F T 7 1 及びNチャネル型 T F T 7 2 から成る画素選択回路 7 0 が配置されている。T F T 7 1 , 7 2 はそれぞれ回路選択回路 4 0 の T F T 4 1 , 4 2 と縦列に接続されると共に、それらの両ゲートにはゲート信号線 5 1 が接続されている。T F T 7 1 , 7 2 はゲート信号線 5 1 からの走査信号に応じて両方が同時にオンするように構成されている。

20

【 0 0 2 9 】

また、アナログ映像信号を保持するための補助容量 8 5 が設けられている。補助容量 8 5 の一方の電極 8 6 は T F T 7 1 のソース 1 1 s に接続されている。他方の電極 8 7 は共通の補助容量線 8 1 に接続され、バイアス電圧 V s c が供給されている。T F T 7 1 のゲートが開いてアナログ映像信号が液晶 2 1 に印加されると、その信号は 1 フィールド期間保持されなければならないが、液晶 2 1 のみではその信号の電圧は時間経過とともに次第に低下してしまう。そうすると、表示むらとして現れてしまい良好な表示が得られなくなる。そこでその電圧を 1 フィールド期間保持するために補助容量 8 5 を設けている。

30

【 0 0 3 0 】

この補助容量 8 5 と液晶 2 1 との間には、回路選択回路 4 3 の Pチャネル型 T F T 4 4 が設けられ、回路選択回路 4 0 の T F T 4 1 と同時にオンオフするように構成されている。また、画素選択回路 7 0 の T F T 7 2 と液晶 2 1 の表示電極 8 0 との間には、保持回路 1 1 0、信号選択回路 1 2 0 が設けられている。

40

【 0 0 3 1 】

保持回路 1 1 0 は、正帰還された 2 つのインバータ回路から成り、デジタル 2 値を保持するスタティック型メモリを構成している。ここで、インバータ回路は低消費電力化のため静消費電流が少ない C M O S 型インバータ回路であることが好ましい。

【 0 0 3 2 】

また、信号選択回路 1 2 0 は、保持回路 1 1 0 からの信号に応じて信号を選択する回路であって、2 つの Nチャネル型 T F T 1 2 1、1 2 2 で構成されている。T F T 1 2 1、1 2 2 のゲートには保持回路 1 1 0 からの相補的な出力信号がそれぞれ印加されているので、T F T 1 2 1、1 2 2 は相補的にオンオフする。

【 0 0 3 3 】

50

ここで、T F T 1 2 2 がオンすると交流駆動信号（信号 B）が選択され、T F T 1 2 1 がオンするとその対向電極信号 VCOM（信号 A）が選択され、回路選択回路 4 3 の T F T 4 5 を介して、液晶 2 1 に電圧を印加する表示電極 8 0 に供給される。

【 0 0 3 4 】

デジタル表示モード時において、一垂直期間の間に全ドットスキャンが行われ、保持回路 1 1 0 にはドレイン信号線 6 1 からのデジタル映像データが書き込まれる。ここで、保持回路 1 1 0 を構成する 2 つのインバータ回路に供給される電源電圧 VDD をデータ書き込み期間中は、保持回路 1 1 0 がデータを保持するのに必要な最小な電圧（例えば 3 V）に設定すると共に、データ書き込み期間終了後、保持回路 1 1 0 に保持されたデータに基づく表示（静止画像の表示）を行う期間については、より高電圧に昇圧するようにした。

10

【 0 0 3 5 】

このとき、電源電圧 VDD は、信号 A , B の最も高い電圧に T F T 1 2 1 , 1 2 2 のしきい値電圧 (V_t) を加えた電圧より高い電圧まで昇圧することが好ましい。すなわち、 $VDD > V_t + \max(\text{信号 A}, \text{信号 B})$ という関係を満たすことである。この VDD としては 8 V 程度が適当である。この関係を満たさない場合には、T F T 1 2 1 , 1 2 2 によって信号 A , B をレベル低下することなく表示電極 8 0 に供給し充電することができず、液晶表示のコントラストが悪化するからである。

【 0 0 3 6 】

次に、液晶パネル 1 0 0 の周辺回路について説明すると、液晶パネル 1 0 0 の絶縁性基板 1 0 とは別基板の外付け回路基板 9 0 には、パネル駆動用 L S I 9 1 が設けられている。

この外付け回路基板 9 0 のパネル駆動用 L S I 9 1 から垂直スタート信号 S T V がゲートドライバ 5 0 に入力され、水平スタート信号 S T H がドレインドライバ 6 0 に入力される。また映像信号がデータ線 6 2 に入力される。

20

【 0 0 3 7 】

また、外付け回路基板 9 0 には上述の保持回路 1 1 0 を構成する 2 つのインバータ回路に供給される電源電圧 VDD を昇圧するための昇圧回路 9 5 が設けられている。昇圧回路 9 5 は、タイミングコントローラ（不図示）から書き込み期間の終了信号 V end に基づいて昇圧を開始する。

【 0 0 3 8 】

タイミングコントローラ（不図示）外部からの垂直同期信号 V sync に基づいてこの信号 V end を作成するが、垂直同期信号 V sync 自体を用いてもよい。昇圧回路 9 5 としては適宜選択することができるが例えばチャージポンプ型の回路を用いることができる。

30

【 0 0 3 9 】

図 2 に昇圧回路 9 5 の回路構成例を示す。図 2 において、1 6 0 は、書き込み期間の終了信号 V end に応じて発振動作を開始するリングオシレータ（Ring Oscillator）である。このリングオシレータ 1 6 0 の発振クロックはインバータを通してコンデンサ C 1 , C 2 の一端に印加されている。ここで、コンデンサ C 1 に印加されるクロック PCLK2 とコンデンサ C 2 に印加されるクロック PCLK1 と互いに逆位相となるように上記インバータの段数が決定されている。

【 0 0 4 0 】

また、リングオシレータ 1 6 0 及びインバータの電源電圧は V dd であるとする。したがって、クロック PCLK1 及びクロック PCLK2 の振幅も V dd である。コンデンサ C 1 の他端は T F T 1 6 1 と T F T 1 6 2 の接続点 N 1 に結合されている。

40

【 0 0 4 1 】

また、コンデンサ C 2 の他端は T F T 1 6 3 と T F T 1 6 4 の接続点 N 2 に結合されている。ここで、T F T 1 6 1 及び T F T 1 6 3 は N チャネル型であり、それらのソースには電源電圧 V dd（例えば、3 V）が供給されている。T F T 1 6 2 及び T F T 1 6 4 は P チャネル型であり、それらのソースは互いに接続されている。この共通ソースから昇圧された電圧 V PP が得られる。

【 0 0 4 2 】

50

また、初期状態において、接続点 N 1 の電圧を電源電圧 V_{dd}には設定するための初期設定用の T F T 1 6 5 が設けられている。同様に、初期状態において、接続点 N 2 の電圧を電源電圧 V_{dd}には設定するための初期設定用の T F T 1 6 6 が設けられている。これらの T F T 1 6 5 及び T F T 1 6 6 はいずれも N チャネル型であって、それらのゲート及びソースには電源電圧 V_{dd}が供給されている。

【 0 0 4 3 】

上述した構成の昇圧回路の動作を説明すれば以下の通りである。終了信号 V_{end}に応じてリングオシレータ 1 6 0 は発振動作を開始すると、コンデンサ C 1 にクロック PCLK2 が印加され、コンデンサ C 2 には逆位相のクロック PCLK1 が印加される。クロック PCLK2 がハイレベルの時、容量結合により接続点 N 1 の電圧は上昇する。コンデンサ C 1 の容量値は接続点 N 1 に付随する寄生容量の容量値より十分大きければ、接続点 N 1 の電圧は 2 V_{dd}である。例えば、V_{dd}が 3 V であれば、接続点 N 1 の電圧は 6 V となる。このとき、T F T 1 6 2 及び 1 6 3 がオンするので、T F T 1 6 2 を通して昇圧された電圧 6 V が電圧 V_{PP}として出力される。

10

【 0 0 4 4 】

次に、クロック PCLK2 がロウレベルに落ち、クロック PCLK1 がハイレベルに立ち上がると、容量結合により接続点 N 2 の電圧は上昇する。コンデンサ C 2 の容量値は接続点 N 2 に付随する寄生容量の容量値より十分大きければ、接続点 N 2 の電圧は 2 V_{dd}である。例えば、V_{dd}が 3 V であれば、接続点 N 1 の電圧は 6 V となる。これにより、T F T 1 6 2 及び 1 6 3 はオフし、T F T 1 6 1 及び 1 6 4 がオンする。すると、接続点 N 1 の電圧は再び V_{dd}(3 V)に戻る。同時に、T F T 1 6 4 を通して昇圧された電圧 6 V が電圧 V_{PP}として出力される。上記の動作が繰り返されることにより、電源電圧 V_{dd}が昇圧され、電圧 V_{PP}として出力される。

20

【 0 0 4 5 】

図 3 は映像信号の切換回路の回路構成図である。スイッチ S W 1 が端子 P 2 側と接続されると入力端子 D_{in} から入力された n ビットのデジタル映像信号は D A コンバータ 1 3 0 によってアナログ映像信号に変換された後、データ線 6 2 に出力される。

【 0 0 4 6 】

一方、スイッチ S W 1 が端子 P 1 側に切り換わると、n ビットのデジタル映像信号の例えば最上位ビットがデータ線 6 2 に出力される。スイッチ S W 1 の切換えは、アナログ表示モードと低消費電力対応のデジタル表示モードの切換えを制御するモード切換信号 M D に応じて行われる。

30

【 0 0 4 7 】

次に、図 1 乃至図 4 を参照しながら、上述した構成の表示装置の駆動方法について説明する。図 4 は、液晶表示装置がデジタル表示モードに選択された場合のタイミング図である。

(1) アナログ表示モードの場合

モード切換信号 M D に応じて、アナログ表示モードが選択されると、データ信号線 6 2 にアナログ映像信号が出力される状態に設定されると共に、回路選択信号線 8 8 が「L」となり、回路選択回路 4 0 , 4 3 の T F T 4 1 , 4 4 がオンする。

40

【 0 0 4 8 】

また、水平スタート信号 S T H に基づくサンプリング信号に応じてサンプリングトランジスタ S P がオンしデータ信号線 6 2 のアナログ映像信号がドレイン信号線 6 1 に供給される。

【 0 0 4 9 】

また、垂直スタート信号 S T V に基づいて、走査信号がゲート信号線 5 1 に供給される。走査信号に応じて、T F T 7 1 がオンすると、ドレイン信号線 6 1 からアナログ映像信号 S i g が表示電極 8 0 に伝達されると共に、補助容量 8 5 に保持される。表示電極 8 0 に印加された映像信号電圧が液晶 2 1 に印加され、その電圧に応じて液晶 2 1 が配向することにより液晶表示を得ることができる。

50

【 0 0 5 0 】

このアナログ表示モードでは、フルカラーの動画像を表示するのに好適である。ただし、外付け回路基板 90 の L S I 9 1、各ドライバ 5 0 , 6 0 にはそれらを駆動するために、絶えず電力が消費されている。

(2) デジタル表示モード

モード切換信号 M D に応じて、デジタル表示モードが選択されると、データ信号線 6 2 にデジタル映像信号が出力される状態に設定されると共に、回路選択信号線 8 8 の電位が「H」となり、保持回路 1 1 0 が動作可能な状態になる。また、回路選択回路 4 0 , 4 3 の T F T 4 1 , 4 4 がオフすると共に、T F T 4 2 , 4 5 がオンする。

【 0 0 5 1 】

また、外付け回路基板 90 のパネル駆動用 L S I 9 1 から、ゲートドライバ 5 0 及びドレインドライバ 6 0 にスタート信号 S T V , S T H が入力される。それに応じてサンプリング信号が順次発生し、それぞれのサンプリング信号に応じてサンプリングトランジスタ S P 1 , S P 2 , ・ C S P n が順にオンしてデジタル映像信号 S i g をサンプリングして各ドレイン信号線 6 1 に供給する。

10

【 0 0 5 2 】

ここで第 1 行、即ち走査信号 G 1 が印加されるゲート信号線 5 1 について説明する。まず、走査信号 G 1 によってゲート信号線 5 1 に接続された各表示画素 P 1 1、P 1 2、・ o 1 n の各 T F T が 1 水平走査期間オンする。

【 0 0 5 3 】

第 1 行第 1 列の表示画素 P 1 1 に注目すると、サンプリング信号 S P 1 によってサンプリングしたデジタル映像信号 S 1 1 がドレイン信号線 6 1 に入力される。そして T F T 7 2 が走査信号 G 1 によってオン状態になるとそのドレイン信号 D 1 が表示画素 P 1 1 の保持回路 1 1 0 に書き込まれる。

20

【 0 0 5 4 】

この書き込み時には、保持回路 1 1 0 の 2 つのインバータ回路に供給される電源電圧 V D D は、保持回路 1 1 0 がデータを保持するのに必要な最小な電圧（例えば 3 V）に設定されている。このため、図 1 に示したインバータ I N V 2 の N チャネル型 T F T のオン抵抗が高くなると共に、インバータ I N V 1 のしきい値が下がるので、インバータ I N V 1 の出力ノードが「H」レベルのときに、ドレイン信号 D 1（= デジタル映像信号 S 1 1）の「H」レベルを書き込む場合に、書き込みの余裕度が向上する。

30

【 0 0 5 5 】

すなわち、ドレイン信号 D 1（= デジタル映像信号 S 1 1）の「H」レベルの電圧を下げることで、ドレインドライバ 6 0 等の駆動回路の電源電圧を低くすることができる。また、画素選択回路 7 0 を構成する T F T 7 2 のサイズも小さくすることができる。

【 0 0 5 6 】

この保持回路 1 1 0 で保持された信号は、信号選択回路 1 2 0 に入力されて、この信号選択回路 1 2 0 で信号 A 又は信号 B を選択して、その選択した信号が表示電極 8 0 に印加され、その電圧が液晶 2 1 に印加される。こうしてゲート信号線 5 1 から最終行のゲート信号線 5 1 まで走査することにより、1 画面分（1 フィールド期間）の書き込みが終了する。

40

【 0 0 5 7 】

その後、保持回路 1 1 0 に保持されたデータに基づく表示（静止画像の表示）を行う。そして、書き込み期間の終了信号 V e n d に応じて、昇圧回路 9 5 が動作し、保持回路 1 1 0 に供給される電源電圧 V D D が昇圧される。このとき、電源電圧 V D D は、信号 A , B の最も高い電圧に T F T 1 2 1 , 1 2 2 のしきい値電圧（V t）を加えた電圧より高い電圧まで昇圧することが好ましい。

【 0 0 5 8 】

これにより、T F T 1 2 1 , 1 2 2 によって信号 A , B はレベル低下することなく表示

50

電極 80 へ供給されるので、良好な画質の表示を得ることができる。

【0059】

なお、このデジタル表示モード時には、ゲートドライバ 50 並びにドレインドライバ 60 及び外付けのパネル駆動用 LSI 91 への電圧供給を停止しそれらの駆動を止める。保持回路 110 には常に電圧 VDD, VSS を供給して駆動し、また対向電極電圧を対向電極 32 に、各信号 A 及び B を選択回路 120 に供給する。

【0060】

即ち、保持回路 110 にこの保持回路を駆動するための VDD、VSS を供給し、対向電極には対向電極電圧 VCOM (信号 A) を印加し、液晶表示パネル 100 がノーマリーホワイト (NW) の場合には、信号 A には対向電極 32 と同じ電位の電圧を印加し、信号 B には液晶を駆動するための交流電圧 (例えば 60 Hz) を印加するのみである。そうすることにより、1 画面分を保持して静止画像として表示することができる。また他のゲートドライバ 50、ドレインドライバ 60 及び外付け LSI 91 には電圧が印加されていない状態である。

10

【0061】

このとき、ドレイン信号線 61 にデジタル映像信号で「H (ハイ)」が保持回路 110 に入力された場合には、信号選択回路 120 において第 1 の TFT 121 には「L」が入力されることになるので第 1 の TFT 121 はオフとなり、他方の第 2 の TFT 122 には「H」が入力されることになるので第 2 の TFT 122 はオンとなる。

20

【0062】

そうすると、信号 B が選択されて液晶には信号 B の電圧が印加される。即ち、信号 B の交流電圧が印加され、液晶が電界によって立ち上がるため、NW の表示パネルでは表示としては黒表示として観察できる。

【0063】

ドレイン信号線 61 にデジタル映像信号で「L」が保持回路 110 に入力された場合には、信号選択回路 120 において第 1 の TFT 121 には「H」が入力されることになるので第 1 の TFT 121 はオンとなり、他方の第 2 の TFT 122 には「L」が入力されることになるので第 2 の TFT 122 はオフとなる。

【0064】

そうすると、信号 A が選択されて液晶には信号 A の電圧が印加される。即ち、対向電極 32 と同じ電圧が印加されるため、電界が発生せず液晶は立ち上がらないため、NW の表示パネルでは表示としては白表示として観察できる。

30

【0065】

このように、1 画面分を書き込みそれを保持することにより静止画像として表示できるが、その場合には、各ドライバ 50, 60 及び LSI 91 の駆動を停止するので、その分、低消費電力化することができる。

【0066】

上述したように、本発明の実施形態によれば、1 つの液晶表示パネル 100 でフルカラーの動画像表示 (アナログ表示モードの場合) と、デジタル階調表示 (デジタル表示モードの場合) という 2 種類の表示に対応することができる。また、保持回路 110 の書き込み時の誤動作を防止できると共に、低消費電力及び画素の微細レイアウトが可能となる。

40

【0067】

また、上述の実施形態ではアナログ表示モードとデジタル表示モードを選択可能な表示装置について説明したが、本発明はデジタル映像信号を書き込み、保持する回路 110 を備え、その保持信号に応じて画像表示を行う表示装置に広く適用することができるものである。

【0068】

また、本発明の表示装置は、液晶表示装置の中でも特に、反射型液晶表示装置に適用することが好ましい。そこで、この反射型液晶表示装置のデバイス構造について図 5 を参照

50

しながら説明する。

【0069】

図5に示すように、一方の絶縁性基板10上に、多結晶シリコンから成り島化された半導体層11上にゲート絶縁膜12を形成し、半導体層11の上方であってゲート絶縁膜12上にゲート電極13を形成する。

【0070】

ゲート電極13の両側に位置する下層の半導体層11には、ソース11s及びドレイン11dが形成されている。ゲート電極13及びゲート絶縁膜12上には層間絶縁膜14を堆積し、そのドレイン11dに対応した位置及びソース11sに対応した位置にコンタクトホール15が形成されており、そのコンタクトホール15を介してドレイン11dはドレイン電極16に接続されており、ソース11sは層間絶縁膜14上に設けた平坦化絶縁膜17に設けたコンタクトホール18も介して表示電極19に接続されている。

10

【0071】

平坦化絶縁膜17上に形成された各表示電極19はアルミニウム(Al)等の反射材料から成っている。各表示電極19及び平坦化絶縁膜17上には液晶21を配向するポリイミド等から成る配向膜20が形成されている。

【0072】

他方の絶縁性基板30上には、赤(R)、緑(G)、青(B)の各色を呈するカラーフィルタ31、ITO(Indium Tin Oxide)等の透明導電性膜から成る対向電極32、及び液晶21を配向する配向膜33が順に形成されている。カラー表示としない場合にはカラーフィルタ31は不要である。

20

【0073】

こうして形成された一对の絶縁性基板10, 30の周辺を接着性シール材によって接着し、それによって形成された空隙に液晶21を充填して、反射型液晶表示装置が完成する。

【0074】

図中点線矢印で示すように、観察者1側から入射した外光は、対向電極基板30から順に入射し、表示電極19によって反射されて、観察者1側に出射し、表示を観察者1が観察することができる。

【0075】

このように、反射型液晶表示装置は外光を反射させて表示を観察する方式であり、透過型の液晶表示装置のように、観察者側と反対側にいわゆるバックライトを用いる必要が無いため、そのバックライトを点灯させるための電力を必要としない。従って、本発明の表示装置として、バックライト不要で省消費電力化に適した反射型液晶表示装置であることが好ましい。

30

【0076】

上述の実施の形態においては、1画面の全ドットスキャン期間には、対向電極電圧及び信号A及びBの電圧は印加している場合について示したが、本発明はそれに限定されるものではなく、この期間においてもこれらの各電圧を印加しなくても良い。

【0077】

また、上述の実施の形態においては、デジタル表示モードにおいて、1ビットのデジタルデータ信号を入力した場合について説明したが、本発明はそれに限定されるものではなく、複数ビットのデジタルデータ信号の場合でも適用することが可能である。

40

【0078】

そうすることにより、多階調の表示を行うことができる。その際、入力するビット数に応じた保持回路及び信号選択回路の数にする必要がある。

【0079】

また、上述の実施の形態においては、静止画像を液晶表示パネルの一部に表示する場合を説明したが、本願はそれに限定されるものではなく、全表示画素に静止画を表示することも可能であり、本願発明の特有の効果奏するものである。

50

【 0 0 8 0 】

上述の実施の形態においては、反射型液晶表示装置の場合について説明したが、1画素内でTFT、保持回路、信号選択回路及び信号配線を除く領域に透明電極を配置することにより、透過型液晶表示装置にも用いることができる。また、透過型液晶表示装置に用いた場合にも、1画面を表示した後に、ゲートドライバ50並びにドレインドライバ60及び外付けのパネル駆動用LSI91への電圧供給を停止することにより、その分の消費電力の低減を図ることができる。

【 0 0 8 1 】

次に、本発明の第2の実施形態に係る表示装置について説明する。図6に本発明の表示装置をEL(エレクトロルミネッセンス)表示装置に応用した場合の回路構成図を示す。ゲート信号線51とドレイン信号線61の交差部近傍には画素選択TFT72が配置され、TFT72のソースは保持回路110に接続されている。保持回路110は正帰還された2つのインバータ回路INV1, INV2によって構成されている。

10

【 0 0 8 2 】

そして、保持回路110の出力は、Nチャネル型のEL駆動用TFT125のゲートに印加されている。EL駆動用TFTのソースは電圧源VAに接続されると共に、ドレインは有機EL素子22のアノードに接続されている。有機EL素子22のカソード33は共通電圧VCOMにバイアスされている。

【 0 0 8 3 】

ここで、保持回路110には上述の実施形態と同様にして、ドレイン信号線61からのデジタル映像データが書き込まれる。ここで、保持回路110を構成する2つのインバータ回路に供給される電源電圧VDDをデータ書き込み期間中は、保持回路110がデータを保持するのに必要な最小な電圧(例えば3V)に設定する。

20

【 0 0 8 4 】

いま、保持回路110から「H」が出力される場合を考えると、EL駆動用TFT125のゲートには比較的低い電圧(例えば3V)される。ここで、EL駆動用TFT125のしきい値を調整することにより、有機EL素子22がオフ状態又は高抵抗状態であり、消灯しているものとする。

【 0 0 8 5 】

そして、データ書き込み期間終了後、保持回路110に保持されたデータに基づく表示(静止画像の表示)を行う期間については、電源電圧VDDを高電圧に昇圧する。すると、EL駆動用TFT125のゲートの電圧も高くなる。よって有機EL素子22のアノードにVF以上のバイアスが加わることによりオン状態となり、点灯ようになる。

30

【 0 0 8 6 】

したがって、上述した構成のEL表示装置によれば、データ書き込み期間中は電源電圧VDDが低く設定されることで、前述した実施形態と同様に、低消費電力化が可能でありと共に、書き込み終了後に電源電圧VDDが昇圧されることにより、有機EL素子が点灯して良好な発光表示が得られる。

【 符号の説明 】

【 0 0 8 7 】

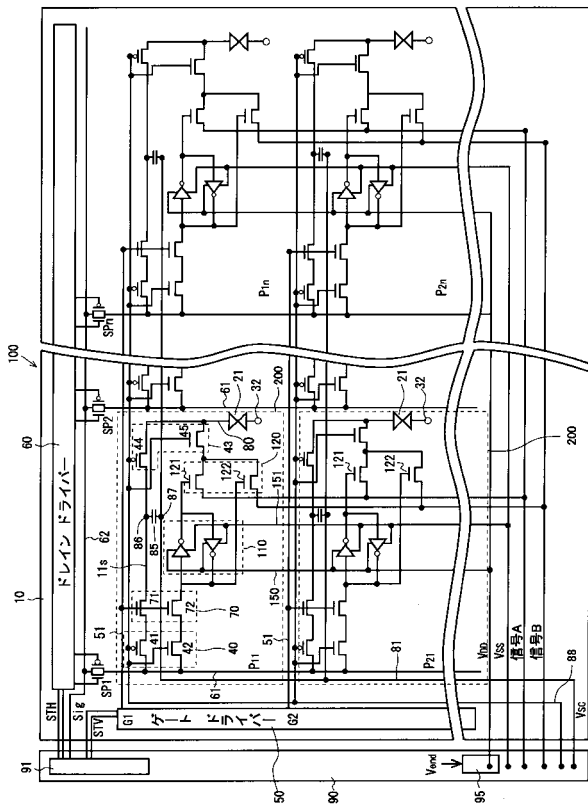
10 絶縁性基板
 13 ゲート電極
 21 液晶
 40 回路選択回路
 43 回路選択回路
 50 ゲートドライバ
 51 ゲート信号線
 60 ドレインドライバ
 61 ドレイン信号線
 70 画素選択回路

40

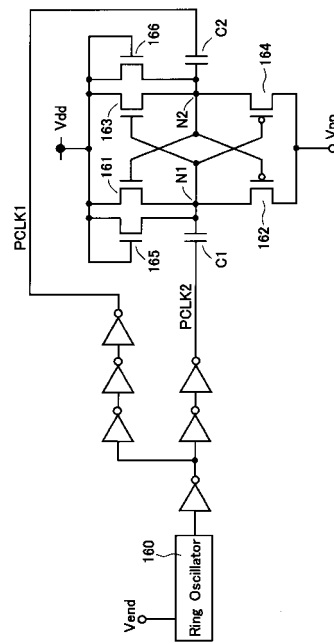
50

- 8 5 補助容量
- 9 5 昇圧回路
- 1 1 0 保持回路
- 1 2 0 信号選択回路

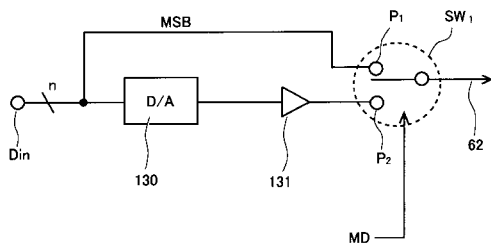
【 図 1 】



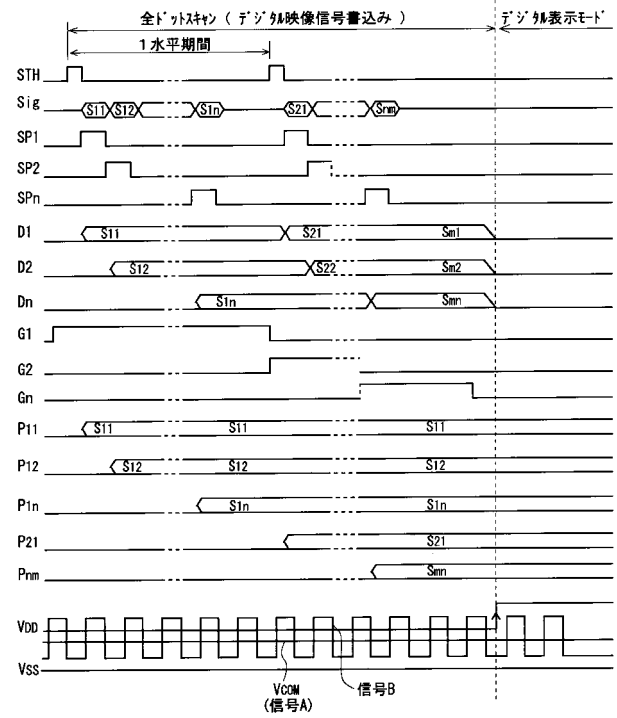
【 図 2 】



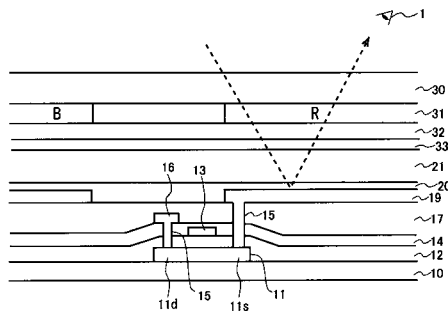
【 図 3 】



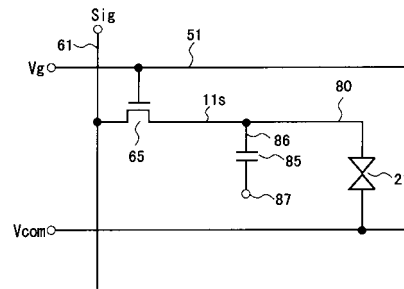
【 図 4 】



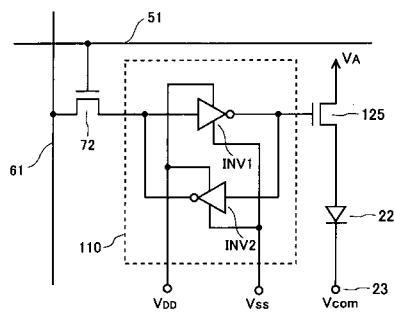
【 図 5 】



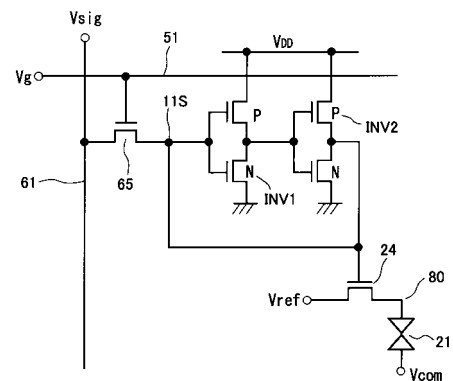
【 図 7 】



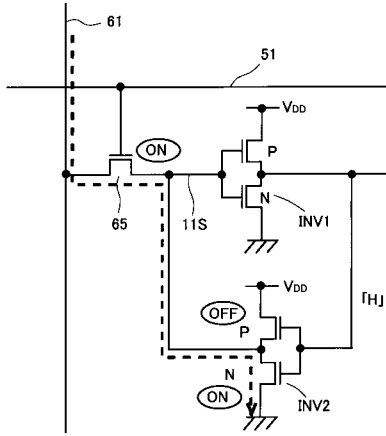
【 図 6 】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 2 G
G 0 9 G	3/20	6 1 2 D
G 0 9 G	3/20	6 1 2 K
G 0 9 G	3/20	6 7 0 E
G 0 2 F	1/133	5 5 0

Fターム(参考) 5C006 AA02 AA22 AC07 AC09 AF68 AF69 BB16 BC06 BC12 BC13
BF04 BF27 BF33 BF42 BF46 FA04 FA41 FA47
5C080 AA06 AA10 CC01 CC03 DD09 DD22 DD26 FF11 HH09 JJ03
JJ04 JJ06 KK07