

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H01L 21/66

(11) 공개번호 10-2005-0036743
(43) 공개일자 2005년04월20일

(21) 출원번호 10-2004-0081598
(22) 출원일자 2004년10월13일

(30) 우선권주장 JP-P-2003-00354680 2003년10월15일 일본(JP)

(71) 출원인 가시오계산키 가부시키가이샤
일본국 도쿄도 시부야구 혼마치 1초메 6반 2고
(72) 발명자 와카마야시다케시
일본국 사이타마켄 사야마시 이루마가와1497-40
미하라이치로
일본국 도쿄도 다치카와시 니시키쵸6-4-10-505

(74) 대리인 손은진

심사청구 : 있음

(54) 반도체장치의 제조방법

요약

본 발명은 뾰납볼을 구비한 반도체장치에 있어서, 프로브핀을 뾰납볼에 접촉시키지 않고 번인을 실시하는 반도체장치의 제조방법에 관한 것으로서,

웨이퍼상태의 반도체기판(1)상에 기동상 전극(9) 및 밀봉막(10)을 형성한 후에 기동상 전극(10)상에 프로브핀(23)을 접촉시켜서 번인을 실시하고, 다음으로 기동상 전극(10)상에 뾰납볼을 형성하여 웨이퍼상태의 반도체기판(1)을 다이싱하며, 이 결과 프로브핀(23)의 접촉에 의한 뾰납볼의 불필요한 변형을 방지할 수 있고, 또 뾰납볼의 높이에 흐트러짐이 있어도 번인을 실시할 수 있는 것을 특징으로 한다.

대표도

도 6

색인어

뾰납볼, 프로브핀, 반도체기판, 기동상 전극, 밀봉막, 번인

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시형태로서의 제조방법에 의해 제조된 반도체장치의 단면도.

도 2는 도 1에 나타내는 반도체장치의 제조시에 당초 준비한 것의 단면도.

도 3은 도 2에 이어지는 공정의 단면도.

도 4는 도 3에 이어지는 공정의 단면도.

도 5는 도 4에 이어지는 공정의 단면도.

도 6은 도 5에 이어지는 공정의 단면도.

도 7은 도 6에 이어지는 공정의 단면도.

도 8은 도 7에 이어지는 공정의 단면도이다.

※도면의 주요부분에 대한 부호의 설명

1: 반도체기판 2: 접속패드

3: 절연막 5: 보호막

8: 재배선 9: 기동상 전극

10: 밀봉막 11: 개구부

12: 땀납볼 21: 번인용 검사지그

23: 프로브핀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 제조방법에 관한 것이다.

LSI 등의 반도체기술의 분야에서는 신뢰성을 보증하기 위해 번인(Burn-in)을 실시하고 있다. 종래에는 개편화된 반도체 장치에 대하여 번인을 실시하고 있다.(예를 들면 특허문헌 1 참조). 그러나 이 경우 개편화된 반도체장치에 대하여 번인을 실시하기 때문에 비능률적이다.

[특허문헌 1]

특개2003-282814호 공보

한편 반도체장치에는 일반적으로 CSP(chip size package)라 불리는 것으로, 복수의 접속패드를 갖는 반도체기판의 상면에 절연막이 설치되고, 절연막의 접속패드에 대응하는 부분에 개구부가 설치되며, 절연막의 상면에 재배선이 개구부를 통하여 접속패드에 접속되어 설치되고, 재배선의 접속패드부 상면에 기동상 전극이 설치되며, 재배선을 포함하는 절연막의 상면에 밀봉막이, 그 상면이 기동상 전극의 상면과 면일치하게 되도록 설치되며, 기동상 전극의 상면에 땀납볼이 설치된 것이 있다(예를 들면 특허문헌 2 참조).

[특허문헌 2]

특개2002-231854호 공보

발명이 이루고자 하는 기술적 과제

그런데 특허문헌 2에 기재한 바와 같은 땀납볼을 구비한 반도체장치에 대하여 번인을 실시하는 경우에는 땀납볼에 프로브핀을 접촉시키게 된다. 그러나 프로브핀을 비교적 부드러운 땀납볼에 접촉시키면 땀납볼이 변형하는 일이 있으며, 이 변형에 기인하여 위치맞춤용 카메라에 의한 땀납볼의 위치인식에 오인이 발생하고, 반도체장치를 히로기관상에 접합할 때 위치맞춤불량이 발생하며, 나아가서는 접합불량이 발생하는 일이 있었다. 또 땀납볼의 움푹 패임에 의해 반도체장치의 땀납볼의 높이에 흐트러짐이 발생하기 때문에 프로브핀의 땀납볼로의 접촉불량이 발생하여 적절한 번인이 실시되지 않는 것도 발생했다.

그래서 본 발명은 땀납볼을 변형시키는 일 없이 번인을 실시할 수 있고, 따라서 번인을 확실하게 실시하며, 또한 접합의 신뢰성을 향상할 수 있는 반도체장치의 제조방법을 제공하는 것을 목적으로 한다.

본 발명은 집적회로가 설치된 반도체기판상에 복수의 기동상 전극 및 상기 기동상 전극의 주위에 있어서의 상기 반도체기판상에 상기 각 기동상 전극의 상면을 표출하도록 밀봉막을 형성하는 공정과, 상기 각 기동상 전극의 상면에 검사지그의 프로브핀을 접촉하여 상기 집적회로의 번인을 실시하는 공정과, 상기 번인을 종료한 후 상기 각 기동상 전극상에 땀납층을 형성하는 공정 및 상기 반도체기판을 다이싱하여 개개의 반도체장치를 얻는 공정을 포함하는 것을 특징으로 한다.

발명의 구성 및 작용

도 1은 본 발명의 한 실시형태로서의 제조방법에 의해 제조된 반도체장치의 단면도를 나타낸다. 이 반도체장치는 실리콘 등으로 이루어지는 반도체기판(1)을 구비하고 있다. 반도체기판(1)의 상면에는 소정 기능의 집적회로(도시하지 않음)가 설치되고, 상면주변부에는 알루미늄계 금속 등으로 이루어지는 복수의 접속패드(2)가 집적회로에 접속되어 설치되어 있다. 접속패드(2)의 중앙부를 제외한 반도체기판(1)의 상면에는 산화실리콘 등으로 이루어지는 절연막(3)이 설치되고, 접속패드(2)의 중앙부는 절연막(3)에 설치된 개구부(4)를 통하여 노출되어 있다.

절연막(3)의 상면에는 에폭시계 수지나 폴리이미드계 수지 등으로 이루어지는 보호막(절연막)(5)이 설치되어 있다. 이 경우 절연막(3)의 개구부(4)에 대응하는 부분에 있어서의 보호막(5)에는 개구부(6)가 설치되어 있다. 보호막(5)의 상면에는 동 등으로 이루어지는 하지(下地)금속층(7)이 설치되어 있다. 하지금속층(7)의 상면 전체에는 동 등으로 이루어지는 재배선(8)이 설치되어 있다. 하지금속층(7)을 포함하는 재배선(8)의 일단부는 양 개구부(4, 6)를 통하여 접속패드(2)에 접속되어 있다.

재배선(8)의 접속패드부 상면에는 동으로 이루어지는 기동상 전극(9)이 설치되어 있다. 재배선(8)을 포함하는 보호막(5)의 상면에는 에폭시계 수지나 폴리이미드계 수지 등으로 이루어지는 밀봉막(10)이, 그 상면이 기동상 전극(9)의 상면보다도 높아지도록 설치되어 있다. 따라서 기동상 전극(9)상에 있어서의 밀봉막(10)에는 개구부(11)가 설치되어 있다. 개구부(11)내 및 그 상측에는 뿔납볼(12)이 기동상 전극(9)의 상면에 접속되어 설치되어 있다. 또한 기동상 전극(9)은 그 높이가 80~150 μm 정도의 것이다.

다음으로 이 반도체장치의 제조방법의 한 예에 대하여 설명한다. 우선 도 2에 나타내는 바와 같이, 웨이퍼상태의 반도체기판(1)의 상면에 접속패드(2)가 형성되고, 그 상면에 절연막(3) 및 보호막(5)이 형성되며, 그 상면에 하지금속층(7)을 포함하는 재배선(8)이 절연막(3) 및 보호막(5)에 형성된 개구부(4, 6)를 통하여 접속패드(2)에 접속되어 형성되고, 재배선(8)의 접속패드부 상면에 기동상 전극(9)이 형성된 것을 준비한다. 이 경우 기동상 전극(9)은 그 높이를 95~165 μm 정도로 형성한다.

다음으로 도 3에 나타내는 바와 같이, 스크린인쇄법, 스펀코팅법, 다이코트법 등에 의해 기동상 전극(9) 및 재배선(8)을 포함하는 보호막(5)의 상면 전체에 에폭시계 수지 등으로 이루어지는 밀봉막(10)을, 그 두께가 기동상 전극(9)의 높이보다도 두꺼워지도록 형성한다. 따라서 이 상태에서는 기동상 전극(9)의 상면은 밀봉막(10)에 의하여 덮여져 있다.

다음으로 밀봉막(10) 및 기동상 전극(9)의 상면측을 적절히, 예를 들면 5~10 μm 정도 연마하고, 도 4에 나타내는 바와 같이 기동상 전극(9)의 상면을 노출시키는 동시에, 이 노출된 기동상 전극(9)의 상면을 포함하는 밀봉막(10)의 상면을 평탄화한다. 여기에서 기동상 전극(9)의 상면측을 적절히 연마하는 것은 전해도금에 의해 형성되는 기동상 전극(9)의 높이에 흐트러짐이 있기 때문에, 이 흐트러짐을 해소하여 기동상 전극(9)의 높이를 균일하게 하기 위함이다.

다음으로 도 5에 나타내는 바와 같이, 하프에칭에 의해 기동상 전극(9)의 상면측을 약간, 한 예로서 5 μm 정도 제거하고, 기동상 전극(9)상에 있어서의 밀봉막(10)에 개구부(11)를 형성한다. 이 경우 기동상 전극(9)에 대한 하프에칭은 대략 균등하게 실시되고, 또한 에칭량은 5 μm 정도로 매우 작기 때문에 개구부(11)의 깊이는 대략 균일하게 된다. 이에 따라 높이가 80~150 μm 정도의 기동상 전극(9)이 형성된다.

다음으로 도 6에 나타내는 바와 같이, 번인용 검사지그(21)로서 하면에 배선(도시하지 않음)을 갖는 배선기판(22)의 하면측에 복수의 프로브핀(23)을 갖는 프로브핀지지판(24)이 배치되고, 프로브핀(23)의 선단면이 이방도전성 고무(25)를 통하여 배선기판(22)의 배선에 접속된 것을 준비한다. 이 경우 프로브핀(23)의 선단부는 대략 반구형상으로 되어 있다. 또 프로브핀(23)의 직경은 밀봉막(10)의 개구부(11)의 직경보다도 어느 정도 작아져 있다.

그리고 도시하지 않는 스테이지상에 배치된 웨이퍼상태의 반도체기판(1)의 밀봉막(10)의 개구부(11)내에 있어서의 기동상 전극(9)의 상면에 번인용 검사지그(21)의 프로브핀(23)의 선단부를 접촉시켜서 번인을 실시한다. 이 경우 밀봉막(10)의 개구부(11)의 깊이는 대략 균일하게 되어 있기 때문에 개구부(11)내에 있어서의 기동상 전극(9)의 상면에 프로브핀(23)의 선단부를 확실하게 접촉시킬 수 있어서 전기적 접속불량을 확실하게 방지할 수 있다.

또 프로브핀(23)의 직경은 밀봉막(10)의 개구부(11)의 직경보다도 어느 정도 작아져 있기 때문에 프로브핀(23)의 개구부(11)에 대한 위치맞춤이 다소 어긋나도 프로브핀(23)의 선단부를 개구부(11)내에 확실하게 배치할 수 있다. 또한 측정 중에 프로브핀(23)이 다소 슬라이드해도 개구부(11)의 내벽면에 맞닿기 때문에 프로브핀(23)의 선단부의 기동상 전극(9)의 상면에 대한 전기적 접촉을 확실하게 유지할 수 있다.

그리고 번인이 종료되면 다음으로 도 7에 나타내는 바와 같이, 밀봉막(10)의 개구부(11)내 및 그 상측에 뿔납볼(12)을 기동상 전극(9)의 상면에 접속시켜서 형성한다. 다음으로 반도체기판(1)의 하면을 다이싱테이프(도시하지 않음)에 부착하고, 도 8에 나타내는 다이싱공정을 거친 후에 다이싱테이프로부터 벗기면 도 1에 나타내는 반도체장치가 복수개 얻어진다.

이상과 같이 상기 반도체장치의 제조방법에서는 뿔납볼(12)을 형성하기 전에 기동상 전극(9)상에 프로브핀(23)을 접촉시켜서 번인을 실시하고 있기 때문에 프로브핀(23)을 뿔납볼(12)에 접촉시키지 않고 번인을 실시할 수 있다. 이 결과 뿔납볼(12)의 불필요한 변형을 방지할 수 있으며, 또한 웨이퍼상태의 반도체기판(1)에 대하여 번인을 실시하고 있기 때문에 능률적이다.

또한 도 6에 나타내는 번인을 실시한 후에 기동상 전극(9)의 상면에 형성된 자연산화막을 소프트에칭하여 제거하고, 이어서 기동상 전극(9)의 상면에 뿔납볼(12)을 형성하도록 해도 좋다. 또 도 5에 나타내는 공정 후에 니켈/금, 니켈/뿔납, 니켈/주석 등의 무전해도금을 실시함으로써 기동상 전극(9)의 상면에 산화방지용의 표면처리층을 형성하고, 이후 번인을 실시하도록 해도 좋다. 이 경우 표면처리층의 상면을 밀봉막(10)의 상면보다도 약간 낮게 하고, 표면처리층상에 있어서의 밀봉막(10)에 개구부(11)가 잔존되도록 해도 좋다. 또한 도 4에 나타내는 공정 후에 번인을 실시하고, 이어서 기동상 전극(9)의

상면층을 하프에칭하지 않고, 밀봉막(10)의 상면과 면일치의 기동상 전극(9)의 상면에 뽀납볼(12)을 형성하도록 해도 좋다. 이 경우에 있어서도 기동상 전극(9)의 상면에 형성된 자연산화막을 에칭하여 제거하거나, 또한 그 후 표면처리층을 형성한 후 번인을 실시하도록 해도 좋다.

발명의 효과

본 발명에 따르면, 웨이퍼상태의 반도체기판에 대하여 뽀납볼을 형성하기 전에 기동상 전극상에 프로브핀을 접촉시켜서 번인을 실시하고 있기 때문에 프로브핀의 접촉에 의한 뽀납볼의 불필요한 변형을 방지할 수 있으며, 이 결과 번인을 확실하게 실시하고, 또한 집합의 신뢰성을 향상할 수 있다.

(57) 청구의 범위

청구항 1.

집적회로가 설치된 반도체기판상에, 복수의 기동상 전극 및 상기 기동상 전극의 주위에 있어서의 상기 반도체기판상에 상기 각 기동상 전극의 상면을 표출하도록 밀봉막을 형성하는 공정과,

상기 각 기동상 전극의 상면에 검사지그의 프로브핀을 접촉하여 상기 집적회로의 번인을 실시하는 공정과,

상기 번인을 종료한 후 상기 각 기동상 전극상에 뽀납층을 형성하는 공정 및,

상기 반도체기판을 다이싱하여 개개의 반도체장치를 얻는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2.

제 1 항에 있어서,

상기 밀봉막의 상면층을 연마하여 상기 기동상 전극의 상면을 노출한 후 상기 각 기동상 전극의 상면에 표면처리층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3.

제 1 항에 있어서,

상기 반도체기판상에 상기 복수의 기동상 전극 및 상기 밀봉막을 형성하는 공정은 상기 기동상 전극이 형성된 반도체기판상에 상기 기동상 전극의 상면을 덮도록 상기 밀봉막을 형성하는 공정과, 상기 밀봉막의 상면층을 연마하여 상기 기동상 전극의 상면을 노출하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4.

제 3 항에 있어서,

상기 밀봉막의 상면층을 연마하여 상기 기동상 전극의 상면을 노출한 후 상기 각 기동상 전극의 상면을 상기 밀봉막의 상면보다 낮게 하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 5.

제 4 항에 있어서,

상기 각 기동상 전극의 상면을 상기 밀봉막의 상면으로부터 낮게 한 후 상기 각 기동상 전극의 상면에 형성된 자연산화막을 제거하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 6.

제 4 항에 있어서,

상기 각 기동상 전극의 상면을 상기 밀봉막의 상면으로부터 낮게 한 후 상기 각 기동상 전극의 상면에 표면처리층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 7.

제 1 항에 있어서,

상기 반도체기판상에 상기 복수의 기동상 전극 및 상기 밀봉막을 형성하는 것은 상기 각 기동상 전극의 상면과 상기 밀봉막의 상면을 면일치하게 하는 공정 및 상기 각 기동상 전극의 상면을 상기 밀봉막의 상면보다도 낮게 하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 8.

제 1 항에 있어서,

상기 땀납층은 땀납볼인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 9.

집적회로가 설치된 반도체기판을 준비하는 공정과,

상기 반도체기판상에 복수의 기동상 전극을 형성하는 공정과,

상기 기동상 전극의 주위에 있어서의 상기 반도체기판상에 상기 각 기동상 전극의 상면을 표출하는 밀봉막을 형성하는 공정과,

상기 각 기동상 전극의 상면에 표면처리층을 형성하는 공정과,

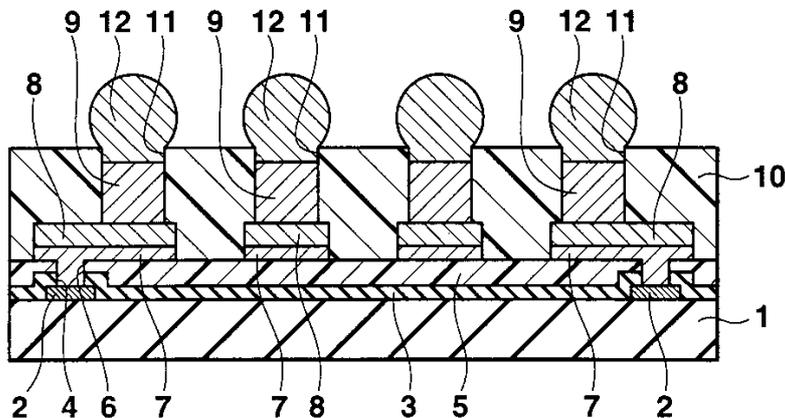
각각이 기동상 전극의 어느 쪽인가에 대응하도록 위치지워져 있는 복수의 프로브핀이 배열된 검사지그를 준비하고, 각 프로브핀을 대응하는 상기 기동상 전극의 하나에 접촉하며, 이 상태에서 번인을 하는 공정과,

상기 번인을 종료한 후 상기 각 기동상 전극상에 땀납볼을 형성하는 공정 및,

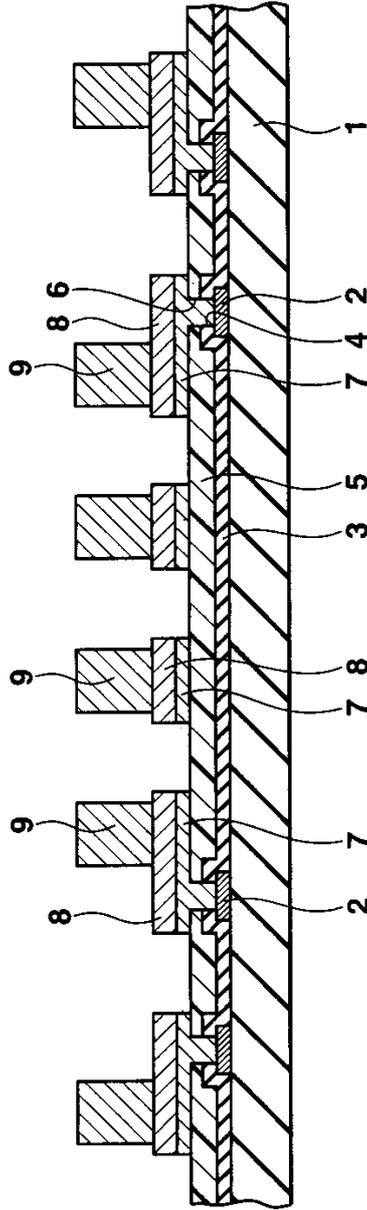
상기 반도체기판을 다이싱하여 개개의 반도체장치를 얻는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

도면

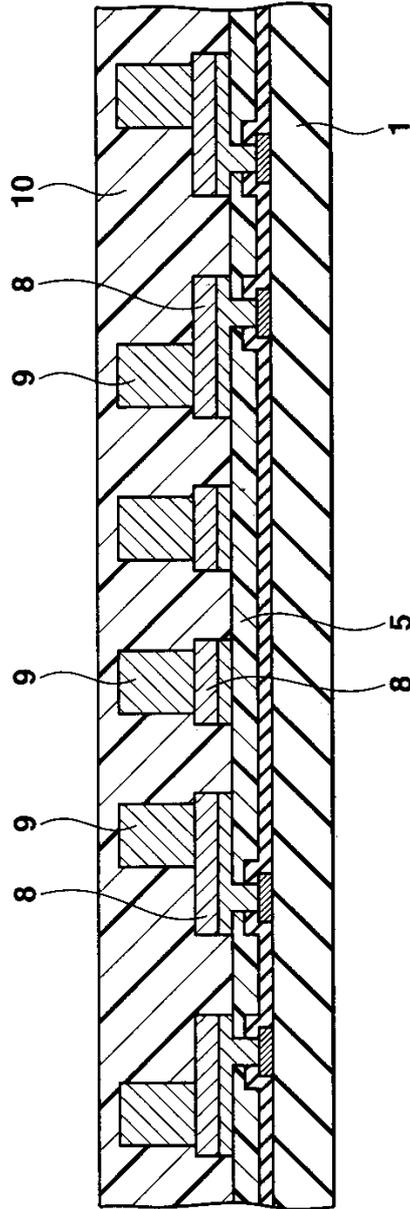
도면1



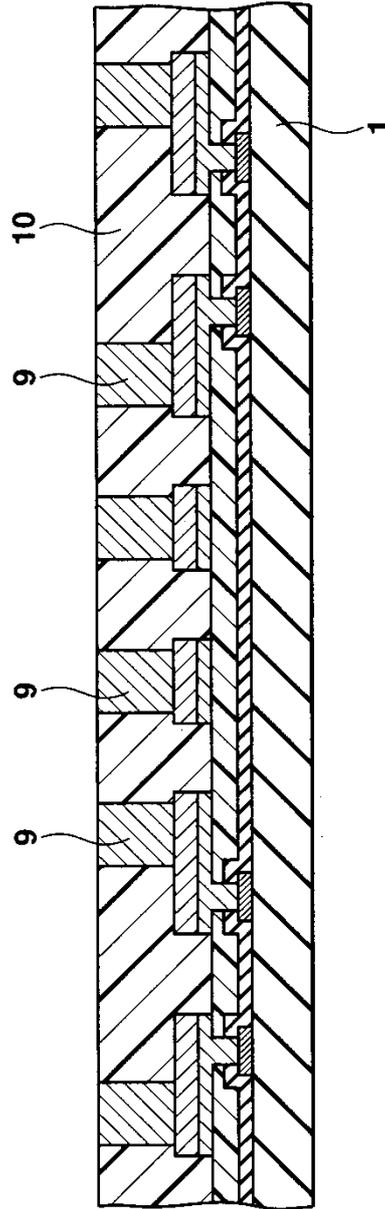
도면2



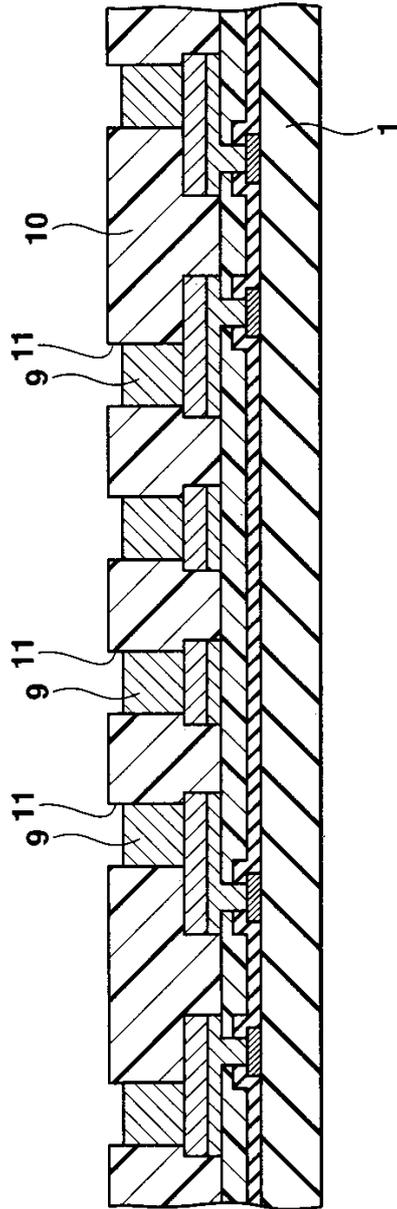
도면3



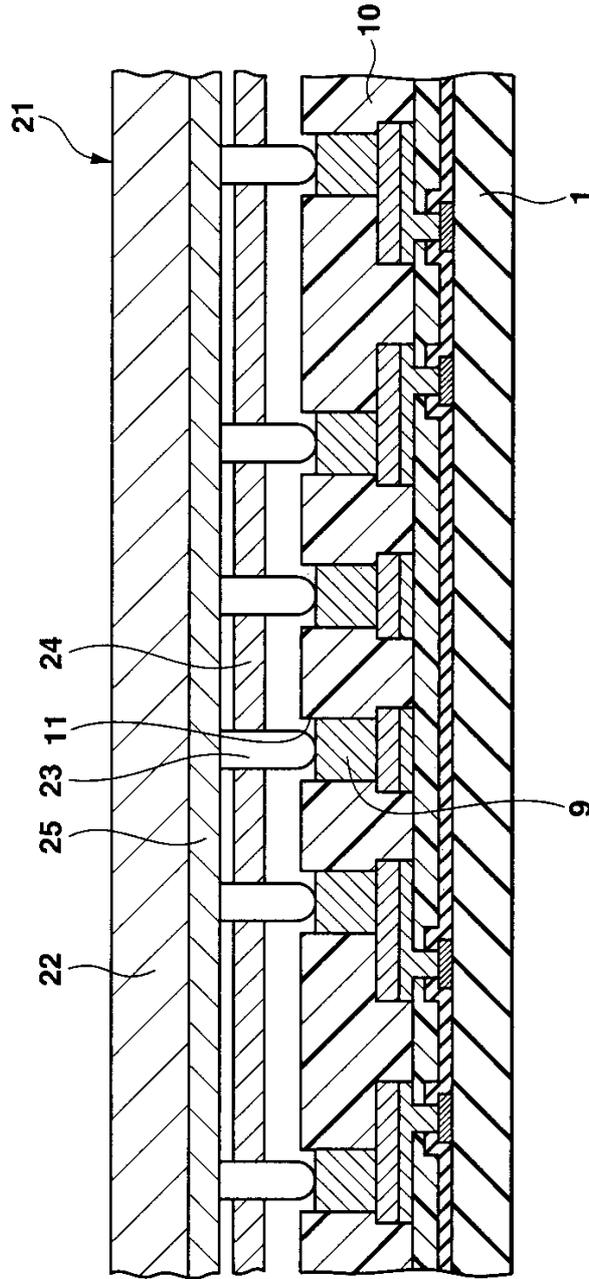
도면4



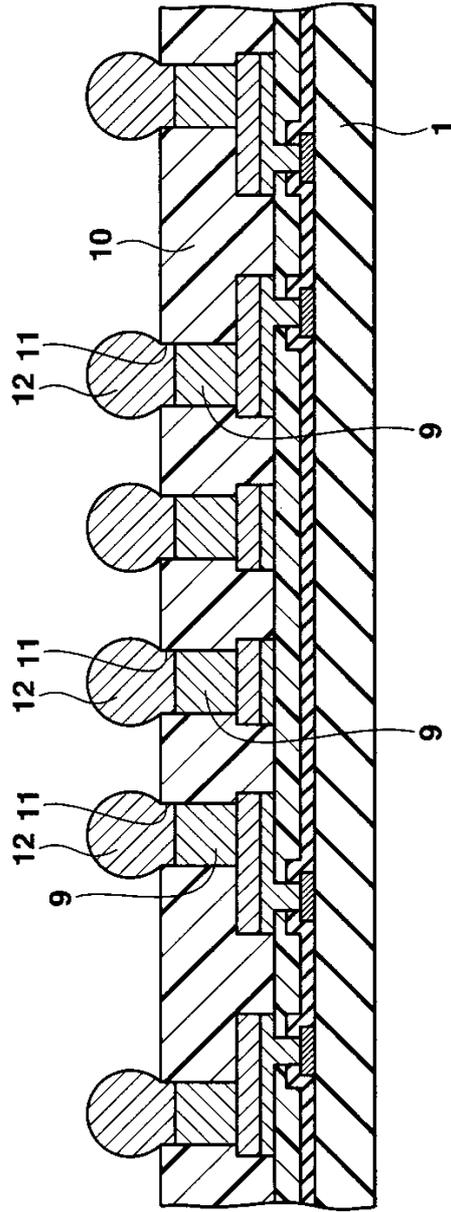
도면5



도면6



도면7



도면8

