

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ C04B 37/00	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년11월16일 10-0528693 2005년11월08일
------------------------------------------	-------------------------------------	------------------------------------------

(21) 출원번호	10-2003-0006863	(65) 공개번호	10-2004-0070684
(22) 출원일자	2003년02월04일	(43) 공개일자	2004년08월11일

(73) 특허권자	엘지전자 주식회사 서울특별시 영등포구 여의도동 20번지
(72) 발명자	백봉주 경기도용인시동천동동천마을현대2차홈타운204동2003호
(74) 대리인	김영호

심사관 : 김장강

(54) 저온 동시소성 세라믹 다층기판의 제조방법

요약

본 발명은 이종 재료를 사용하여 제조할 수 있도록 한 저온 동시소성 세라믹 다층기판의 제조방법에 관한 것이다.

본 발명에 따른 저온 동시소성 세라믹 다층기판의 제조방법은 소성온도, 유전율 및 투자율이 서로 다른 다수개의 그린테잎들을 마련하는 단계와; 상기 그린테잎들 중 그 소성온도가 고온인 그린테잎들을 최상층 및 최하층에 위치하도록 상기 그린테잎들을 적층하여 합착하는 단계와; 상기 합착된 그린테잎들을 저온 동시소성하는 단계와; 상기 소성된 그린테잎들에서 상기 최상층 및 최하층에 위치하는 상기 소성온도가 고온인 그린테잎들을 제거하는 단계를 포함하는 것을 특징으로 한다.

대표도

도 4

명세서

도면의 간단한 설명

- 도 1은 통상적인 멀티 칩 모듈 패키지의 제조 공정을 알기 쉽게 나타내는 분해 사시도.
- 도 2는 도 1에 도시된 멀티 칩 모듈 패키지의 제조 공정을 단계적으로 나타내는 흐름도.
- 도 3은 도 1에 도시된 멀티 칩 모듈 패키지가 인쇄회로기판 상에 실장된 것을 나타내는 단면도.

도 4는 본 발명의 실시 예에 따른 이중재료를 사용한 저온 동시소성 세라믹 다층기판의 제조공정을 알기 쉽게 나타내는 분해 사시도이다.

도 5는 도 4에 도시된 저온 동시소성 다층기판을 나타내는 단면도이다.

도 6은 도 4에 도시된 저온 동시소성 세라믹 다층기판이 인쇄회로기판 상에 실장된 것을 나타내는 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

1 : 솔더 레지스트 2 : 집적 회로와 수동소자

3 : 솔더볼 5 : 코팅재

10,30 : 멀티 칩 모듈 패키지 12 : 그린테이프

13a,13b,13c,13d,13e,33a,33b,33c,33d : 그린테잎

16 : 비아홀 18 : 도전성물질

20 : 전극패턴 35 : 세라믹 다층기판

51 : 인쇄회로기판 54 : 전극패드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 저온 동시소성 세라믹 다층기판의 제조방법에 관한 것으로, 특히 이중 재료로 제조할 수 있도록 한 저온 동시소성 세라믹 다층기판의 제조방법에 관한 것이다.

최근, 전자제품의 기능이 복잡화되고 각종 전자기기의 소형화 추세에 따라 전자기기를 구동하기 위한 회로들 역시 고집적화되어 가고 있다. 이에 따라, 전자제품에 적용되는 반도체소자 중 LSI(Large Scale Intergrated circuit : 대규모 집적회로소자)의 종류 및 수량 또한 증가하고 있다. 이러한 반도체 소자를 적용하기 위해 소자를 패키지화하는 방법 또한 복잡 다양화되는 추세이다. 이러한 추세에 부응하여 다수의 반도체 소자를 단일 기판 위에 동시에 패키징하는 멀티칩모듈(Mult-Chip Module : 이하 "MCM"이라 함) 기술을 이용하여 높은 집적도의 회로를 구성할 수 있다.

도 1 및 도 2는 종래 MCM 패키지의 제조공정을 나타내는 도면이다.

도 1 및 도 2를 참조하면, MCM 패키지의 제조공정은 롤(12)에 감겨진 그린테이프를 미리 설정된 크기로 절단함으로써 시작된다.(S21 단계) 여기서, 그린테이프는 유리분말에 그 유리분말의 점도를 유지하는 결합제, 경화를 방지하도록 유연성을 제공하기 위한 가소제, 상기 결합제와 가소제를 용해시키기 위한 용매 및 그 외 다른 소량의 첨가제가 혼합된 슬러리를 건조한 다음, 그 슬러리를 테이프캐스팅방법으로 일정한 두께로 가공함으로써 형성되고 롤(12)에 감겨지게 된다.

S21 단계에 의해 마련된 4 장의 그린테이프(13a 내지 13d)에는 기계적인 천공(punching)으로 다수의 비아홀(Via hole)(16)이 형성된다.(S22 단계)

이어서, 비아홀(16) 내에는 도전성 페이스트(18)가 충전된 후, 충전된 페이스트(18)가 건조된다.(S23 단계) 비아홀(16) 내에 충전된 도전성물질(18)은 후공정에서 각 그린테이프(13a 내지 13d) 상에 형성되는 회로패턴(20)들 각각을 전기적으로 연결시키는 역할을 한다.

S23 단계에 의해 도전성물질이 비아홀(16) 내에 충전된 후, 각 그린테일(13a 내지 13d) 상에는 스크린 프린트 방법 등을 이용하여 회로패턴(20)이 각각 형성된다.(S24 단계)

S24 단계에 의해 회로패턴(20)이 각각 형성된 그린테일들(13a 내지 13d) 중에 입/출력패드가 형성된 최저층의 그린테일(13d) 상에 솔더레지스트물질이 코팅된다.(S25단계) 이 때, 솔더레지스트물질은 입/출력패드를 제외한 최저층의 그린테일(13d) 전면에 코팅된다.

S25 단계에 의해 솔더레지스트가 코팅된 최저층의 그린테일(13d) 위에 다른 그린테일들(13a 내지 13c)이 정렬된다.(S26 단계)

네 장의 그린테일들(13a 내지 13d)이 S26 단계에 의해 적층형태로 정렬되면, 라미네이팅(laminating) 공정에 의해 네 장의 그린테일들(13a 내지 13d)이 적층된 형태로 합착된다.(S27 단계)

S27 단계에 의해 합착된 그린테일들(13a 내지 13d)은 소정의 열에 의해 동시소성(co-firing)된다.(S28 단계) S28 단계에 의해 동시소성된 그린테일들(13a 내지 13d) 각각은 세라믹 기판 역할을 하게 되며, S28 단계에 의해 적층된 세라믹 기판들은 다수의 회로층을 가지는 회로 패키지(15)가 된다.

S28 단계에 의해 마련된 패키지(15)의 상면에는 저항(R), 인덕터(L), 캐패시터(C) 등의 수동소자(Passive device) 및 트랜지스터(Transister), 집적회로칩(Integrated Circuit Chip: IC)와 같은 능동소자(2) 등이 실장된다.(S29단계)

패키지(6)의 최상층 즉, 전면 상에는 보호층 역할을 하는 물질(5)이 전면코팅된다.(S30 단계)

마지막으로, 솔더 볼 리플로우(Solder Ball Reflow) 공정을 이용하여 솔더볼(3)들 각각을 패키지(10)의 저면에 위치한 입/출력 패드들 각각에 부착된다.(S31단계)

이 때, 필요에 따라서는 적층된 기판을 소성한 후에 기판 상의 전극패드를 도금하는 공정을 추가하여 MCM 패키지(10)를 형성한다.

이러한 MCM패키지는 도 3에 도시된 바와 같이 패키지의 배면에 위치하는 솔더볼(3)에 의해 인쇄회로보드(Printed Circuit Board : 이하 "PCB"라 한다)나 그와 다른 기판 상의 전극패드에 실장되는 볼 그리드 어레이(Ball Grid Array : 이하 "BGA"라 함)방식으로 제작된다. 이러한 MCM패키지용 기판재료로는 배선 밀도가 높고 열특성이 우수하며 주파수 특성이 우수한 세라믹스 재료가 사용되고 있다. 이러한 세라믹 기판의 예로는 알루미늄나 또는 저온 동시소성 세라믹 기판이 대표적이다. MCM패키지는 통상적으로 질화알루미늄(AlN), 알루미늄(Al₂O₃), 또는 유리화 금속의 산화물을 이용하여 제작되는데 이 세라믹 기판의 열팽창 계수는 4~7ppm/°C정도가 된다.

그런데, 종래는 MCM패키지는 소성공정시 발생하는 세라믹 기판의 수축현상으로 인해 적층되는 기판의 미스매치(mismatch)의 문제점을 해소하고자 각 층에 해당하는 기판 재질이 서로 같은 것을 사용하여 왔다. 즉, 이종재료 기판을 사용하게 되면 그 기판을 구성하는 금속산화물 및 유리 성분의 조성 및 종류가 다르기 때문에 소성수축량이 서로 다르게 된다. 이러한 이종재료를 동시에 적층하여 소성하는 경우 소성 수축차이에 의한 미스매치(mismatch)에 의하여 기판의 휨현상이나 균열이 발생하게 된다. 그러나, 최근 이동통신 기기등 전자제품의 기능이 복잡화되고 경박단소화 및 집적화가 급속히 진행됨에 따라 이런 제품을 구성하는 부품이 초소화 및 복합 모듈화되고 있는 추세이다. 이에 따라, 단일 종류의 기판재료의 특성으로는 복합 부품 및 복합 모듈을 요구하는 시장의 요구를 달성하는 데 한계가 있다. 예를 들면, 단일 유전율의 기판특성으로는 높은 배선밀도의 회로 구성과 다양한 수동소자 부품(인덕터, 필터, 캐패시터, 저항 등)의 실장 등을 동시에 구현하는 데 한계가 있다. 즉, 고속배선을 위해서는 저유전율 특성을 가지는 기판재료를 써야하며, 고주파용 인덕터 및 저용량 캐패시터에는 저유전율 및 저유전손실 특성을 가지는 기판재료가 사용되어야 한다. 또한, 고용량 인덕터에는 고투자율 특성을 가지는 기판재료를 써야하며, 고용량 캐패시터 및 소형 플레너 필터(planar filter)에는 고유전율 및 저유전손실 특성을 가지는 기판재료가 사용되어야 한다. 그런데, 단일 종류의 기판재료로 제조된 MCM패키지는 패키지의 소형화를 위해 각 수동소자들을 내층화하여 다양한 수동소자들을 동시에 구현하기가 어려운 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 이종 재료로 제조할 수 있도록 한 저온 동시소성 세라믹 다층기판의 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 저온 동시소성 세라믹 다층기판의 제조방법은 소성온도, 유전율 및 투자율이 서로 다른 그린테일들을 마련하는 단계와; 상기 그린테일들 중 그 소성온도가 고온인 그린테일들을 최상층 및 최상층에 위치하도록 상기 그린테일들을 적층하여 합착하는 단계와; 상기 합착된 그린테일들을 저온 동시소성하는 단계와; 상기 소성된 그린테일들에서 상기 최상층 및 최하층에 위치하는 상기 소성온도가 고온인 그린테일을 제거하는 단계를 포함하는 것을 특징으로 한다.

상기 저온 동시소성 세라믹 다층기판의 제조방법은 상기 소성온도가 고온인 그린테일을 제외한 나머지 그린테일들에 회로 패턴을 형성하는 단계를 더 포함한다.

상기 고온은 1500℃ 이상인 것을 특징으로 한다.

상기 저온은 800℃ 이상 1000℃ 이하인 것을 특징으로 한다.

상기 소성온도가 고온인 그린테일을 제외한 나머지 그린테일들은 적어도 2매 이상이며, 상기 2매 이상의 그린테일들 중 적어도 어느 하나의 그린테일은 그 재료가 나머지 그린테일들의 재료와 다른 것을 특징으로 한다.

상기 소성온도가 고온인 그린테일은, 상기 합착된 그린테일들을 저온 동시소성하는 단계에서 상기 합착된 그린테일들이 면방향으로 수축되는 것을 방지한다.

상기 저온 동시소성 세라믹 다층기판의 제조방법은 상기 소성온도가 고온인 그린테일이 제거된 상기 나머지 그린테일들의 외부 입/출력단자에 납구를 부착하는 단계를 포함하는 것을 특징으로 한다.

삭제

삭제

삭제

삭제

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예를 도 4 내지 도 6을 참조하여 상세하게 설명하기로 한다.

도 4는 본 발명의 실시 예에 따른 이종재료를 사용한 저온 동시소성 세라믹 다층기판의 제조방법을 단계적으로 나타낸 분해 사시도이다.

도 4를 참조하면, 저온 동시소성 세라믹 다층기판의 제조공정은 물에 감겨진 그린테이프를 미리 설정된 크기로 절단함으로써 시작된다.(S41 단계) 각각의 그린테일(33a 내지 33d)은 소성되는 온도와 유전율 및 투자율특성 등이 각각 다르다. 여기서, 그린테일은 유리분말에 그 유리분말의 점도를 유지하는 결합제, 경화를 방지하도록 유연성을 제공하기 위한 가소제, 상기 결합제와 가소제를 용해시키기 위한 용매 및 그 외 다른 소량의 첨가제가 혼합된 슬러리를 건조한 다음, 그 슬러리를 테일캐스팅방법으로 일정한 두께로 가공함으로써 형성되고 물에 감겨지게 된다.

S41 단계에 의해 마련된 고온소성 그린테일(33d)를 제외한 3 장의 그린테일(33a 내지 33c)에는 기계적인 천공(punching)으로 다수의 비아홀(Via hole)이 형성된다.(S42 단계)

이어서, 비아홀 내에는 도전성 페이스트가 충전된 후, 충전된 페이스트가 건조된다.(S43 단계) 비아홀 내에 충전된 도전성물질은 후공정에서 각 그린테일(33a 내지 33c) 상에 형성되는 회로패턴들 각각을 전기적으로 연결시키는 역할을 한다. 이 때, 도전성물질로는 Ag, Cu, Au 등이 일반적으로 사용된다.

S43 단계에 의해 도전성물질이 비아홀 내에 충전된 후, 각 그린테일(33a 내지 33c) 상에는 스크린 프린트 방법 등을 이용하여 회로패턴이 각각 형성된다.(S44 단계)

S44 단계에 의해 회로패턴이 각각 형성된 그린테일들(33a 내지 33c)이 정렬되고 최상층 및 최하층에는 고온소성(예를 들면, 1500℃ 이상)이 가능한 고온소성용 그린테일들(33d)이 각각 적층된 후 라미네이팅(laminating) 공정에 의해 각 그린테일들이 적층된 형태로 합착된다.(S45 단계) 일반적으로 Al₂O₃, ZrO, SiC, AlN, Mullite 등의 금속 산화물을 포함하는 그린테일들이 고온소성용 그린테일들(41)로 사용된다.

S45 단계에서 정렬된 그린테일들(33a 내지 33d)은 소정의 열에 의해 동시소성(co-firing)된다.(S46 단계) 즉, 약 800℃ 내지 1000℃ 의 저온에서 소성공정이 실시된다. 저온소성공정이 실시되면 최상층 및 최하층에 위치하는 고온소성용 그린테일들(33d)이 소성수축이 일어나지 않게 된다. 이에 따라, 회로패턴이 각각 형성된 이종재료의 그린테일들(33a 내지 33c)은 면방향(예를 들면, X축 및 Y축)의 수축은 억제되고 두께방향(예를 들면, Z축)으로만 수축된다.

적층된 그린테일들(33a 내지 33d)이 소성되면, 최상층 및 최하층에 적층된 고온소성용 그린테일들(33d)을 제거한다.(S47 단계) 이 때, 고온소성용 그린테일(33d)들은 수세 등의 공정을 통해 제거될 수 있다. S47 단계에 의해 동시소성된 이종재료의 그린테일들(33a 내지 33c) 각각은 회로기판 역할을 하게 되며 이러한 다수의 회로층을 가지는 회로 패키지(35)가 된다.

S47 단계에 의해 최상층 및 최하층의 그린테일들(33d)이 제거되면 회로패턴이 각각 형성된 그린테일들(33a 내지 33c) 중에 외부입/출력패드가 형성된 최저층의 그린테일(33a) 상에 입/출력패드를 제외한 최저층의 그린테일(33a) 전면에 솔더 레지스트가 코팅된다. 그리고 패키지(35)의 최상층 즉, 전면 상에는 보호층 역할을 하는 물질(5)이 전면코팅된다. 마지막으로, 솔더 볼 리플로우(Solder Ball Reflow) 공정을 이용하여 솔더볼(3)들 각각을 패키지(35)의 저면에 위치한 입/출력패드들 각각에 부착된다.(S48 단계)

이 때, 필요에 따라서는 적층된 기판을 소성한 후에 기판 상의 전극패드를 도금하는 공정을 추가하여 이종재료 저온 동시소성 세라믹 다층기판 패키지(30)를 형성한다. 또한, 본 발명의 실시 예에 따른 이종재료 저온 동시소성 세라믹 다층기판 제조방법을 통해 제작된 MCM 패키지(30)는 기판용 그린테일을 네 장 구비하였으나, 제조하고자 하는 회로구성에 따라 MCM 패키지는 다수의 기판용 그린테일을 적층하여 형성될 수 있다. 더욱이, 본 발명의 실시 예에 따른 제조방법을 통해 제작된 MCM 패키지(30)는 도 5에 도시된 바와 같이 제조하고자 하는 회로구성에 따라 각 층 용도별로 상이한 재료특성을 가지는 그린테일들을 적층하여 다양한 수동소자들을 내장함으로써 고집적, 경박단소화된 복합모듈을 제작할 수 있게 된다. 즉, 한 층에는 고밀도 배선 및 저손실선로를 위해 저유전상수 및 저유전손실특성을 갖는 기판을 적층하고, 다른 층에는 캐패시터와 필터를 위한 고유전상수 및 저유전손실특성을 갖는 기판을 적층할 수 있게 된다. 그 하층에는 고용량인덕터를 구현하기 위한 고투자율특성을 갖는 기판을 적층할 수도 있다.

도 6은 본 발명의 실시예에 따른 이종재료 저온동시소성 세라믹 다층기판 제조방법을 통해 제작된 MCM패키지(30)가 PCB 상에 실장된 모습을 단면으로 나타낸 도면이다.

도 6을 참조하면, 본 발명의 실시예에 따른 이종재료로 구성된 MCM패키지(30)는 PCB 기판의 외부전극 패턴과 MCM패키지(30)의 외부입/출력 패드 상에 실장된 솔더볼(3)에 의해 PCB 기판과 전기적으로 연결된다.

발명의 효과

상술한 바와 같이, 본 발명의 실시예에 따른 저온 동시소성 세라믹 다층기판의 제조방법은 적층된 이종재료로 구성된 다층 세라믹 기판의 최상층 및 최하층에 고온 소성용 기판을 적층함으로써 저온 동시소성이 실시될 때 기판의 두께방향으로만 소성수축이 일어나게 한다. 이에 의해, 본 발명의 실시예에 따른 멀티 칩 모듈 제조방법으로 제작된 멀티 칩 모듈은 이종재료로 구성된 다층 세라믹 기판의 면방향 수축이 일어나지 않는 무수축수결방법을 적용함으로써 다양한 수동소자를 내장할 수 있게 된다. 그결과, 본 발명의 실시예에 따른 멀티 칩 모듈 제조방법은 복합 부품의 초소형화 및 복합 모듈화를 가능케한다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

소성온도, 유전율 및 투자율이 서로 다른 그린테잎들을 마련하는 단계와;

상기 그린테잎들 중 그 소성온도가 고온인 그린테잎들을 최상층 및 최상층에 위치하도록 상기 그린테잎들을 적층하여 합착하는 단계와;

상기 합착된 그린테잎들을 저온 동시소성하는 단계와;

상기 소성된 그린테잎들에서 상기 최상층 및 최하층에 위치하는 상기 소성온도가 고온인 그린테잎을 제거하는 단계를 포함하는 것을 특징으로 하는 저온 동시소성 세라믹 다층기판의 제조방법.

청구항 2.

제 1 항에 있어서,

상기 소성온도가 고온인 그린테잎을 제외한 나머지 그린테잎들에 회로패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 저온 동시소성 세라믹 다층기판의 제조방법.

청구항 3.

제 1 항에 있어서,

상기 고온은 1500℃ 이상인 것을 특징으로 하는 저온 동시소성 세라믹 다층기판의 제조방법.

청구항 4.

제 1 항에 있어서,

상기 저온은 800℃ 이상 1000℃ 이하인 것을 특징으로 하는 저온 동시소성 세라믹 다층기판의 제조방법.

청구항 5.

제 1 항에 있어서,

상기 소성온도가 고온인 그린테잎을 제외한 나머지 그린테잎들은 적어도 2매 이상이며,

상기 2매 이상의 그린테잎들 중 적어도 어느 하나의 그린테잎은 그 재료가 나머지 그린테잎들의 재료와 다른 것을 특징으로 하는 저온 동시소성 세라믹 다층기판의 제조방법.

청구항 6.

제 1 항에 있어서,

상기 소성온도가 고온인 그린테잎은,

상기 합착된 그린테잎들을 저온 동시소성하는 단계에서 상기 합착된 그린테잎들이 면방향으로 수축되는 것을 방지하는 것을 특징으로 하는 저온 동시소성 세라믹 다층기판의 제조방법.

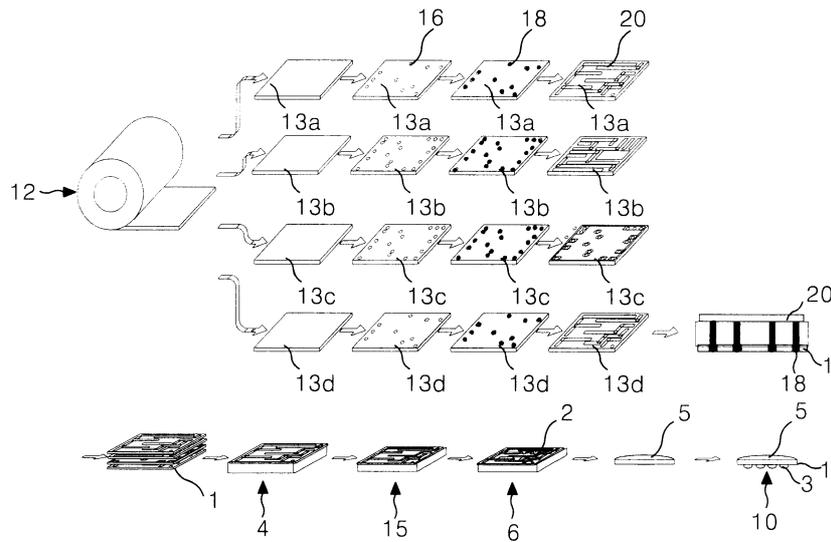
청구항 7.

제 1 항에 있어서,

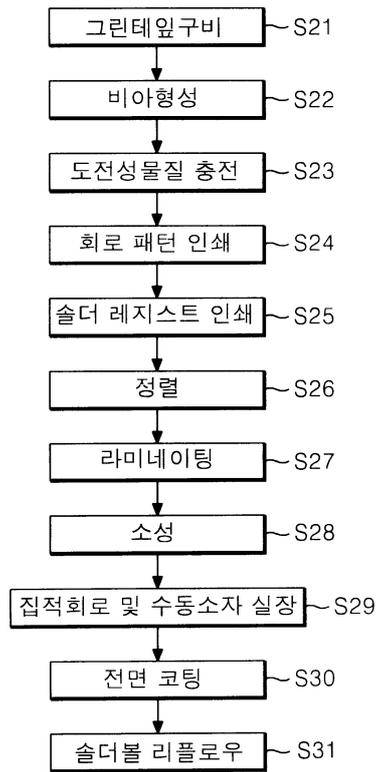
상기 소성온도가 고온인 그린테잎이 제거된 상기 나머지 그린테잎들의 외부 입/출력단자에 납구를 부착하는 단계를 더 포함하는 것을 특징으로 하는 저온 동시소성 세라믹 다층기판의 제조방법.

도면

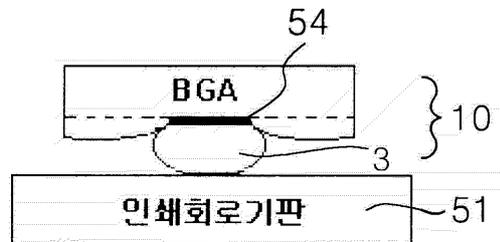
도면1



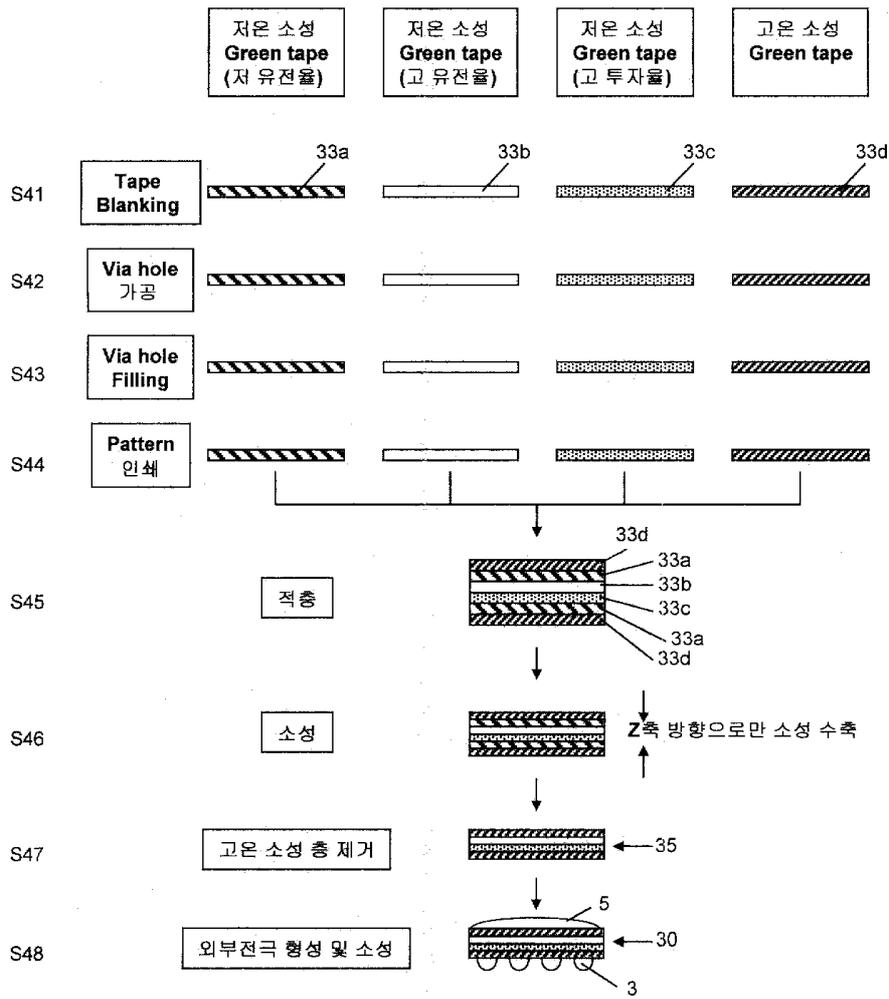
도면2



도면3

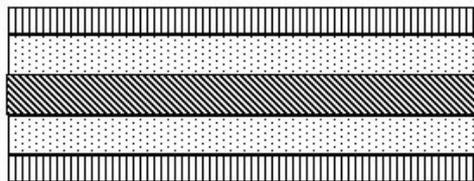


도면4



도면5

이종 재료 저온 소성 다층 기판



층 분류	재료특성	용도
	저 유전상수, 저 유전손실	고밀도 배선, 저 손실 선도
	고 유전상수, 저 유전손실	기액서터 층, Filter 층
	고 투자율	고용량 연머티 층

도면6

