



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I718606 B

(45)公告日：中華民國 110 (2021) 年 02 月 11 日

(21)申請案號：108127160

(22)申請日：中華民國 108 (2019) 年 07 月 31 日

(51)Int. Cl. : **H01L23/538 (2006.01)****H01L23/31 (2006.01)**

(30)優先權：2018/09/27 美國

62/737,282

2019/02/04 美國

16/266,276

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市力行六路八號

(72)發明人：江宗憲 CHIANG, TSUNG-HSIEN (TW)；余振華 YU, CHEN-HUA (TW)；劉重希
LIU, CHUNG-SHI (TW)；蔡豪益 TSAI, HAO-YI (TW)；黃育智 HUANG, YU-CHIH
(TW)；劉家宏 LIU, CHIA-HUNG (TW)；郭婷婷 KUO, TING-TING (TW)；戴志
軒 TAI, CHIH-HSUAN (TW)；吳邦立 WU, BAN-LI (TW)；曾英誠 TSENG, YING-
CHENG (TW)；賴季暉 LAI, CHI-HUI (TW)

(74)代理人：卓俊傑

(56)參考文獻：

TW 201608651A

CN 103579204A

US 2015/0243636A1

US 2016/0181124A1

審查人員：修宇鋒

申請專利範圍項數：12 項 圖式數：24 共 58 頁

(54)名稱

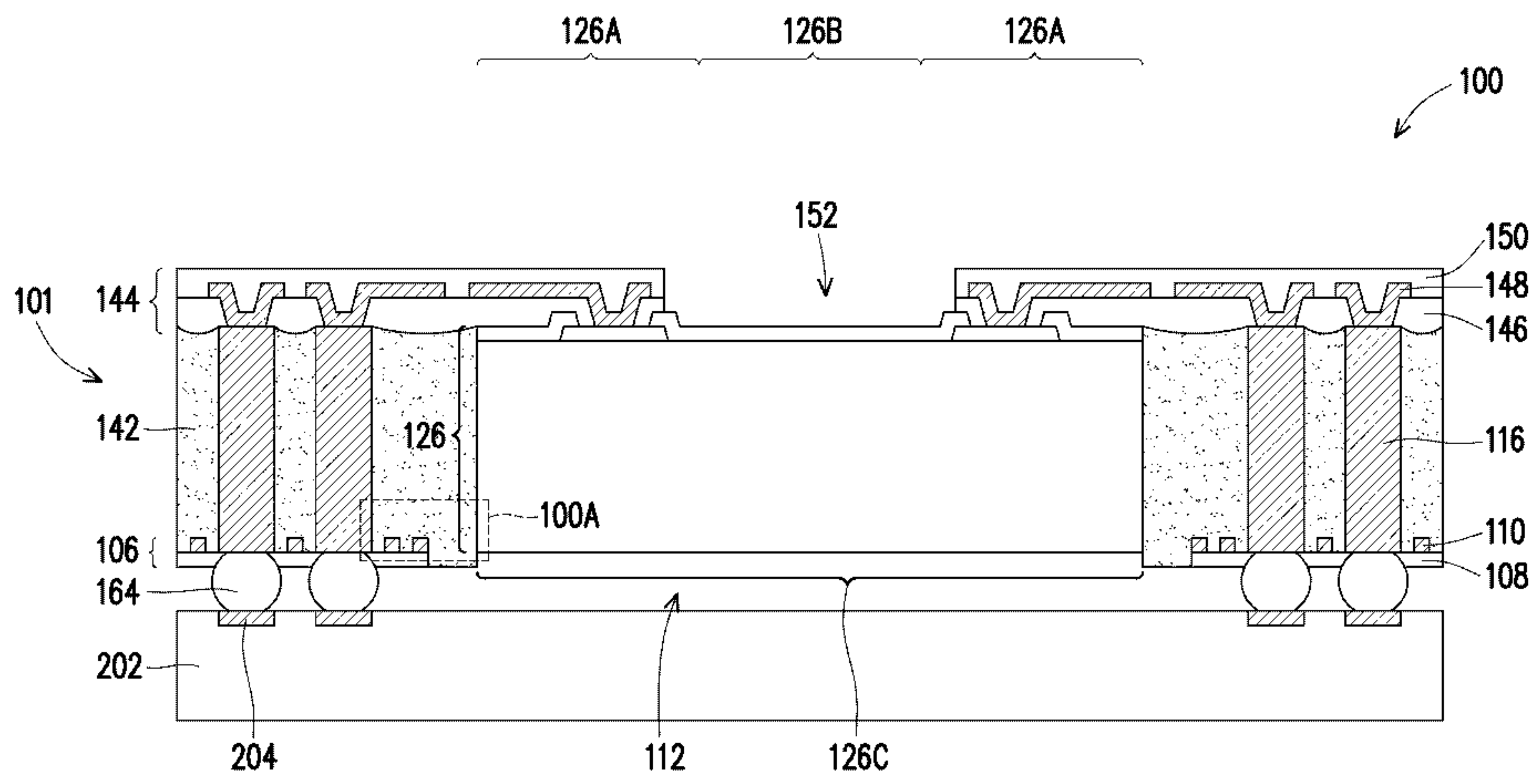
半導體元件及其形成方法

(57)摘要

在一實施例中，一種元件包含：感測器晶粒，具有第一表面及與第一表面相對的第二表面，感測器晶粒具有在第一表面處的輸入/輸出區及第一感測區；密封體，至少橫向地密封感測器晶粒；導通孔，延伸穿過密封體；以及前側重佈線結構，位於感測器晶粒的第一表面上，前側重佈線結構連接至導通孔及感測器晶粒，前側重佈線結構覆蓋感測器晶粒的輸入/輸出區，前側重佈線結構具有暴露感測器晶粒的第一感測區的第一開口。

In an embodiment, a device includes: a sensor die having a first surface and a second surface opposite the first surface, the sensor die having an input/output region and a first sensing region at the first surface; an encapsulant at least laterally encapsulating the sensor die; a conductive via extending through the encapsulant; and a front-side redistribution structure on the first surface of the sensor die, the front-side redistribution structure being connected to the conductive via and the sensor die, the front-side redistribution structure covering the input/output region of the sensor die, the front-side redistribution structure having a first opening exposing the first sensing region of the sensor die.

指定代表圖：



【圖12】

符號簡單說明：

- 100A:區
- 101:感測器封裝體
- 106:背側重佈線結構
- 108、146、150:介電層
- 110、148:金屬化圖案
- 112、152:開口
- 116:導通孔
- 126:積體電路晶粒
- 126A:輸入/輸出區
- 126B、126C:感測區
- 142:密封體
- 144:前側重佈線結構
- 164:導電連接件
- 200:感測元件
- 202:封裝基底
- 204:接合襯墊



I718606

【發明摘要】

【中文發明名稱】半導體元件及其形成方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF FORMING THE SAME

【中文】在一實施例中，一種元件包含：感測器晶粒，具有第一表面及與第一表面相對的第二表面，感測器晶粒具有在第一表面處的輸入/輸出區及第一感測區；密封體，至少橫向地密封感測器晶粒；導通孔，延伸穿過密封體；以及前側重佈線結構，位於感測器晶粒的第一表面上，前側重佈線結構連接至導通孔及感測器晶粒，前側重佈線結構覆蓋感測器晶粒的輸入/輸出區，前側重佈線結構具有暴露感測器晶粒的第一感測區的第一開口。

【英文】 In an embodiment, a device includes: a sensor die having a first surface and a second surface opposite the first surface, the sensor die having an input/output region and a first sensing region at the first surface; an encapsulant at least laterally encapsulating the sensor die; a conductive via extending through the encapsulant; and a front-side redistribution structure on the first surface of the sensor die, the front-side redistribution structure being connected to the conductive via and the sensor die, the front-side redistribution structure covering the input/output region of the sensor die, the front-side redistribution structure having a first opening exposing the first sensing region of the sensor die.

【指定代表圖】圖12

【代表圖之符號簡單說明】

100A：區

101：感測器封裝體

106：背側重佈線結構

108、146、150：介電層

110、148：金屬化圖案

112、152：開口

116：導通孔

126：積體電路晶粒

126A：輸入/輸出區

126B、126C：感測區

142：密封體

144：前側重佈線結構

164：導電連接件

200：感測元件

202：封裝基底

204：接合襯墊

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體元件及其形成方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF FORMING THE SAME

【技術領域】

【0001】 本發明的實施例是有關於半導體元件及其形成方法。

【先前技術】

【0002】 半導體行業已歸因於各種電子組件（例如，電晶體、二極體、電阻器、電容器等）的進行中的積體密度改良而經歷快速發展。主要而言，積體密度改良由最小特徵尺寸的反覆減小引起，此允許將更多組件整合至給定區域中。隨著對於縮小的電子元件的需求增長，已出現對於更小且更具創造性的半導體晶粒的封裝技術的需要。此類封裝系統的實例為積體扇出（integrated fan-out；InFO）技術。

【發明內容】

【0003】 本發明實施例的一種半導體元件，包括感測器晶粒、密封體、導通孔以及前側重佈線結構。感測器晶粒具有第一表面及與所述第一表面相對的第二表面，所述感測器晶粒具有在所述第一表面處的輸入/輸出區及第一感測區。密封體至少橫向地密封所述感測器晶粒。導通孔延伸穿過所述密封體。前側重佈線結構位於所述感測器晶粒的所述第一表面上，所述前側重佈線結構連接

至所述導通孔及所述感測器晶粒，所述前側重佈線結構覆蓋所述感測器晶粒的所述輸入/輸出區，所述前側重佈線結構具有暴露所述感測器晶粒的所述第一感測區的第一開口。

【0004】 本發明實施例的一種形成半導體元件的方法，包括：將感測器晶粒放置在導通孔附近，所述感測器晶粒具有輸入/輸出區及第一感測區；使用密封體密封所述感測器晶粒及所述導通孔；在所述密封體、所述感測器晶粒以及所述導通孔上形成第一介電層；圖案化所述第一介電層的第一開口、第二開口以及第三開口，所述第一開口暴露所述導通孔，所述第二開口暴露所述感測器晶粒的所述輸入/輸出區，所述第三開口暴露所述感測器晶粒的所述第一感測區；成第一金屬化圖案，所述第一金屬化圖案延伸穿過所述第一介電層的所述第一開口及所述第二開口，所述第一介電層的所述第三開口不具有所述第一金屬化圖案；在所述第一金屬化圖案及所述第一介電層上形成第二介電層；以及使所述第三開口延伸穿過所述第二介電層，以暴露所述感測器晶粒的所述第一感測區。

【0005】 本發明實施例的一種形成半導體元件的方法，包括：形成背側重佈線結構，所述背側重佈線結構具有第一開口；使用黏著劑將感測器晶粒黏著於所述背側重佈線結構的所述第一開口中，所述感測器晶粒具有第一表面及與所述第一表面相對的第二表面；使用密封體密封所述感測器晶粒；在所述密封體及所述感測器晶粒之上形成前側重佈線結構，所述前側重佈線結構具有暴露所述感測器晶粒的所述第二表面的第二開口；以及在形成所述前側重佈線結構之後，移除所述黏著劑，以暴露所述感測器晶粒

的所述第一表面。

【圖式簡單說明】

【0006】 結合隨附圖式閱讀以下具體實施方式時會最佳地理解本揭露內容的態樣。應注意，根據業界中的標準慣例，各種特徵未按比例繪製。事實上，可出於論述清楚起見而任意地增大或減小各種特徵的尺寸。

圖 1、圖 2、圖 3、圖 4、圖 5A、圖 5B、圖 5C、圖 5D、圖 6、圖 7、圖 8、圖 9、圖 10 以及圖 11 示出根據一些實施例的在用於形成感測器封裝體的製程期間的中間步驟的橫截面視圖。

圖 12、圖 13A、圖 13B、圖 13C、圖 13D、圖 14A、圖 14B、圖 14C 以及圖 14D 示出根據一些實施例的實施感測器封裝體的感測元件。

圖 15 及圖 16 示出根據一些其他實施例的在用於形成感測器封裝體的製程期間的中間步驟的橫截面視圖。

圖 17 示出根據一些其他實施例的實施感測器封裝體的感測元件。

圖 18 及圖 19 示出根據一些其他實施例的在用於形成感測器封裝體的製程期間的中間步驟的橫截面視圖。

圖 20 示出根據一些其他實施例的實施感測器封裝體的感測元件。

圖 21、圖 22 以及圖 23 示出根據一些其他實施例的實施感測器封裝體的感測元件。

圖 24A、圖 24B 以及圖 24C 示出根據一些實施例的封裝組件。

【實施方式】

【0007】 以下揭露內容提供用以實施本發明的不同特徵的許多不同實施例或實例。下文描述組件及配置的具體實例以簡化本揭露內容。當然，此等組件及配置僅為實例且並不意欲為限制性的。舉例而言，在以下描述中，第一特徵形成於第二特徵之上或第二特徵上可包含第一特徵及第二特徵直接接觸地形成的實施例，且亦可包含額外特徵可形成於第一特徵與第二特徵之間以使得第一特徵與第二特徵可不直接接觸的實施例。另外，本揭露內容可在各種實例中重複附圖標號及/或字母。此重複是出於簡單性及清晰的目的且本身不指示所論述的各種實施例及/或組態之間的關係。

【0008】 另外，為易於描述，可在本文中使用諸如「在...之下 (beneath)」、「在...下方 (below)」、「下部 (lower)」、「在...上方 (above)」、「上部 (upper)」以及類似者的空間相對術語以描述如在圖式中所示出的一個部件或特徵與另一部件或特徵的關係。除圖式中所描繪的定向之外，空間相對術語還意欲涵蓋元件在使用或操作中的不同定向。設備可以其他方式定向（旋轉 90 度或處於其他定向）且本文中所使用的空間相對描述詞可同樣相應地進行解譯。

【0009】 根據一些實施例，感測器晶粒經封裝於 InFO 封裝體中。感測器晶粒可包含在感測器晶粒的主動表面及/或背表面處的感測區。InFO 封裝體可包含暴露感測器晶粒的感測區的開口，而感測器晶粒的其他區（例如，輸入/輸出 (input/output; I/O) 區）可仍受保護。相較於其他（例如，引線接合）封裝方案，將感測器晶

粒封裝於 InFO 封裝體中可允許最終感測器封裝體的外觀尺寸更小，可提高經封裝感測器的機械可靠性，且可提高製造良率。

【0010】圖 1 至圖 11 示出根據一些實施例的在用於形成封裝組件 100 的製程期間的中間步驟的橫截面視圖。示出單個封裝區，且感測器封裝體 101（見圖 12）形成於所示出封裝區中。感測器封裝體 101 可為積體扇外型（InFO）封裝件。應瞭解，封裝組件 100 包含許多封裝區。圖 12 示出根據一些實施例的實施感測器封裝體 101 的感測元件 200。感測元件 200 可為實施感測器封裝體 101 的任何元件（諸如智慧型電話、平板電腦或類似者）。

【0011】在圖 1 中，設置載子基底 102，且釋放層 104 形成於載子基底 102 上。載子基底 102 可為玻璃載子基底、陶瓷載子基底或類似者。載子基底 102 可為晶圓，以使得多個封裝體可同時形成於載子基底 102 上。釋放層 104 可由聚合物類材料形成，可將所述聚合物類材料連同載子基底 102 一起自將在後續步驟中形成的上覆結構移除。在一些實施例中，釋放層 104 為在加熱時損失其黏著性質之環氧類熱釋放材料，諸如光-熱轉換（light-to-heat-conversion；LTHC）釋放塗層。在其他實施例中，釋放層 104 可為在暴露於 UV 光時損失其黏著性質的紫外線（ultra-violet；UV）黏膠。釋放層 104 可配製為液體且經固化，可為疊層至載子基底 102 上的疊層膜，或可為類似者。可將釋放層 104 的頂部表面水平化，且所述頂部表面可具有高度共面性。

【0012】在圖 2 中，背側重佈線結構 106 形成於釋放層 104 上。在所繪示實施例中，背側重佈線結構 106 包含介電層 108 及金屬化圖案 110（有時稱為重佈線層或重佈線（redistribution lines））。

視情況選用背側重佈線結構 106。在一些實施例中，省略金屬化圖案 110 且僅形成介電層 108。

【0013】 介電層 108 形成於釋放層 104 上。介電層 108 的底部表面可與釋放層 104 的頂部表面接觸。在一些實施例中，介電層 108 由諸如聚苯并噁唑（polybenzoxazole；PBO）、聚醯亞胺、苯環丁烷（benzocyclobutene；BCB）或類似者的聚合物形成。在其他實施例中，介電層 108 由以下各者形成：氮化物，諸如氮化矽；氧化物，諸如氧化矽、磷矽酸鹽玻璃（phosphosilicate glass；PSG）、硼矽酸鹽玻璃（borosilicate glass；BSG）、硼摻磷矽酸鹽玻璃（boron-doped phosphosilicate glass；BPSG）或類似者；或類似者。介電層 108 可藉由任何可接受的沈積製程形成，諸如旋轉塗佈、化學氣相沈積（chemical vapor deposition；CVD）、疊層、類似者或其組合。接著使介電層 108 圖案化以形成暴露釋放層 104 的部分的開口 112。可藉由可接受的製程，諸如藉由當介電層 108 為感光性材料時將介電層 108 暴露於光或藉由使用例如非等向性蝕刻來蝕刻，以進行圖案化。開口 112 具有第一寬度 W_1 。在一些實施例中，第一寬度 W_1 在約 20030 微米至約 32030 微米的範圍內，其可足夠大以容納積體電路晶粒。

【0014】 金屬化圖案 110 形成於介電層 108 上。作為形成金屬化圖案 110 的實例，晶種層形成於介電層 108 之上及開口 112 中。在一些實施例中，晶種層為金屬層，其可為單層或包含由不同材料形成的多個子層的組合層。在一些實施例中，晶種層為鈦層及鈦層之上的銅層。可使用（例如）物理氣相沈積（physical vapor deposition；PVD）或類似者形成晶種層。光阻接著形成於晶種層

上且在晶種層上圖案化。光阻可藉由旋轉塗佈或類似者來形成，且可暴露於光以圖案化。光阻的圖案對應於金屬化圖案 110。圖案化形成貫穿光阻的開口以暴露晶種層。導電材料形成於光阻的開口中及晶種層的經暴露部分上。導電材料可藉由鍍覆形成，諸如電鍍或無電式鍍覆或類似者。導電材料可為金屬，比如銅、鈦、鎢、鋁、類似者或其組合。接著，移除光阻及晶種層上未形成導電材料的部分。可藉由可接受的灰化製程或剝離製程來移除光阻，諸如使用氧電漿或類似者。一旦移除光阻，則諸如藉由使用可接受的蝕刻製程來移除晶種層的經暴露部分，諸如藉由濕式蝕刻或乾式蝕刻。晶種層的剩餘部分及導電材料的剩餘部分形成金屬化圖案 110。

【0015】 應瞭解，背側重佈線結構 106 可包含任何數目的介電層及金屬化圖案。可藉由重複用於形成介電層 108 及金屬化圖案 110 的製程來形成額外介電層及金屬化圖案。金屬化圖案可包含導電線及導通孔。可在形成金屬化圖案期間藉由在底層介電層的開口中形成金屬化圖案的晶種層及導電材料來形成導通孔。導通孔可因此內連及電性連接各種導電線。在背側重佈線結構 106 包含多個層的實施例中，開口 112 可延伸穿過每一各別介電層。

【0016】 在一些實施例中，背側重佈線結構 106 包含覆蓋及保護金屬化圖案 110 的最頂部介電層或鈍化層。在所繪示實施例中，省略最頂部層，且隨後形成的密封體用來保護金屬化圖案 110。

【0017】 另外，導通孔 116 形成於介電層 108 上且延伸遠離介電層 108。作為形成導通孔 116 的實例，晶種層形成於背側重佈線結構 106 之上，例如介電層 108 及金屬化圖案 110 上。導通孔 116

的晶種層可不同於金屬化圖案 110 的晶種層，且可進一步形成於金屬化圖案 110 之上。在一些實施例中，晶種層為金屬層，其可為單層或包含由不同材料形成的多個子層的組合層。在特定實施例中，晶種層為鈦層及鈦層之上的銅層。晶種層可使用例如 PVD 或類似者來形成。光阻形成於晶種層上且在晶種層上圖案化。光阻可藉由旋轉塗佈或類似者來形成，且可暴露於光以圖案化。光阻的圖案對應於導通孔。圖案化形成貫穿光阻的開口以暴露晶種層。導電材料形成於光阻的開口中及晶種層的經暴露部分上。導電材料可藉由鍍覆形成，諸如電鍍或無電式鍍覆或類似者。導電材料可為金屬，比如銅、鈦、鎢、鋁、類似者或其組合。移除光阻及晶種層上未形成導電材料的部分。可藉由可接受的灰化製程或剝離製程來移除光阻，諸如使用氧電漿或類似者。一旦移除光阻，則諸如藉由使用可接受的蝕刻製程來移除晶種層的經暴露部分，諸如藉由濕式蝕刻或乾式蝕刻。晶種層的剩餘部分及導電材料的剩餘部分形成導通孔 116。在所繪示實施例中，導通孔 116 直接形成於介電層 108 上且藉由導電線連接至金屬化圖案 110。在(下文所描述的)其他實施例中，根據金屬化圖案 110 的特徵對導通孔 116 進行鍍覆。

【0018】 在圖 3 中，藉由黏著劑 128 將積體電路晶粒 126 黏著至釋放層 104。積體電路晶粒 126 可安置於背側重佈線結構 106 的開口 112 中。積體電路晶粒 126 可為任何類型的晶粒，諸如感測器晶粒、邏輯晶粒（例如，中央處理單元、微控制器等）、記憶體晶粒（例如，動態隨機存取記憶體（dynamic random access memory；DRAM）晶粒、靜態隨機存取記憶體（static random access memory；

SRAM)晶粒等)、功率管理晶粒(例如,功率管理積體電路(power management integrated circuit; PMIC)晶粒)、射頻(radio frequency; RF)晶粒、微機電系統(micro-electro-mechanical-system; MEMS)晶粒、訊號處理晶粒(例如,數位訊號處理(digital signal processing; DSP)晶粒)、前端晶粒(例如,類比前端(analog front-end; AFE)晶粒)、類似者或其組合。積體電路晶粒 126 具有第二寬度 W_2 。當積體電路晶粒 126 安置於開口 112 中時,第二寬度 W_2 小於或等於第一寬度 W_1 (見圖 2)。在一些實施例中,第二寬度 W_2 在約 20000 微米至約 32000 微米的範圍內。在其他實施例中,積體電路晶粒 126 可安置於開口 112 之上,且在此類實施例中,第二寬度 W_2 大於第一寬度 W_1 。

【0019】 在黏著至釋放層 104 之前,可根據可應用的製造製程處理積體電路晶粒 126 以在積體電路晶粒 126 中形成積體電路。舉例而言,積體電路晶粒 126 包含諸如摻雜矽或未摻雜矽的半導體基底 130 或絕緣層上半導體(semiconductor-on-insulator; SOI)基底的主動層。半導體基底可包含:其他半導體材料,諸如鍺;化合物半導體,包含碳化矽、砷化鎵、磷化鎵、磷化銦、砷化銦及/或銻化銦;合金半導體,包含矽鍺(SiGe)、磷化鎵砷(GaAsP)、砷化銦鋁(AlInAs)、砷化鎵鋁(AlGaAs)、砷化銦鎵(GaInAs)、磷化銦鎵(GaInP)及/或磷砷化銦鎵(GaInAsP);或其組合。亦可使用其他基底,諸如多層或梯度基底。諸如電晶體、二極體、電容器、電阻器等的元件可形成於半導體基底 130 的主動表面中及/或所述主動表面上,且可藉由內連線結構內連以形成積體電

路，所述內連線結構藉由例如半導體基底 130 上的一或多個介電層中的金屬化圖案來形成。

【0020】 積體電路晶粒 126 更包含進行外部連接的襯墊 134，諸如鋁襯墊、銅襯墊或類似者。襯墊 134 在積體電路晶粒 126 的主動表面上。一或多個鈍化膜 136 在積體電路晶粒 126 上且在襯墊 134 的部分上。開口延伸穿過鈍化膜 136 以暴露襯墊 134。

【0021】 在一些實施例中，積體電路晶粒 126 為感測器晶粒。感測器晶粒可為影像感測器、聲學感測器或類似者。感測器晶粒可包含一或多個轉訊器（transducer）且亦可包含在操作期間發射訊號以供量測的一或多個特徵。舉例而言，感測器晶粒可為藉由發射超音波聲波及量測反射波來操作的指紋感測器。積體電路晶粒 126 具有在主動表面處的 I/O 區 126A 及感測區 126B。I/O 區 126A 可（或可能未）包圍感測區 126B。感測區 126B 具有小於第二寬度 W_2 的第三寬度 W_3 。在一些實施例中，第三寬度 W_3 在約 16000 微米至約 30000 微米的範圍內。在一些實施例中，感測器晶粒經封裝於 InFO 封裝體中，且以允許暴露感測區 126B 的方式經封裝。在一些實施例中，積體電路晶粒 126 更包含在積體電路晶粒 126 的背表面處的感測區 126C。在此類實施例中，感測晶粒以允許亦暴露感測區 126C 的方式經封裝。

【0022】 黏著劑 128 在積體電路晶粒 126 的背表面上且將積體電路晶粒 126 黏著至釋放層 104。黏著劑 128 可為任何合適的黏著劑、環氧樹脂、晶粒貼合膜（die attach film；DAF）或類似者。黏著劑 128 可塗覆於積體電路晶粒 126 的背側或可塗覆於載子基底 102 的表面之上。舉例來說，黏著劑 128 可在單體化以分離積

體電路晶粒 126 之前塗覆於積體電路晶粒 126 的背側。同樣地，黏著劑 128 可在貼合積體電路晶粒 126 之前塗覆於背側重佈線結構 106 的開口 112 中。

【0023】 儘管將一個積體電路晶粒 126 示出為黏著於所示出封裝區中，但應瞭解，更多積體電路晶粒 126 可黏著於每一封裝區中。舉例而言，多個積體電路晶粒 126 可黏著於每一封裝區中。在此類實施例中，積體電路晶粒 126 的大小及類型可改變。在一些實施例中，積體電路晶粒 126 可為具有較大覆蓋面積的晶粒，諸如系統晶片（system-on-chip；SoC）元件。在積體電路晶粒 126 具有較大覆蓋面積的實施例中，封裝區中可供用於導通孔 116 的空間可能有限。當封裝區中可供用於導通孔 116 的空間有限時，使用背側重佈線結構 106 能夠實現改良的內連配置。在使用感測器晶粒的實施例中，邏輯晶粒、記憶體晶粒或其組合亦可與感測器晶粒一同包含。

【0024】 在圖 4 中，密封體 142 形成於各種組件上。在形成之後，密封體 142 至少橫向地密封導通孔 116 及積體電路晶粒 126。金屬化圖案 110 由此安置於密封體 142 與介電層 108 之間。密封體 142 可為模塑化合物、環氧樹脂或類似者。密封體 142 可藉由壓縮模製（compression molding）、轉移模製（transfer molding）或類似者來應用。密封體 142 接著固化。在所繪示實施例中，密封體 142 藉由轉移模製形成，以使得在模塑之後暴露導通孔 116 及積體電路晶粒 126，且可省略平坦化步驟（例如 CMP）。由於使用轉移模製來形成密封體 142，故凹口 142R 可形成於密封體 142 中，且位於導通孔 116 及積體電路晶粒 126 的各別者之間。另外，鈍化膜

136 的最頂部表面可在密封體 142 的最頂部表面上方。

【0025】 當積體電路晶粒 126 黏著至釋放層 104 時，將所述積體電路晶粒按壓至釋放層 104 上以改良黏著劑 128 的黏著力。黏著劑 128 為展性（malleable）材料。因此，在黏著期間，黏著劑 128 中的一些可在積體電路晶粒 126 的邊緣周圍擠出，且可在所擠出黏著劑 128 周圍形成密封體 142。圖 5A 至圖 5D 為圖 4 中的區 100A 的詳細視圖，繪示根據各種實施例的黏著劑 128 的態樣。

【0026】 圖 5A 及圖 5B 繪示開口 112 的第一寬度 W_1 （見圖 2）大於積體電路晶粒 126 的第二寬度 W_2 （見圖 3）的實施例。在圖 5A 中，黏著劑 128 接觸密封體 142 及介電層 108 的側壁。黏著劑 128 具有自積體電路晶粒 126 的側壁延伸至介電層 108 的彎曲部分。黏著劑 128 的彎曲部分接觸密封體 142。介電層 108 的最接近邊緣僅藉由黏著劑 128 來與積體電路晶粒 126 的側壁實體上分離。在圖 5B 中，黏著劑 128 接觸密封體 142 且與介電層 108 實體上分離。黏著劑 128 具有自積體電路晶粒 126 的側壁延伸至積體電路晶粒 126 之下的彎曲部分。黏著劑 128 的彎曲部分接觸密封體 142。介電層 108 的最接近邊緣藉由黏著劑 128 及密封體 142 兩者來與積體電路晶粒 126 的側壁實體上分離。

【0027】 圖 5C 繪示開口 112 的第一寬度 W_1 （見圖 2）等於積體電路晶粒 126 的第二寬度 W_2 （見圖 3）的實施例。在圖 5C 中，黏著劑 128 接觸密封體 142、介電層 108 的側壁以及介電層 108 的頂部表面。黏著劑 128 具有自積體電路晶粒 126 的側壁延伸至介電層 108 的彎曲部分。黏著劑 128 的彎曲部分接觸密封體 142。介電層 108 的最接近邊緣僅藉由黏著劑 128 來與積體電路晶粒 126 的

側壁實體上分離。

【0028】 圖 5D 繪示開口 112 的第一寬度 W_1 (見圖 2) 小於積體電路晶粒 126 的第二寬度 W_2 (見圖 3) 的實施例。在圖 5D 中，黏著劑 128 接觸密封體 142、介電層 108 的側壁以及介電層 108 的頂部表面。黏著劑 128 具有自積體電路晶粒 126 的側壁延伸至介電層 108 的彎曲部分。黏著劑 128 的彎曲部分接觸密封體 142。介電層 108 的最接近邊緣僅藉由黏著劑 128 來與積體電路晶粒 126 的側壁實體上分離。

【0029】 圖 6 至圖 8 示出前側重佈線結構 144 (見圖 8) 在導通孔 116、密封體 142 以及積體電路晶粒 126 之上形成。前側重佈線結構 144 包含介電層 146、金屬化圖案 148 以及介電層 150。金屬化圖案亦可被稱為重佈線層或重佈線。前側重佈線結構 144 繪示為一個實例，且本文中論述用以形成前側重佈線結構 144 的一個實例製程。更多或更少介電層及金屬化圖案可形成於前側重佈線結構 144 中。若較多介電層及金屬化圖案待形成，則可重複下文所論述的步驟及製程。

【0030】 前側重佈線結構 144(見圖 8)包含暴露積體電路晶粒 126 的感測區 126B 的開口 152。開口 152 延伸穿過前側重佈線結構 144 的介電層 146 及介電層 150。金屬化圖案 148 未形成於開口 152 中，以使得開口 152 無前側重佈線結構 144 的材料 (例如，金屬化圖案 148 以及介電層 146 及介電層 150 的材料)。換言之，空氣間隙在感測區 126B 之上，空氣間隙橫向地安置於前側重佈線結構 144 的部分之間，空氣間隙無液體及固體材料。開口 152 暴露積體電路晶粒 126 的感測區 126B，允許即使在積體電路晶粒 126 經封

裝及密封時亦使用所述感測區。在形成開口 152 之後，積體電路晶粒 126 的 I/O 區 126A 仍由前側重佈線結構 144 覆蓋。開口 152 具有可大於或等於第三寬度 W_3 的第四寬度 W_4 。在一些實施例中，第四寬度 W_4 在約 16006 微米至約 29734 微米的範圍內。

【0031】 在圖 6 中，介電層 146 沈積於密封體 142、導通孔 116、鈍化膜 136 以及襯墊 134 上。在一些實施例中，介電層 146 由諸如 PBO、聚醯亞胺、BCB 或類似者的感光性材料形成，所述感光性材料可使用微影罩幕圖案化。介電層 146 可藉由旋轉塗佈、疊層、CVD、類似者或其組合形成。當密封體 142 具有凹口 142R 時，介電層 146 的部分填充凹口 142R。介電層 146 接著圖案化。圖案化形成分別暴露感測區 126B、襯墊 134 以及導通孔 116 的開口 152、開口 154 以及開口 156。開口 152 的寬度大於開口 154 及開口 156 的寬度。可藉由可接受的製程，諸如藉由當介電層 146 為感光性材料時使介電層 146 暴露於光或藉由使用例如非等向性蝕刻來進行蝕刻，以進行圖案化。若介電層 146 為感光性材料，則介電層 146 可在暴露之後顯影。

【0032】 在圖 7 中，金屬化圖案 148 形成。金屬化圖案 148 包含在介電層 146 的主表面上且沿所述主表面延伸的導電線。金屬化圖案 148 更包含延伸穿過介電層 146 的導通孔，以實體上及電性連接至導通孔 116 及積體電路晶粒 126（例如，藉由襯墊 134）。當密封體 142 具有凹口 142R 時，密封體 142、導通孔 116 以及積體電路晶粒 126 的頂部表面可能未齊平（例如，在省略平坦化步驟的實施例中）。在此類實施例中，連接至積體電路晶粒 126 的金屬化圖案 148 的通孔與連接至導通孔 116 的金屬化圖案 148 的通

孔具有不同長度。

【0033】 為形成金屬化圖案 148，晶種層形成於介電層 146 之上及延伸穿過介電層 146 的開口 152、開口 154 以及開口 156 中。在一些實施例中，晶種層為金屬層，其可為單層或包含由不同材料形成的多個子層的組合層。在一些實施例中，晶種層為鈦層及鈦層之上的銅層。晶種層可使用例如 PVD 或類似者來形成。光阻接著形成於晶種層上且在晶種層上圖案化。光阻可藉由旋轉塗佈或類似者來形成且可暴露於光以供圖案化。光阻的圖案對應於金屬化圖案 148。圖案化形成貫穿光阻的開口以暴露晶種層。導電材料接著形成於光阻的開口中及晶種層的經暴露部分上。導電材料可藉由鍍覆形成，諸如電鍍或無電式鍍覆或類似者。導電材料可為金屬，比如銅、鈦、鎢、鋁、類似者或其組合。導電材料的組合及晶種層的底層部分形成金屬化圖案 148。移除上方未形成導電材料的光阻及晶種層的部分。可藉由可接受的灰化製程或剝離製程來移除光阻，諸如使用氧電漿或類似者。一旦移除光阻，則諸如藉由使用可接受的蝕刻製程（諸如藉由濕式蝕刻或乾式蝕刻）移除晶種層的經暴露部分。

【0034】 在圖 8 中，介電層 150 沈積於金屬化圖案 148 及介電層 146 上。介電層 150 可以類似於介電層 146 的方式形成，且可由與介電層 146 相同的材料形成。開口 152 接著藉由使介電層 146 圖案化類似的方式使介電層 150 圖案化來延伸穿過介電層 150。在開口 152 延伸之後，其具有自鈍化膜 136 的主表面延伸至介電層 150 的最頂部表面的第一深度 D_1 。在一些實施例中，第一深度 D_1 在約 17 微米至約 25 微米（諸如小於約 25 微米）的範圍內。

【0035】 在所繪示實施例中，開口 152 在形成前側重佈線結構 144 期間形成。開口 152 亦可在形成前側重佈線結構 144 之後形成。舉例而言，開口 152 可在形成介電層 146 及介電層 150 兩者之後藉由非等向性蝕刻經由介電層 146 及介電層 150 形成。

【0036】 在圖 9 中，進行載子基底去接合 (de-bonding) 以自黏著劑 128 及背側重佈線結構 106 (例如介電層 108) 剝離 (或「去接合」) 載子基底 102。在一些實施例中，去接合包含將諸如雷射光或 UV 光的光投射於釋放層 104 上，以使釋放層 104 在光的熱量下分解且可移除載子基底 102。接著翻轉結構且將其置放於載帶 160 上。

【0037】 在圖 10 中，開口 162 經由介電層 108 形成以暴露金屬化圖案 110 及/或導通孔 116 的部分。舉例而言，可使用雷射鑽孔、蝕刻或類似者形成開口。另外，在開口製程期間，藉由移除黏著劑 128 的至少一部分來重新形成背側重佈線結構 106 中的開口 112。舉例而言，可使用雷射鑽孔、蝕刻或類似者來移除黏著劑 128。在一些實施例中，在同一製程 (諸如同一雷射鑽孔製程) 中形成開口 162 及重新形成開口 112。可在雷射鑽孔製程之後進行清潔製程，以移除黏著劑 128 及介電層 108 的剩餘殘留物。在積體電路晶粒 126 包含背表面處的感測區 126C 的實施例中，開口 112 暴露感測區 126C。諸如散熱器或聲學襯底層 (backing layer) 的其他特徵可經由開口 112 貼合至積體電路晶粒 126。InFO 封裝體允許此類特徵比引線接合封裝更易於與感測器晶粒整合。

【0038】 在圖 11 中，導電連接件 164 形成於開口 162 中，且實體上及電性連接金屬化圖案 110 及/或導通孔 116。導電連接件 164

可包含導電材料，諸如焊料、銅、鋁、金、鎳、銀、鈮、錫、類似者或其組合。在一些實施例中，藉由經由諸如蒸鍍、電鍍、列印、焊料轉移、植球或類似者的此類常用方法最初形成焊料層來形成導電連接件 164。一旦焊料層已形成於結構上，則可進行回焊以便將材料塑形成所要凸塊形狀。在一些實施例中，導電連接件 164 包含焊劑且形成於焊劑浸漬製程中。在一些實施例中，導電連接件 164 包含諸如焊錫膏、銀膏或類似者的導電膏，且配製於列印製程中。

【0039】 感測器封裝體 101（見圖 12）藉由沿封裝組件 100 的切割道區進行單體化製程來形成。可藉由沿鄰近封裝區之間的切割道鋸切、雷射鑽孔或類似者來進行單體化。單體化製程分離封裝組件 100 的鄰近封裝區。所得單體化感測器封裝體來自封裝組件 100 的封裝區中的一者。

【0040】 在圖 12 中，感測器封裝體 101 使用導電連接件 164 安裝至封裝基底 202。封裝基底 202 可由諸如矽、鍺、金剛石或類似者的半導體材料製成。替代性地，亦可使用化合物材料，諸如矽鍺、碳化矽、砷化鎵、砷化銮、磷化銮、矽鍺碳化物、磷化砷化鎵、磷化鎵銮、此等的組合以及類似者。另外，封裝基底 202 可為 SOI 基底。一般而言，SOI 基底包含半導體材料層，所述半導體材料諸如磊晶矽、鍺、矽鍺、SOI、SGOI，或其組合。在一個替代實施例中，封裝基底 202 基於諸如玻璃纖維強化樹脂芯的絕緣芯。一個實例芯材料為諸如 FR4 的玻璃纖維樹脂。芯材料的替代例包含雙順丁烯二醯亞胺三嗪（bismaleimide-triazine，BT）樹脂，或替代性地包含其他 PCB 材料或 PCB 膜。諸如 ABF 或其他疊層物

的堆積膜可用於封裝基底 202。

【0041】 封裝基底 202 可包含主動元件及被動元件（未繪示）。如所屬技術領域中具有通常知識者將認識到的，可使用諸如電晶體、電容器、電阻器、此等的組合以及類似者的廣泛多種元件來產生針對感測元件 200 的設計的結構及功能要求。元件可使用任何合適的方法來形成。

【0042】 封裝基底 202 亦可包含金屬化層及通孔（未繪示），以及金屬化層及通孔之上的接合襯墊 204。金屬化層可形成於主動元件及被動元件之上，且設計以連接各種元件以形成功能電路。金屬化層可由介電質（例如，低介電常數（k）介電材料）及導電材料（例如，銅）的交替層形成，其中通孔內連導電材料層，且可經由任何合適的製程（諸如沈積、鑲嵌、雙鑲嵌或類似者）來形成。在一些實施例中，封裝基底 202 實質上不含主動元件及被動元件。

【0043】 在一些實施例中，回焊導電連接件 164 以將感測器封裝體 101 貼合至接合襯墊 204。導電連接件 164 將封裝基底 202（包含封裝基底 202 中的金屬化層）電性及/或實體上連接至感測器封裝體 101。在一些實施例中，可在將被動元件安裝於封裝基底 202 上之前將被動元件（例如，表面安裝元件（**surface mount devices**；**SMD**），未示出）貼合至感測器封裝體 101（例如，接合至接合襯墊 204）。在此類實施例中，被動元件可與導電連接件 164 接合至感測器封裝體 101 的同一表面。

【0044】 導電連接器 164 可在其回焊之前具有在其上形成的環氧基焊劑（**epoxy flux**）（未示出），其中在感測器封裝體 101 附接到封裝基板 202 之後殘留有環氧基焊劑的至少一些環氧基部分。此

殘留環氧基部分可充當底膠以減小應力且保護由回焊導電連接件 164 而產生的接合點。在一些實施例中，底膠（未繪示）可形成於感測器封裝體 101 與封裝基底 202 之間，且包圍導電連接件 164。底膠可在感測器封裝體 101 貼合之後藉由毛細流動過程形成，或可在感測器封裝體 101 貼合之前藉由合適的沈積方法形成。

【0045】 在一些實施例中，黏著劑 128 的一些殘留物可在開口 112 重新形成之後殘留。根據各種實施例，圖 13A 至圖 13D 為圖 12 中的區 100A 的詳細視圖。圖 13A 至圖 13D 的實施例分別對應於圖 5A 至圖 5D 的實施例，且繪示所擠出黏著劑 128 的部分在移除製程之後在積體電路晶粒 126 的一部分的側壁周圍殘留的實施例。因此，開口 112 暴露黏著劑 128，但可能未暴露積體電路晶粒 126 的側壁。

【0046】 在圖 13A 中，黏著劑 128 的剩餘部分具有自積體電路晶粒 126 的側壁延伸至介電層 108 的彎曲部分。介電層 108 的最接近邊緣僅藉由黏著劑 128 來與積體電路晶粒 126 的側壁實體上分離。在圖 13B 中，黏著劑 128 的剩餘部分具有自積體電路晶粒 126 的側壁延伸至積體電路晶粒 126 之下的彎曲部分。介電層 108 的最接近邊緣藉由黏著劑 128 及密封體 142 兩者來與積體電路晶粒 126 的側壁實體上分離。在圖 13C 中，黏著劑 128 的剩餘部分具有自積體電路晶粒 126 的側壁延伸至介電層 108 的彎曲部分，其中無剩餘黏著劑 128 接觸介電層 108 的側面。在圖 13D 中，黏著劑 128 的剩餘部分具有自積體電路晶粒 126 的側壁延伸至介電層 108 的彎曲部分，且亦具有積體電路晶粒 126 與介電層 108 之間的部分，其中無剩餘黏著劑 128 接觸介電層 108 的側面。

【0047】 在一些實施例中，在開口 112 重新形成之後無黏著劑 128 的殘留物殘留。根據各種實施例，圖 14A 至圖 14D 為圖 12 中的區 100A 的詳細視圖。圖 14A 至圖 14D 的實施例分別對應於圖 5A 至圖 5D 的實施例，且繪示在移除製程之後所擠出黏著劑 128 無任何部分在積體電路晶粒 126 周圍殘留的實施例。因此，開口 112 部分地延伸至密封體 142 中且暴露積體電路晶粒 126 的一部分的側壁。

【0048】 在圖 14A 中，開口 112 具有自積體電路晶粒 126 的側壁延伸至介電層 108 的彎曲部分。在圖 14B 中，開口 112 具有密封體 142 中的彎曲部分。在圖 14C 中，開口 112 具有自積體電路晶粒 126 的側壁延伸至介電層 108 的彎曲部分，其中介電層 108 的邊緣與積體電路晶粒 126 的邊緣共面。在圖 14D 中，開口 112 具有自積體電路晶粒 126 的側壁延伸至介電層 108 的彎曲部分，其中介電層 108 的邊緣在積體電路晶粒 126 的邊緣以下。

【0049】 圖 15 至圖 16 示出根據一些其他實施例的在用於形成封裝組件 100 的製程期間的中間步驟的橫截面視圖。在此實施例中，積體電路晶粒 126 更包含在鈍化膜 136 及襯墊 134 之上的犧牲膜 166。犧牲膜 166 由諸如聚苯并噁唑（PBO）、聚醯亞胺、苯環丁烷（BCB）或類似者的感光性聚合物形成。

【0050】 在圖 15 中，密封體 142 形成。密封體 142 藉由壓縮模製形成，以使得在模塑之後內埋導通孔 116 及積體電路晶粒 126。

【0051】 在圖 16 中，對密封體 142 進行平坦化製程以暴露導通孔 116 及犧牲膜 166。平坦化製程亦可磨削（grind）犧牲膜 166。在平坦化製程之後，導通孔 116、密封體 142 以及犧牲膜 166 的頂部

表面共面。平坦化製程可為例如化學機械研磨 (chemical-mechanical polish ; CMP)、磨削製程或類似者。接著移除犧牲膜 166，暴露積體電路晶粒 126 的感測區 126B。當犧牲膜 166 為感光性聚合物時，其可藉由曝光顯影來移除。

【0052】 圖 17 示出感測元件 200。由於犧牲膜 166 的移除，故鈍化膜 136 的最頂部表面在密封體 142 的最頂部表面下方。開口 152 具有自鈍化膜 136 的主表面延伸至介電層 150 的最頂部表面的第二深度 D_2 。第二深度 D_2 大於第一深度 D_1 。在一些實施例中，第二深度 D_2 在約 22.5 微米至約 32.5 微米的範圍內。

【0053】 圖 18 至圖 19 示出根據一些其他實施例的在用於形成封裝組件 100 的製程期間的中間步驟的橫截面視圖。在此實施例中，積體電路晶粒 126 更包含晶粒連接件 138，諸如（例如，由諸如銅的金屬形成的）導電柱，所述晶粒連接件 138 延伸穿過鈍化膜 136 中的開口，以實體上及電性連接至襯墊 134 中的相應一者。晶粒連接件 138 可藉由例如鍍覆或類似者來形成。晶粒連接件 138 由此電性連接至積體電路晶粒 126 的積體電路。介電材料 140 在積體電路晶粒 126 的主動表面之上，諸如在鈍化膜 136 及晶粒連接件 138 上。介電材料 140 橫向地密封晶粒連接件 138，且介電材料 140 與積體電路晶粒 126 橫向地共端 (coterminous)。介電材料 140 可為諸如氮化矽或類似者的氮化物，且可例如藉由 CVD 或類似者來形成。介電材料 140 包含暴露積體電路晶粒 126 的感測區 126B 的開口 168，所述開口可藉由可接受的微影及蝕刻技術來形成。犧牲膜 166 最初形成於介電材料 140 之上及開口 168 中。

【0054】 在圖 18 中，密封體 142 形成。密封體 142 藉由壓縮模製

形成，以使得在模製之後內埋導通孔 116 及積體電路晶粒 126。

【0055】 在圖 19 中，對密封體 142 進行平坦化製程以暴露導通孔 116 及晶粒連接件 138。平坦化製程亦可磨削犧牲膜 166。在平坦化製程之後，導通孔 116、晶粒連接件 138、密封體以及介電材料 140 的最頂部表面共面。平坦化製程可為例如 CMP、磨削製程或類似者。接著移除犧牲膜 166，暴露積體電路晶粒 126 的感測區 126B。當犧牲膜 166 為感光性聚合物時，其可藉由暴露及顯影來移除。

【0056】 圖 20 示出感測元件 200。開口 168 具有可小於開口 152 的第四寬度 W_4 的第五寬度 W_5 。在一些實施例中，第五寬度 W_5 在約 15806 微米至約 29534 微米的範圍內。開口 152 及開口 168 具有自鈍化膜 136 的主表面延伸至介電層 150 的最頂部表面的相加的第三深度 D_3 。第三深度 D_3 大於第二深度 D_2 。在一些實施例中，第三深度 D_3 在約 22.5 微米至約 32.5 微米的範圍內。

【0057】 圖 21、圖 22 以及圖 23 示出根據一些其他實施例的感測元件 200。圖 21、圖 22 以及圖 23 分別為繪示於圖 12、圖 17 以及圖 20 中的實施例的變化。在此等實施例中，開口 112 未經由背側重佈線結構 106 形成。在積體電路晶粒 126 不在其背表面處具有感測區 126C 的實施例中，可能未形成開口 112。這類實施例可具有更低的製造成本。

【0058】 圖 24A 至圖 24C 示出根據其他實施例的封裝組件 100。圖 24A 至圖 24C 繪示圖 21 的實施例的變化（例如，其中密封體 142 藉由轉移模製形成且未經由背側重佈線結構 106 形成開口 112），然而應瞭解，繪示於圖 24A 至圖 24C 中的變化可與本文所

描述的其他實施例中的任一者組合。圖 24A 繪示封裝組件 100 的變化，其中省略金屬化圖案 110，且僅形成介電層 108。圖 24B 及圖 24C 繪示其中根據金屬化圖案 110 的特徵來鍍覆導通孔 116 的變化。舉例而言，金屬化圖案 110 可包含襯墊 114，根據所述襯墊來鍍覆導通孔 116（例如與襯墊 114 使用同一晶種層）。在圖 24B 中，襯墊 114 的寬度大於導通孔 116 的寬度。舉例而言，在此類實施例中，襯墊 114 可具有在約 160 微米至約 320 微米的範圍內的寬度，且導通孔 116 可具有在約 150 微米至約 280 微米的範圍內的寬度。在圖 24C 中，襯墊 114 的寬度小於導通孔 116 的寬度。舉例而言，在此類實施例中，襯墊 114 可具有在約 140 微米至約 270 微米的範圍內的寬度，且導通孔 116 可具有在約 150 微米至約 280 微米的範圍內的寬度。

【0059】 實施例可達成優點。將感測器晶粒（例如，積體電路晶粒 126）封裝於 InFO 封裝體（例如，感測器封裝體 101）中可允許減小最終感測器封裝體的外觀尺寸。舉例而言，一些 InFO 感測器封裝體可比引線接合感測器封裝體小最多 500 微米。另外，可避免 I/O 區 126A 之上的引線迴路（wire loops），減小感測區 126B 與目標之間的距離，藉此提高感測器晶粒的敏感度。相比於其他（例如，引線接合）封裝方案，亦可改良感測器封裝體的機械可靠性。InFO 封裝體的製造良率亦可大於引線接合封裝體的製造良率。由於 InFO 封裝體比其他封裝方案所暴露的感測器晶粒的表面積更小，故感測器晶粒的感測區可更易於保持清潔，改良感測精度。最後，與整合於引線接合封裝體上相比，支撐層或散熱器可更易於整合於 InFO 封裝體上。

【0060】 在實施例中，一種半導體元件包含：感測器晶粒，具有第一表面及與第一表面相對的第二表面，感測器晶粒具有在第一表面處的輸入/輸出區及第一感測區；密封體，至少橫向地密封感測器晶粒；導通孔，延伸穿過密封體；以及前側重佈線結構，位於感測器晶粒的第一表面上，前側重佈線結構連接至導通孔及感測器晶粒，前側重佈線結構覆蓋感測器晶粒的輸入/輸出區，前側重佈線結構具有暴露感測器晶粒的第一感測區的第一開口。

【0061】 在一些實施例中，所述半導體元件更包含：背側重佈線結構，位於感測器晶粒的第二表面上，背側重佈線結構連接至導通孔。在一些實施例中，背側重佈線結構包含：介電層；以及金屬化圖案，安置於介電層與密封體之間，金屬化圖案電性連接至導通孔。在一些實施例中，感測器晶粒具有在第二表面處的第二感測區，且背側重佈線結構具有暴露感測器晶粒的第二感測區的第二開口。在一些實施例中，第二開口部分地延伸至密封體中且暴露感測器晶粒的一部分的側壁。在一些實施例中，所述元件更包含：黏著劑，包圍感測器晶粒的一部分，第二開口暴露黏著劑。在一些實施例中，感測器晶粒包含：半導體基底；襯墊，位於半導體基底上，襯墊連接至前側重佈線結構；以及鈍化膜，位於襯墊及半導體基底上，鈍化膜的最頂部表面在密封體的最頂部表面上方。在一些實施例中，感測器晶粒包含：半導體基底；襯墊，位於半導體基底上，襯墊連接至前側重佈線結構；以及鈍化膜，位於襯墊及半導體基底上，鈍化膜的最頂部表面在密封體的最頂部表面下方。在一些實施例中，感測器晶粒包含：半導體基底；襯墊，位於半導體基底上，襯墊連接至前側重佈線結構；鈍化膜，

位於襯墊及半導體基底上；以及介電層，位於鈍化膜之上，介電層具有暴露感測器晶粒的第一感測區的第二開口，第二開口的寬度小於第一開口的寬度。在一些實施例中，感測器晶粒的第一感測區與前側重佈線結構的第一開口具有相同寬度。

【0062】 在實施例中，一種形成半導體元件的方法，包含：將感測器晶粒放置在導通孔附近，感測器晶粒具有輸入/輸出區及第一感測區；使用密封體密封感測器晶粒及導通孔；在密封體、感測器晶粒以及導通孔上形成第一介電層；圖案化第一介電層的第一開口、第二開口以及第三開口，第一開口暴露所述導通孔，第二開口暴露感測器晶粒的輸入/輸出區，第三開口暴露感測器晶粒的第一感測區；形成第一金屬化圖案，所述第一金屬化圖案延伸穿過第一介電層的第一開口及第二開口，第一介電層的第三開口不具有第一金屬化圖案；在第一金屬化圖案及第一介電層上形成第二介電層；以及使第三開口延伸穿過第二介電層，以暴露感測器晶粒的第一感測區。

【0063】 在一些實施例中，感測器晶粒包含半導體基底及半導體基底上的襯墊，其中密封感測器晶粒包含：藉由轉移模製形成密封體，以使得密封體中的凹口安置於半導體基底與導通孔之間。在方法的一些實施例中，感測器晶粒包含半導體基底及半導體基底上的襯墊，其中密封感測器晶粒包含：藉由壓縮模製形成密封體；以及使密封體平坦化，以使得密封體及導通孔的頂部表面在半導體基底的頂部表面上方延伸。在一些實施例中，感測器晶粒更包含在半導體基底之上的犧牲膜，且方法更包含：移除犧牲膜，以形成暴露感測器晶粒的第一感測區的第四開口。在一些實施例

中，所述方法更包含：在第三介電層上鍍覆導通孔；以及在第三介電層上形成第二金屬化圖案。在一些實施例中，放置感測器晶粒包含：使用黏著劑將感測器晶粒黏著至第三介電層。在一些實施例中，所述方法更包含：在第三介電層中形成第四開口。在方法的一些實施例中，放置感測器晶粒包含使用黏著劑將感測器晶粒黏著於第四開口中，且方法更包含：在密封感測器晶粒之後，移除黏著劑的至少一部分，以暴露在感測器晶粒的背表面處的第二感測區。

【0064】 在實施例中，一種形成半導體元件的方法，包含：形成背側重佈線結構，背側重佈線結構具有第一開口；使用黏著劑將感測器晶粒黏著於背側重佈線結構的第一開口中，感測器晶粒具有第一表面及與第一表面相對的第二表面；使用密封體密封感測器晶粒；在密封體及感測器晶粒之上形成前側重佈線結構，前側重佈線結構具有暴露感測器晶粒的第二表面的第二開口；以及在形成前側重佈線結構之後，移除黏著劑，以暴露感測器晶粒的第一表面。

【0065】 在一些實施例中，所述方法更包含：使用導電連接件將背側重佈線結構貼合至封裝基底，導電連接件延伸穿過背側重佈線結構的介電層，以接觸背側重佈線結構的金屬化圖案。

【0066】 前文概述若干實施例的特徵，以使所屬技術領域中具有通常知識者可更好地理解本揭露內容的態樣。所屬技術領域中具有通常知識者應理解，其可易於使用本揭露內容作為設計或修改用於實現本文中所引入的實施例的相同目的及/或達成相同優點的其他製程及結構的基礎。所屬技術領域中具有通常知識者亦應認

識到，此類等效構造並不脫離本揭露內容的精神及範圍，且所屬技術領域中具有通常知識者可在不脫離本揭露內容的精神及範圍的情況下在本文中作出各種改變、替代以及更改。

【符號說明】

【0067】

100：封裝組件

100A：區

101：感測器封裝體

102：載子基底

104：釋放層

106：背側重佈線結構

108、146、150：介電層

110、148：金屬化圖案

112、152、154、156、162、168：開口

114、134：襯墊

116：導通孔

126：積體電路晶粒

126A：輸入/輸出區

126B、126C：感測區

128：黏著劑

130：半導體基底

136：鈍化膜

138：晶粒連接件

- 140：介電材料
- 142：密封體
- 142R：凹口
- 144：前側重佈線結構
- 160：載帶
- 164：導電連接件
- 166：犧牲膜
- 200：感測元件
- 202：封裝基底
- 204：接合襯墊
- D_1 ：第一深度
- D_2 ：第二深度
- D_3 ：第三深度
- W_1 ：第一寬度
- W_2 ：第二寬度
- W_3 ：第三寬度
- W_4 ：第四寬度

【發明申請專利範圍】

【第1項】 一種半導體元件，包括：

感測器晶粒，具有第一表面及與所述第一表面相對的第二表面，所述感測器晶粒具有在所述第一表面處的輸入/輸出區及第一感測區；

密封體，至少橫向地密封所述感測器晶粒；

導通孔，延伸穿過所述密封體；以及

前側重佈線結構，位於所述感測器晶粒的所述第一表面上，所述前側重佈線結構連接至所述導通孔及所述感測器晶粒，所述前側重佈線結構覆蓋所述感測器晶粒的所述輸入/輸出區，所述前側重佈線結構具有暴露所述感測器晶粒的所述第一感測區的第一開口。

【第2項】 如申請專利範圍第 1 項所述的半導體元件，更包括：

背側重佈線結構，位於所述感測器晶粒的所述第二表面上，所述背側重佈線結構連接至所述導通孔。

【第3項】 如申請專利範圍第 2 項所述的半導體元件，其中所述感測器晶粒具有在所述第二表面處的第二感測區，且所述背側重佈線結構具有暴露所述感測器晶粒的所述第二感測區的第二開口。

【第4項】 如申請專利範圍第 3 項所述的半導體元件，其中所述第二開口部分地延伸至所述密封體中且暴露所述感測器晶粒的一部分的側壁。

【第5項】 如申請專利範圍第 3 項所述的半導體元件，更包括：

黏著劑，包圍所述感測器晶粒的一部分，所述第二開口暴露所述黏著劑。

【第6項】如申請專利範圍第1項所述的半導體元件，其中所述感測器晶粒包括：

半導體基底；

襯墊，位於所述半導體基底上，所述襯墊連接至所述前側重佈線結構；以及

鈍化膜，位於所述襯墊及所述半導體基底上，所述鈍化膜的最頂部表面在所述密封體的最頂部表面上方或下方。

【第7項】如申請專利範圍第1項所述的半導體元件，其中所述感測器晶粒包括：

半導體基底；

襯墊，位於所述半導體基底上，所述襯墊連接至所述前側重佈線結構；

鈍化膜，位於所述襯墊及所述半導體基底上；以及

介電層，位於所述鈍化膜之上，所述介電層具有暴露所述感測器晶粒的所述第一感測區的第二開口，所述第二開口的寬度小於所述第一開口的寬度。

【第8項】一種形成半導體元件的方法，包括：

將感測器晶粒放置在導通孔附近，所述感測器晶粒具有輸入/輸出區及第一感測區；

使用密封體密封所述感測器晶粒及所述導通孔；

在所述密封體、所述感測器晶粒以及所述導通孔上形成第一介電層；

圖案化所述第一介電層的第一開口、第二開口以及第三開口，所述第一開口暴露所述導通孔，所述第二開口暴露所述感測器晶

粒的所述輸入/輸出區，所述第三開口暴露所述感測器晶粒的所述第一感測區；

形成第一金屬化圖案，所述第一金屬化圖案延伸穿過所述第一介電層的所述第一開口及所述第二開口，所述第一介電層的所述第三開口不具有所述第一金屬化圖案；

在所述第一金屬化圖案及所述第一介電層上形成第二介電層；以及

使所述第三開口延伸穿過所述第二介電層，以暴露所述感測器晶粒的所述第一感測區。

【第9項】 如申請專利範圍第 8 項所述的方法，其中所述感測器晶粒包括半導體基底及所述半導體基底上的襯墊，其中使用所述密封體密封所述感測器晶粒包括：

藉由轉移模製形成所述密封體，以使得所述密封體中的凹口安置於所述半導體基底與所述導通孔之間。

【第10項】 如申請專利範圍第 8 項所述的方法，其中所述感測器晶粒包括半導體基底及所述半導體基底上的襯墊，其中使用所述密封體密封所述感測器晶粒包括：

藉由壓縮模製形成所述密封體；以及

使所述密封體平坦化，以使得所述密封體及所述導通孔的頂部表面在所述半導體基底的頂部表面上方延伸。

【第11項】 如申請專利範圍第 10 項所述的方法，其中所述感測器晶粒更包括所述半導體基底之上的犧牲膜，且所述方法更包括：

移除所述犧牲膜，以形成暴露所述感測器晶粒的所述第一感測區的第四開口。

【第12項】 一種形成半導體元件的方法，包括：

形成背側重佈線結構，所述背側重佈線結構具有第一開口；

使用黏著劑將感測器晶粒黏著於所述背側重佈線結構的所述第一開口中，所述感測器晶粒具有第一表面及與所述第一表面相對的第二表面；

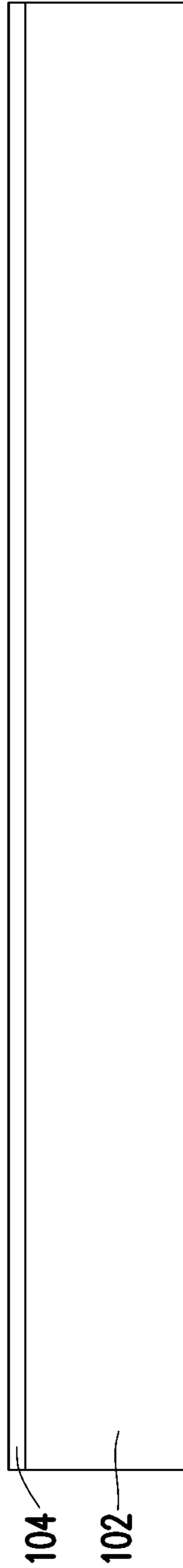
使用密封體密封所述感測器晶粒；

在所述密封體及所述感測器晶粒之上形成前側重佈線結構，所述前側重佈線結構具有暴露所述感測器晶粒的所述第二表面的第二開口；以及

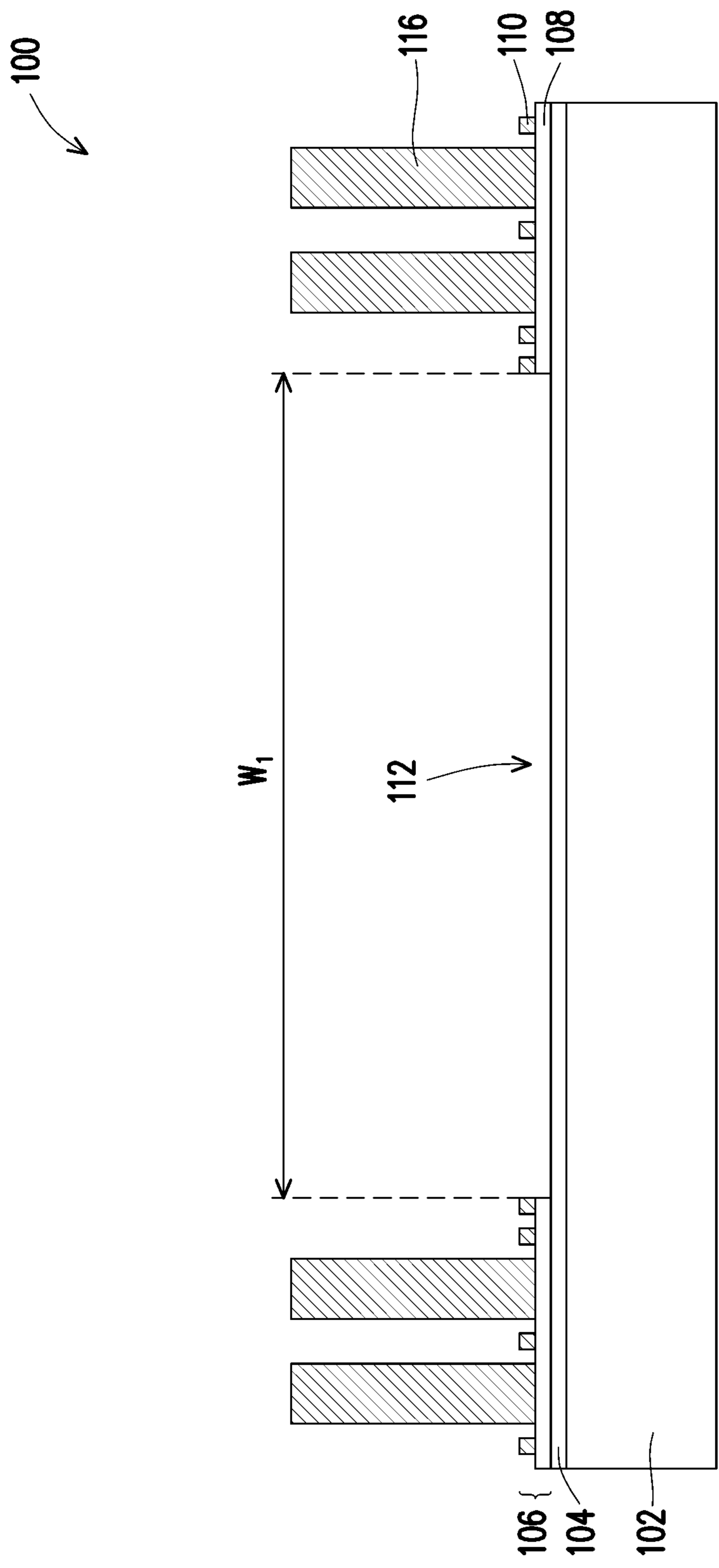
在形成所述前側重佈線結構之後，移除所述黏著劑，以暴露所述感測器晶粒的所述第一表面。

【發明圖式】

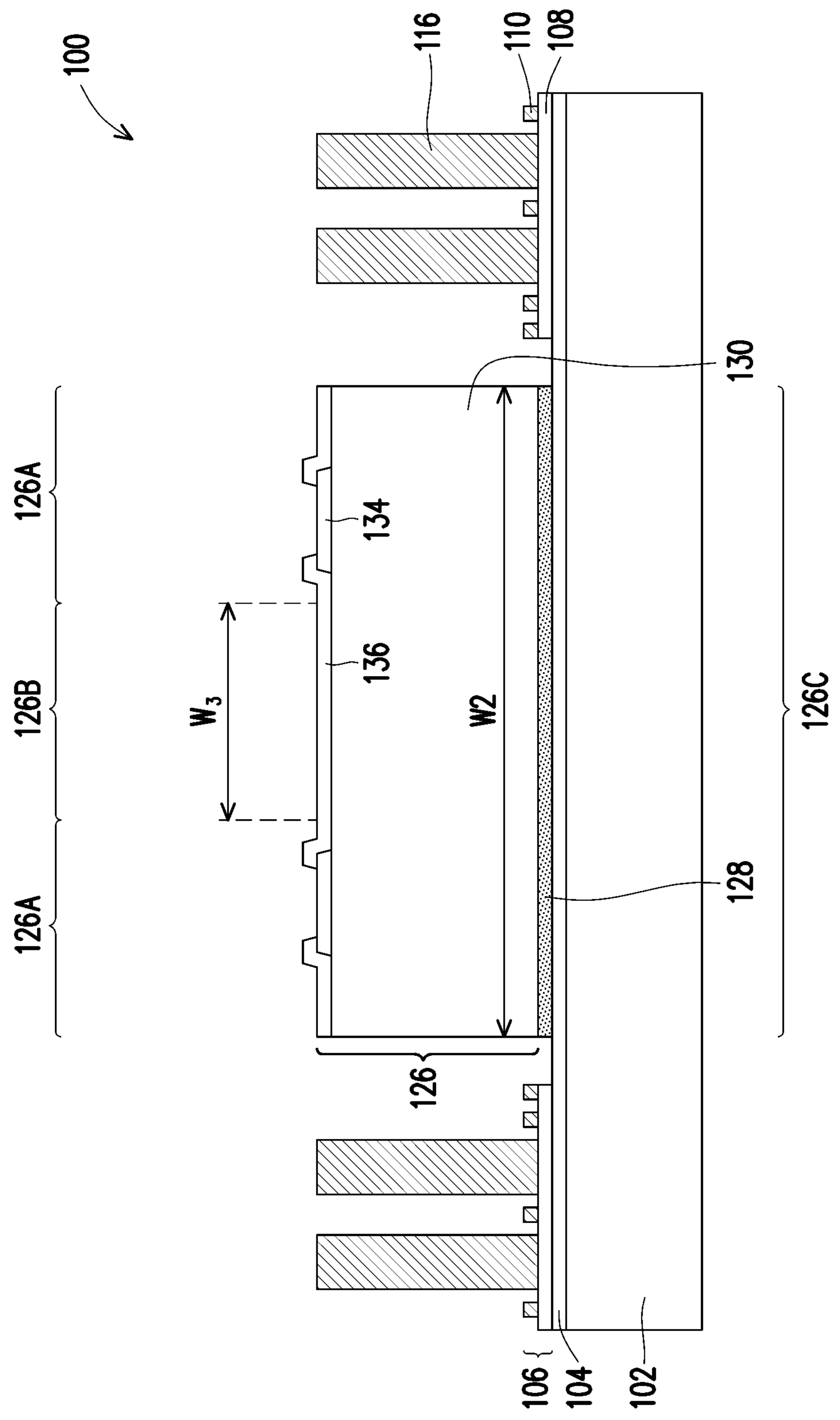
100



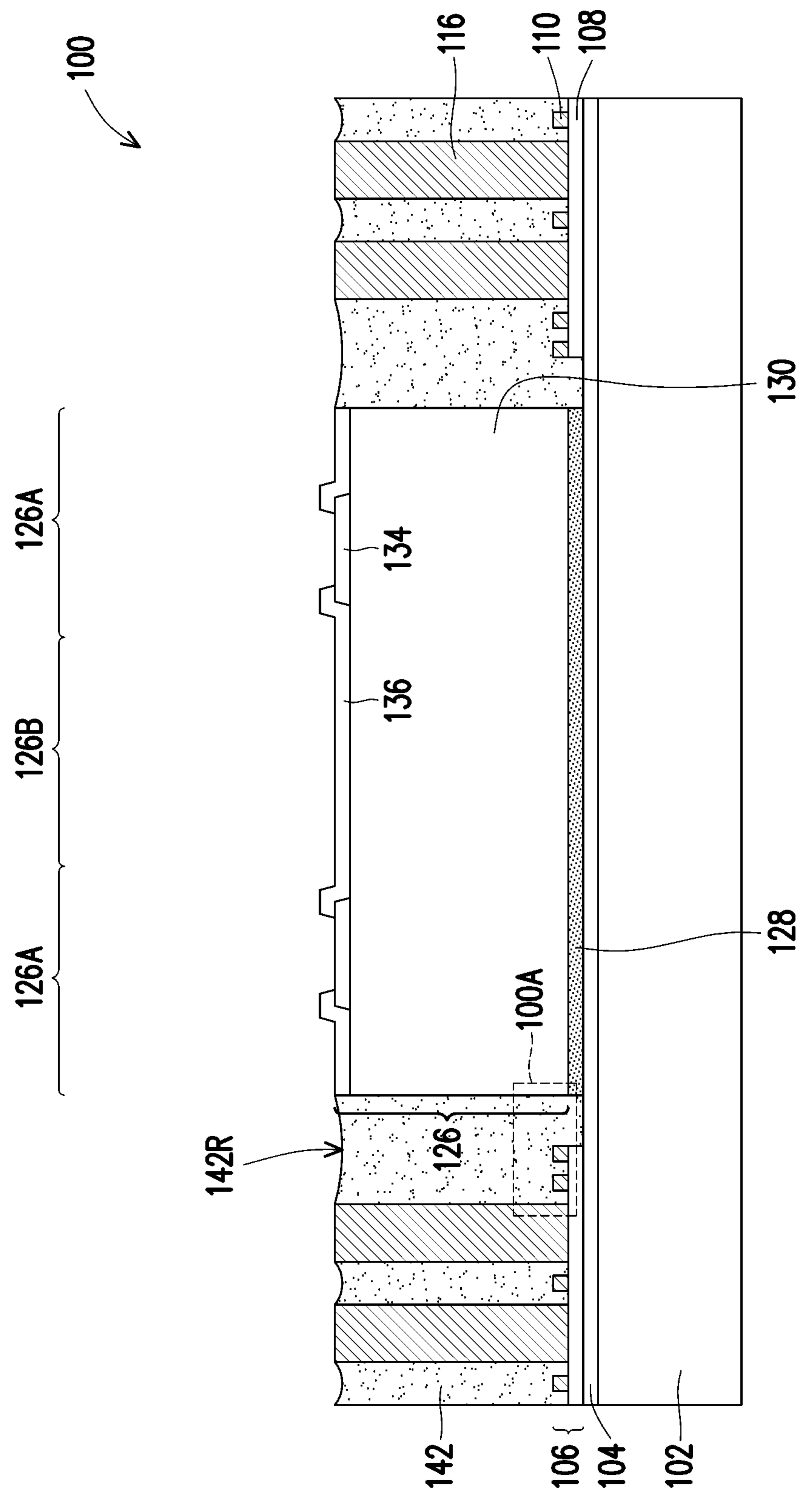
【圖1】



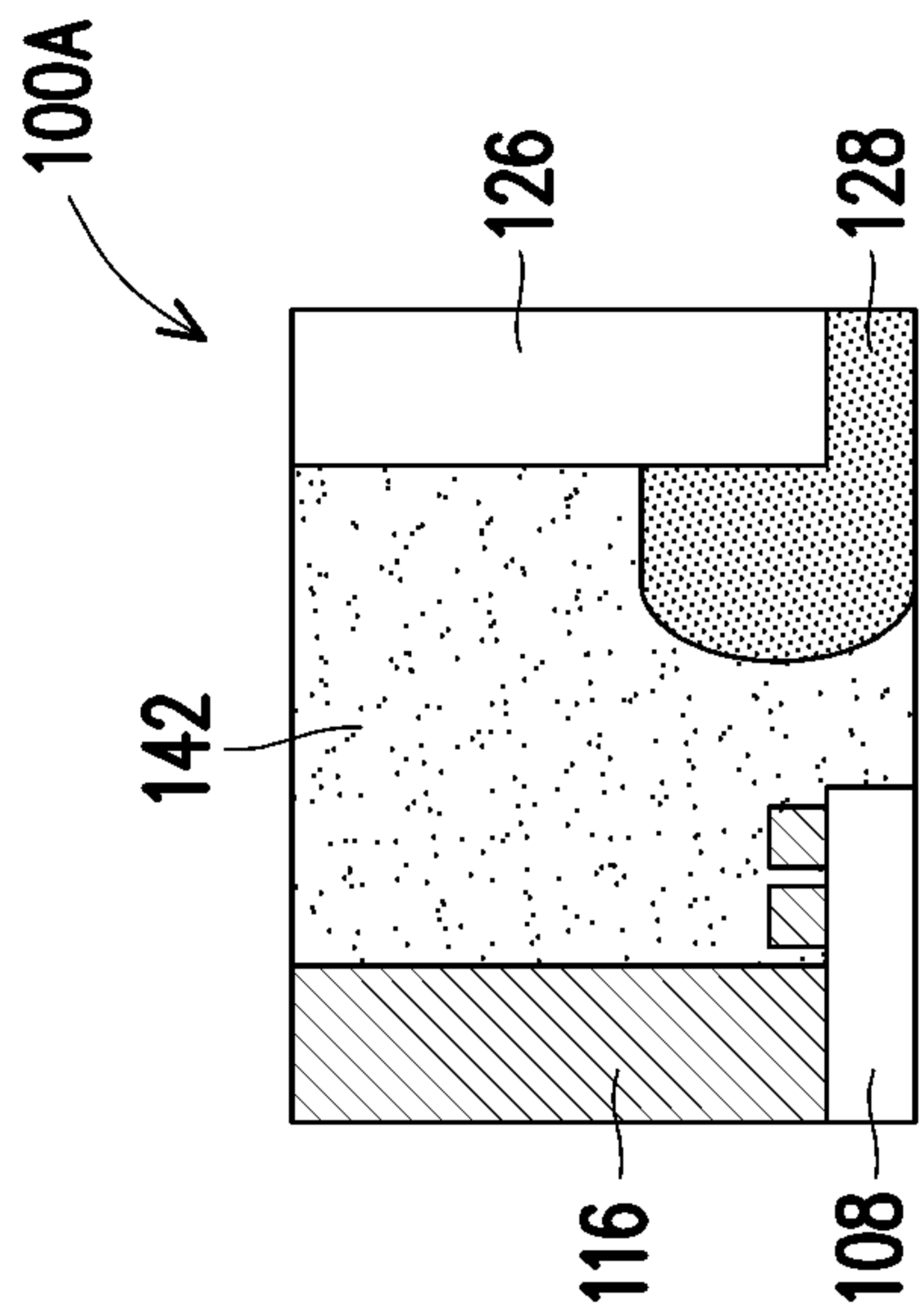
【圖2】



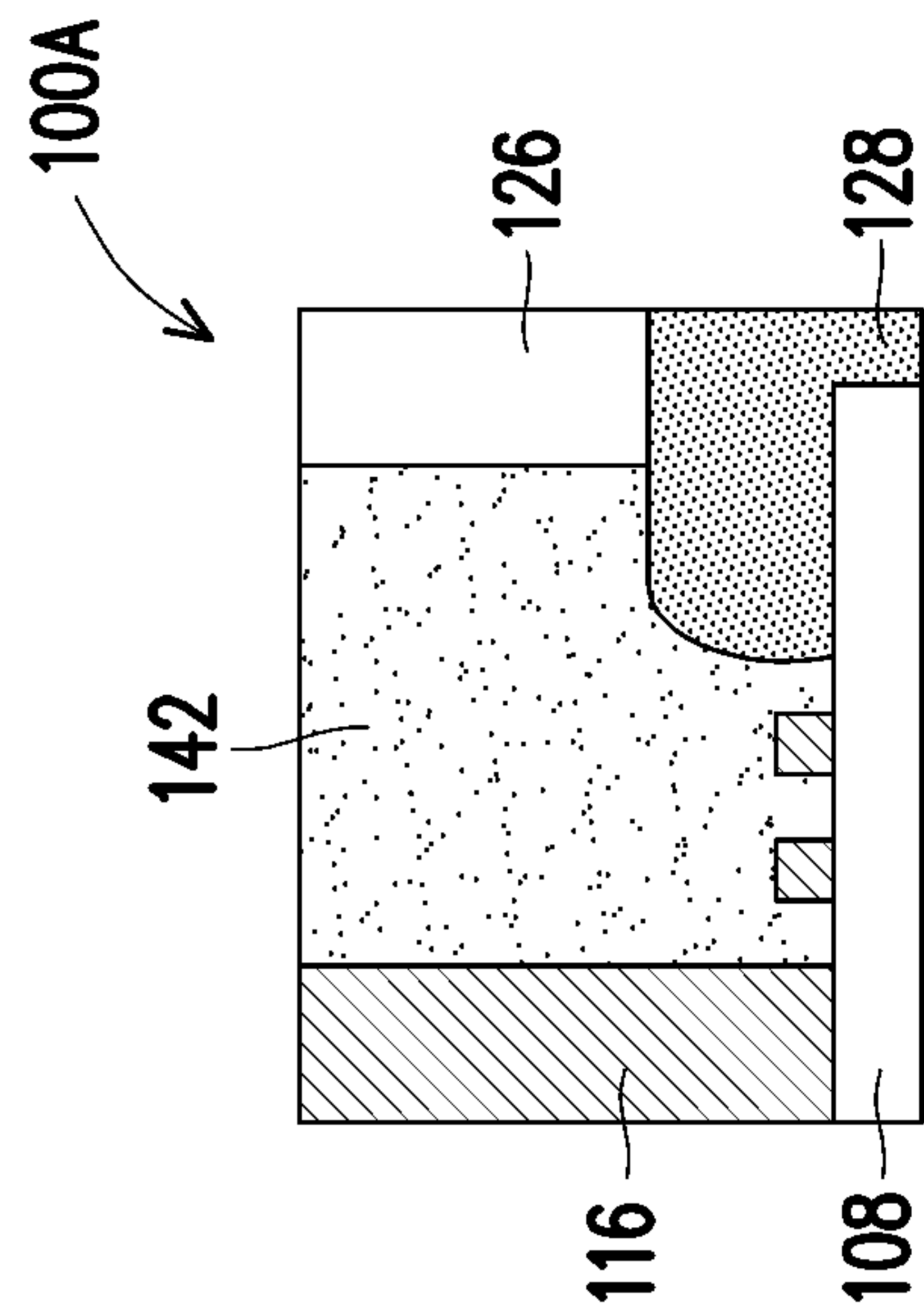
【圖3】



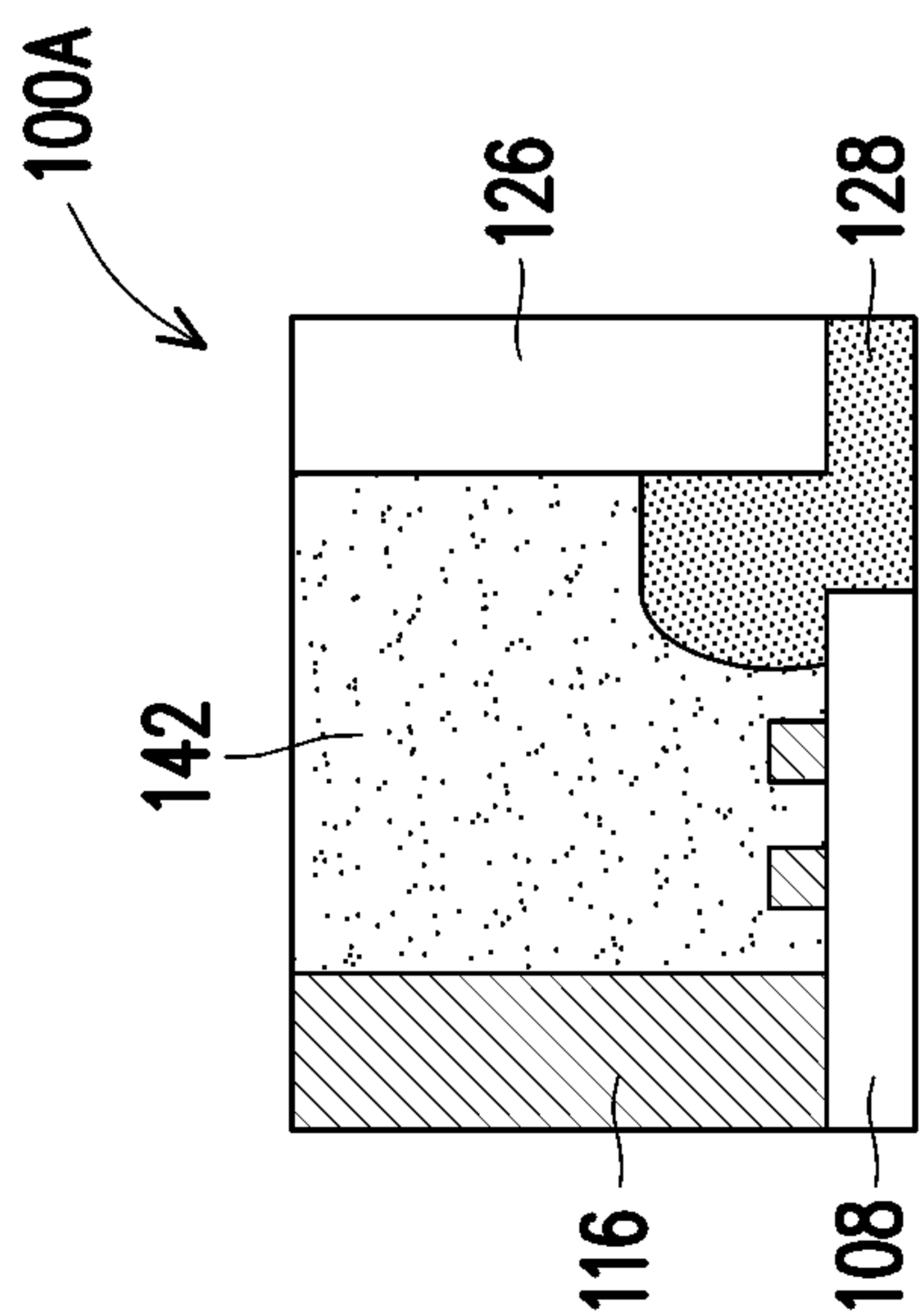
【圖4】



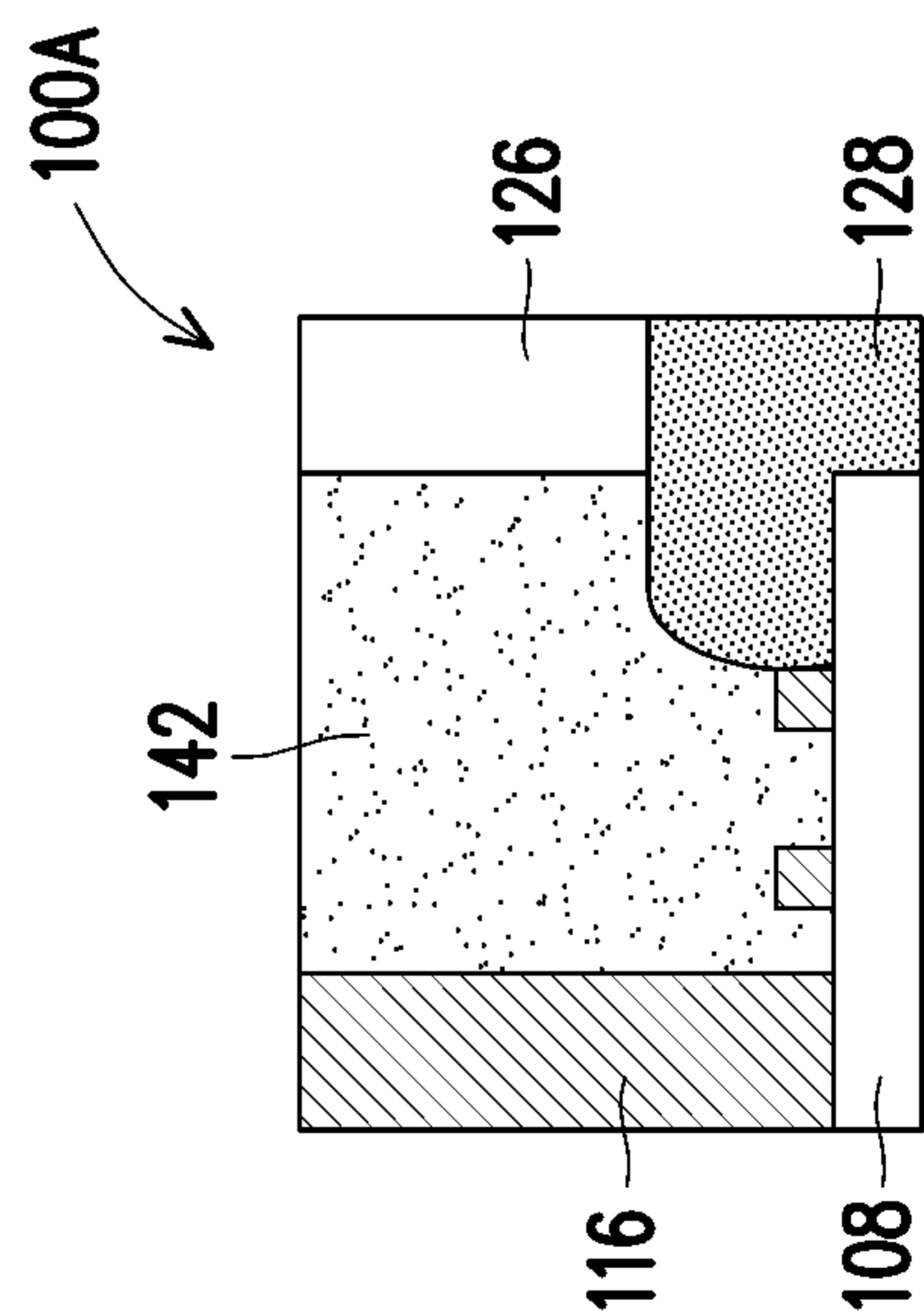
【圖5B】



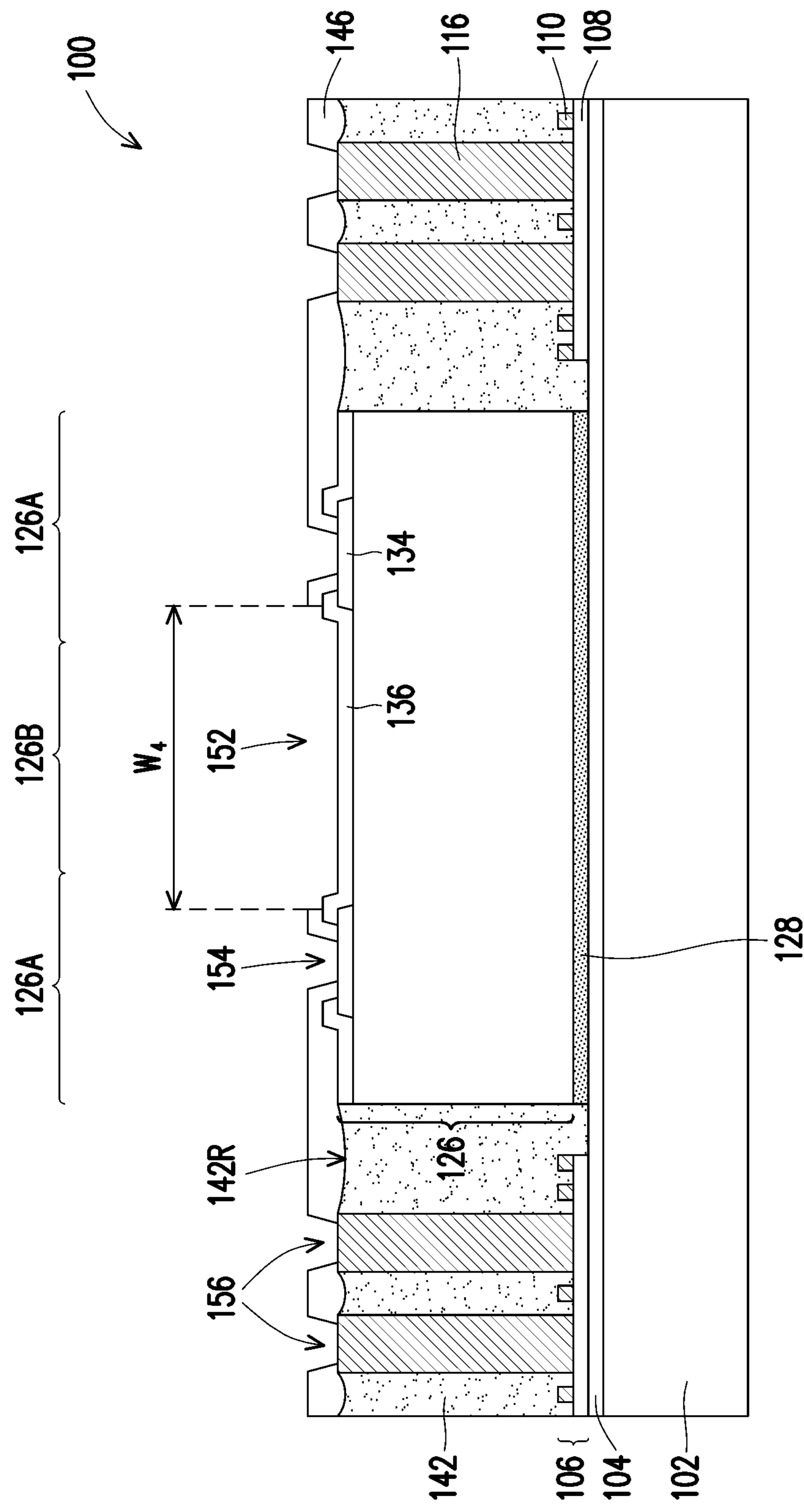
【圖5D】



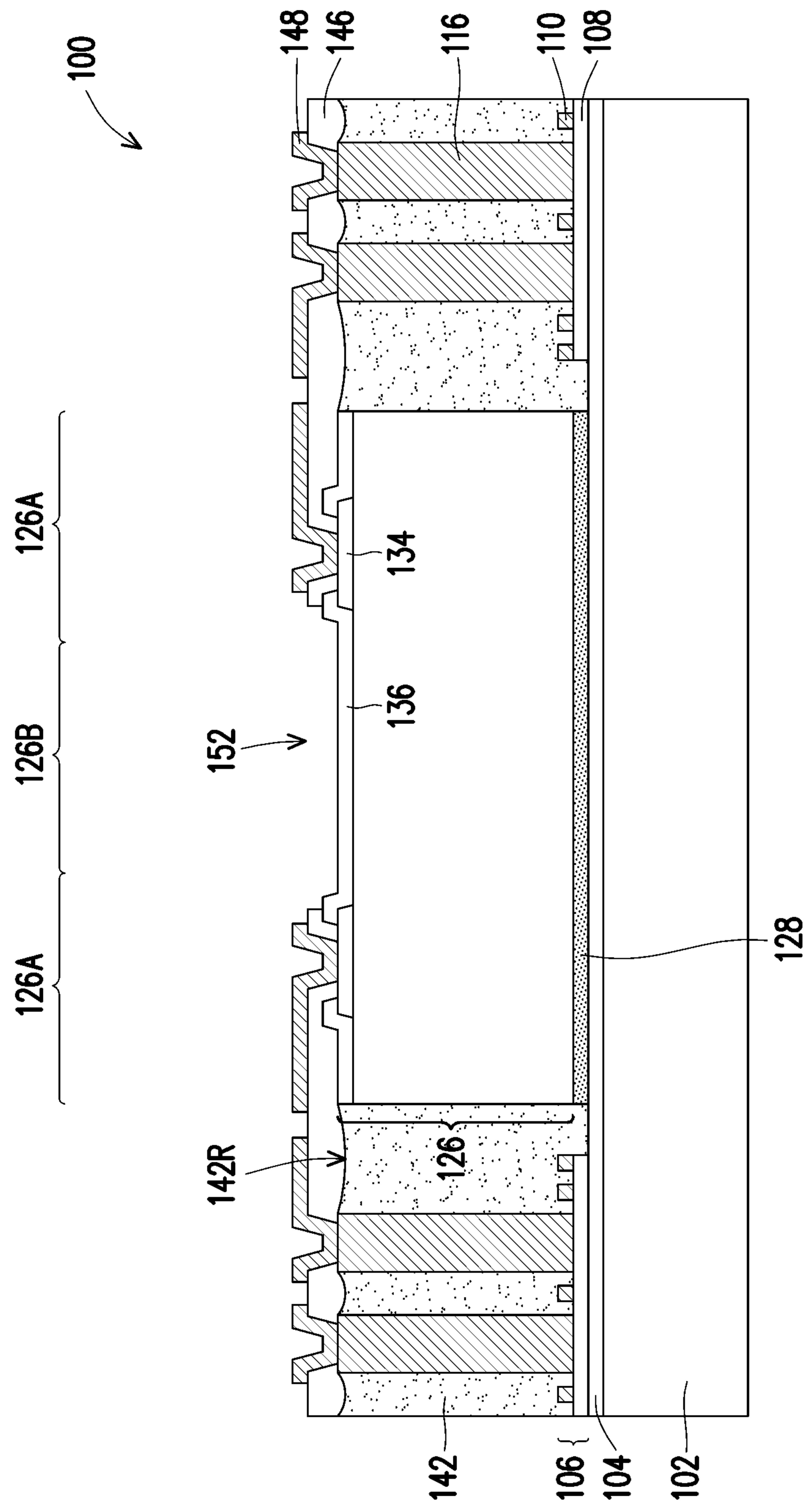
【圖5A】



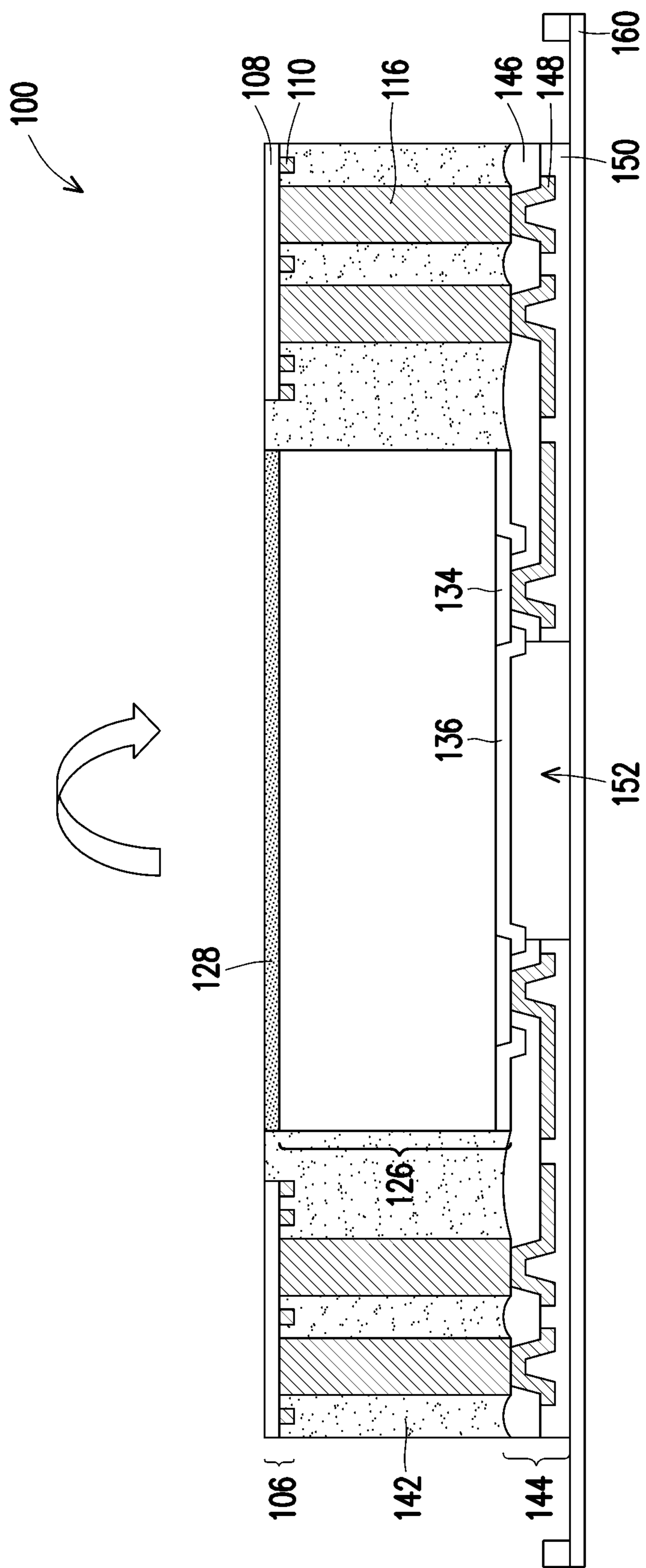
【圖5C】



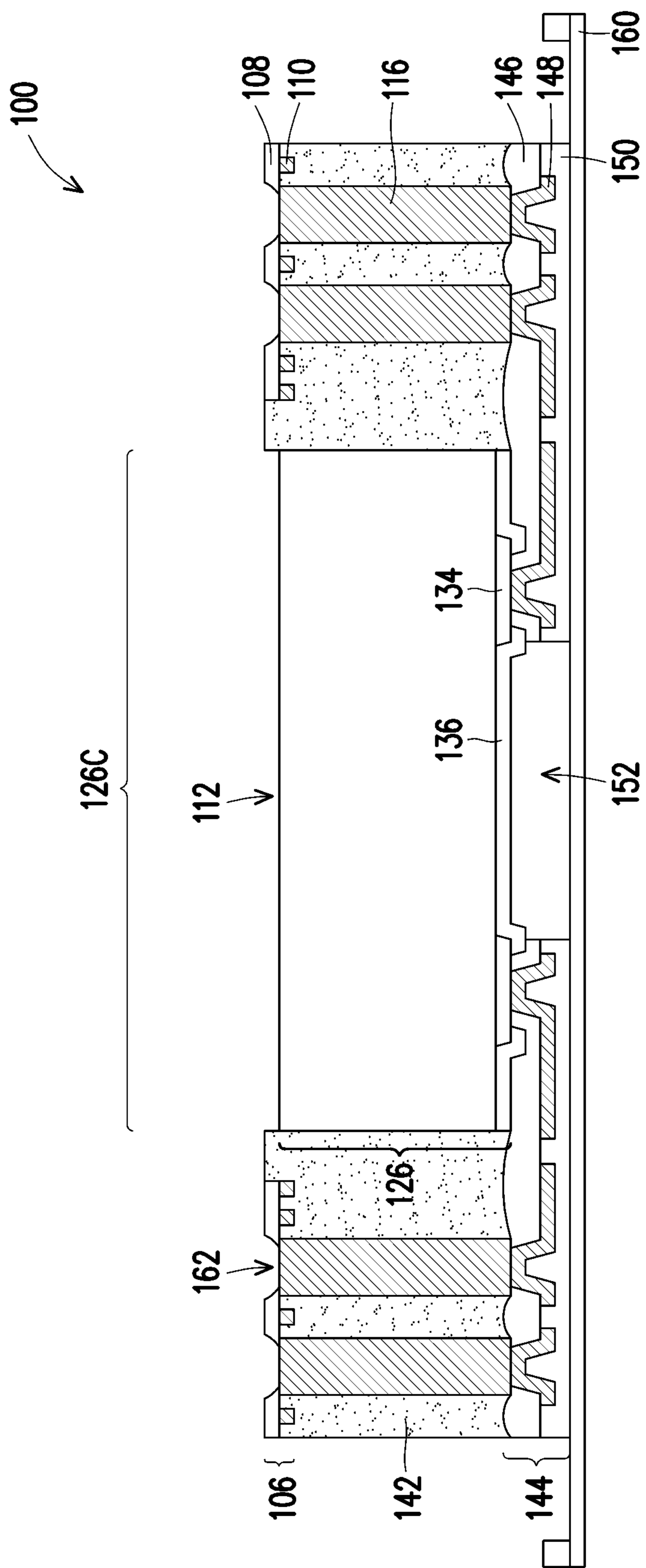
【圖6】



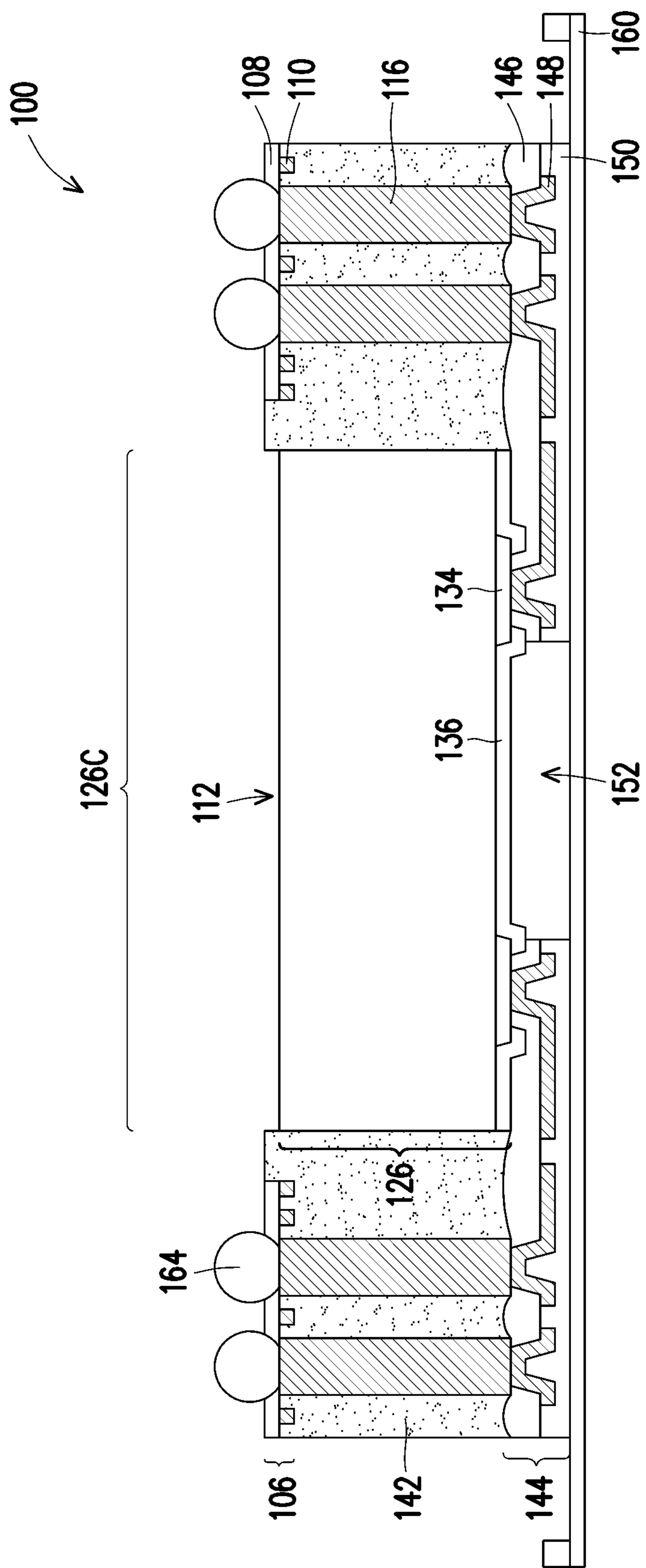
【圖7】



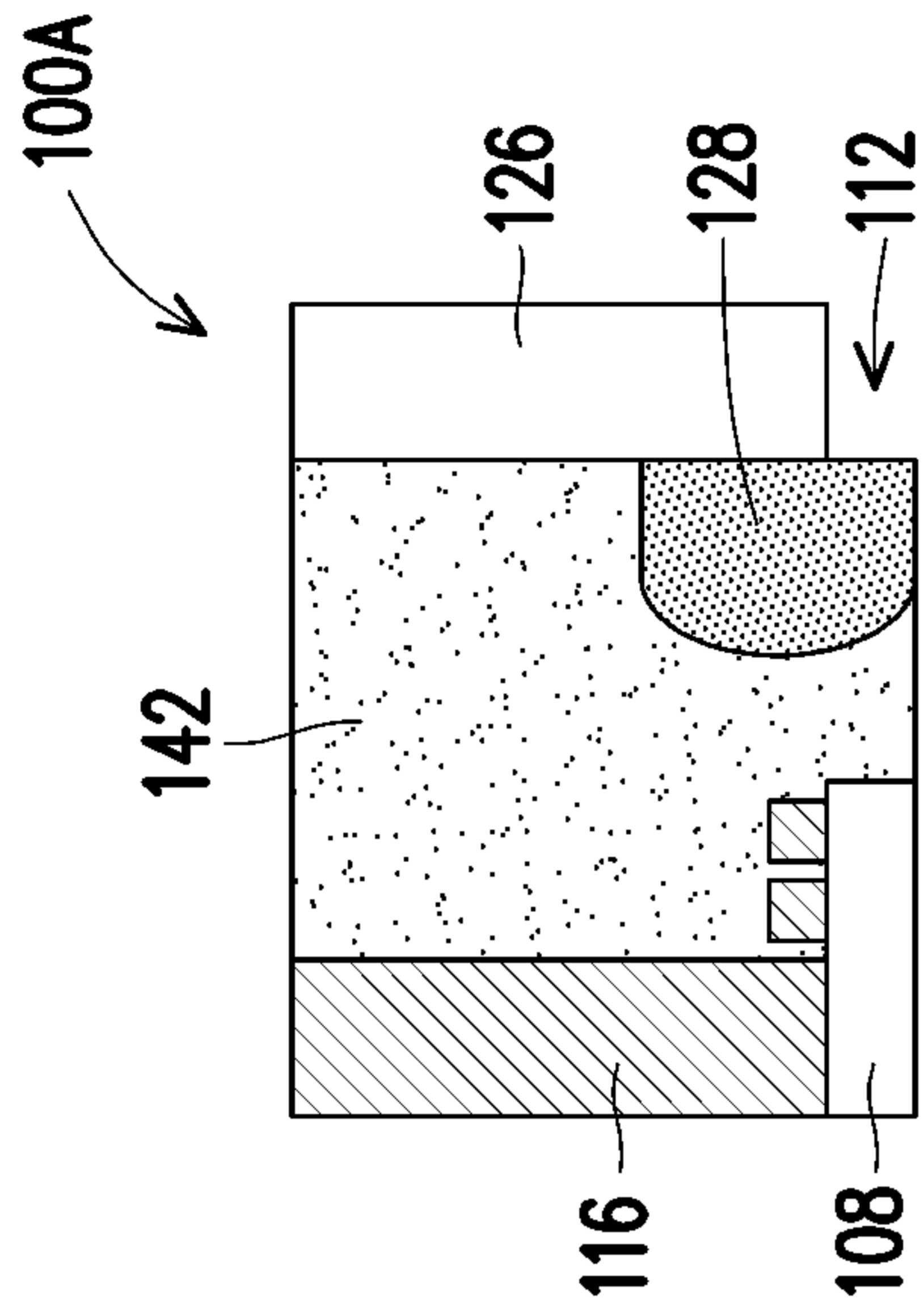
【圖9】



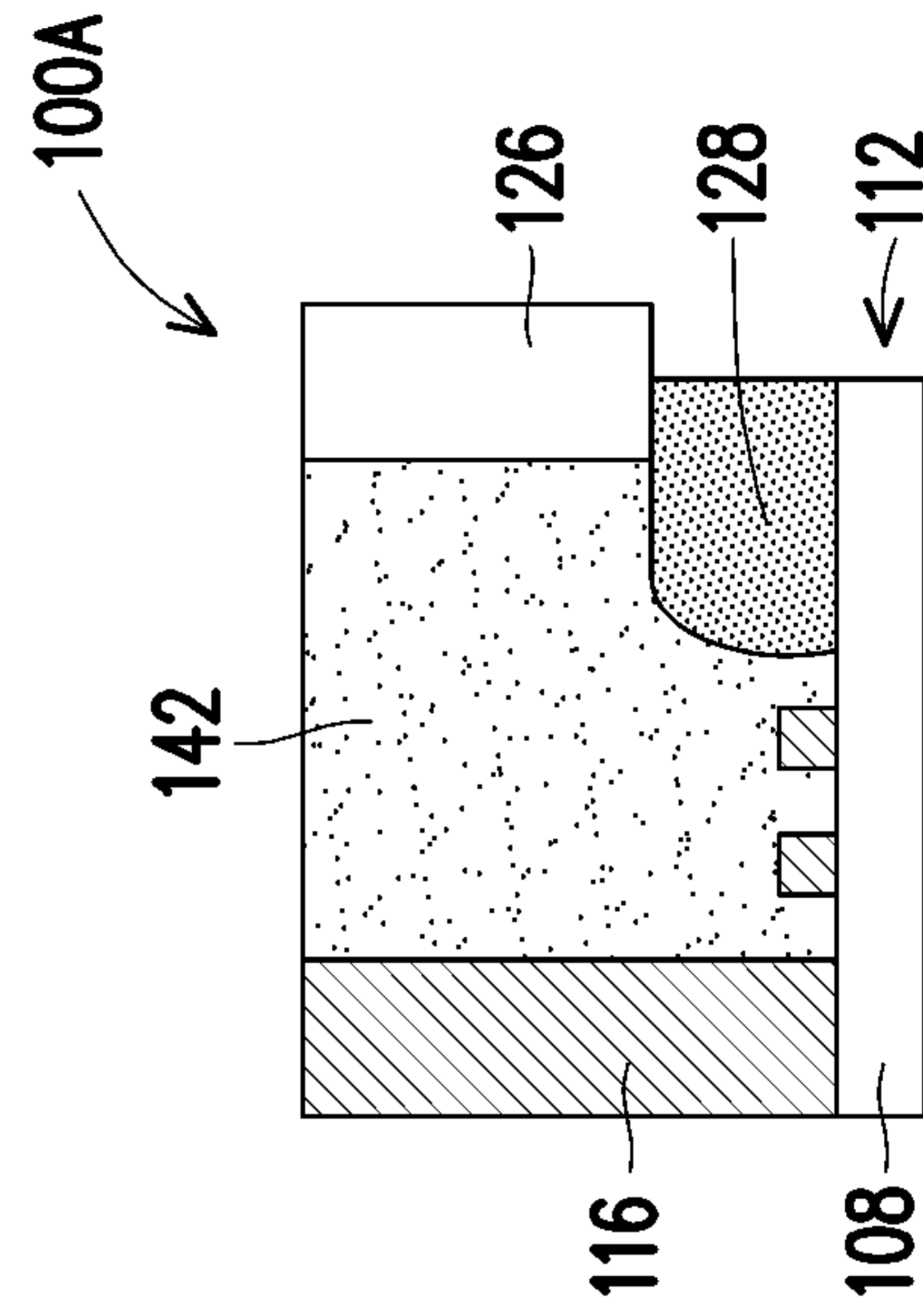
【圖10】



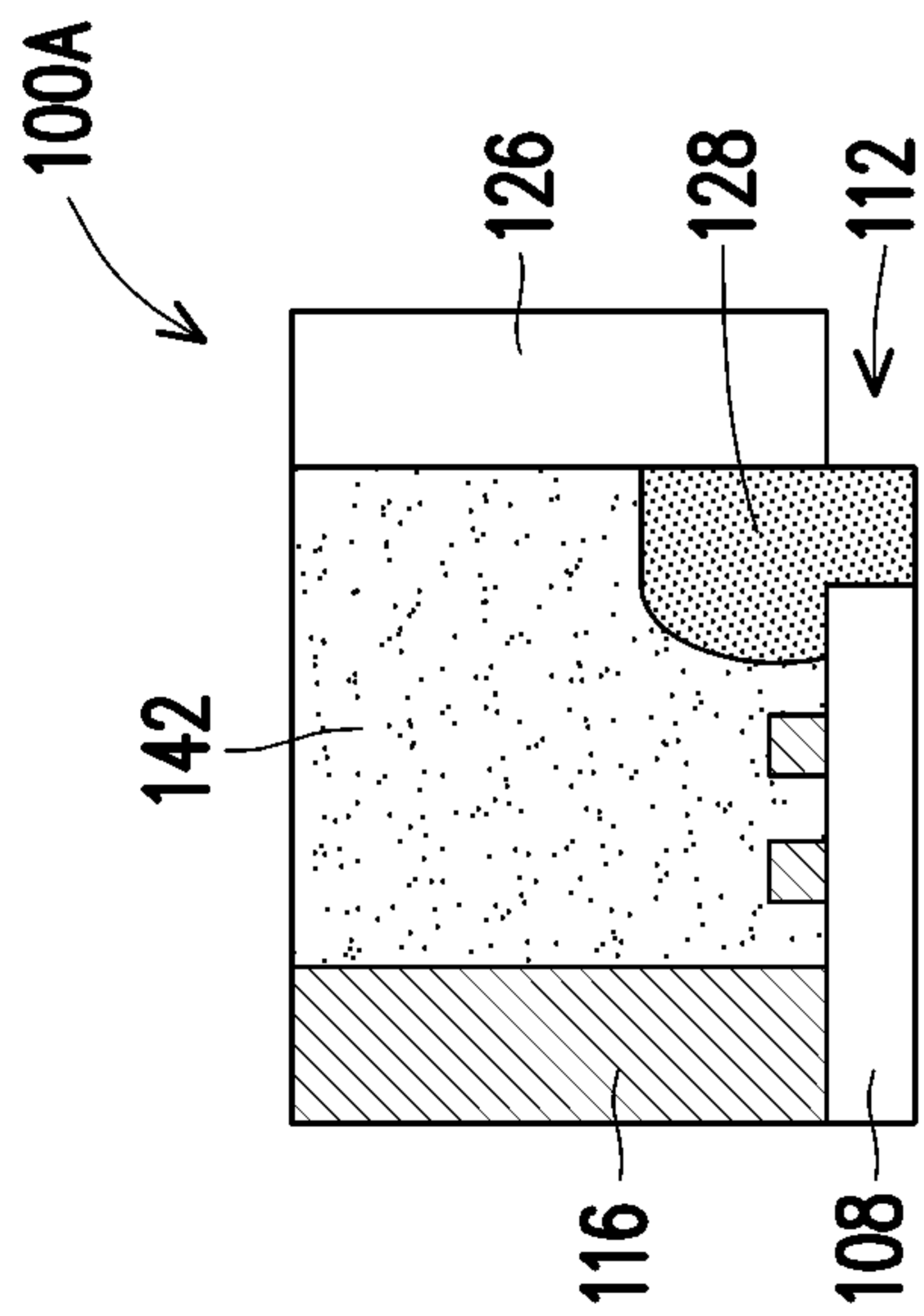
【圖11】



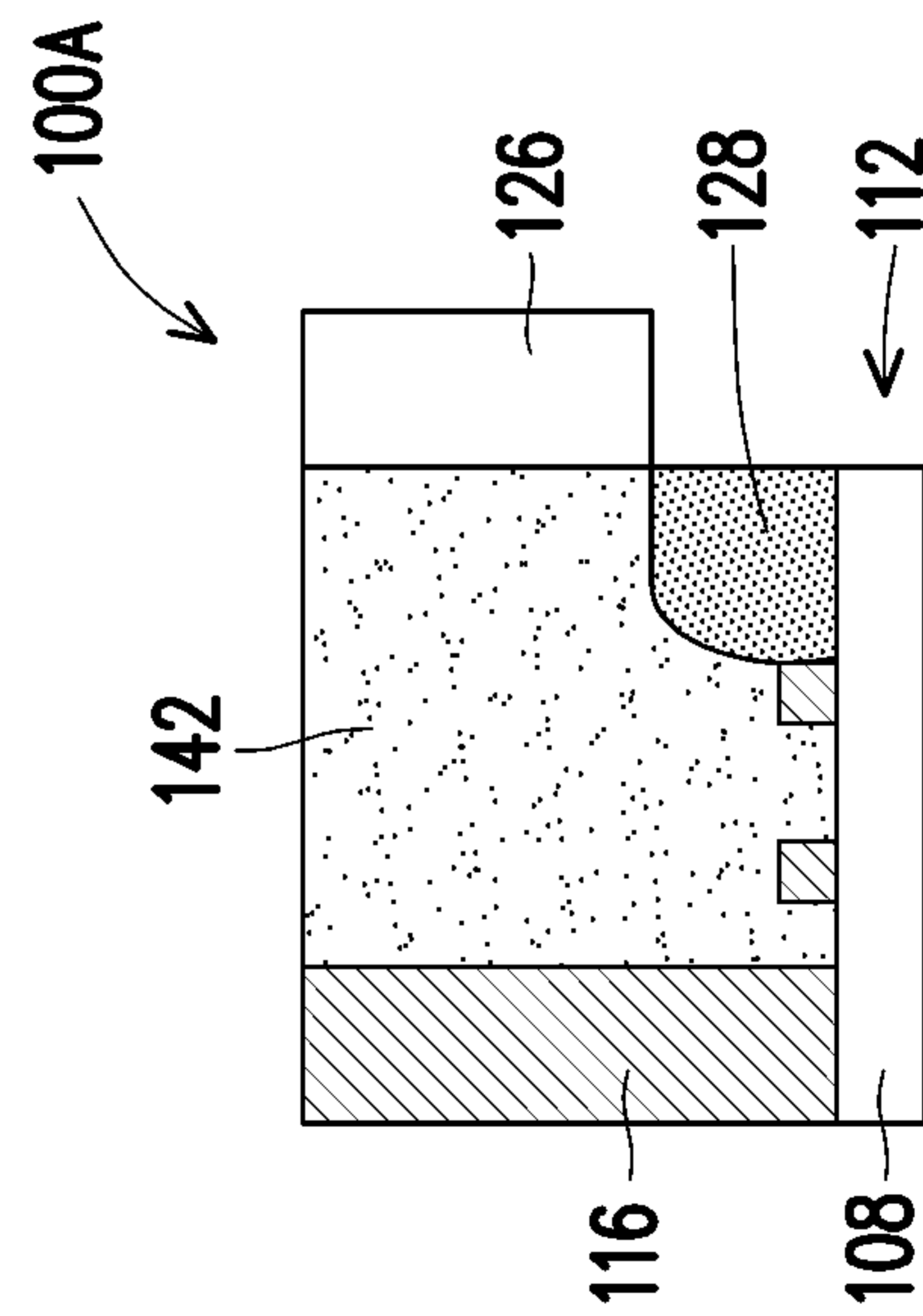
【圖13B】



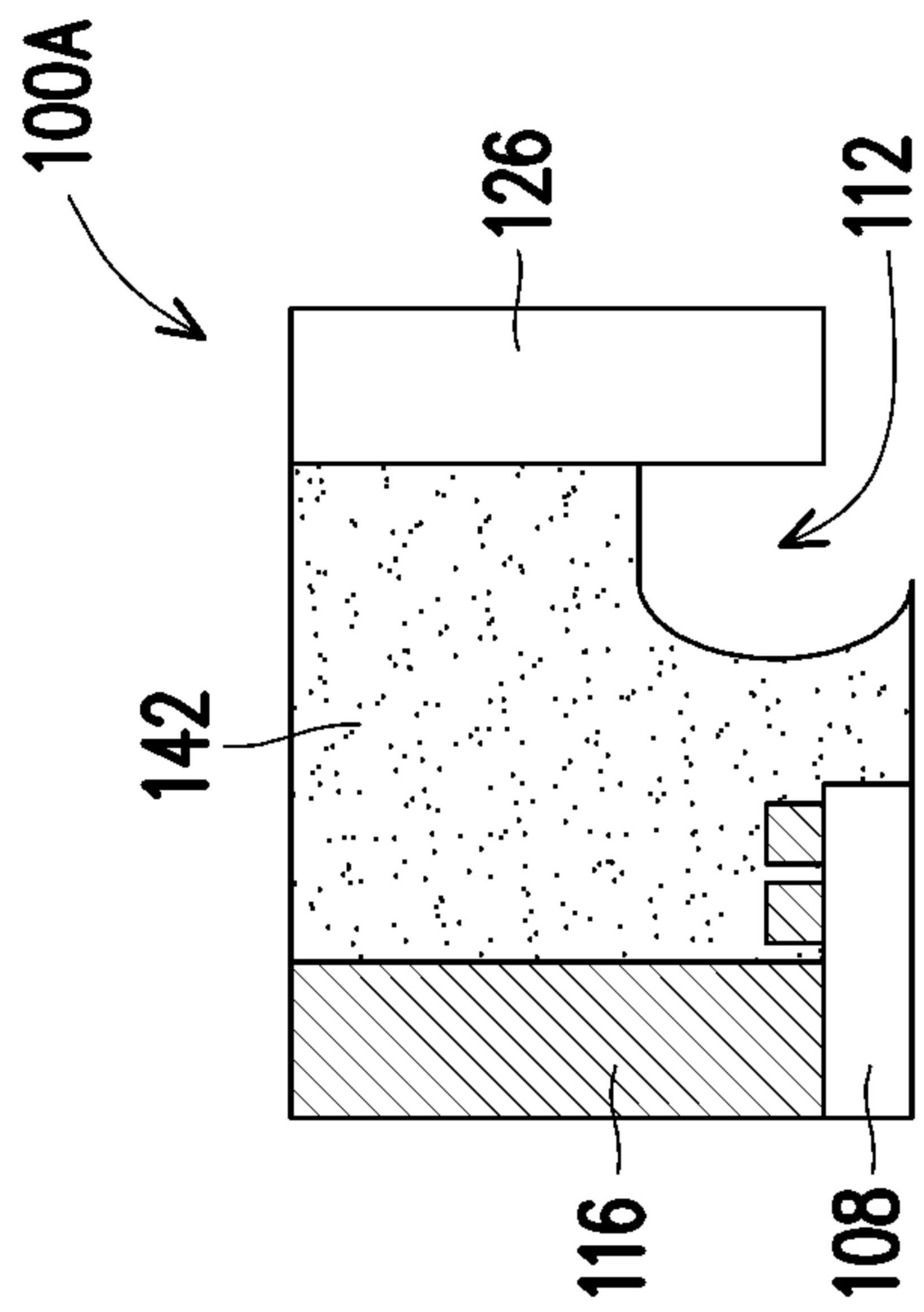
【圖13D】



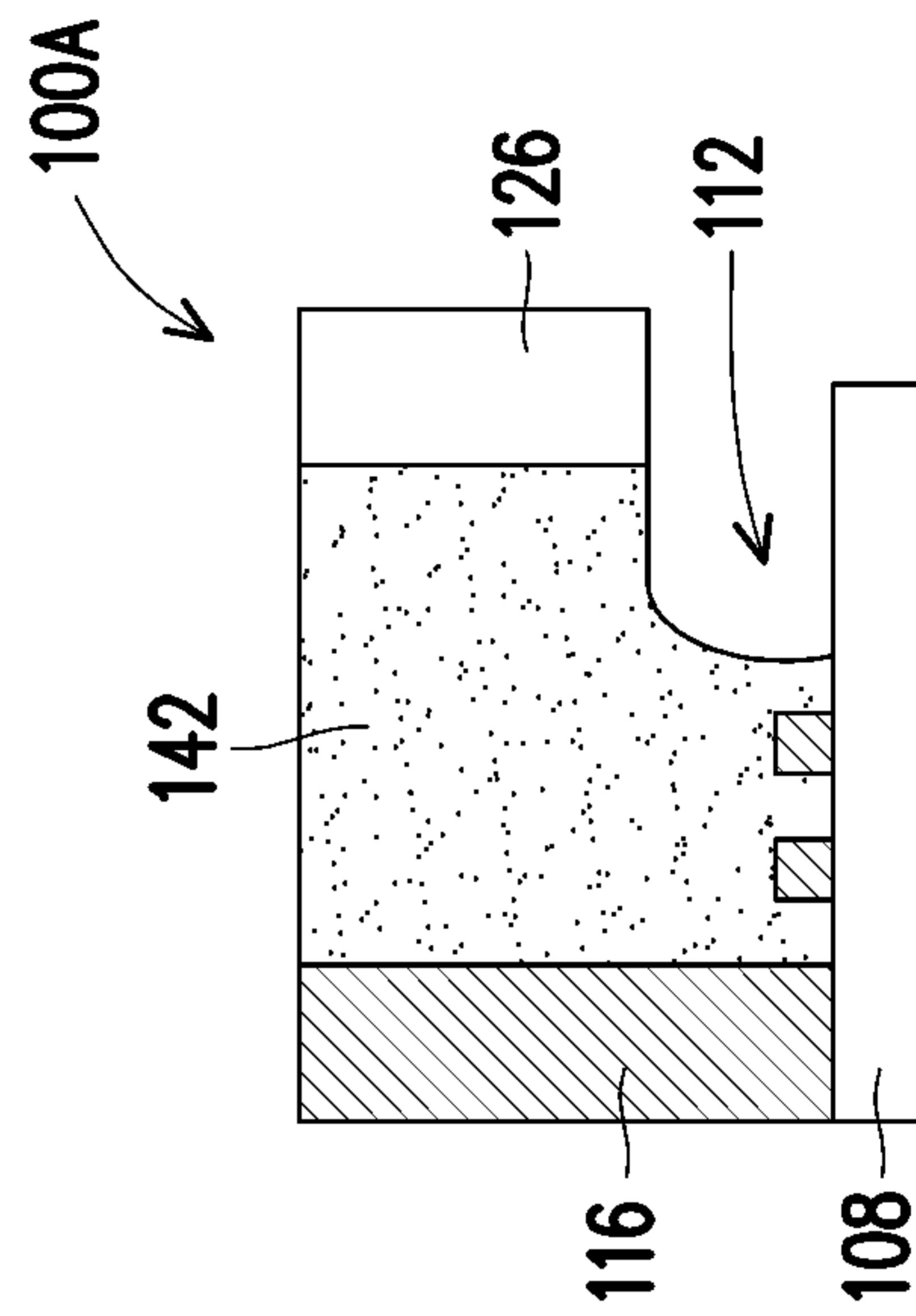
【圖13A】



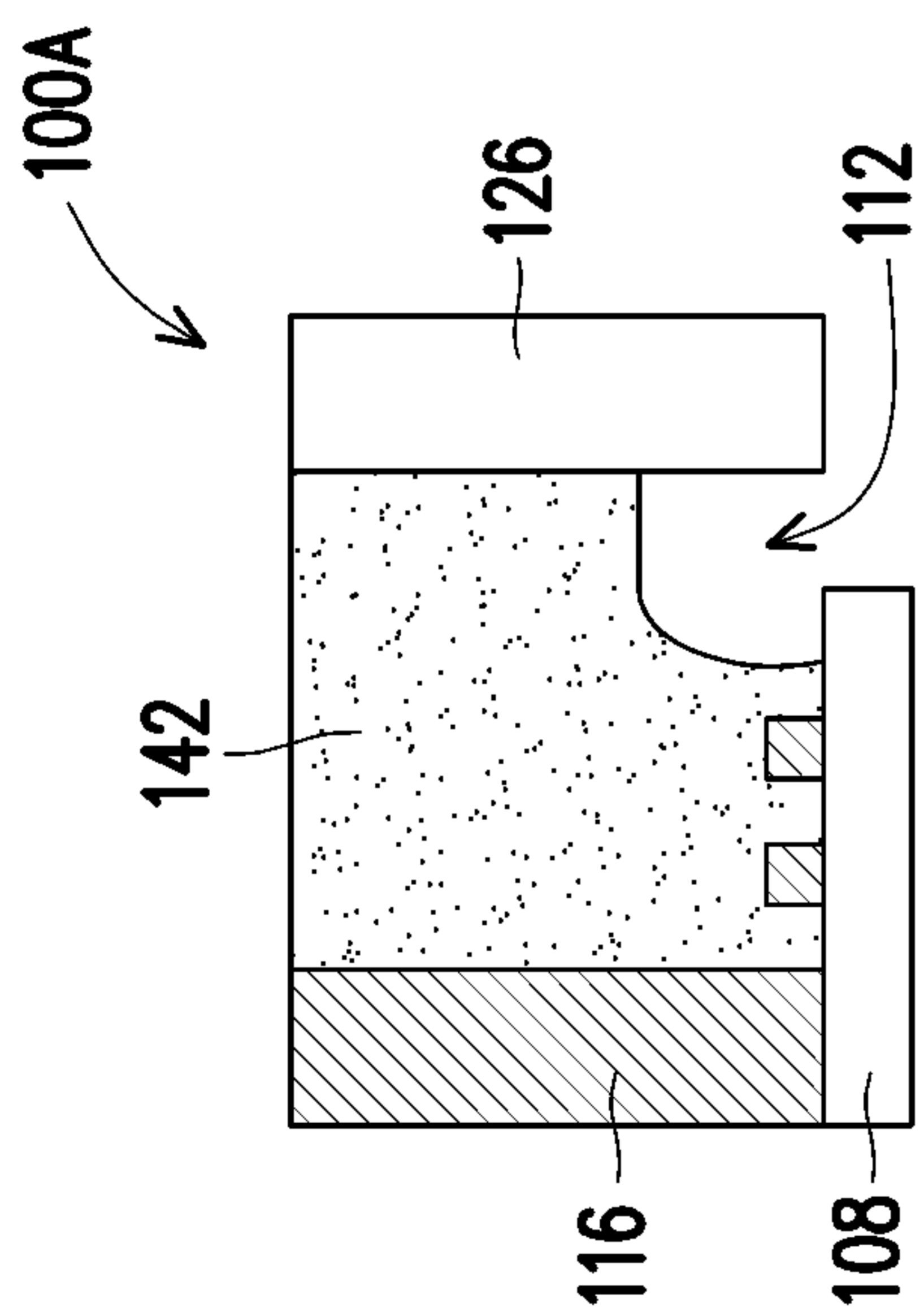
【圖13C】



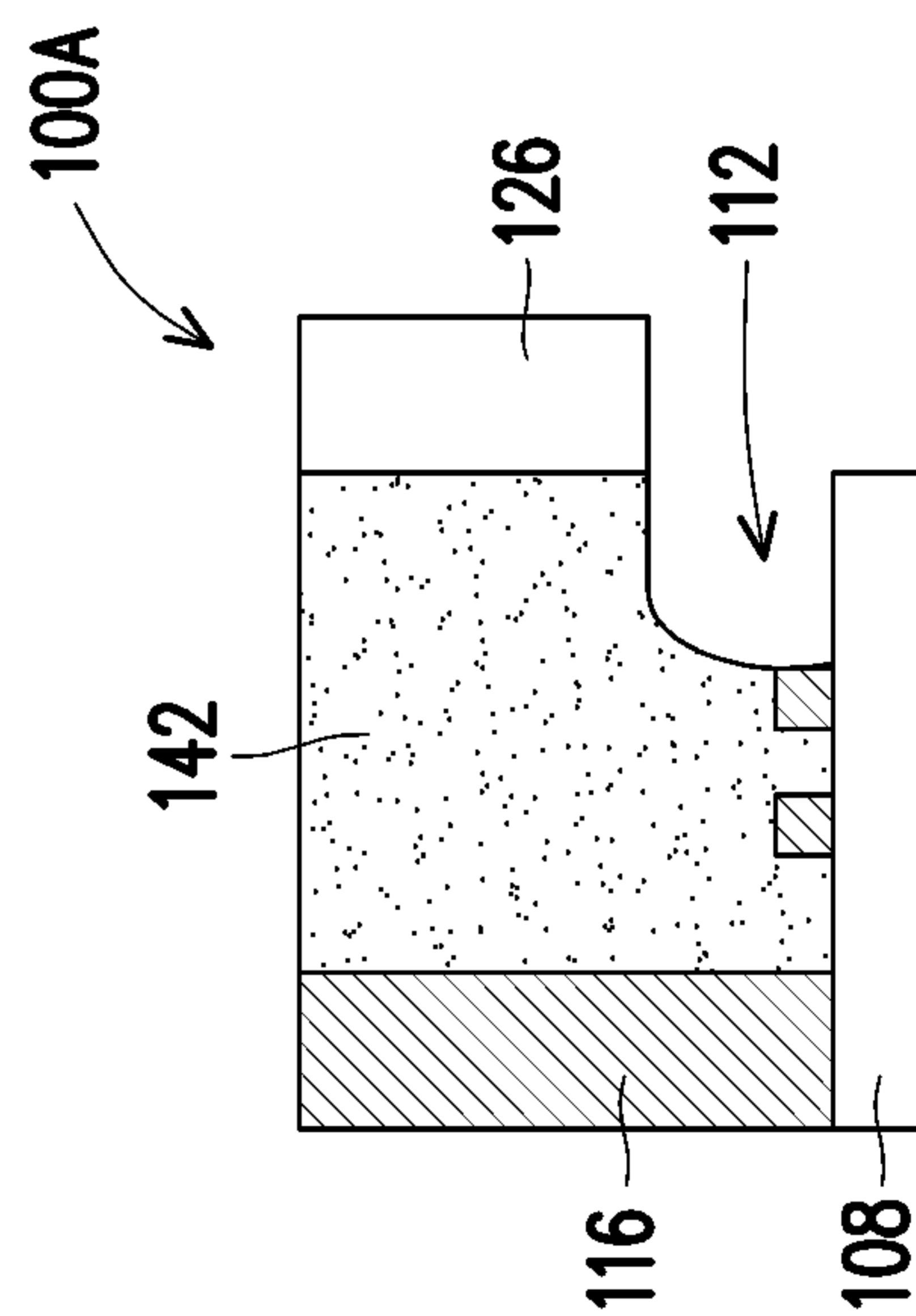
【圖14B】



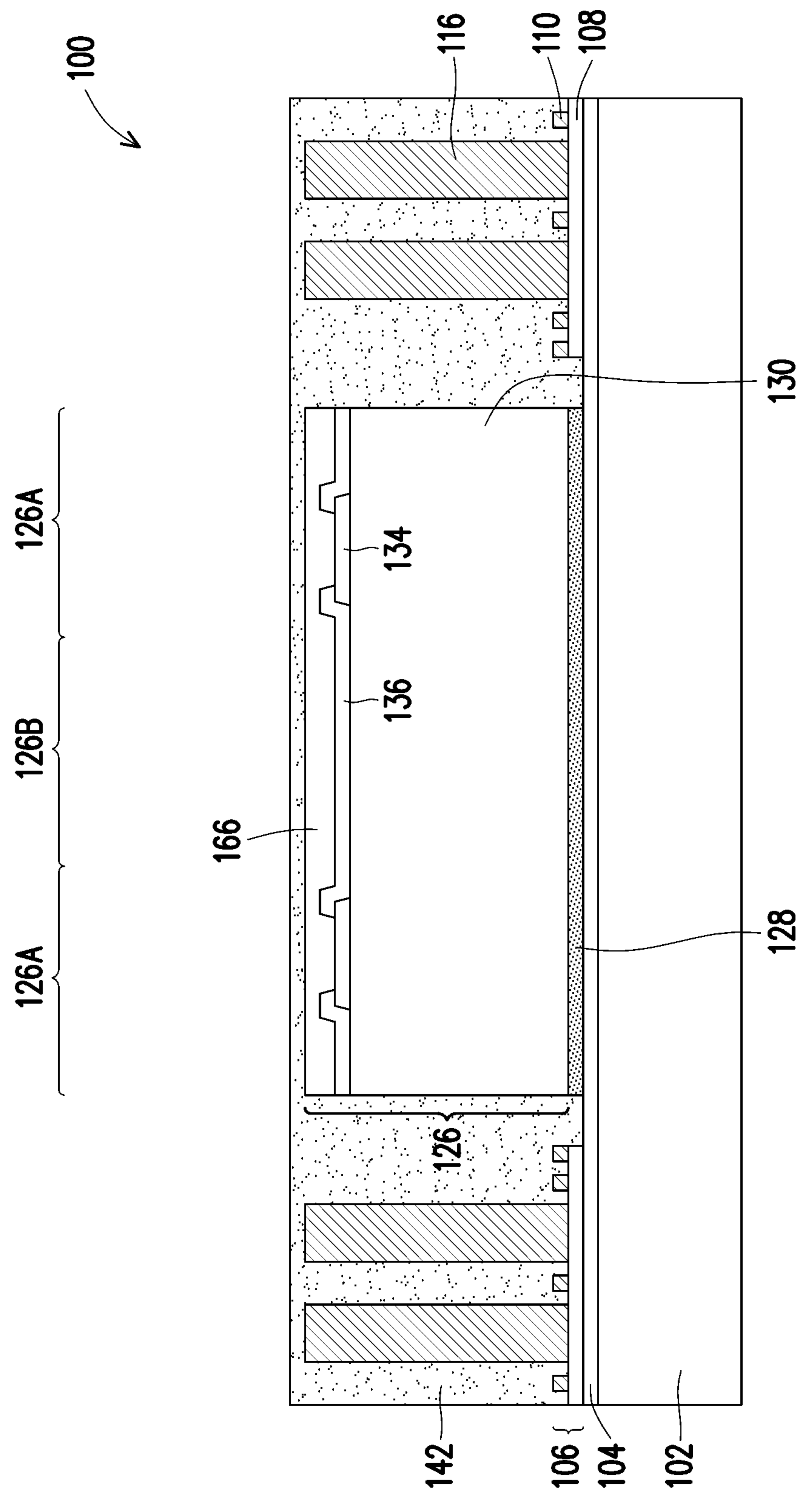
【圖14D】



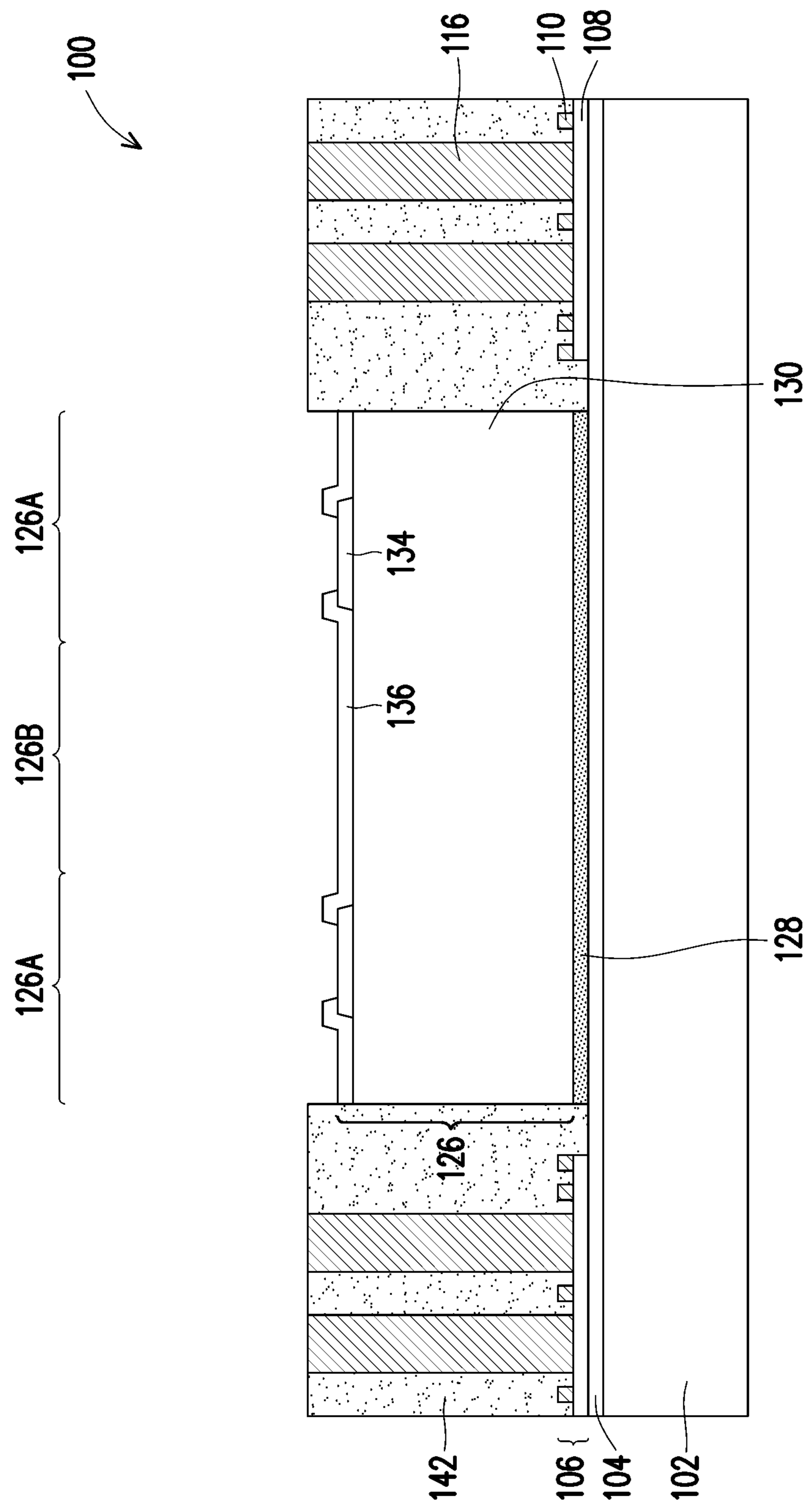
【圖14A】



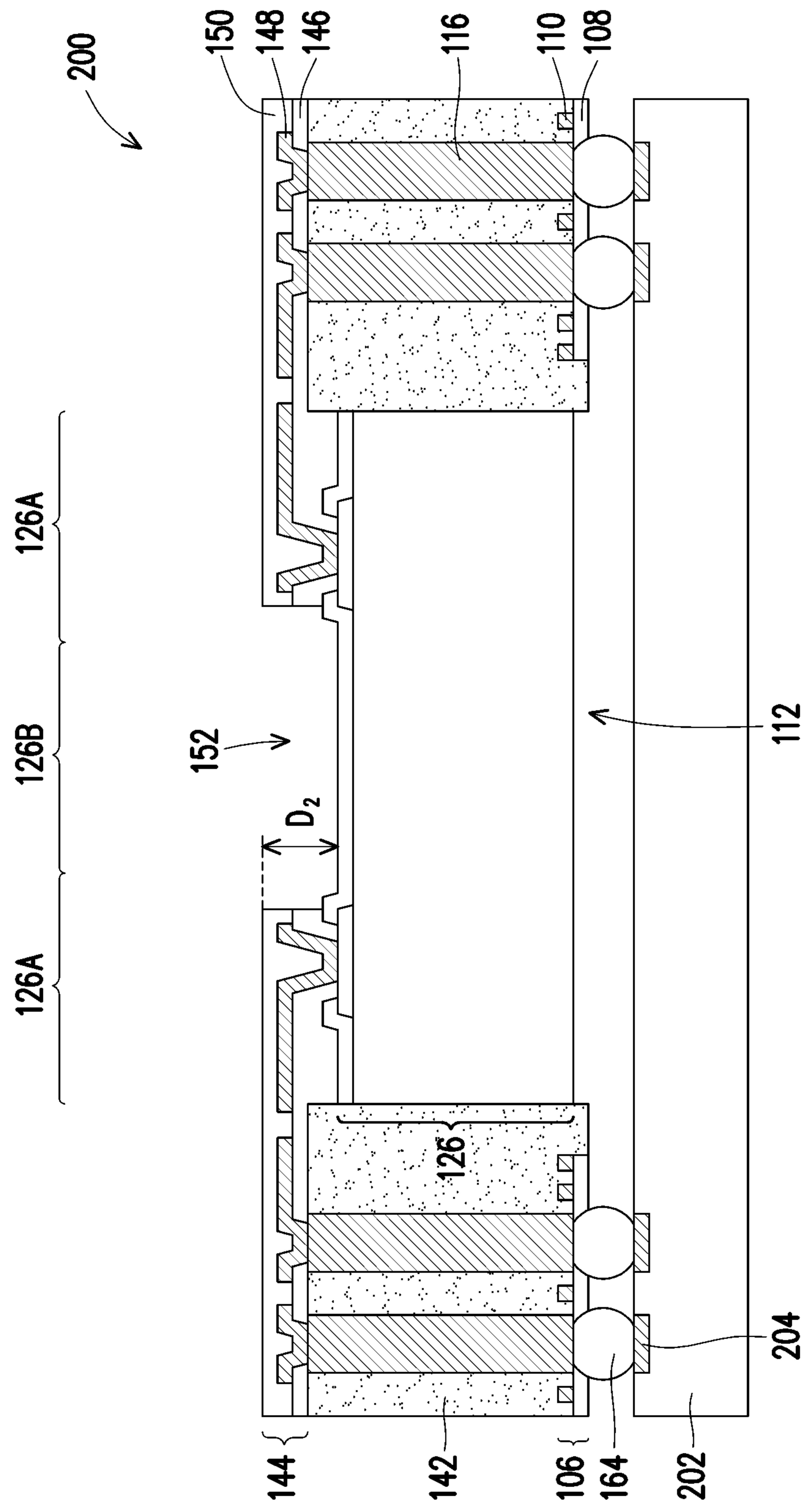
【圖14C】



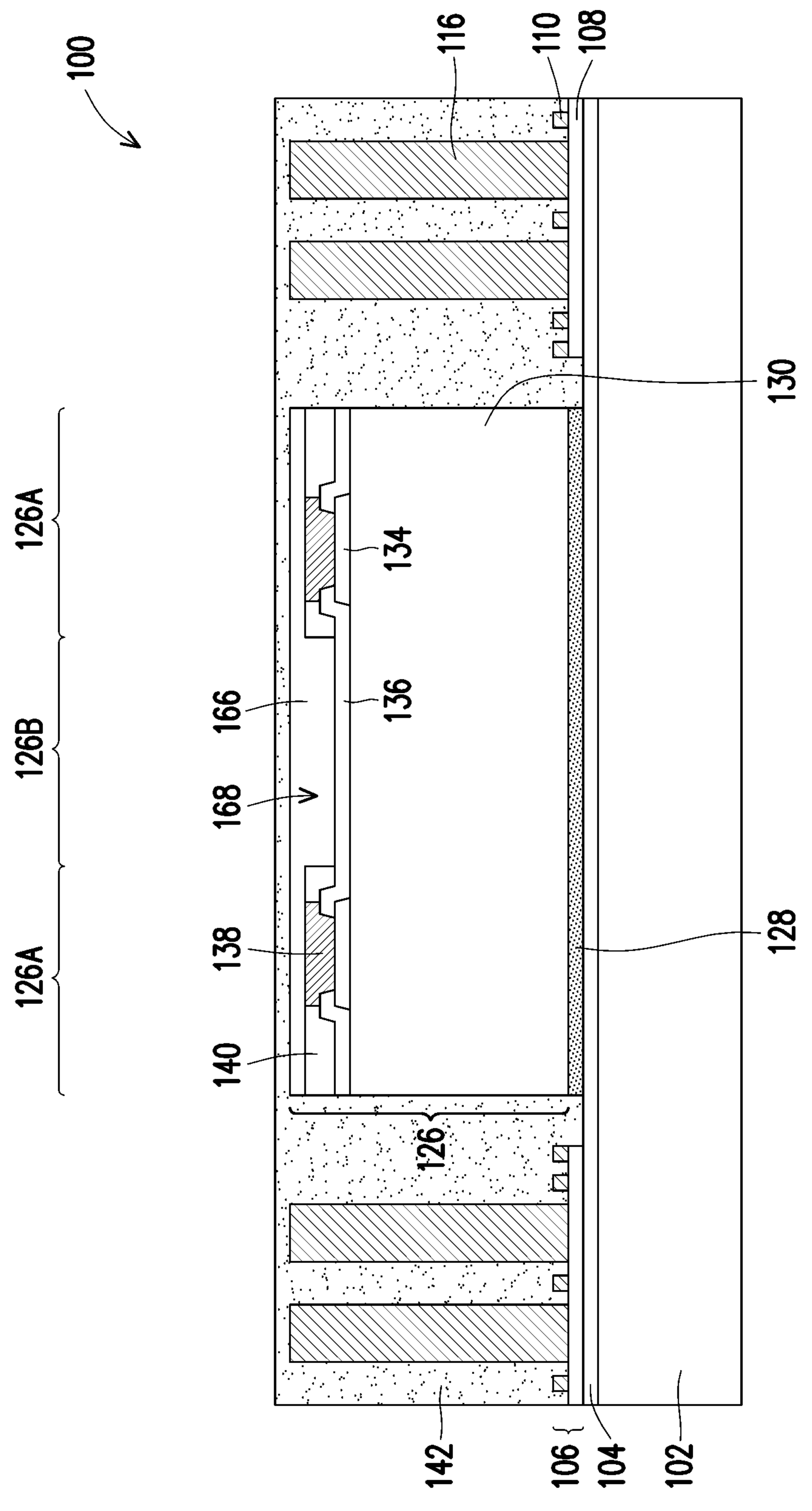
【圖15】



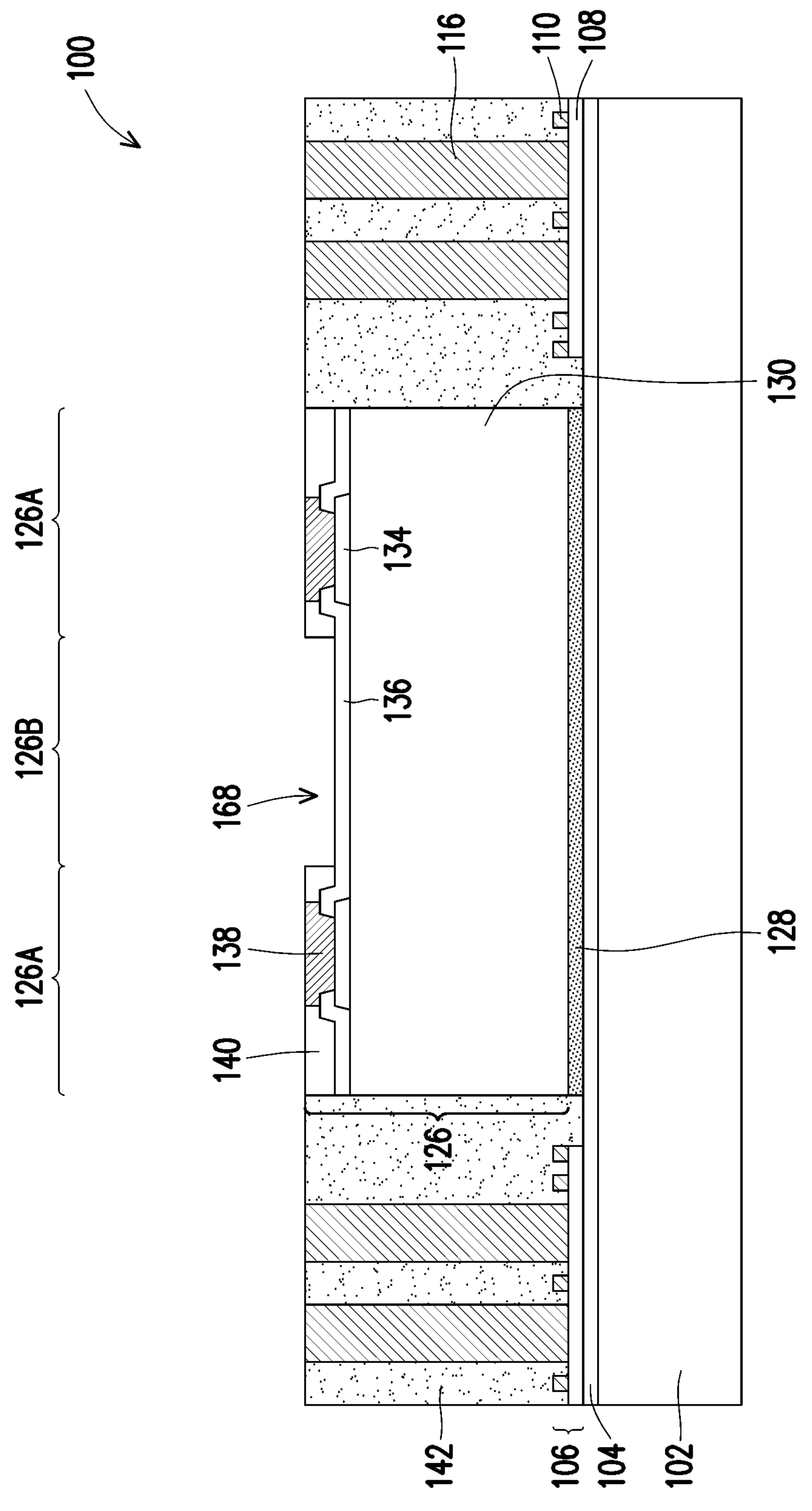
【圖16】



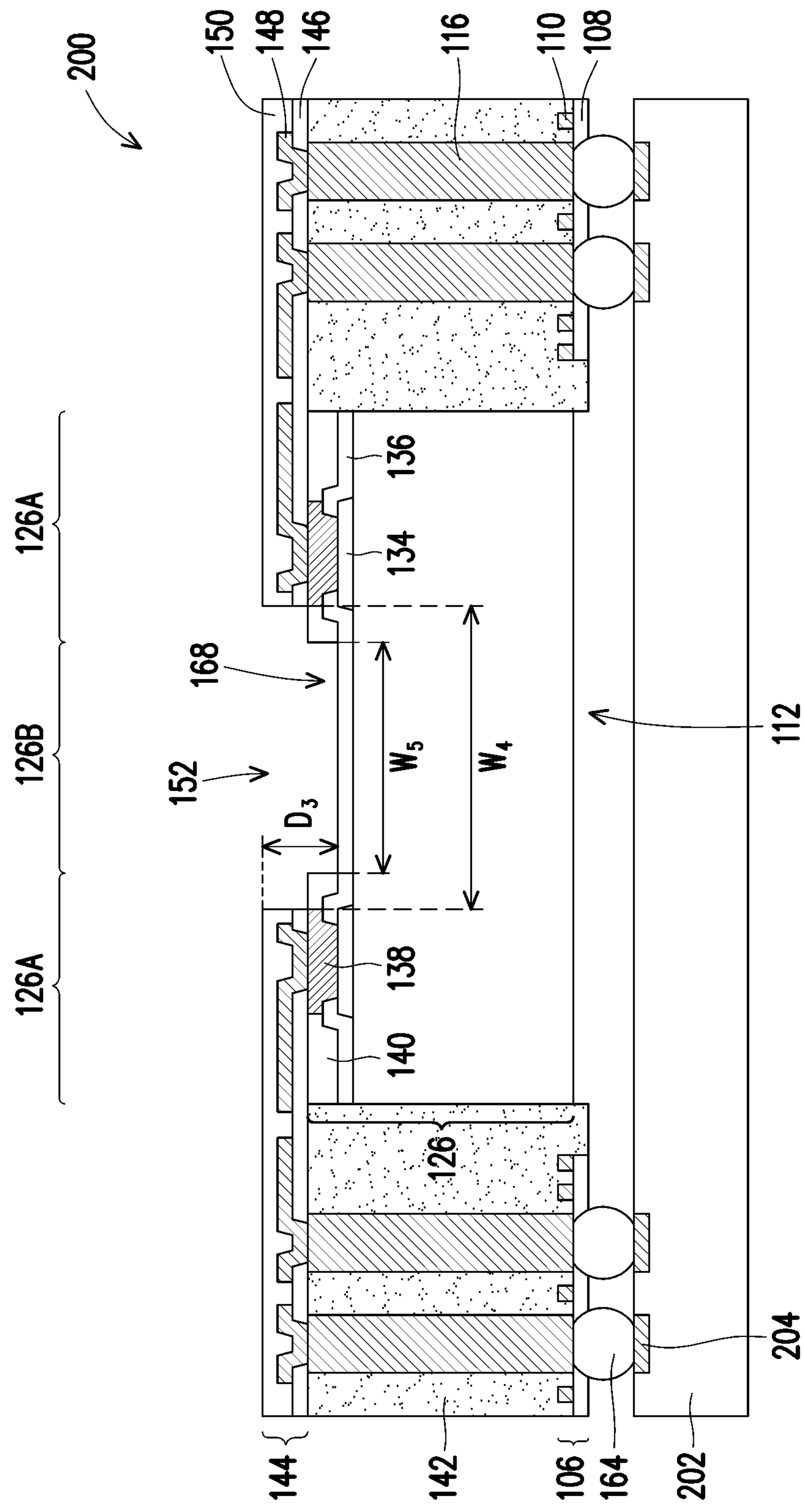
【圖17】



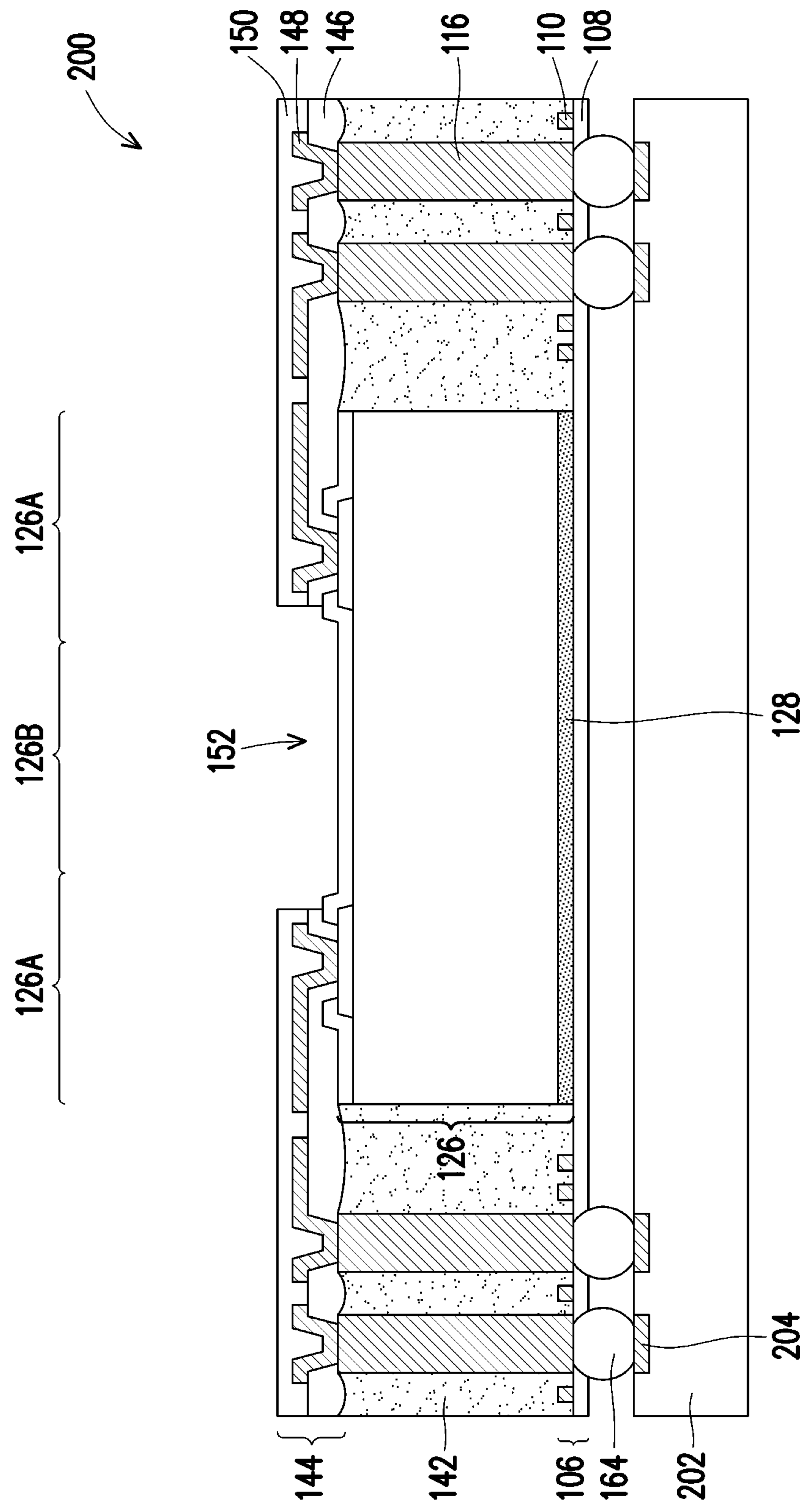
【圖18】



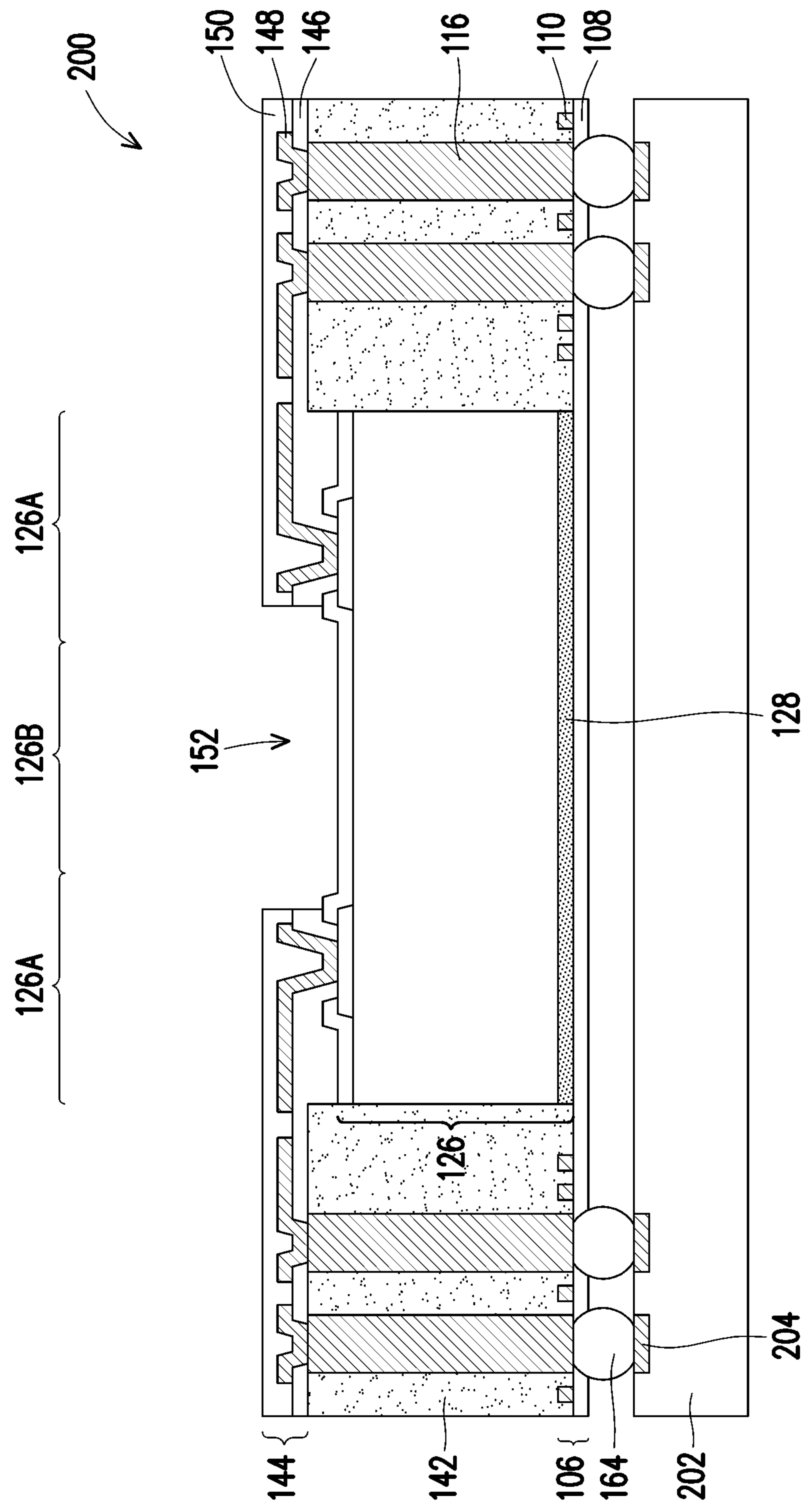
【圖19】



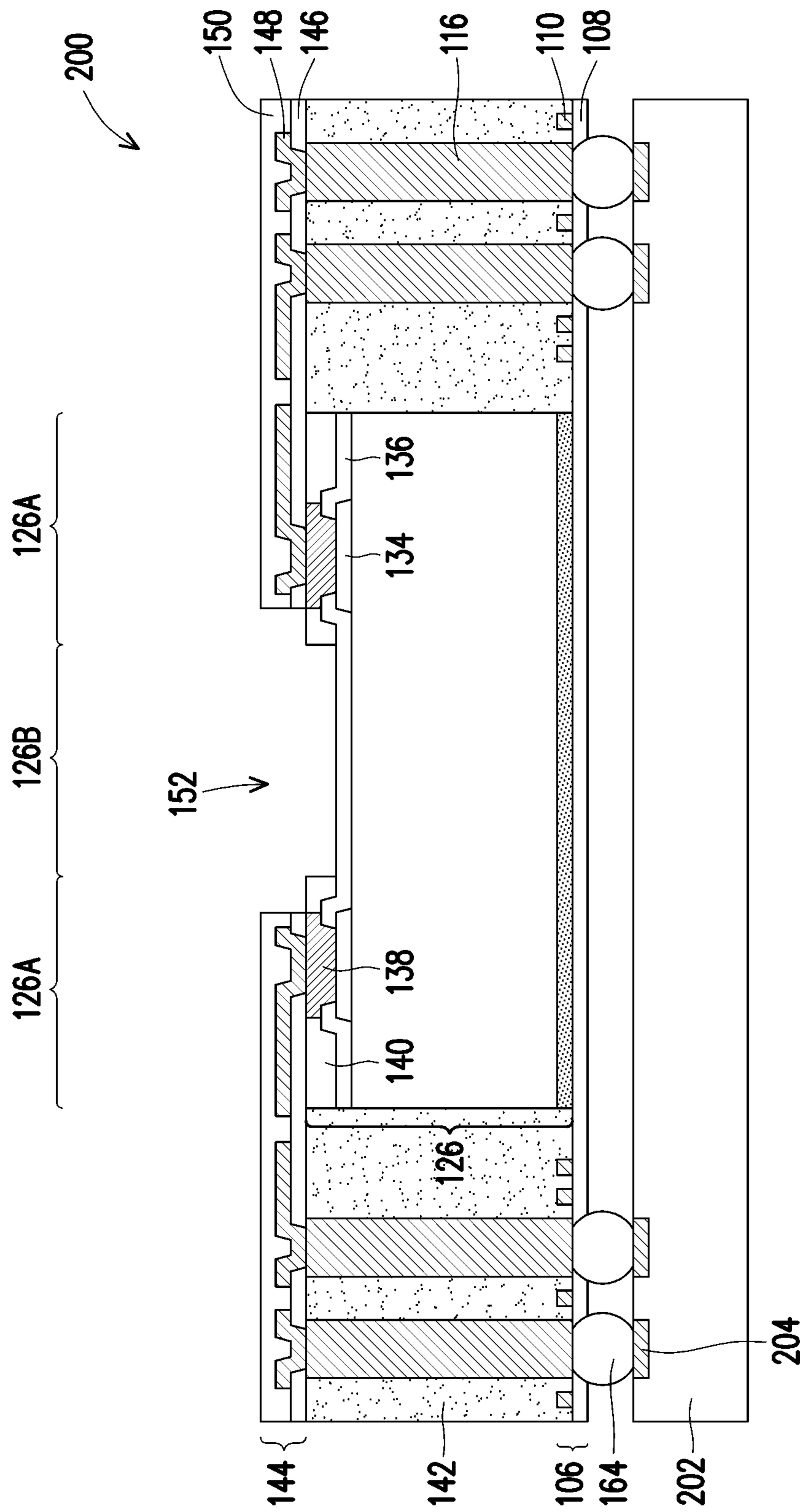
【圖20】



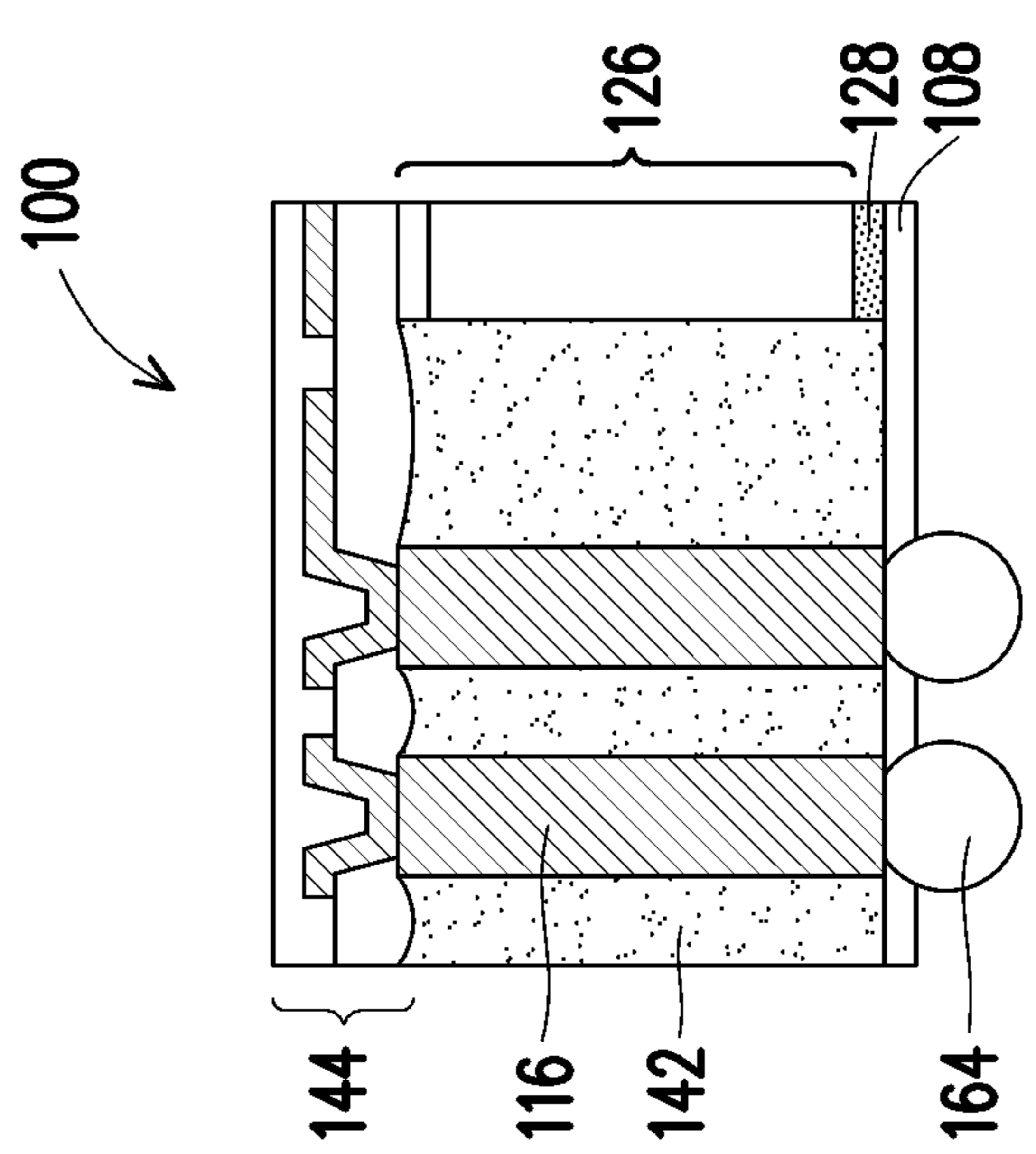
【圖21】



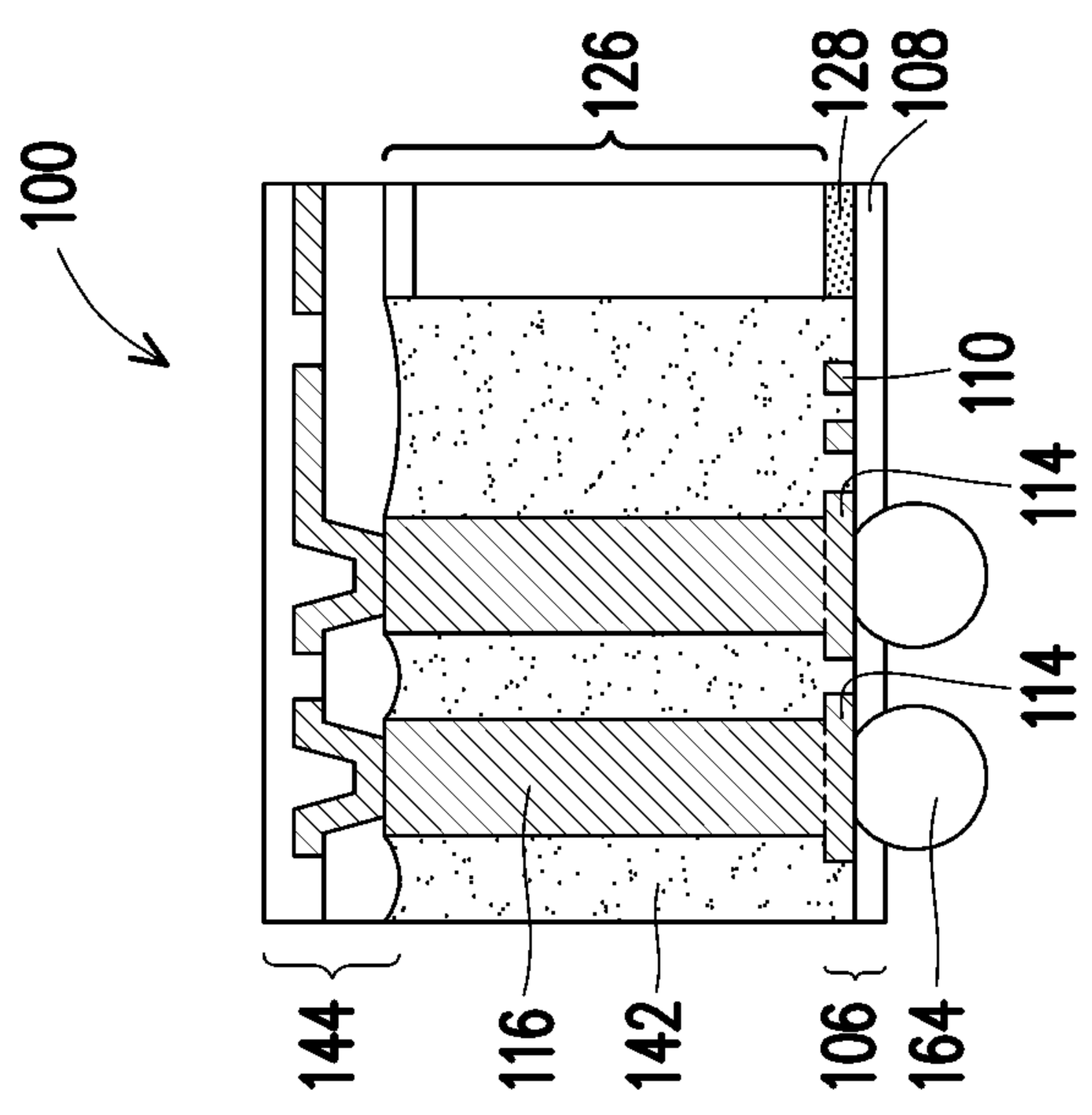
【圖22】



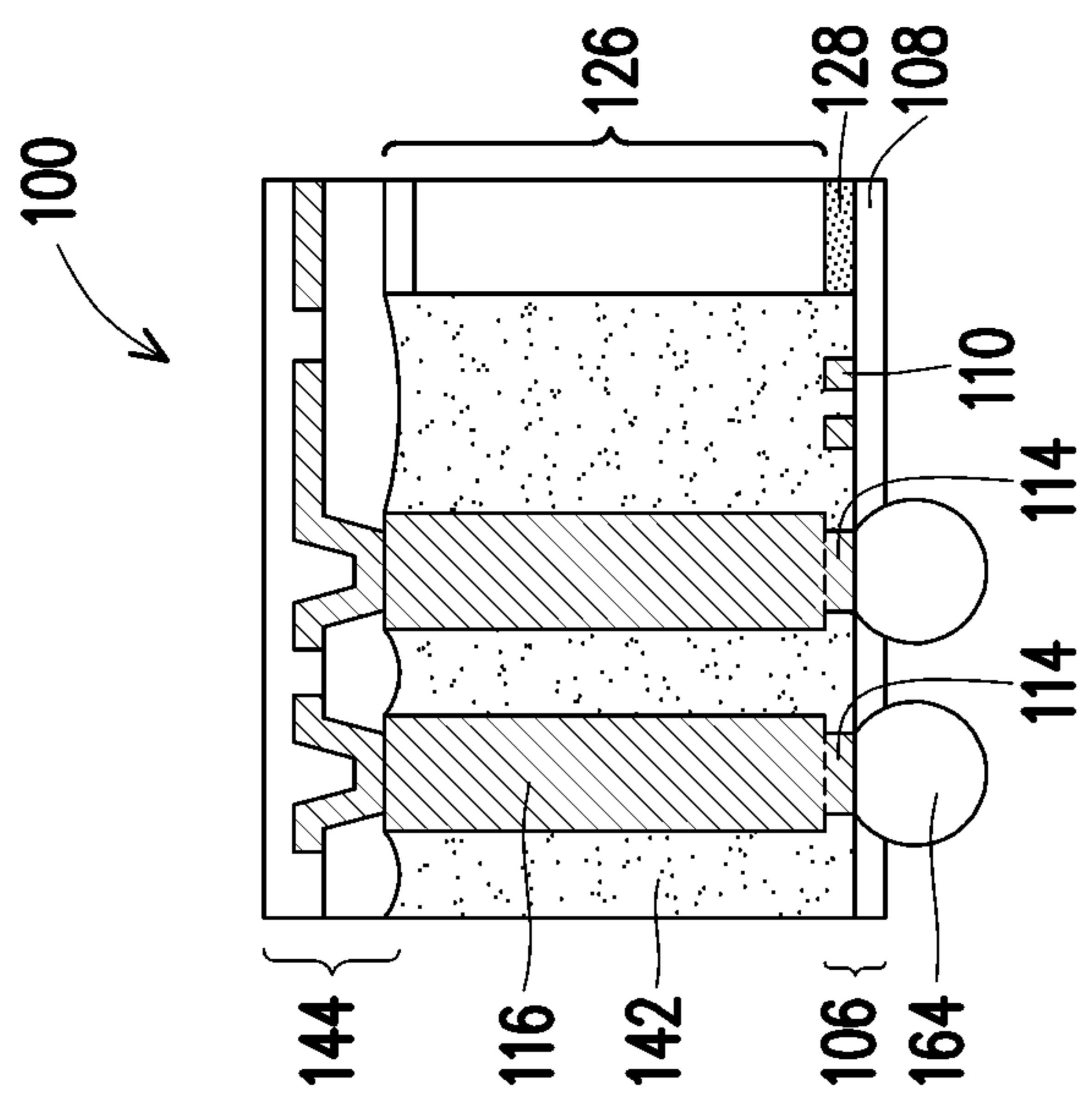
【圖23】



【圖24A】



【圖24B】



【圖24C】