

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶ (45) 공고일자 1995년05월31일
H03M 1/82 (11) 공고번호 특1995-0005813

(21) 출원번호	특1992-0027308	(65) 공개번호	특1994-0017241
(22) 출원일자	1992년12월31일	(43) 공개일자	1994년07월26일
(71) 출원인	현대전자산업주식회사 김주용 경기도 이천군 부발읍 아미리 산 136-1		
(72) 발명자	유희상 경기도 수원시 권선구 매산로 2가 63-33 진태훈 서울특별시 관악구 봉천 6동 1664-10		
(74) 대리인	박해천		

심사관 : 정연용 (책자공보 제3994호)

(54) 디지털/아날로그 변환기

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

디지털/아날로그 변환기

[도면의 간단한 설명]

제1도는 종래의 PCM(Pulse Code Modulation) 전송방식의 블럭선도.

제2도는 종래의 디지털/아날로그 변환기의 회로도.

제3도는 본 발명의 일실시예에 따른 디지털/아날로그 변환기의 블럭구성도.

제4도는 본 발명에 따른 PWM(Pulse Width Modulation) 신호 파형도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|--------------------------|---------------------------|
| 11 : 음형 전기 변환기 | 12, 18 : 증폭기 |
| 13, 17 : 저역통과 필터 | 14 : 아날로그/디지털 변환기 |
| 15 : 전송계 | 16 : 디지털/아날로그 변환기 |
| 19 : 전기음향 변환기 | 21, 23, 25 레지스터 |
| 22, 24 : 멀티플렉서 | 26, 27 : 증분기(Incrementer) |
| 28 : 제어블럭(Control Block) | 29 : 인버터 |
| 30, 31 : 논리곱게이트 | 32, 33 : 카운팅 수단 |

[발명의 상세한 설명]

본 발명은 디지털/아날로그 변환기에 관한 것이다.

일반적인 디지털/아날로그 변환기는 디지털 회로와 아날로그 회로가 공용되어 원칩 IC화 것이 어려워 디지털화가 꾸준히 추진되어 오고 있다

제1도는 종래의 펄스코드변조(Pulse Code Modulation 이하 PCM이라 약칭함) 전송 방식의 블럭선도로서, 이 경우 도시된 바와 같이 음성 발생측에 있는 음향전기 변환기(11)에 의해서 음성이 전기신호로 변환되어, 증폭기(12) 및, 반복되는 잡음을 방지하는 저역통과 필터(Low-pass filter)(13)를 통해 아날로그/디지털 변환기에서 디지털화되어 전송계(15)로 송출된다. 수신측에서는 전송 출력된 디지털 코드는 디지털/아날로그 변환기(16)에 의해 아날로그로 변환되어 고주파 성분을 제거하는 저역

통과 필터(17), 증폭기(18)를 통해 전기음향 변환기(19)에서 음향 재생된다.

상기 제1도와 같은 PCM 전송방식에서 디지털/아날로그 변환하는데는 각종 기술이 실용화되고 있지만 일반적으로 저항 회로망을 스위치로 열고 닫는 방식의 것이 많이 사용되고 있다.

제2도는 $R=2R$ 저항에 의한 사다리형 디지털/아날로그 변환기의 회로도로서, 기준 전압(V_s)은 2진 코드에 기초하여 디지털 신호 b_n, b_{n-1}, \dots, b_0 에 의하여 제어되는 아날로그 스위치군 S_n, S_{n-1}, \dots, S_0 를 통하는 2종류의 저항 R 와 $2R$ 로 구성되는 사다리형 저항 회로망에 공급되어 출력 전압(V_o)이 나타난다.

상기 종래의 디지털/아날로그 변환기는 출력 정밀도가 저항치 정밀도와 아날로그 스위치의 임피던스로 좌우되기 때문에 제조가 어려운 상온도 등의 드리프트(Drift)에 영향을 받기 쉽고, 출력신호에서 고주파 성분을 제거하는 저역통과 필터(17)와 디지털/아날로그 변환기 출력을 증폭하는 증폭기(18)를 구동하는 전력 공급장치가 필요하여 시스템이 복잡하게 되고 비용이 높다.

또한, 디지털 회로와 아날로그 회로가 섞여 있어 원칩 IC화 하는 것이 어렵다는 문제점이 있었다.

상기 문제점을 해결하기 위하여 안출된 본 발명은 디지털 코드를 펄스폭 변조(PWM) 신호로 변환하는 것이 가능한 전 디지털 구성의 디지털/아날로그 변환기를 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여 본 발명은 디지털/아날로그 변환기에 있어서, 데이터를 샘플링 주기마다 기억하는 기억수단, 상기 기억수단의 값과 반전수단을 통해 반전된 값을 입력받아 오버플로우 발생시까지 증분시키는 대칭되는 한 쌍의 카운팅 수단, 상기 기억수단의 값과 일측 카운팅 수단에서 발생하는 오버플로우를 입력받는 제1논리곱 연산수단; 상기 타측 카운팅 수단에서 발생하는 오버플로우와 일측 카운팅 수단의 증분의 값을 입력받는 제2논리곱 연산수단 및 상기 카운팅 수단에서 발생하는 오버플로우를 입력받아 펄스폭 변조 신호를 출력하는 제어블럭을 구비하여 이루어지는 것을 특징으로 한다.

이하 첨부된 도면 제3도 및 제4도를 참조하여 본 발명의 실시예를 상술한다. 제3도는 본 발명의 일 실시예에 따른 디지털/아날로그 변환기의 블럭 구성도로서, 도시된 바와 같이 디지털/아날로그 변환기는 데이터를 샘플링 주기마다 기억하는 레지스터(21), 상기 레지스터(21)의 값을 인버터(29)를 통해 서로 반대되게 입력받는 멀티플렉서(22, 24)와 레지스터(23, 25)와 증분기(26, 27)가 서로 대칭구조를 이루는 한쌍의 카운팅 수단(32, 33), 상기 두개의 레지스터(21, 25)의 값을 입력받는 제1논리곱 연산수단(30), 상기 레지스터(23)와 증분기(27)의 값을 입력받는 제2논리곱 연산수단(31) 및 상기 레지스터(23, 25)에 입력단자가 연결되고 PWM신호를 출력하는 제어블럭(28)으로 구성된다.

상기와 같이 구성된 디지털/아날로그 변환기의 동작을 살펴보면 다음과 같다.

8비트 데이터를 샘플링 주기마다 기억하는 레지스터(21)에 로드(load)하고 일측 카운팅 수단(33)의 레지스터(25)에서 오버플로우가 발생하면 논리곱 연산수단(30)과 인버터(29)와 멀티플렉서(22)를 통해 상기 레지스터(21)에 기억된 값의 반전된 값을 타측 카운팅 수단(32)의 레지스터(23)에 로드하고, 논리곱 연산수단(30)과 멀티플렉서(24)를 통해 상기 레지스터(21)에 기억된 값을 일측 카운팅 수단(33)의 레지스터(25)에 로드한다. 반전된 값이 로드된 상기 타측 카운팅 수단(32)의 레지스터(23)의 값부터 증분기(26)를 통해 샘플링 주기마다 증가되는 값은 오버플로우가 발생할 때까지 그 레지스터(23)에 로드된다.

한편, 타측 카운팅 수단(32)의 레지스터(23)에서 오버플로우가 발생하면 논리곱 연산수단(30)과 멀티플렉서(24)를 통해 일측 카운팅 수단(33)의 레지스터(25)에 로드된 값이 증분기를 통해 오버플로우가 발생할 때까지 증가되어 그 레지스터에 로드된다. 각각의 레지스터(23, 25)에서 발생하는 오버플로우는 제어블럭(28)을 통하여 8비트 데이터를 샘플링 주파수 당으로 펄스폭이 변화된 제4도에 도시된 바와 같은 PWM신호를 발생시킨다.

즉, 서로 대칭되는 한쌍의 멀티플렉서(22, 24)와 기억수단(23, 25) 및 증분기(26, 27)가 데이터 기억수단(21)의 값을 서로 반대되게 입력받아, 어느 한 기억수단이 오버플로우가 되면 대칭된 기억수단(23, 25)의 값을 샘플링 주기마다 증가시켜 오버플로우가 발생할 때까지 자체 기억수단(23, 25)에 로드하고, 상기 두개의 기억수단(23, 25)에서 발생하는 오버플로우와 기억되는 값이 제어블럭(28)을 통하여 데이터를 샘플링 주파수당으로 펄스폭이 변화된 PWM신호를 발생하도록 한다.

상기와 같이 이루어지는 본 발명은 간단한 디지털 회로로써 디지털 코드를 펄스폭 변조하는 것이 가능하고, 이를 원칩화하여 소형화할 수 있는 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1

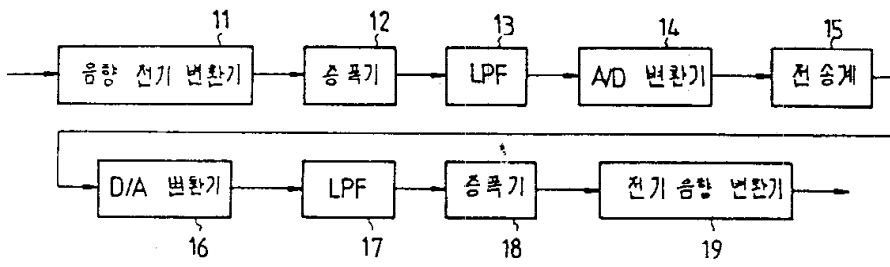
디지털/아날로그 변환기에 있어서, 데이터를 샘플링 주기마다 기억하는 기억수단(21), 상기 기억수단(21)의 값과 반전수단(29)를 통해 반전된 값을 입력받아 오버플로우 발생시까지 증분시키는 대칭되는 한쌍의 카운팅 수단(32, 33), 상기 기억수단(21)의 값과 일측 카운팅 수단(33)에서 발생하는 오버플로우를 입력받는 제1논리곱 연산수단(30), 상기 타측 카운팅 수단(32)에서 발생하는 오버플로우와 일측 카운팅 수단의 증분의 값을 입력받는 제2논리곱 연산수단(31) 및 상기 카운팅 수단(32, 33)에서 발생하는 오버플로우를 입력받아 펄스폭 변조신호를 출력하는 제어블럭(28)을 구비하여 이루어지는 것을 특징으로 하는 디지털/아날로그 변환기.

청구항 2

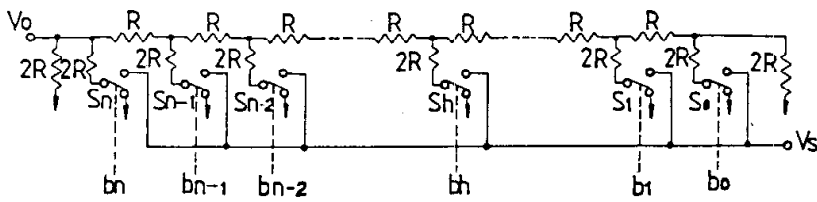
제1항에 있어서, 상기 카운팅 수단(32/33)은 멀티플렉서(22/24)와 기억수단(23/25)과 증분기(26/27)로 구성된 것을 특징으로 하는 디지털/아날로그 변환기.

도면

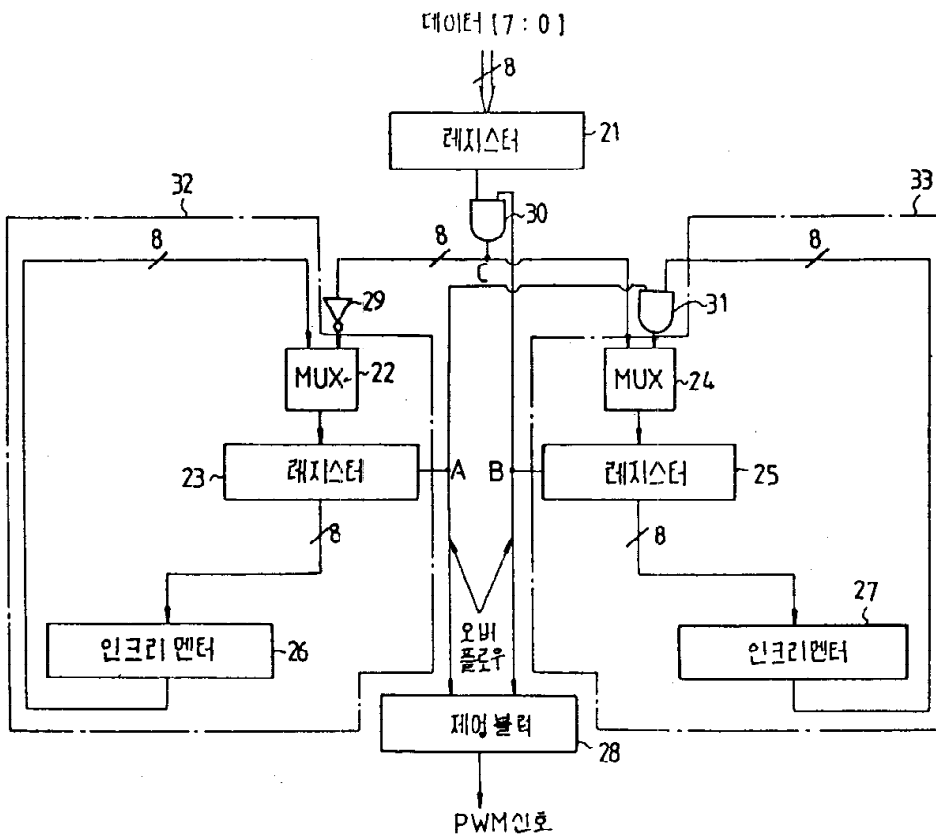
도면1



도면2



도면3



도면4

