



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년07월12일  
 (11) 등록번호 10-1877915  
 (24) 등록일자 2018년07월06일

- (51) 국제특허분류(Int. Cl.)  
 H03K 3/03 (2006.01) H03K 3/011 (2006.01)  
 H03L 7/099 (2006.01)
- (52) CPC특허분류  
 H03K 3/0315 (2013.01)  
 H03K 3/011 (2013.01)
- (21) 출원번호 10-2017-7032730
- (22) 출원일자(국제) 2016년04월15일  
 심사청구일자 2017년11월10일
- (85) 번역문제출일자 2017년11월10일
- (65) 공개번호 10-2017-0128621
- (43) 공개일자 2017년11월22일
- (86) 국제출원번호 PCT/US2016/027925
- (87) 국제공개번호 WO 2016/182690  
 국제공개일자 2016년11월17일
- (30) 우선권주장  
 14/711,158 2015년05월13일 미국(US)
- (56) 선행기술조사문헌  
 US04849717 A  
 US05973524 A

- (73) 특허권자  
**퀄컴 인코포레이티드**  
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자  
**유, 신신**  
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)  
**스와미나탄, 아속**  
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)  
**베네루스, 크리스찬**  
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)
- (74) 대리인  
**특허법인 남앤드남**

전체 청구항 수 : 총 26 항

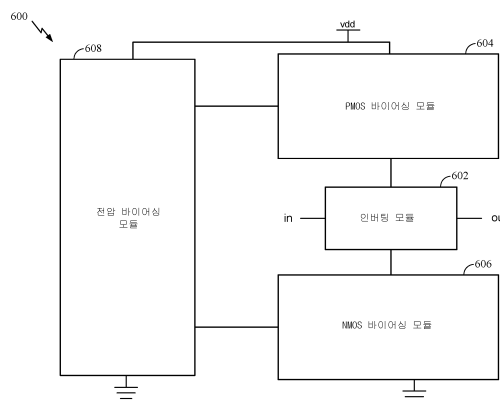
심사관 : 김정석

(54) 발명의 명칭 **공급 전압에 대해 제어되는 감도를 갖는 링 오실레이터 아키텍처**

**(57) 요약**

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 방법 및 장치가 제공된다. 장치는, 전압 바이어싱 모듈(608)을 통해, 공급 전압(vdd)에 기반하여 PMOS 바이어싱 모듈(604)에 대한 제1 바이어스 신호, 그리고 공급 전압에 기반하여 NMOS 바이어싱 모듈(606)에 대한 제2 바이어스 신호를 생성하고, 제1 바이어스 신호에 기반하여, PMOS 바이어싱 모듈을 통해, 인버팅 모듈(602)의 3극관 PMOS 디제너레이션을 바이어싱하고, 제2 바이어스 신호에 기반하여, NMOS 바이어싱 모듈을 통해, 인버팅 모듈의 3극관 NMOS 디제너레이션을 바이어싱하고, 인버팅 모듈을 통해 입력(in)을 수신하며, 바이어싱된 3극관 NMOS 디제너레이션 및 바이어싱된 3극관 PMOS 디제너레이션에 기반하여, 인버팅 모듈을 통해, 수신된 입력의 인버팅된 버전(out)을 출력하도록 구성된다.

**대표도 - 도6**



(52) CPC특허분류  
*H03L 7/0995* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

링 오실레이터 스테이지(ring oscillator stage)의 공급 감도를 제어하기 위한 장치로서,

수신된 입력의 인버팅된 버전을 출력하도록 구성된 인버팅 모듈(inverting module);

상기 인버팅 모듈에 커플링되고, 그리고 제1 바이어스 신호에 기반하는 튜너블(tunable) 저항을 갖는 적어도 하나의 엘리먼트를 포함하는 PMOS 바이어싱 모듈(biasing module);

상기 인버팅 모듈에 커플링되고, 그리고 제2 바이어스 신호에 기반하는 튜너블 저항을 갖는 적어도 하나의 엘리먼트를 포함하는 NMOS 바이어싱 모듈; 및

공급 전압에 기반하여 상기 PMOS 바이어싱 모듈에 대한 상기 제1 바이어스 신호를 생성하고, 그리고 상기 공급 전압에 기반하여 상기 NMOS 바이어싱 모듈에 대한 상기 제2 바이어스 신호를 생성하도록 구성된 전압 바이어싱 모듈

을 포함하고,

상기 전압 바이어싱 모듈은 제1 PMOS 트랜지스터, NMOS 트랜지스터, 제2 PMOS 트랜지스터 및 전류 소스를 포함하고, 상기 제1 PMOS 트랜지스터의 드레인은 상기 NMOS 트랜지스터의 드레인 및 상기 PMOS 바이어싱 모듈에 커플링되고, 상기 NMOS 트랜지스터의 게이트는 상기 NMOS 바이어싱 모듈에 커플링되고, 그리고 상기 제1 PMOS 트랜지스터의 게이트는 상기 제2 PMOS 트랜지스터의 게이트에 커플링되고,

상기 제1 PMOS 트랜지스터의 소스는 상기 공급 전압에 커플링되고,

상기 제2 PMOS 트랜지스터의 소스는 상기 공급 전압에 커플링되고,

상기 제2 PMOS 트랜지스터의 드레인은 상기 전류 소스의 제1 노드 및 상기 NMOS 트랜지스터의 게이트에 커플링되고, 그리고 상기 제2 PMOS 트랜지스터의 게이트에 커플링되고,

상기 PMOS 바이어싱 모듈은 상기 제1 바이어스 신호에 기반하여 상기 인버팅 모듈을 바이어싱하고,

상기 NMOS 바이어싱 모듈은 상기 제2 바이어스 신호에 기반하여 상기 인버팅 모듈을 바이어싱하고, 그리고

상기 인버팅 모듈은, NMOS 바이어싱 모듈 바이어스 및 PMOS 바이어싱 모듈 바이어스에 기반하여, 상기 수신된 입력의 인버팅된 버전을 출력하는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

#### 청구항 2

제1 항에 있어서,

상기 인버팅 모듈은,

일차 PMOS 트랜지스터; 및

상기 일차 PMOS 트랜지스터에 커플링된 일차 NMOS 트랜지스터

를 포함하며,

상기 일차 PMOS 트랜지스터의 게이트 및 상기 일차 NMOS 트랜지스터의 게이트는 상기 링 오실레이터 스테이지의 입력에 커플링되고, 그리고

상기 일차 PMOS 트랜지스터의 드레인 및 상기 일차 NMOS 트랜지스터의 드레인은 상기 링 오실레이터 스테이지의 출력에 커플링되는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**청구항 3**

제2 항에 있어서,

상기 PMOS 바이어싱 모듈은 제1 이차 PMOS 트랜지스터, 제2 이차 PMOS 트랜지스터, 제3 이차 PMOS 트랜지스터, 및 제4 이차 PMOS 트랜지스터를 포함하고,

상기 일차 PMOS 트랜지스터의 소스는 상기 제1 이차 PMOS 트랜지스터의 드레인, 상기 제2 이차 PMOS 트랜지스터의 드레인, 상기 제3 이차 PMOS 트랜지스터의 드레인, 및 상기 제4 이차 PMOS 트랜지스터의 드레인에 커플링되고,

상기 제1 이차 PMOS 트랜지스터의 소스, 상기 제2 이차 PMOS 트랜지스터의 소스, 상기 제3 이차 PMOS 트랜지스터의 소스, 및 상기 제4 이차 PMOS 트랜지스터의 소스는 상기 공급 전압에 커플링되고,

상기 제1 이차 PMOS 트랜지스터, 상기 제2 이차 PMOS 트랜지스터, 상기 제3 이차 PMOS 트랜지스터 및 상기 제4 이차 PMOS 트랜지스터의 각각의 저항은, 상기 전압 바이어싱 모듈로부터 상기 제1 바이어스 신호를 각각 수신함으로써 상기 공급 전압에 기반하여 제어되고, 그리고

상기 제1 이차 PMOS 트랜지스터, 상기 제2 이차 PMOS 트랜지스터, 상기 제3 이차 PMOS 트랜지스터 및 상기 제4 이차 PMOS 트랜지스터의 각각은, 개개의 게이트 노드를 통해 상기 제1 바이어스 신호를 수신하는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**청구항 4**

제3 항에 있어서,

상기 NMOS 바이어싱 모듈은 제1 이차 NMOS 트랜지스터, 제2 이차 NMOS 트랜지스터, 제3 이차 NMOS 트랜지스터, 및 제4 이차 NMOS 트랜지스터를 포함하고,

상기 일차 NMOS 트랜지스터의 소스는 상기 제1 이차 NMOS 트랜지스터의 드레인, 상기 제2 이차 NMOS 트랜지스터의 드레인, 상기 제3 이차 NMOS 트랜지스터의 드레인, 및 상기 제4 이차 NMOS 트랜지스터의 드레인에 커플링되고,

상기 제1 이차 NMOS 트랜지스터의 소스, 상기 제2 이차 NMOS 트랜지스터의 소스, 상기 제3 이차 NMOS 트랜지스터의 소스, 및 상기 제4 이차 NMOS 트랜지스터의 소스는 접지 노드에 커플링되고,

상기 제1 이차 NMOS 트랜지스터, 상기 제2 이차 NMOS 트랜지스터, 상기 제3 이차 NMOS 트랜지스터 및 상기 제4 이차 NMOS 트랜지스터의 각각의 저항은, 전압 바이어싱 모듈로부터 상기 제2 바이어스 신호를 각각 수신함으로써 상기 공급 전압에 기반하여 제어되고, 그리고

상기 제1 이차 NMOS 트랜지스터, 상기 제2 이차 NMOS 트랜지스터, 상기 제3 이차 NMOS 트랜지스터 및 상기 제4 이차 NMOS 트랜지스터의 각각은, 개개의 게이트 노드를 통해 상기 제2 바이어스 신호를 수신하는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**청구항 5**

제4 항에 있어서,

상기 제1 PMOS 트랜지스터의 드레인은 상기 제1 이차 PMOS 트랜지스터의 게이트, 상기 제2 이차 PMOS 트랜지스터의 게이트, 상기 제3 이차 PMOS 트랜지스터의 게이트, 및 상기 제4 이차 PMOS 트랜지스터의 게이트에 커플링되는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**청구항 6**

제5 항에 있어서,

상기 NMOS 트랜지스터의 드레인은 상기 제1 이차 PMOS 트랜지스터의 게이트, 상기 제2 이차 PMOS 트랜지스터의 게이트, 상기 제3 이차 PMOS 트랜지스터의 게이트, 및 상기 제4 이차 PMOS 트랜지스터의 게이트에 커플링되고,

상기 NMOS 트랜지스터의 소스는 상기 접지 노드에 커플링되고, 그리고

상기 NMOS 트랜지스터의 게이트는 상기 제1 이차 NMOS 트랜지스터의 게이트, 상기 제2 이차 NMOS 트랜지스터의 게이트, 상기 제3 이차 NMOS 트랜지스터의 게이트, 및 상기 제4 이차 NMOS 트랜지스터의 게이트에 커플링되는, 링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**청구항 7**

제6 항에 있어서,

상기 전류 소스의 제2 노드는 상기 접지 노드에 커플링되는, 링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**청구항 8**

제1 항에 있어서,

상기 공급 감도는 상기 PMOS 바이어싱 모듈의 적어도 하나의 엘리먼트의 튜닝된(tuned) 저항 및 상기 NMOS 바이어싱 모듈의 적어도 하나의 엘리먼트의 튜닝된 저항에 적어도 부분적으로 기반하는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**청구항 9**

제1 항에 있어서,

상기 PMOS 바이어싱 모듈의 적어도 하나의 엘리먼트 및 상기 NMOS 바이어싱 모듈의 적어도 하나의 엘리먼트는 상기 인버팅 모듈에 대한 디제너레이션(degeneration)을 제공하는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**청구항 10**

제1 항에 있어서,

상기 PMOS 바이어싱 모듈 및 상기 NMOS 바이어싱 모듈 각각은 튜너블 저항을 갖는 복수의 엘리먼트들을 포함하고, 상기 복수의 엘리먼트들의 각각은 스위치와 직렬인 트랜지스터를 포함하는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**청구항 11**

제1 항에 있어서,

상기 전류 소스의 제2 노드는 상기 NMOS 트랜지스터의 소스에 커플링되는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**청구항 12**

제11 항에 있어서,

상기 NMOS 트랜지스터의 소스는 상기 PMOS 바이어싱 모듈의 하나 또는 그 초과에 스위치들에 추가로 커플링되고, 그리고 상기 NMOS 트랜지스터의 소스는 상기 NMOS 바이어싱 모듈의 하나 또는 그 초과에 스위치들에 추가로 커플링되는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**청구항 13**

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 방법으로서,

전압 바이어싱 모듈을 통해, 공급 전압에 기반하여 PMOS 바이어싱 모듈에 대한 제1 바이어스 신호, 그리고 상기

공급 전압에 기반하여 NMOS 바이어싱 모듈에 대한 제2 바이어스 신호를 생성하는 단계 - 상기 제1 바이어스 신호는 상기 전압 바이어싱 모듈의 제1 PMOS 트랜지스터의 드레인 및 NMOS 트랜지스터의 드레인에 커플링되는 노드로부터 제공되고, 상기 제2 바이어스 신호는 상기 NMOS 트랜지스터의 게이트에 커플링되는 노드로부터 제공되고, 제1 PMOS 트랜지스터의 드레인은 상기 제1 PMOS 트랜지스터의 게이트에 연결되지 않으며,

상기 전압 바이어싱 모듈은 제2 PMOS 트랜지스터 및 전류 소스를 더 포함하고, 상기 제1 PMOS 트랜지스터의 소스는 상기 공급 전압에 커플링되고, 그리고 상기 제1 PMOS 트랜지스터의 게이트는 상기 제2 PMOS 트랜지스터의 게이트에 커플링되며,

상기 제2 PMOS 트랜지스터의 소스는 상기 공급 전압에 커플링되며, 그리고

상기 제2 PMOS 트랜지스터의 드레인은 상기 전류 소스의 제1 노드 및 상기 NMOS 트랜지스터의 게이트에 커플링되고, 그리고 상기 제2 PMOS 트랜지스터의 게이트에 커플링됨 -;

상기 제1 바이어스 신호에 기반하여 상기 PMOS 바이어싱 모듈의 적어도 하나의 엘리먼트의 저항을 튜닝하는 단계;

상기 제2 바이어스 신호에 기반하여 상기 NMOS 바이어싱 모듈의 적어도 하나의 엘리먼트의 저항을 튜닝하는 단계;

상기 PMOS 바이어싱 모듈의 적어도 하나의 엘리먼트의 튜닝된 저항에 기반하여, 상기 PMOS 바이어싱 모듈을 통해, 인버팅 모듈의 PMOS 디제너레이션을 바이어싱하는 단계;

상기 NMOS 바이어싱 모듈의 적어도 하나의 엘리먼트의 튜닝된 저항에 기반하여, 상기 NMOS 바이어싱 모듈을 통해, 상기 인버팅 모듈의 NMOS 디제너레이션을 바이어싱하는 단계;

상기 인버팅 모듈을 통해 입력을 수신하는 단계; 및

상기 NMOS 디제너레이션 및 상기 PMOS 디제너레이션에 기반하여, 상기 인버팅 모듈을 통해, 수신된 입력의 인버팅된 버전을 출력하는 단계

를 포함하는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 방법.

#### 청구항 14

제13 항에 있어서,

상기 인버팅 모듈은,

일차 PMOS 트랜지스터; 및

상기 일차 PMOS 트랜지스터에 커플링된 일차 NMOS 트랜지스터

를 포함하고,

상기 일차 PMOS 트랜지스터의 게이트 및 상기 일차 NMOS 트랜지스터의 게이트는 상기 링 오실레이터 스테이지의 입력에 커플링되고, 그리고

상기 일차 PMOS 트랜지스터의 드레인 및 상기 일차 NMOS 트랜지스터의 드레인은 상기 링 오실레이터 스테이지의 출력에 커플링되는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 방법.

#### 청구항 15

제14 항에 있어서,

상기 PMOS 바이어싱 모듈은 제1 이차 PMOS 트랜지스터, 제2 이차 PMOS 트랜지스터, 제3 이차 PMOS 트랜지스터, 및 제4 이차 PMOS 트랜지스터를 포함하고,

상기 일차 PMOS 트랜지스터의 소스는 상기 제1 이차 PMOS 트랜지스터의 드레인, 상기 제2 이차 PMOS 트랜지스터의 드레인, 상기 제3 이차 PMOS 트랜지스터의 드레인, 및 상기 제4 이차 PMOS 트랜지스터의 드레인에 커플링되

고,

상기 제1 이차 PMOS 트랜지스터의 소스, 상기 제2 이차 PMOS 트랜지스터의 소스, 상기 제3 이차 PMOS 트랜지스터의 소스, 및 상기 제4 이차 PMOS 트랜지스터의 소스는 상기 공급 전압에 커플링되고,

상기 제1 이차 PMOS 트랜지스터, 상기 제2 이차 PMOS 트랜지스터, 상기 제3 이차 PMOS 트랜지스터 및 상기 제4 이차 PMOS 트랜지스터의 각각의 저항은, 상기 전압 바이어싱 모듈로부터 상기 제1 바이어스 신호를 각각 수신함으로써 상기 공급 전압에 기반하여 제어되고, 그리고

상기 제1 이차 PMOS 트랜지스터, 상기 제2 이차 PMOS 트랜지스터, 상기 제3 이차 PMOS 트랜지스터 및 상기 제4 이차 PMOS 트랜지스터의 각각은, 개개의 게이트 노드를 통해 상기 제1 바이어스 신호를 수신하는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 방법.

#### 청구항 16

제15 항에 있어서,

상기 NMOS 바이어싱 모듈은 제1 이차 NMOS 트랜지스터, 제2 이차 NMOS 트랜지스터, 제3 이차 NMOS 트랜지스터, 및 제4 이차 NMOS 트랜지스터를 포함하고,

상기 일차 NMOS 트랜지스터의 소스는 상기 제1 이차 NMOS 트랜지스터의 드레인, 상기 제2 이차 NMOS 트랜지스터의 드레인, 상기 제3 이차 NMOS 트랜지스터의 드레인, 및 상기 제4 이차 NMOS 트랜지스터의 드레인에 커플링되고,

상기 제1 이차 NMOS 트랜지스터의 소스, 상기 제2 이차 NMOS 트랜지스터의 소스, 상기 제3 이차 NMOS 트랜지스터의 소스, 및 상기 제4 이차 NMOS 트랜지스터의 소스는 접지 노드에 커플링되고,

상기 제1 이차 NMOS 트랜지스터, 상기 제2 이차 NMOS 트랜지스터, 상기 제3 이차 NMOS 트랜지스터 및 상기 제4 이차 NMOS 트랜지스터의 각각의 저항은, 전압 바이어싱 모듈로부터 상기 제2 바이어스 신호를 각각 수신함으로써 상기 공급 전압에 기반하여 제어되고, 그리고

상기 제1 이차 NMOS 트랜지스터, 상기 제2 이차 NMOS 트랜지스터, 상기 제3 이차 NMOS 트랜지스터 및 상기 제4 이차 NMOS 트랜지스터의 각각은, 개개의 게이트 노드를 통해 상기 제2 바이어스 신호를 수신하는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 방법.

#### 청구항 17

제16 항에 있어서,

상기 제1 PMOS 트랜지스터의 드레인은 상기 제1 이차 PMOS 트랜지스터의 게이트, 상기 제2 이차 PMOS 트랜지스터의 게이트, 상기 제3 이차 PMOS 트랜지스터의 게이트, 및 상기 제4 이차 PMOS 트랜지스터의 게이트에 커플링되는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 방법.

#### 청구항 18

제17 항에 있어서,

상기 NMOS 트랜지스터의 드레인은 상기 제1 이차 PMOS 트랜지스터의 게이트, 상기 제2 이차 PMOS 트랜지스터의 게이트, 상기 제3 이차 PMOS 트랜지스터의 게이트, 및 상기 제4 이차 PMOS 트랜지스터의 게이트에 커플링되고,

상기 NMOS 트랜지스터의 소스는 상기 접지 노드에 커플링되고, 그리고

상기 NMOS 트랜지스터의 게이트는 상기 제1 이차 NMOS 트랜지스터의 게이트, 상기 제2 이차 NMOS 트랜지스터의 게이트, 상기 제3 이차 NMOS 트랜지스터의 게이트, 및 상기 제4 이차 NMOS 트랜지스터의 게이트에 커플링되는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 방법.

#### 청구항 19

제18 항에 있어서,  
 상기 전류 소스의 제2 노드는 상기 접지 노드에 커플링되는,  
 링 오실레이터 스테이지의 공급 감도를 제어하기 위한 방법.

**청구항 20**

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치로서,  
 입력을 수신하고 그리고 수신된 입력의 인버팅된 버전을 출력하기 위한 인버팅 수단;  
 상기 인버팅 수단의 PMOS 디제너레이션을 바이어싱하기 위한 PMOS 바이어싱 수단 - 상기 PMOS 바이어싱 수단은 제1 바이어스 신호에 기반하여 상기 PMOS 바이어싱 수단의 저항을 튜닝하기 위한 수단을 포함함 -;  
 상기 인버팅 수단의 NMOS 디제너레이션을 바이어싱하기 위한 NMOS 바이어싱 수단 - 상기 NMOS 바이어싱 수단은 제2 바이어스 신호에 기반하여 상기 NMOS 바이어싱 수단의 저항을 튜닝하기 위한 수단을 포함함 -; 및  
 공급 전압에 기반하여 상기 PMOS 바이어싱 수단에 대한 상기 제1 바이어스 신호, 그리고 상기 공급 전압에 기반하여 상기 NMOS 바이어싱 수단에 대한 상기 제2 바이어스 신호를 생성하기 위한 전압 바이어싱 수단을 포함하며,  
 상기 전압 바이어싱 수단은 제1 PMOS 트랜지스터, NMOS 트랜지스터, 제2 PMOS 트랜지스터, 및 전류 소스를 포함하는 전류를 제공하기 위한 수단을 포함하고, 상기 제1 PMOS 트랜지스터의 드레인은 상기 NMOS 트랜지스터의 드레인 및 상기 PMOS 바이어싱 수단에 커플링되고, 상기 NMOS 트랜지스터의 게이트는 상기 NMOS 바이어싱 수단에 커플링되고, 그리고 상기 NMOS 트랜지스터의 소스는 상기 전류를 제공하기 위한 수단에 커플링되고,  
 상기 제1 PMOS 트랜지스터의 소스는 상기 공급 전압에 커플링되고, 그리고 상기 제1 PMOS 트랜지스터의 게이트는 상기 제2 PMOS 트랜지스터의 게이트에 커플링되고,  
 상기 제2 PMOS 트랜지스터의 소스는 상기 공급 전압에 커플링되고,  
 상기 제2 PMOS 트랜지스터의 드레인은 상기 전류 소스의 제1 노드 및 상기 NMOS 트랜지스터의 게이트에 커플링되고, 그리고 상기 제2 PMOS 트랜지스터의 게이트에 커플링되고, 그리고  
 상기 수신된 입력의 인버팅된 버전은, 바이어싱된 NMOS 디제너레이션 및 바이어싱된 PMOS 디제너레이션에 기반하여, 상기 인버팅 수단을 통해 출력되는,  
 링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**청구항 21**

제20 항에 있어서,  
 상기 인버팅 수단은,  
 일차 PMOS 트랜지스터; 및  
 상기 일차 PMOS 트랜지스터에 커플링된 일차 NMOS 트랜지스터  
 를 포함하고,  
 상기 일차 PMOS 트랜지스터의 게이트 및 상기 일차 NMOS 트랜지스터의 게이트는 상기 링 오실레이터 스테이지의 입력에 커플링되고, 그리고  
 상기 일차 PMOS 트랜지스터의 드레인 및 상기 일차 NMOS 트랜지스터의 드레인은 상기 링 오실레이터 스테이지의 출력에 커플링되는,  
 링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**청구항 22**

제21 항에 있어서,



상기 PMOS 바이어싱 수단은 제1 이차 PMOS 트랜지스터, 제2 이차 PMOS 트랜지스터, 제3 이차 PMOS 트랜지스터, 및 제4 이차 PMOS 트랜지스터를 포함하고,

상기 일차 PMOS 트랜지스터의 소스는 상기 제1 이차 PMOS 트랜지스터의 드레인, 상기 제2 이차 PMOS 트랜지스터의 드레인, 상기 제3 이차 PMOS 트랜지스터의 드레인, 및 상기 제4 이차 PMOS 트랜지스터의 드레인에 커플링되고,

상기 제1 이차 PMOS 트랜지스터의 소스, 상기 제2 이차 PMOS 트랜지스터의 소스, 상기 제3 이차 PMOS 트랜지스터의 소스, 및 상기 제4 이차 PMOS 트랜지스터의 소스는 상기 공급 전압에 커플링되고,

상기 제1 이차 PMOS 트랜지스터, 상기 제2 이차 PMOS 트랜지스터, 상기 제3 이차 PMOS 트랜지스터 및 상기 제4 이차 PMOS 트랜지스터의 각각의 저항은, 전압 바이어싱 모듈로부터 상기 제1 바이어스 신호를 각각 수신함으로써 상기 공급 전압에 기반하여 제어되고, 그리고

상기 제1 이차 PMOS 트랜지스터, 상기 제2 이차 PMOS 트랜지스터, 상기 제3 이차 PMOS 트랜지스터 및 상기 제4 이차 PMOS 트랜지스터의 각각은, 개개의 게이트 노드를 통해 상기 제1 바이어스 신호를 수신하는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

### 청구항 23

제22 항에 있어서,

상기 NMOS 바이어싱 수단은 제1 이차 NMOS 트랜지스터, 제2 이차 NMOS 트랜지스터, 제3 이차 NMOS 트랜지스터, 및 제4 이차 NMOS 트랜지스터를 포함하고,

상기 일차 NMOS 트랜지스터의 소스는 상기 제1 이차 NMOS 트랜지스터의 드레인, 상기 제2 이차 NMOS 트랜지스터의 드레인, 상기 제3 이차 NMOS 트랜지스터의 드레인, 및 상기 제4 이차 NMOS 트랜지스터의 드레인에 커플링되고,

상기 제1 이차 NMOS 트랜지스터의 소스, 상기 제2 이차 NMOS 트랜지스터의 소스, 상기 제3 이차 NMOS 트랜지스터의 소스, 및 상기 제4 이차 NMOS 트랜지스터의 소스는 접지 노드에 커플링되고,

상기 제1 이차 NMOS 트랜지스터, 상기 제2 이차 NMOS 트랜지스터, 상기 제3 이차 NMOS 트랜지스터 및 상기 제4 이차 NMOS 트랜지스터의 각각의 저항은, 상기 전압 바이어싱 모듈로부터 상기 제2 바이어스 신호를 각각 수신함으로써 상기 공급 전압에 기반하여 제어되고, 그리고

상기 제1 이차 NMOS 트랜지스터, 상기 제2 이차 NMOS 트랜지스터, 상기 제3 이차 NMOS 트랜지스터 및 상기 제4 이차 NMOS 트랜지스터의 각각은, 개개의 게이트 노드를 통해 상기 제2 바이어스 신호를 수신하는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

### 청구항 24

제23 항에 있어서,

상기 제1 PMOS 트랜지스터의 드레인은 상기 제1 이차 PMOS 트랜지스터의 게이트, 상기 제2 이차 PMOS 트랜지스터의 게이트, 상기 제3 이차 PMOS 트랜지스터의 게이트, 및 상기 제4 이차 PMOS 트랜지스터의 게이트에 커플링되는,

링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

### 청구항 25

제24 항에 있어서,

상기 NMOS 트랜지스터의 드레인은 상기 제1 이차 PMOS 트랜지스터의 게이트, 상기 제2 이차 PMOS 트랜지스터의 게이트, 상기 제3 이차 PMOS 트랜지스터의 게이트, 및 상기 제4 이차 PMOS 트랜지스터의 게이트에 커플링되고,

상기 NMOS 트랜지스터의 소스는 상기 접지 노드에 커플링되고, 그리고

상기 NMOS 트랜지스터의 게이트는 상기 제1 이차 NMOS 트랜지스터의 게이트, 상기 제2 이차 NMOS 트랜지스터의

게이트, 상기 제3 이차 NMOS 트랜지스터의 게이트, 및 상기 제4 이차 NMOS 트랜지스터의 게이트에 커플링되는, 링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**청구항 26**

제23 항에 있어서,  
상기 전류 소스의 제2 노드는 상기 접지 노드에 커플링되는,  
링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치.

**발명의 설명**

**기술 분야**

[0001] 본 출원은, "RING OSCILLATOR ARCHITECTURE WITH CONTROLLED SENSITIVITY TO SUPPLY VOLTAGE"란 명칭으로 2015년 5월 13일자로 출원된 미국 특허 출원 번호 14/711,158에 대한 우선권을 주장하며, 위 출원은 인용에 의해 본원에 그 전체가 명시적으로 통합된다.

[0002] 본 개시내용은 일반적으로 통신 시스템들에 관한 것이며, 더욱 구체적으로, 일부 예들은 링 오실레이터의 전압 공급 감도를 제어하기 위한 장치 및 방법에 관한 것이다.

**배경 기술**

[0003] 무선 디바이스(예컨대, 셀룰러 폰 또는 스마트폰)는 무선 통신 시스템과의 양방향 통신을 위해 데이터를 송신 및 수신할 수 있다. 무선 디바이스는 데이터 송신을 위한 송신기 및 데이터 수신을 위한 수신기를 포함할 수 있다. 데이터 송신의 경우, 송신기는 데이터와 함께 송신 LO(local oscillator) 신호를 변조하여 변조된 RF(radio frequency) 신호를 획득하고, 변조된 RF 신호를 증폭시켜 원하는 출력 전력 레벨을 갖는 출력 RF 신호를 획득하며, 출력 RF 신호를 안테나를 통해 기지국에 송신할 수 있다. 데이터 수신 시의 경우, 수신기는 안테나를 통해 수신된 RF 신호를 획득하고, 수신된 RF 신호를 수신 LO 신호와 함께 하향변환하며, 하향변환된 신호를 프로세싱하여 기지국에 의해 전송된 데이터를 복원할 수 있다.

[0004] 무선 디바이스는 하나 또는 그 초과 의 원하는 주파수들로 하나 또는 그 초과 의 오실레이터 신호들을 생성하기 위한 하나 또는 그 초과 의 오실레이터들을 포함할 수 있다. 오실레이터 신호(들)는, 송신기에 대한 송신 LO 신호 및 수신기에 대한 수신 LO 신호를 생성하기 위해 사용될 수 있다. 오실레이터(들)는, 무선 디바이스와 통신하는 무선 통신 시스템의 요건들을 충족시키기 위해 오실레이터 신호(들)를 생성하는데 요구될 수 있다.

[0005] PLL(phased locked loop)에서 사용되는 링 오실레이터는 불량한 전력 공급 리젝션(power supply rejection)을 가질 수 있다. 그에 따라서, PLL에서의 링 오실레이터의 사용은, 전력 공급을 레귤레이팅함으로써 개선될 수 있다.

[0006] 게다가, 링 오실레이터는 공급 감지를 위해 VCO(voltage-controlled oscillator)-기반 양자화기에서 사용될 수 있다. 링 오실레이터는 공급 전압을 주파수로, 그리고 그 다음 디지털 상태로 전환(translate)할 수 있다. 그에 따라서, 높은 디지털 분해능(resolution)을 달성하기 위하여, 공급 전압에 매우 민감한 VCO를 구현하는 것이 바람직할 수 있다.

**발명의 내용**

[0007] 본 개시내용의 양상에서, 링 오실레이터 스테이지의 공급 감도를 제어하기 위한 방법 및 장치가 제공된다. 장치는, 전압 바이어싱 모듈을 통해, 공급 전압에 기반하여 PMOS 바이어싱 모듈에 대한 제1 바이어스 신호, 그리고 공급 전압에 기반하여 NMOS 바이어싱 모듈에 대한 제2 바이어스 신호를 생성하고, 제1 바이어스 신호에 기반하여, PMOS 바이어싱 모듈을 통해, 인버팅 모듈의 3극관 PMOS 디제너레이션(degeneration)을 바이어싱하고, 제2 바이어스 신호에 기반하여, NMOS 바이어싱 모듈을 통해, 인버팅 모듈의 3극관 NMOS 디제너레이션을 바이어싱하고, 인버팅 모듈을 통해 입력을 수신하며, 바이어싱된 3극관 NMOS 디제너레이션 및 바이어싱된 3극관 PMOS 디제너레이션에 기반하여, 인버팅 모듈을 통해, 수신된 입력의 인버팅된 버전을 출력하도록 구성된다.

[0008] 다른 양상에서, 링 오실레이터 스테이지의 공급 감도를 제어하기 위한 방법은, 전압 바이어싱 모듈을

통해, 공급 전압에 기반하여 PMOS 바이어싱 모듈에 대한 제1 바이어스 신호, 그리고 공급 전압에 기반하여 NMOS 바이어싱 모듈에 대한 제2 바이어스 신호를 생성하는 단계, 제1 바이어스 신호에 기반하여, PMOS 바이어싱 모듈을 통해, 인버팅 모듈의 3극관 PMOS 디제너레이션을 바이어싱하는 단계, 제2 바이어스 신호에 기반하여, NMOS 바이어싱 모듈을 통해, 인버팅 모듈의 3극관 NMOS 디제너레이션을 바이어싱하는 단계, 인버팅 모듈을 통해 입력을 수신하는 단계, 및 바이어싱된 3극관 NMOS 디제너레이션 및 바이어싱된 3극관 PMOS 디제너레이션에 기반하여, 인버팅 모듈을 통해, 수신된 입력의 인버팅된 버전을 출력하는 단계를 포함한다.

[0009] 추가 양상에서, 링 오실레이터 스테이지의 공급 감도를 제어하기 위한 장치는, 입력을 수신하며, 수신된 입력의 인버팅된 버전을 출력하기 위한 인버팅 수단, 인버팅 수단의 3극관 PMOS 디제너레이션을 바이어싱하기 위한 PMOS 바이어싱 수단, 인버팅 수단의 3극관 NMOS 디제너레이션을 바이어싱하기 위한 NMOS 바이어싱 수단, 및 공급 전압에 기반하여 PMOS 바이어싱 수단에 대한 제1 바이어스 신호, 그리고 공급 전압에 기반하여 NMOS 바이어싱 수단에 대한 제2 바이어스 신호를 생성하기 위한 전압 바이어싱 수단을 포함한다. PMOS 바이어싱 수단은 제1 바이어스 신호에 기반하여 인버팅 수단의 3극관 PMOS 디제너레이션을 바이어싱하도록 구성된다. NMOS 바이어싱 수단은 제2 바이어스 신호에 기반하여 인버팅 수단의 3극관 NMOS 디제너레이션을 바이어싱하도록 구성된다. 수신된 입력의 인버팅된 버전은, 바이어싱된 3극관 NMOS 디제너레이션 및 바이어싱된 3극관 PMOS 디제너레이션에 기반하여, 인버팅 수단을 통해 출력된다.

**도면의 간단한 설명**

[0010] 도 1은 상이한 무선 통신 시스템들과 통신하는 무선 디바이스를 예시한다.  
 [0011] 도 2는 무선 디바이스의 블록 다이어그램이다.  
 [0012] 도 3은 링 오실레이터의 구조를 예시한다.  
 [0013] 도 4는 링 오실레이터의 단일 스테이지의 개략적 트랜지스터 레벨 다이어그램이다.  
 [0014] 도 6은 공급 전압에 매우 민감한 링 오실레이터의 단일 스테이지의 모듈 다이어그램이다.  
 [0015] 도 7은 도 6의 단일 스테이지의 개략적 트랜지스터 레벨 다이어그램이다.  
 [0016] 도 8은 링 오실레이터 스테이지의 공급 감도를 제어하기 위한 방법의 흐름도이다.

**발명을 실시하기 위한 구체적인 내용**

[0017] 첨부된 도면들과 관련하여 아래에서 제시되는 상세한 설명은 다양한 구성들의 설명으로서 의도되며, 본원에서 설명되는 개념들이 실시될 수 있는 유일한 구성들을 표현하는 것으로 의도되지 않는다. 상세한 설명은 다양한 개념들의 완전한 이해를 제공하는 목적을 위해 특정 세부사항들을 포함한다. 그러나, 이들 특정 세부사항들 없이, 이들 개념들이 실시될 수 있다는 것이 당업자들에게 명백할 것이다. 일부 사례들에서, 잘 알려진 구조들 및 컴포넌트들은 그러한 개념들을 모호하게 하는 것을 방지하기 위하여 블록 다이어그램 형태로 도시된다. "예시적"이란 용어는 본원에서 "예, 사례, 또는 예시로서의 역할을 하는" 것을 의미하기 위해 사용된다. 본원에서 "예시적"인 것으로서 설명되는 임의의 설계가 반드시 다른 설계들에 비하여 바람직하거나 또는 유리한 것으로서 해석되지 않아야 한다.

[0018] 이제, 원격통신 시스템들의 몇몇 양상들이 다양한 장치 및 방법들을 참조하여 제시될 것이다. 이들 장치 및 방법들은 다양한 블록들, 모듈들, 컴포넌트들, 회로들, 단계들, 프로세스들, 알고리즘들 등(집합적으로, "엘리먼트들"로 지칭됨)에 의해 첨부된 도면들에서 예시되고 다음의 상세한 설명에서 설명될 것이다. 이들 엘리먼트들은 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이들의 임의의 결합을 사용하여 구현될 수 있다. 그러한 엘리먼트들이 하드웨어로 구현되는지 또는 소프트웨어로 구현되는지의 여부는 특정 애플리케이션 및 전체 시스템에 부과되는 설계 제약들에 따라 좌우된다.

[0019] 예로서, 엘리먼트, 또는 엘리먼트의 임의의 부분, 또는 엘리먼트들의 임의의 결합은 하나 또는 그 초과 프로세서들을 포함하는 "프로세싱 시스템"으로 구현될 수 있다. 프로세서들의 예들은 마이크로프로세서들, 마이크로제어기들, DSP(digital signal processor)들, FPGA(field programmable gate array)들, PLD(programmable logic device)들, 상태 머신들, 게이트드 로직, 이산 하드웨어 회로들, 및 본 개시내용 전체에 걸쳐 설명되는 다양한 기능성을 수행하도록 구성된 다른 적절한 하드웨어를 포함한다. 프로세싱 시스템의 하나 또는 그 초과 프로세서들은 소프트웨어를 실행할 수 있다. 소프트웨어는, 소프트웨어, 펌웨어, 미들웨어, 마이크로코드, 하드웨어 기술어로 지칭되는 또는 달리 지칭되는 간에, 명령들, 명령 세트들, 코드, 코드 세

그먼트들, 프로그램 코드, 프로그램들, 서브프로그램들, 소프트웨어 모듈들, 애플리케이션들, 소프트웨어 애플리케이션들, 소프트웨어 패키지들, 루틴들, 서브루틴들, 객체들, 실행가능들, 실행 스크립트들, 프로시저들, 함수들 등을 의미하는 것으로 널리 해석될 것이다.

[0014] [0020] 그에 따라서, 하나 또는 그 초과 의 예시적 실시예들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 결합으로 구현될 수 있다. 소프트웨어로 구현된다면, 기능들은 하나 또는 그 초과 의 명령들 또는 코드로서 컴퓨터-판독가능 매체 상에 저장되거나 또는 인코딩될 수 있다. 컴퓨터-판독가능 매체는 컴퓨터 저장 매체를 포함한다. 저장 매체는 컴퓨터가 액세스할 수 있는 임의의 이용가능한 매체일 수 있다. 제한이 아닌 예로서, 그러한 컴퓨터-판독가능 매체는 RAM(random-access memory), ROM(read-only memory), EEPROM(electrically erasable programmable ROM), CD-ROM(compact disk ROM), 또는 다른 광학 디스크 스토리지, 자기 디스크 스토리지 또는 다른 자기 저장 디바이스들, 또는 원하는 프로그램 코드를 명령들 또는 데이터 구조들의 형태로 운반하거나 또는 저장하기 위해 사용될 수 있고 컴퓨터가 액세스할 수 있는 임의의 다른 매체를 포함할 수 있다. 본원에서 사용되는 디스크(disk) 및 디스크(disc)는 CD, 레이저 디스크(disc), 광학 디스크(disc), 디지털 다기능 디스크(DVD; digital versatile disc), 및 플로피 디스크(disk)를 포함하며, 여기서 디스크(disk)들은 대개 데이터를 자기적으로 재생하지만, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 이들의 결합들이 또한, 컴퓨터-판독가능 매체의 범위 내에 포함되어야 한다.

[0015] [0021] 도 1은 상이한 무선 통신 시스템들(120, 122)과 통신하는 무선 디바이스(110)를 예시하는 다이어그램(100)이다. 무선 시스템들(120, 122)은 각각 CDMA(Code Division Multiple Access) 시스템, GSM(Global System for Mobile Communications) 시스템, LTE(Long Term Evolution) 시스템, WLAN(wireless local area network) 시스템, 또는 어떤 다른 무선 시스템일 수 있다. CDMA 시스템은 WCDMA(Wideband CDMA), CDMA 1X 또는 cdma2000, TD-SCDMA(Time Division Synchronous Code Division Multiple Access), 또는 CDMA의 어떤 다른 버전을 구현할 수 있다. TD-SCDMA는 또한, UTRA(Universal Terrestrial Radio Access) TDD(Time Division Duplex) 1.28 Mcps 옵션 또는 LCR(Low Chip Rate)로 지칭된다. LTE는 FDD(frequency division duplexing) 및 TDD(time division duplexing) 둘 모두를 지원한다. 예컨대, 무선 시스템(120)은 GSM 시스템일 수 있으며, 무선 시스템(122)은 WCDMA 시스템일 수 있다. 다른 예로서, 무선 시스템(120)은 LTE 시스템일 수 있으며, 무선 시스템(122)은 CDMA 시스템일 수 있다.

[0016] [0022] 단순성을 위해, 다이어그램(100)은 하나의 기지국(130) 및 하나의 시스템 제어기(140)를 포함하는 무선 시스템(120), 그리고 하나의 기지국(132) 및 하나의 시스템 제어기(142)를 포함하는 무선 시스템(122)을 도시한다. 일반적으로, 각각의 무선 시스템은 임의의 개수의 기지국들, 및 네트워크 엔티티들의 임의의 세트를 포함할 수 있다. 각각의 기지국은 기지국의 커버리지 내의 무선 디바이스들에 대한 통신을 지원할 수 있다. 기지국들은 또한, 노드 B, eNB(evolved Node B), 액세스 포인트, 베이스 트랜시버 스테이션, 라디오 기지국, 라디오 트랜시버, 트랜시버 기능, BSS(basic service set), ESS(extended service set), 또는 어떤 다른 적절한 용어로 지칭될 수 있다. 무선 디바이스(110)는 또한, UE(user equipment), 모바일 디바이스, 원격 디바이스, 무선 디바이스, 무선 통신 디바이스, 스테이션, 모바일 스테이션, 가입자 스테이션, 모바일 가입자 스테이션, 단말, 모바일 단말, 원격 단말, 무선 단말, 액세스 단말, 클라이언트, 모바일 클라이언트, 모바일 유닛, 가입자 유닛, 무선 유닛, 원격 유닛, 핸드셋, 사용자 에이전트, 또는 어떤 다른 적절한 용어로 지칭될 수 있다. 무선 디바이스(110)는 셀룰러 폰, 스마트폰, 태블릿, 무선 모뎀, PDA(personal digital assistant), 핸드헬드 디바이스, 랩톱 컴퓨터, 스마트북, 넷북, 코드리스 폰, WLL(wireless local loop) 스테이션, 또는 어떤 다른 유사한 기능 디바이스일 수 있다.

[0017] [0023] 무선 디바이스(110)는 무선 시스템(120 및/또는 122)과 통신할 수 있을 수 있다. 무선 디바이스(110)는 또한, 브로드캐스트 스테이션들, 이를테면 브로드캐스트 스테이션(134)으로부터 신호들을 수신할 수 있을 수 있다. 무선 디바이스(110)는 또한, 하나 또는 그 초과 의 GNSS(global navigation satellite system)들의 위성들, 이를테면 위성(150)으로부터 신호들을 수신할 수 있을 수 있다. 무선 디바이스(110)는 GSM, WCDMA, cdma2000, LTE, 802.11 등과 같은 무선 통신을 위한 하나 또는 그 초과 의 라디오 기술들을 지원할 수 있다. "라디오 기술", "라디오 액세스 기술", "에어 인터페이스", 및 "표준"이란 용어들은 상호교환가능하게 사용될 수 있다.

[0018] [0024] 무선 디바이스(110)는 무선 시스템의 기지국과 다운링크 및 업링크를 통해 통신할 수 있다. 다운링크(또는 순방향 링크)는 기지국으로부터 무선 디바이스로의 통신 링크를 지칭하며, 업링크(또는 역방향 링크)는 무선 디바이스로부터 기지국으로의 통신 링크를 지칭한다. 무선 시스템은 TDD 및/또는 FDD를 활용할 수 있다. TDD의 경우, 다운링크 및 업링크는 동일한 주파수를 공유하며, 다운링크 송신들 및 업링크 송신들은 상이한 시

간 기간들에서 동일한 주파수 상에서 전송될 수 있다. FDD의 경우, 다운링크 및 업링크에 별개의 주파수들이 할당된다. 다운링크 송신들은 하나의 주파수 상에서 전송될 수 있으며, 업링크 송신들은 다른 주파수 상에서 전송될 수 있다. TDD를 지원하는 일부 예시적 라디오 기술들은 GSM, LTE, 및 TD-SCDMA를 포함한다. FDD를 지원하는 일부 예시적 라디오 기술들은 WCDMA, cdma2000, 및 LTE를 포함한다. 무선 디바이스(110) 및/또는 기지국들(130, 132)은 예시적 링 오실레이터(160)를 포함할 수 있다. 예시적 링 오실레이터(160)가 아래에(infra) 제공된다.

[0019] [0025] 도 2는 예시적 무선 디바이스, 이를테면 무선 디바이스(110)의 블록 다이어그램(200)이다. 무선 디바이스는 데이터 프로세서/제어기(210), 트랜시버(218), 및 안테나(290)를 포함한다. 데이터 프로세서/제어기(210)는 프로세싱 시스템으로 지칭될 수 있다. 프로세싱 시스템은 데이터 프로세서/제어기(210)를 포함하거나, 또는 데이터 프로세서/제어기(210) 및 메모리(216) 둘 모두를 포함할 수 있다. 트랜시버(218)는 양방향 통신을 지원하는 송신기(220) 및 수신기(250)를 포함한다. 송신기(220) 및/또는 수신기(250)는 수퍼-헤테로다인 아키텍처 또는 직접-변환 아키텍처로 구현될 수 있다. 수퍼-헤테로다인 아키텍처에서, 신호는 다수의 스테이지들에서 RF와 베이스밴드 간에, 예컨대, 수신기의 경우, 하나의 스테이지에서 RF로부터 IF(intermediate frequency)로, 그리고 그 다음 다른 스테이지에서 IF로부터 베이스밴드로 주파수 변환된다. 제로-IF 아키텍처로 또한 지칭되는 직접-변환 아키텍처에서, 신호는 하나의 스테이지에서 RF와 베이스밴드 간에 주파수 변환된다. 수퍼-헤테로다인 및 직접-변환 아키텍처들은 상이한 회로 블록들을 사용하고, 그리고/또는 상이한 요건들을 가질 수 있다. 도 2에서 예시된 예시적 설계에서, 송신기(220) 및 수신기(250)는 직접-변환 아키텍처로 구현된다.

[0020] [0026] 송신 경로에서, 데이터 프로세서/제어기(210)는 송신될 데이터를 프로세싱(예컨대, 인코딩 및 변조)하며, 데이터를 DAC(digital-to-analog converter)(230)에 제공할 수 있다. DAC(230)는 디지털 입력 신호를 아날로그 출력 신호로 변환한다. 아날로그 출력 신호는 송신(TX) 베이스밴드(로우패스) 필터(232)에 제공되며, 이 송신(TX) 베이스밴드(로우패스) 필터(232)는 DAC(230)에 의한 이전의 디지털-아날로그 변환에 의해 유발된 이미지들을 제거하기 위해 아날로그 출력 신호를 필터링할 수 있다. 증폭기(amp)(234)는 TX 베이스밴드 필터(232)로부터의 신호를 증폭시키며, 증폭된 베이스밴드 신호를 제공할 수 있다. 업컨버터(믹서)(236)는 증폭된 베이스밴드 신호, 및 TX LO 신호 생성기(276)로부터의 TX LO 신호를 수신할 수 있다. 업컨버터(236)는 증폭된 베이스밴드 신호를 TX LO 신호와 함께 상향변환하며, 상향변환된 신호를 제공할 수 있다. 필터(238)는, 주파수 업컨버전에 의해 유발된 이미지들을 제거하기 위해, 상향변환된 신호를 필터링할 수 있다. PA(power amplifier)(240)는, 원하는 출력 전력 레벨을 획득하기 위해, 필터(238)로부터의 필터링된 RF 신호를 증폭시키며, 출력 RF 신호를 제공할 수 있다. 출력 RF 신호는 듀플렉서/스위치플렉서(264)를 통해 라우팅될 수 있다.

[0021] [0027] FDD의 경우, 송신기(220) 및 수신기(250)는 듀플렉서(264)에 커플링될 수 있으며, 이 듀플렉서(264)는 송신기(220)에 대한 TX 필터 및 수신기(250)에 대한 수신(RX) 필터를 포함할 수 있다. TX 필터는, 송신 밴드의 신호 컴포넌트들을 통과시키고 수신 밴드의 신호 컴포넌트들을 감쇠시키기 위해 출력 RF 신호를 필터링할 수 있다. TDD의 경우, 송신기(220) 및 수신기(250)는 스위치플렉서(264)에 커플링될 수 있다. 스위치플렉서(264)는 업링크 시간 인터벌들 동안 송신기(220)로부터 안테나(290)로 출력 RF 신호를 통과시킬 수 있다. FDD 및 TDD 둘 모두의 경우, 듀플렉서/스위치플렉서(264)는 무선 채널을 통한 송신을 위해 출력 RF 신호를 안테나(290)에 제공할 수 있다.

[0022] [0028] 수신 경로에서, 안테나(290)는 기지국들 및/또는 다른 송신기 스테이션들에 의해 송신된 신호들을 수신할 수 있으며, 수신 RF 신호를 제공할 수 있다. 수신 RF 신호는 듀플렉서/스위치플렉서(264)를 통해 라우팅될 수 있다. FDD의 경우, 듀플렉서(264) 내의 RX 필터는, 수신 밴드의 신호 컴포넌트들을 통과시키고 송신 밴드의 신호 컴포넌트들을 감쇠시키기 위해 수신 RF 신호를 필터링할 수 있다. TDD의 경우, 스위치플렉서(264)는 다운링크 시간 인터벌들 동안 안테나(290)로부터 수신기(250)로 수신 RF 신호를 통과시킬 수 있다. FDD 및 TDD 둘 모두의 경우, 듀플렉서/스위치플렉서(264)는 수신 RF 신호를 수신기(250)에 제공할 수 있다.

[0023] [0029] 수신기(250) 내에서, 수신 RF 신호가 LNA(low noise amplifier)(252)에 의해 증폭되고, 필터(254)에 의해 필터링되어, 입력 RF 신호가 획득될 수 있다. 다운컨버터(믹서)(256)는 입력 RF 신호, 및 RX LO 신호 생성기(286)로부터의 RX LO 신호를 수신할 수 있다. 다운컨버터(256)는 입력 RF 신호를 RX LO 신호와 함께 하향변환하며, 하향변환된 신호를 제공할 수 있다. 하향변환된 신호가 증폭기(258)에 의해 증폭되고, RX 베이스밴드(로우패스) 필터(260)에 의해 추가로 필터링되어, 아날로그 입력 신호가 획득될 수 있다. 양상에서, 예시적 베이스밴드 필터(160)는 증폭기(258) 및 RX 베이스밴드 필터(260) 중 하나 또는 그 초과에 의해 구현될 수 있다. 아날로그 입력 신호는 ADC(analog-to-digital converter)(262)에 제공된다. ADC(262)는 아날로그 입력

신호를 디지털 출력 신호로 변환한다. 디지털 출력 신호는 데이터 프로세서/제어기(210)에 제공된다.

- [0024] [0030] TX 주파수 신시사이저(270)는 TX PLL(phase-locked loop)(272) 및 VCO(274)를 포함할 수 있다. VCO(274)는 TX VCO 신호를 원하는 주파수로 생성할 수 있다. TX PLL(272)은 데이터 프로세서/제어기(210)로부터 타이밍 정보를 수신하며, VCO(274)에 대한 제어 신호를 생성할 수 있다. TX VCO 신호에 대한 원하는 주파수를 획득하기 위해, 제어 신호는 VCO(274)의 주파수 및/또는 위상을 조정할 수 있다. TX 주파수 신시사이저(270)는 TX VCO 신호를 TX LO 신호 생성기(276)에 제공한다. TX LO 신호 생성기(276)는 TX 주파수 신시사이저(270)로부터 수신된 TX VCO 신호에 기반하여 TX LO 신호를 생성할 수 있다. 양상에서, 예시적 링 오실레이터(160)는 VCO(274)에 의해 구현될 수 있다.
- [0025] [0031] RX 주파수 신시사이저(280)는 RX PLL(282) 및 VCO(284)를 포함할 수 있다. VCO(284)는 RX VCO 신호를 원하는 주파수로 생성할 수 있다. RX PLL(282)은 데이터 프로세서/제어기(210)로부터 타이밍 정보를 수신하며, VCO(284)에 대한 제어 신호를 생성할 수 있다. RX VCO 신호에 대한 원하는 주파수를 획득하기 위해, 제어 신호는 VCO(284)의 주파수 및/또는 위상을 조정할 수 있다. RX 주파수 신시사이저(280)는 RX VCO 신호를 RX LO 신호 생성기(286)에 제공한다. RX LO 신호 생성기는 RX 주파수 신시사이저(280)로부터 수신된 RX VCO 신호에 기반하여 RX LO 신호를 생성할 수 있다. 양상에서, 예시적 링 오실레이터(160)는 VCO(284)에 의해 구현될 수 있다.
- [0026] [0032] LO 신호 생성기들(276, 286)은 각각 주파수 분주기들, 버퍼들 등을 포함할 수 있다. LO 신호 생성기들(276, 286)은, 이들이 TX 주파수 신시사이저(270) 및 RX 주파수 신시사이저(280)에 의해 각각 제공되는 주파수를 분주한다면 주파수 분주기들로 지칭될 수 있다. PLL들(272, 282)은 각각 위상/주파수 검출기, 루프 필터, 전하 펌프, 주파수 분주기 등을 포함할 수 있다. 각각의 VCO 신호 및 각각의 LO 신호는 특정 기본 주파수를 갖는 주기적 신호일 수 있다. LO 생성기들(276, 286)로부터의 TX LO 신호 및 RX LO 신호는 TDD의 경우 동일한 주파수, 또는 FDD의 경우 상이한 주파수들을 가질 수 있다. VCO들(274, 284)로부터의 TX VCO 신호 및 RX VCO 신호는 동일한 주파수(예컨대, TDD의 경우) 또는 상이한 주파수들(예컨대, FDD 또는 TDD의 경우)을 가질 수 있다.
- [0027] [0033] 송신기(220) 및 수신기(250)에서의 신호들의 컨디셔닝은 증폭기, 필터, 업컨버터, 다운컨버터 등 중에서 하나 또는 그 초과 스테이지들에 의해 수행될 수 있다. 이들 회로들은 도 2에서 도시된 구성과 상이하게 배열될 수 있다. 또한, 송신기(220) 및 수신기(250)에서 신호들을 컨디셔닝하기 위해, 도 2에서 도시되지 않은 다른 회로들이 또한 사용될 수 있다. 예컨대, 임피던스 매칭 회로들이 PA(240)의 출력에, LNA(252)의 입력에, 안테나(290)와 듀플렉서/스위칭플렉서(264) 사이 등에 위치될 수 있다. 도 2의 일부 회로들은 또한 생략될 수 있다. 예컨대, 필터(238) 및/또는 필터(254)가 생략될 수 있다. 트랜시버(218)의 일부 또는 전부는 하나 또는 그 초과 아날로그 IC(integrated circuit)들, RFIC(RF IC)들, 믹싱된-신호 IC들 등에 구현될 수 있다. 예컨대, 송신기(220)에서의 TX 베이스밴드 필터(232) 내지 PA(240), 수신기(250)에서의 LNA(252) 내지 RX 베이스밴드 필터(260), PLL들(272, 282), VCO들(274, 284), 및 LO 신호 생성기들(276, 286)이 RFIC 상에 구현될 수 있다. PA(240) 및 가능하게는 다른 회로들이 또한, 별개의 IC 또는 회로 모듈 상에 구현될 수 있다.
- [0028] [0034] 데이터 프로세서/제어기(210)는 무선 디바이스에 대한 다양한 기능들을 수행할 수 있다. 예컨대, 데이터 프로세서/제어기(210)는 송신기(220)를 통해 송신되고 수신기(250)를 통해 수신되는 데이터에 대한 프로세싱을 수행할 수 있다. 데이터 프로세서/제어기(210)는 송신기(220) 및 수신기(250) 내의 다양한 회로들의 동작을 제어할 수 있다. 메모리(212) 및/또는 메모리(216)는 데이터 프로세서/제어기(210)에 대한 프로그램 코드 및 데이터를 저장할 수 있다. 메모리는 데이터 프로세서/제어기(210)의 내부에(예컨대, 메모리(212)) 또는 데이터 프로세서/제어기(210)의 외부에(예컨대, 메모리(216)) 있을 수 있다. 메모리는 컴퓨터-관독가능 매체로 지칭될 수 있다. 오실레이터(214)는 VCO 신호를 특정 주파수로 생성할 수 있다. 클록 생성기(215)는 오실레이터(214)로부터 VCO 신호(들)를 수신할 수 있으며, 트랜시버(218) 및/또는 데이터 프로세서/제어기(210) 내의 다양한 모듈들에 대한 클록 신호들을 생성할 수 있다. 데이터 프로세서/제어기(210)는 하나 또는 그 초과 ASIC(application-specific integrated circuit)들 및/또는 다른 IC들 상에 구현될 수 있다.
- [0029] [0035] 본 개시내용은 링 오실레이터의 전압 공급 감도를 제어하기 위한 장치 및 방법을 제공한다.
- [0030] [0036] 도 3은 링 오실레이터(300)의 구조를 예시한다. 일반적으로, 링 오실레이터는 "참" 값과 "거짓" 값을 표현하는 2 개의 전압 레벨들 사이에서 오실레이팅하는 출력을 갖는 홀수 개의 NOT 게이트들을 포함하는 디바이스이다. NOT 게이트들(인버터들, 지연 스테이지들, 또는 스테이지들로 또한 지칭될 수 있음)은 연쇄적으로(in a chain) 부착되며, 마지막 인버터의 출력은 제1 인버터에 피드 백(fed back)된다. 도 3을 참조하면, 7-스테이지 링 오실레이터가 묘사된다. 그러나, 임의의 홀수 개의 스테이지들을 사용하여 본 개시내용이 구현될 수 있다.

다는 것이 고려된다. 7-스테이지 링 오실레이터는 제1 인버터(302), 제2 인버터(304), 제3 인버터(306), 제4 인버터(308), 제5 인버터(310), 제6 인버터(312), 및 제7 인버터(314)를 포함한다. 제1 인버터(302)의 출력은 제2 인버터(304)의 입력에 인가된다. 제2 인버터(304)의 출력은 제3 인버터(306)의 입력에 인가된다. 제3 인버터(306)의 출력은 제4 인버터(308)의 입력에 인가된다. 제4 인버터(308)의 출력은 제5 인버터(310)의 입력에 인가된다. 제5 인버터(310)의 출력은 제6 인버터(312)의 입력에 인가된다. 제6 인버터(312)의 출력은 제7 인버터(314)의 입력에 인가된다. 제7 인버터(314)의 출력은 제1 인버터(302)의 입력에 피드 백된다. 7-스테이지 링 오실레이터의 인버터들 각각을 통과하는 파선(dashed) 화살표는, 개개의 인버터가 공급 전압(Vdd)의 함수로써 튜닝될 수 있다는 것을 표시한다.

[0031] [0037] 도 4는 링 오실레이터의 단일 스테이지의 개략적 트랜지스터 레벨 다이어그램(400)이다. 예컨대, 단일 스테이지는 도 3의 제1 인버터(302), 제2 인버터(304), 제3 인버터(306), 제4 인버터(308), 제5 인버터(310), 제6 인버터(312), 또는 제7 인버터(314) 중 하나와 동일할 수 있다. 도 4에서 도시된 바와 같이, 단일 스테이지는 함께 커플링된 다수의 PMOS 트랜지스터들 및 다수의 NMOS 트랜지스터들을 포함할 수 있다.

[0032] [0038] 도 5는 공급 전압에 매우 민감한 링 오실레이터의 단일 스테이지의 개략적 트랜지스터 레벨 다이어그램(500)이다. 예로서, 단일 스테이지는 도 3의 제1 인버터(302), 제2 인버터(304), 제3 인버터(306), 제4 인버터(308), 제5 인버터(310), 제6 인버터(312), 또는 제7 인버터(314) 중 하나와 동일할 수 있다.

[0033] [0039] 양상에서, 단일 스테이지는 일차 NMOS 트랜지스터(504)에 커플링된 일차 PMOS 트랜지스터(502)를 포함할 수 있다. 일차 PMOS 트랜지스터(502)의 게이트 및 일차 NMOS 트랜지스터(504)의 게이트는 단일 스테이지의 입력에 커플링될 수 있다. 일차 PMOS 트랜지스터(502)의 드레인 및 일차 NMOS 트랜지스터(504)의 드레인은 단일 스테이지의 출력에 커플링될 수 있다.

[0034] [0040] 일차 PMOS 트랜지스터(502)는 다수의 이차 PMOS 트랜지스터들, 예컨대 제1 이차 PMOS 트랜지스터(512), 제2 이차 PMOS 트랜지스터(514), 제3 이차 PMOS 트랜지스터(516), 및 제4 이차 PMOS 트랜지스터(518)에 커플링될 수 있다. 예컨대, 일차 PMOS 트랜지스터(502)의 소스는 제1 이차 PMOS 트랜지스터(512)의 드레인, 제2 이차 PMOS 트랜지스터(514)의 드레인, 제3 이차 PMOS 트랜지스터(516)의 드레인, 및 제4 이차 PMOS 트랜지스터(518)의 드레인에 커플링될 수 있다. 게다가, 제1 이차 PMOS 트랜지스터(512)의 소스, 제2 이차 PMOS 트랜지스터(514)의 소스, 제3 이차 PMOS 트랜지스터(516)의 소스, 및 제4 이차 PMOS 트랜지스터(518)의 소스는 개개의 스위치들을 통해 전압 소스(vdd)에 커플링될 수 있다. 양상에서, 제1 이차 PMOS 트랜지스터(512), 제2 이차 PMOS 트랜지스터(514), 제3 이차 PMOS 트랜지스터(516) 및 제4 이차 PMOS 트랜지스터(518) 각각의 저항은, 바이어싱 모듈로부터 바이어싱 신호(P(vdd))를 각각 수신함으로써 공급 전압(vdd)의 함수로써 튜닝될 수 있다. 제1 이차 PMOS 트랜지스터(512), 제2 이차 PMOS 트랜지스터(514), 제3 이차 PMOS 트랜지스터(516) 및 제4 이차 PMOS 트랜지스터(518) 각각은, 개개의 게이트 노드를 통해 바이어싱 신호(P(vdd))를 수신할 수 있다.

[0035] [0041] 일차 NMOS 트랜지스터(504)는 다수의 이차 NMOS 트랜지스터들, 예컨대 제1 이차 NMOS 트랜지스터(522), 제2 이차 NMOS 트랜지스터(524), 제3 이차 NMOS 트랜지스터(526), 및 제4 이차 NMOS 트랜지스터(528)에 커플링될 수 있다. 예컨대, 일차 NMOS 트랜지스터(504)의 소스는 제1 이차 NMOS 트랜지스터(522)의 드레인, 제2 이차 NMOS 트랜지스터(524)의 드레인, 제3 이차 NMOS 트랜지스터(526)의 드레인, 및 제4 이차 NMOS 트랜지스터(528)의 드레인에 커플링될 수 있다. 게다가, 제1 이차 NMOS 트랜지스터(522)의 소스, 제2 이차 NMOS 트랜지스터(524)의 소스, 제3 이차 NMOS 트랜지스터(526)의 소스, 및 제4 이차 NMOS 트랜지스터(528)의 소스는 개개의 스위치들을 통해 접지 노드에 커플링될 수 있다. 양상에서, 제1 이차 NMOS 트랜지스터(522), 제2 이차 NMOS 트랜지스터(524), 제3 이차 NMOS 트랜지스터(526) 및 제4 이차 NMOS 트랜지스터(528) 각각의 저항은, 바이어싱 모듈로부터 바이어싱 신호(N(vdd))를 각각 수신함으로써 공급 전압(vdd)의 함수로써 튜닝될 수 있다. 제1 이차 NMOS 트랜지스터(522), 제2 이차 NMOS 트랜지스터(524), 제3 이차 NMOS 트랜지스터(526) 및 제4 이차 NMOS 트랜지스터(528) 각각은, 개개의 게이트 노드를 통해 바이어싱 신호(N(vdd))를 수신할 수 있다.

[0036] [0042] 양상에서, 도 5의 전압-제어되는 트랜지스터들(이차 PMOS 트랜지스터들(512, 514, 516, 518) 및 이차 NMOS 트랜지스터들(522, 524, 526, 528))은 링 오실레이터의 단일 스테이지에 대한 디제너레이션으로서 사용될 수 있으며, 전압-제어되는 트랜지스터들 각각의 저항은 공급 전압(vdd)의 강한 함수(strong function)이다. 전압-제어되는 트랜지스터들은, vdd에 대한 링 오실레이터의 감도를 제어하기 위해 vdd의 함수로써 튜닝될 수 있다. 따라서, 링 오실레이터는, 공급 전압에 더 민감하거나 또는 덜 민감하도록 튜닝될 수 있다. 링 오실레이터가 공급 전압에 더 민감하도록 튜닝되는 경우, 이 링 오실레이터는 공급 변동을 더욱 쉽게 검출할 수 있다.

[0037] [0043] 도 6은 공급 전압에 매우 민감한 링 오실레이터의 단일 스테이지의 모듈 다이어그램(600)이다.

예로서, 단일 스테이지는 도 3의 제1 인버터(302), 제2 인버터(304), 제3 인버터(306), 제4 인버터(308), 제5 인버터(310), 제6 인버터(312), 또는 제7 인버터(314) 중 하나와 동일할 수 있다. 도 7은 도 6의 단일 스테이지의 개략적 트랜지스터 레벨 다이어그램(700)이다.

- [0038] [0044] 도 6 및 도 7을 참조하면, 단일 스테이지는 인버팅 모듈(602), PMOS 바이어싱 모듈(604), NMOS 바이어싱 모듈(606), 및 전압 바이어싱 모듈(608)을 포함한다. 양상에서, 전압 바이어싱 모듈은 단일 스테이지에 대한 바이어스 전압을 제어한다. 예컨대, 전압 바이어싱 모듈(608)은 공급 전압(vdd)에 기반하여 PMOS 바이어싱 모듈(604)에 대한 바이어스 신호를 생성하며, 이 바이어스 신호를 PMOS 바이어싱 모듈(604)에 전송한다. 바이어스 신호 수신 시, PMOS 바이어싱 모듈(604)은 인버팅 모듈(602)의 3극관 PMOS 디체너레이션을 바이어싱할 수 있다. 다른 예에서, 전압 바이어싱 모듈(608)은 공급 전압(vdd)에 기반하여 NMOS 바이어싱 모듈(606)에 대한 바이어스 신호를 생성하며, 이 바이어스 신호를 NMOS 바이어싱 모듈(606)에 전송한다. 바이어스 신호 수신 시, NMOS 바이어싱 모듈(606)은 인버팅 모듈(602)의 3극관 NMOS 디체너레이션을 바이어싱할 수 있다. 그 다음, 인버팅 모듈(602)은, 바이어싱된 3극관 NMOS 디체너레이션 및 바이어싱된 3극관 PMOS 디체너레이션에 기반하여, 수신된 입력의 인버팅된 버전(논리적 NOT)을 출력하도록 동작할 수 있다.
- [0039] [0045] 양상에서, 도 6 및 도 7에서 도시된 단일 스테이지를 구현함으로써, 액티브 고대역폭 바이어싱이 달성될 수 있으며, 이는 공급 전압의 더 빠른 트랜지션 및/또는 공급 과도(transient)들에 대한 빠른 저항 변화들을 허용한다. 그에 따라서, 그러한 단일 스테이지를 구현하는 링 오실레이터는 증가된 공급 감도를 가질 것이다. 예컨대, 공급 감도는 이전의 링 오실레이터 설계들에 비하여 1 내지 3배만큼 증가될 수 있다.
- [0040] [0046] 도 6 및 도 7을 여전히 참조하면, 인버팅 모듈(602)은 일차 NMOS 트랜지스터(504)에 커플링된 일차 PMOS 트랜지스터(502)를 포함할 수 있다. 일차 PMOS 트랜지스터(502)의 게이트 및 일차 NMOS 트랜지스터(504)의 게이트는 단일 스테이지의 입력에 커플링될 수 있다. 일차 PMOS 트랜지스터(502)의 드레인 및 일차 NMOS 트랜지스터(504)의 드레인은 단일 스테이지의 출력에 커플링될 수 있다.
- [0041] [0047] 일차 PMOS 트랜지스터(502)는 PMOS 바이어싱 모듈(604)에 커플링될 수 있다. PMOS 바이어싱 모듈(604)은 다수의 이차 PMOS 트랜지스터들, 예컨대 제1 이차 PMOS 트랜지스터(512), 제2 이차 PMOS 트랜지스터(514), 제3 이차 PMOS 트랜지스터(516), 및 제4 이차 PMOS 트랜지스터(518)를 포함할 수 있다. 일차 PMOS 트랜지스터(502)의 소스는 제1 이차 PMOS 트랜지스터(512)의 드레인, 제2 이차 PMOS 트랜지스터(514)의 드레인, 제3 이차 PMOS 트랜지스터(516)의 드레인, 및 제4 이차 PMOS 트랜지스터(518)의 드레인에 커플링될 수 있다. 게다가, 제1 이차 PMOS 트랜지스터(512)의 소스, 제2 이차 PMOS 트랜지스터(514)의 소스, 제3 이차 PMOS 트랜지스터(516)의 소스, 및 제4 이차 PMOS 트랜지스터(518)의 소스는 개개의 스위치들을 통해 전압 소스(vdd)에 커플링될 수 있다. 제1 이차 PMOS 트랜지스터(512), 제2 이차 PMOS 트랜지스터(514), 제3 이차 PMOS 트랜지스터(516) 및 제4 이차 PMOS 트랜지스터(518) 각각의 저항은, 전압 바이어싱 모듈(608)로부터 바이어스 신호를 각각 수신함으로써 공급 전압(vdd)의 함수로써 튜닝될 수 있다. 제1 이차 PMOS 트랜지스터(512), 제2 이차 PMOS 트랜지스터(514), 제3 이차 PMOS 트랜지스터(516) 및 제4 이차 PMOS 트랜지스터(518) 각각은, 개개의 게이트 노드를 통해 바이어스 신호를 수신할 수 있다.
- [0042] [0048] 일차 NMOS 트랜지스터(504)는 NMOS 바이어싱 모듈(606)에 커플링될 수 있다. NMOS 바이어싱 모듈(606)은 다수의 이차 NMOS 트랜지스터들, 예컨대 제1 이차 NMOS 트랜지스터(522), 제2 이차 NMOS 트랜지스터(524), 제3 이차 NMOS 트랜지스터(526), 및 제4 이차 NMOS 트랜지스터(528)를 포함할 수 있다. 일차 NMOS 트랜지스터(504)의 소스는 제1 이차 NMOS 트랜지스터(522)의 드레인, 제2 이차 NMOS 트랜지스터(524)의 드레인, 제3 이차 NMOS 트랜지스터(526)의 드레인, 및 제4 이차 NMOS 트랜지스터(528)의 드레인에 커플링될 수 있다. 게다가, 제1 이차 NMOS 트랜지스터(522)의 소스, 제2 이차 NMOS 트랜지스터(524)의 소스, 제3 이차 NMOS 트랜지스터(526)의 소스, 및 제4 이차 NMOS 트랜지스터(528)의 소스는 개개의 스위치들을 통해 접지 노드에 커플링될 수 있다. 양상에서, 제1 이차 NMOS 트랜지스터(522), 제2 이차 NMOS 트랜지스터(524), 제3 이차 NMOS 트랜지스터(526) 및 제4 이차 NMOS 트랜지스터(528) 각각의 저항은, 전압 바이어싱 모듈(608)로부터 바이어스 신호를 각각 수신함으로써 공급 전압(vdd)의 함수로써 튜닝될 수 있다. 제1 이차 NMOS 트랜지스터(522), 제2 이차 NMOS 트랜지스터(524), 제3 이차 NMOS 트랜지스터(526) 및 제4 이차 NMOS 트랜지스터(528) 각각은, 개개의 게이트 노드를 통해 바이어스 신호를 수신할 수 있다.
- [0043] [0049] 전압 바이어싱 모듈(608)은 제1 PMOS 트랜지스터(702), 제2 PMOS 트랜지스터(704), NMOS 트랜지스터(706), 및 전류 소스( $I_{bias}$ )를 포함할 수 있다. 제1 PMOS 트랜지스터(702)의 드레인은 NMOS 트랜지스터(706)의 드레인에 커플링된다. 제1 PMOS 트랜지스터(702)의 드레인은 제1 이차 PMOS 트랜지스터(512)의 게이트, 제2 이



차 PMOS 트랜지스터(514)의 게이트, 제3 이차 PMOS 트랜지스터(516)의 게이트, 및 제4 이차 PMOS 트랜지스터(518)의 게이트에 추가로 커플링된다. 제1 PMOS 트랜지스터(702)의 소스는 공급 전압(vdd)에 커플링된다. 제1 PMOS 트랜지스터(702)의 게이트는 제2 PMOS 트랜지스터(704)의 게이트에 커플링된다.

[0044] [0050] 제2 PMOS 트랜지스터(704)의 소스는 공급 전압(vdd)에 커플링된다. 제2 PMOS 트랜지스터(704)의 드레인은 전류 소스( $I_{bias}$ )의 제1 노드 및 NMOS 트랜지스터(706)의 게이트에 커플링된다. 제2 PMOS 트랜지스터(704)의 드레인은 제2 PMOS 트랜지스터(704)의 게이트에 추가로 커플링된다.

[0045] [0051] NMOS 트랜지스터(706)의 드레인은 제1 PMOS 트랜지스터(702)의 드레인에 커플링된다. NMOS 트랜지스터(706)의 드레인은 제1 이차 PMOS 트랜지스터(512)의 게이트, 제2 이차 PMOS 트랜지스터(514)의 게이트, 제3 이차 PMOS 트랜지스터(516)의 게이트, 및 제4 이차 PMOS 트랜지스터(518)의 게이트에 추가로 커플링된다. NMOS 트랜지스터(706)의 소스는 접지 노드에 커플링된다. NMOS 트랜지스터(706)의 게이트는 전류 소스( $I_{bias}$ )의 제1 노드에 커플링된다. NMOS 트랜지스터(706)의 게이트는 제1 이차 NMOS 트랜지스터(522)의 게이트, 제2 이차 NMOS 트랜지스터(524)의 게이트, 제3 이차 NMOS 트랜지스터(526)의 게이트, 및 제4 이차 NMOS 트랜지스터(528)의 게이트에 추가로 커플링된다.

[0046] [0052] 전류 소스( $I_{bias}$ )의 제1 노드는 제2 PMOS 트랜지스터(704)의 드레인과 NMOS 트랜지스터(706)의 게이트에 커플링된다. 전류 소스( $I_{bias}$ )의 제2 노드는 접지 노드에 커플링된다.

[0047] [0053] 양상에서, 도 6 및 도 7에서 도시된 스테이지를 구현하는 링 오실레이터는 드롭(droop) 검출기 시스템에 배치될 수 있다. 위에서 설명된 바와 같이, 스테이지 내의 전압-제어되는 트랜지스터들을 사용하는 본 개시내용의 링 오실레이터는 더 우수한 공급 감도를 달성한다. 이전의 링 오실레이터 설계들과 비교할 때, 20% 전압 감소와 함께, 공급 감도는 40%만큼 증가할 수 있다. 그에 따라서, 통상적인 드롭 검출기 설계들이 17.1 mV의 분해능을 가질 수 있는 반면에, 본 개시내용의 링 오실레이터를 구현하는 드롭 검출기 시스템의 분해능은 11.9 mV로 떨어질 수 있다.

[0048] [0054] 도 8은 링 오실레이터 스테이지의 공급 감도를 제어하기 위한 방법의 흐름도이다. 방법은 장치(예컨대, 도 6 및 도 7의 링 오실레이터 스테이지 또는 링 오실레이터(160))에 의해 수행될 수 있다.

[0049] [0055] 블록(802)에서, 장치는, 전압 바이어싱 모듈을 통해, 공급 전압에 기반하여 PMOS 바이어싱 모듈에 대한 제1 바이어싱 신호를 생성한다. 장치는, 전압 바이어싱 모듈을 통해, 공급 전압에 기반하여 NMOS 바이어싱 모듈에 대한 제2 바이어싱 신호를 추가로 생성한다.

[0050] [0056] 블록(804)에서, 장치는, 제1 바이어싱 신호에 기반하여, PMOS 바이어싱 모듈을 통해, 인버팅 모듈의 3극관 PMOS 디제너레이션을 바이어싱한다. 블록(806)에서, 장치는, 제2 바이어싱 신호에 기반하여, NMOS 바이어싱 모듈을 통해, 인버팅 모듈의 3극관 NMOS 디제너레이션을 바이어싱한다.

[0051] [0057] 블록(808)에서, 장치는 인버팅 모듈을 통해 입력을 수신한다. 그후에, 장치는, 바이어싱된 3극관 NMOS 디제너레이션 및 바이어싱된 3극관 PMOS 디제너레이션에 기반하여, 인버팅 모듈을 통해, 수신된 입력의 인버팅된 버전을 출력한다.

[0052] [0058] 양상에서, 인버팅 모듈은 일차 PMOS 트랜지스터, 및 일차 PMOS 트랜지스터에 커플링된 일차 NMOS 트랜지스터를 포함한다. 일차 PMOS 트랜지스터의 게이트 및 일차 NMOS 트랜지스터의 게이트는 링 오실레이터 스테이지의 입력에 커플링된다. 일차 PMOS 트랜지스터의 드레인 및 일차 NMOS 트랜지스터의 드레인은 링 오실레이터 스테이지의 출력에 커플링된다.

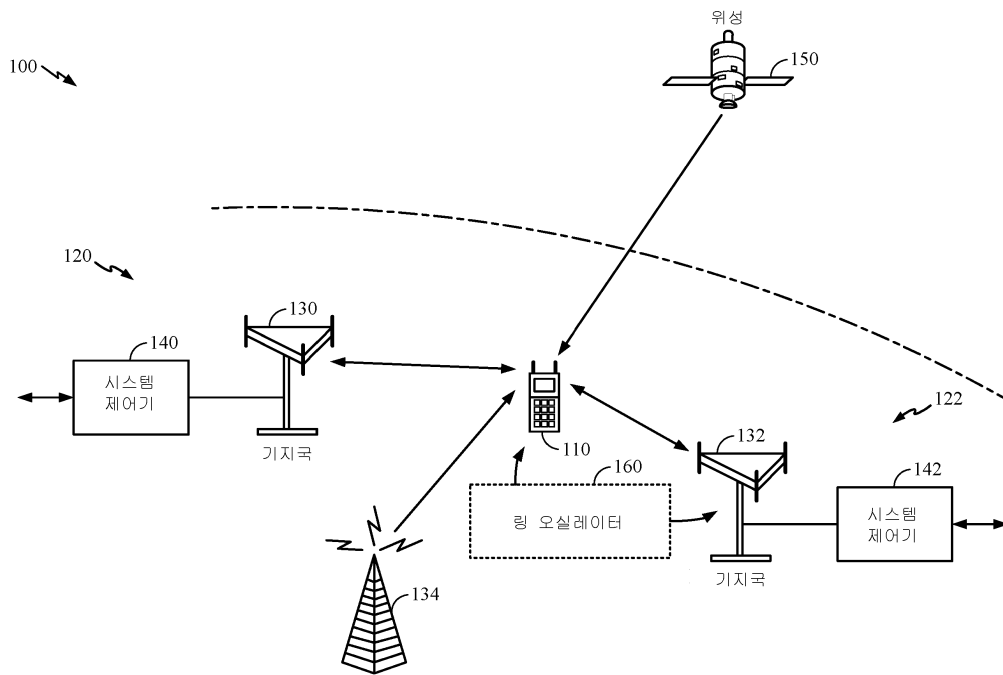
[0053] [0059] 추가 양상에서, PMOS 바이어싱 모듈은 제1 이차 PMOS 트랜지스터, 제2 이차 PMOS 트랜지스터, 제3 이차 PMOS 트랜지스터, 및 제4 이차 PMOS 트랜지스터를 포함한다. 일차 PMOS 트랜지스터의 소스는 제1 이차 PMOS 트랜지스터의 드레인, 제2 이차 PMOS 트랜지스터의 드레인, 제3 이차 PMOS 트랜지스터의 드레인, 및 제4 이차 PMOS 트랜지스터의 드레인에 커플링된다. 제1 이차 PMOS 트랜지스터의 소스, 제2 이차 PMOS 트랜지스터의 소스, 제3 이차 PMOS 트랜지스터의 소스, 및 제4 이차 PMOS 트랜지스터의 소스는 공급 전압에 커플링된다. 제1 이차 PMOS 트랜지스터, 제2 이차 PMOS 트랜지스터, 제3 이차 PMOS 트랜지스터 및 제4 이차 PMOS 트랜지스터 각각의 저항은, 전압 바이어싱 모듈로부터 제1 바이어싱 신호를 각각 수신함으로써 공급 전압에 기반하여 제어된다. 제1 이차 PMOS 트랜지스터, 제2 이차 PMOS 트랜지스터, 제3 이차 PMOS 트랜지스터 및 제4 이차 PMOS 트랜지스터 각각은, 개개의 게이트 노드를 통해 제1 바이어싱 신호를 수신한다.

- [0054] [0060] 다른 양상에서, NMOS 바이어싱 모듈은 제1 이차 NMOS 트랜지스터, 제2 이차 NMOS 트랜지스터, 제3 이차 NMOS 트랜지스터, 및 제4 이차 NMOS 트랜지스터를 포함한다. 일차 NMOS 트랜지스터의 소스는 제1 이차 NMOS 트랜지스터의 드레인, 제2 이차 NMOS 트랜지스터의 드레인, 제3 이차 NMOS 트랜지스터의 드레인, 및 제4 이차 NMOS 트랜지스터의 드레인에 커플링된다. 제1 이차 NMOS 트랜지스터의 소스, 제2 이차 NMOS 트랜지스터의 소스, 제3 이차 NMOS 트랜지스터의 소스, 및 제4 이차 NMOS 트랜지스터의 소스는 접지 노드에 커플링된다. 제1 이차 NMOS 트랜지스터, 제2 이차 NMOS 트랜지스터, 제3 이차 NMOS 트랜지스터 및 제4 이차 NMOS 트랜지스터 (528) 각각의 저항은, 전압 바이어싱 모듈로부터 제2 바이어스 신호를 각각 수신함으로써 공급 전압에 기반하여 제어된다. 제1 이차 NMOS 트랜지스터, 제2 이차 NMOS 트랜지스터, 제3 이차 NMOS 트랜지스터 및 제4 이차 NMOS 트랜지스터 각각은, 개개의 게이트 노드를 통해 제2 바이어스 신호를 수신한다.
- [0055] [0061] 양상에서, 전압 바이어싱 모듈은 제1 삼차 PMOS 트랜지스터, 제2 삼차 PMOS 트랜지스터, 삼차 NMOS 트랜지스터, 및 전류 소스를 포함한다. 제1 삼차 PMOS 트랜지스터의 드레인은 삼차 NMOS 트랜지스터의 드레인에 커플링되며, 제1 이차 PMOS 트랜지스터의 게이트, 제2 이차 PMOS 트랜지스터의 게이트, 제3 이차 PMOS 트랜지스터의 게이트, 및 제4 이차 PMOS 트랜지스터의 게이트에 커플링된다. 제1 삼차 PMOS 트랜지스터의 소스는 공급 전압에 커플링된다. 제1 삼차 PMOS 트랜지스터의 게이트는 제2 삼차 PMOS 트랜지스터의 게이트에 커플링된다.
- [0056] [0062] 추가 양상에서, 제2 삼차 PMOS 트랜지스터의 소스는 공급 전압에 커플링된다. 제2 삼차 PMOS 트랜지스터의 드레인은 전류 소스의 제1 노드 및 삼차 NMOS 트랜지스터의 게이트에 커플링되며, 제2 삼차 PMOS 트랜지스터의 게이트에 커플링된다.
- [0057] [0063] 다른 양상에서, 삼차 NMOS 트랜지스터의 드레인은 제1 삼차 PMOS 트랜지스터의 드레인에 커플링되며, 제1 이차 PMOS 트랜지스터의 게이트, 제2 이차 PMOS 트랜지스터의 게이트, 제3 이차 PMOS 트랜지스터의 게이트, 및 제4 이차 PMOS 트랜지스터의 게이트에 커플링된다. 삼차 NMOS 트랜지스터의 소스는 접지 노드에 커플링된다. 삼차 NMOS 트랜지스터의 게이트는 전류 소스의 제1 노드에 커플링되며, 제1 이차 NMOS 트랜지스터의 게이트, 제2 이차 NMOS 트랜지스터의 게이트, 제3 이차 NMOS 트랜지스터의 게이트, 및 제4 이차 NMOS 트랜지스터의 게이트에 커플링된다.
- [0058] [0064] 양상에서, 전류 소스의 제1 노드는 제2 삼차 PMOS 트랜지스터의 드레인 및 삼차 NMOS 트랜지스터의 게이트에 커플링된다. 전류 소스의 제2 노드는 접지 노드에 커플링된다.
- [0059] [0065] 도 6 및 도 7을 다시 참조하면, 장치(예컨대, 도 6 및 도 7의 링 오실레이터 스테이지 또는 링 오실레이터(160))는 인버팅 모듈(602), PMOS 바이어싱 모듈(604), NMOS 바이어싱 모듈(606), 전압 바이어싱 모듈(608), 및 개개의 모듈들에 대응하는 위에서 설명된 회로 엘리먼트들 중 하나 또는 그 조합을 포함할 수 있다. 장치는, 입력을 수신하며, 수신된 입력의 인버팅된 버전을 출력하기 위한 인버팅 수단을 포함한다. 장치는, 인버팅 수단의 3극관 PMOS 디제너레이션을 바이어싱하기 위한 PMOS 바이어싱 수단, 및 인버팅 수단의 3극관 NMOS 디제너레이션을 바이어싱하기 위한 NMOS 바이어싱 수단을 더 포함한다. 장치는 또한, 공급 전압에 기반하여 PMOS 바이어싱 수단에 대한 제1 바이어스 신호, 그리고 공급 전압에 기반하여 NMOS 바이어싱 수단에 대한 제2 바이어스 신호를 생성하기 위한 전압 바이어싱 수단을 포함한다. PMOS 바이어싱 수단은 제1 바이어스 신호에 기반하여 인버팅 수단의 3극관 PMOS 디제너레이션을 바이어싱하도록 구성된다. NMOS 바이어싱 수단은 제2 바이어스 신호에 기반하여 인버팅 수단의 3극관 NMOS 디제너레이션을 바이어싱하도록 구성된다. 수신된 입력의 인버팅된 버전은, 바이어싱된 3극관 NMOS 디제너레이션 및 바이어싱된 3극관 PMOS 디제너레이션에 기반하여, 인버팅 수단을 통해 출력된다. 전술된 수단은 전술된 수단에 의해 나열된 기능들을 수행하도록 구성되는 인버팅 모듈(602), PMOS 바이어싱 모듈(604), NMOS 바이어싱 모듈(606), 전압 바이어싱 모듈(608), 개개의 모듈들에 대응하는 회로 엘리먼트들, 데이터 프로세서/제어기(210), 컴퓨터-관독가능 매체, 즉 메모리(212), 및/또는 컴퓨터-관독가능 매체, 즉 메모리(216) 중 하나 또는 그 조합일 수 있다.
- [0060] [0066] 개시된 프로세스들에서의 단계들의 특정 순서 또는 계층이 예시적 접근법들의 예시라는 것이 이해된다. 설계 선호도에 기반하여, 프로세스들에서의 단계들의 특정 순서 또는 계층이 재배열될 수 있다는 것이 이해된다. 추가로, 일부 단계들은 결합되거나 또는 생략될 수 있다. 첨부된 방법 청구항들은 다양한 단계들의 엘리먼트들을 샘플 순서로 제시하며, 제시되는 특정 순서 또는 계층으로 제한되는 것으로 여겨지지 않는다.
- [0061] [0067] 전술된 설명은 당업자가 본원에 설명된 다양한 양상들을 실시하는 것을 가능하게 하기 위해 제공된다. 이들 양상들에 대한 다양한 수정들은 당업자들에게 용이하게 명백할 것이며, 본원에서 정의된 일반적인 원리들은 다른 양상들에 적용될 수 있다. 따라서, 청구항들은 본원에서 도시된 양상들로 제한되는 것으로 의도되는 것이 아니라, 문언 청구항들과 일치하는 전체 범위에 포함될 것이며, 여기서 단수의 엘리먼트에 대한 참조는 구

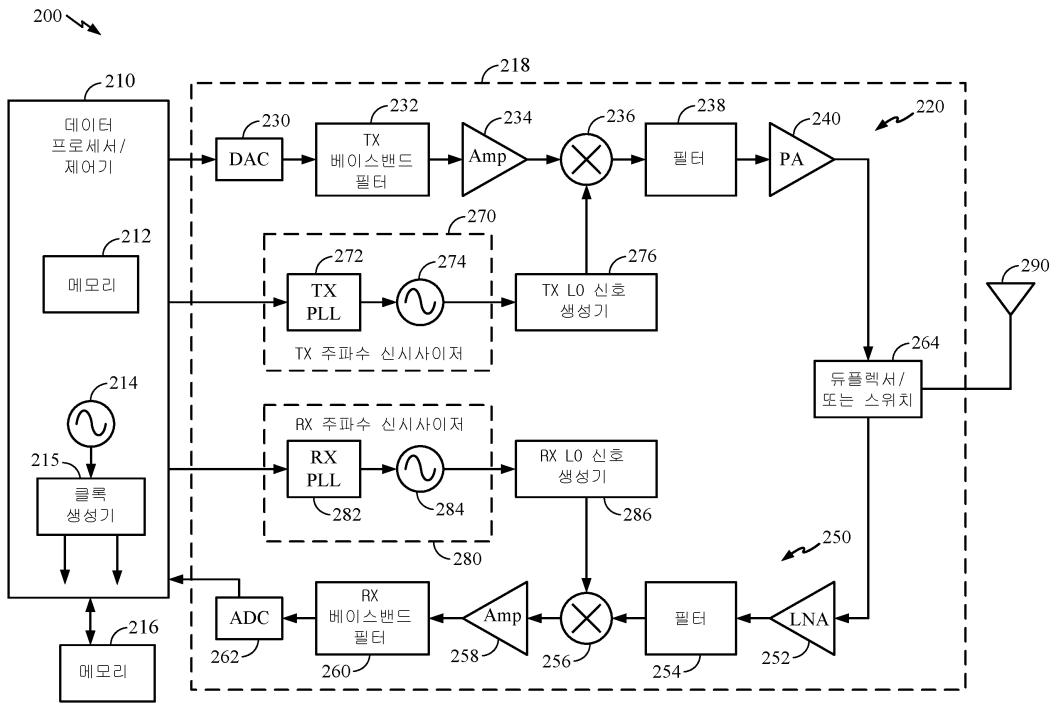
체적으로 그렇게 진술되지 않는 한 "하나 및 단 하나"가 아니라 "하나 또는 그 초과"를 의미하는 것으로 의도된다. 구체적으로 달리 진술되지 않는 한, "일부"란 용어는 하나 또는 그 초과를 지칭한다. 당업자들에게 알려져 있거나 또는 추후에 알려지게 될, 본 개시내용 전체에 걸쳐 설명된 다양한 양상들의 엘리먼트들에 대한 모든 구조적 및 기능적 등가물들은 본원에 인용에 의해 명시적으로 통합되며, 청구항들에 의해 포함되는 것으로 의도된다. 게다가, 그러한 개시내용이 청구항들에서 명시적으로 나열되는지의 여부에 관계없이, 본원에서 개시된 아무것도 공중에 전용되는 것으로 의도되지 않는다. 어떤 청구항 엘리먼트도, 엘리먼트가 문구 "~ 위한 수단"을 사용하여 명시적으로 나열되지 않는 한, 수단 더하기 기능(means plus function)으로서 해석되지 않아야 한다.

도면

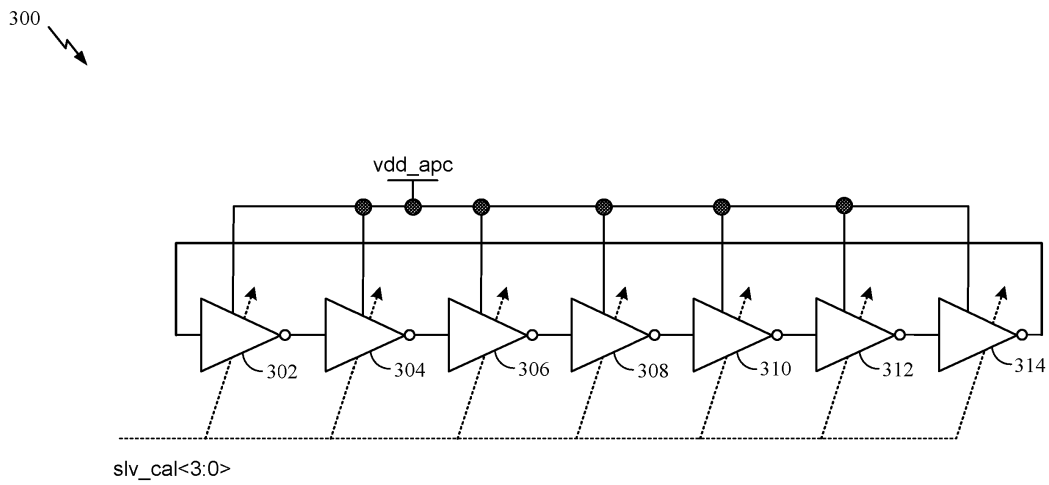
도면1



도면2

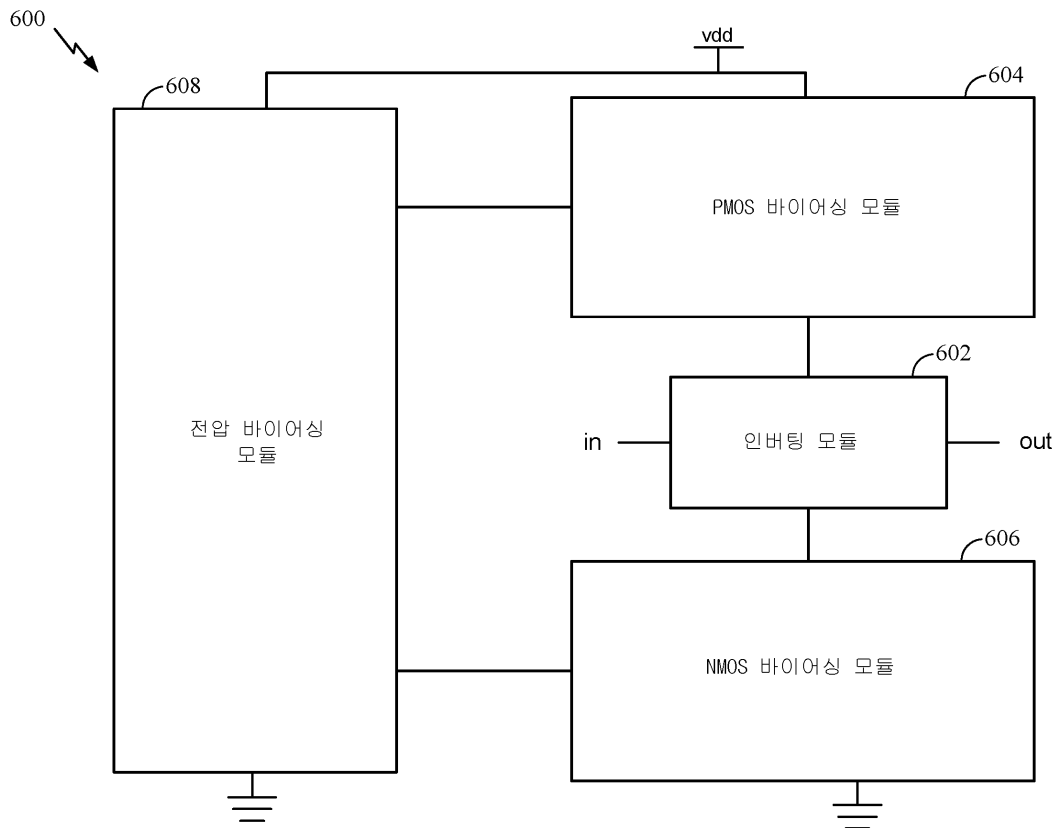


도면3

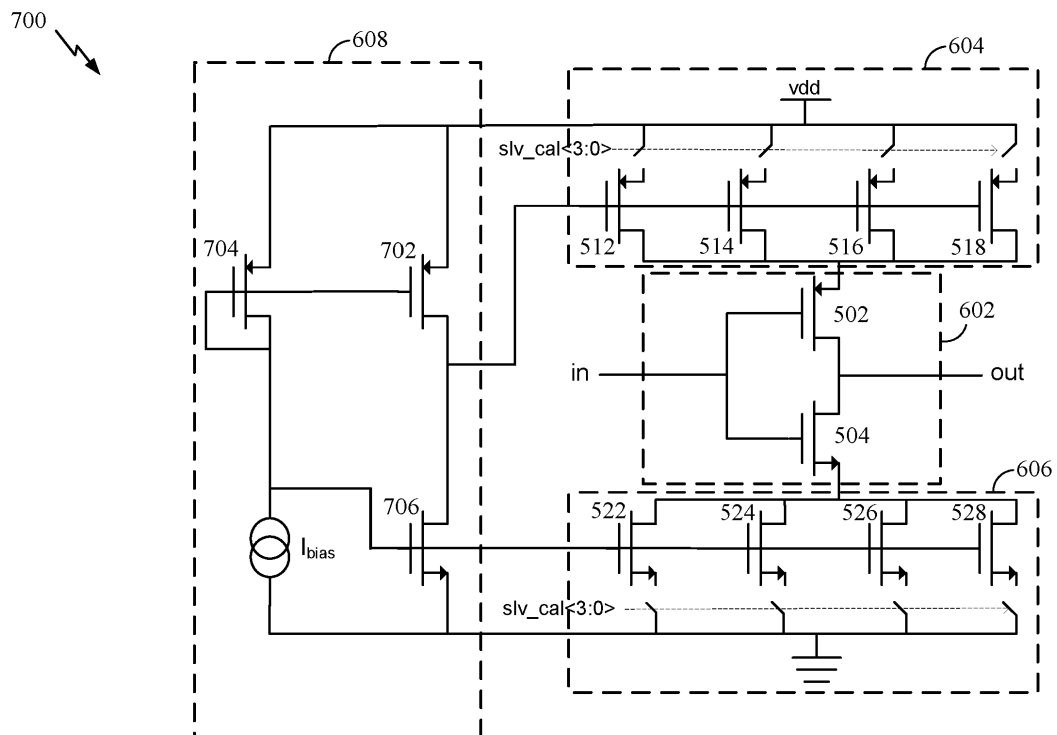




도면6



도면7



도면8

800 ↘

