

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-49901
(P2011-49901A)

(43) 公開日 平成23年3月10日(2011.3.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/335 (2011.01)	HO4N 5/335 Z	5C024
HO4N 7/32 (2006.01)	HO4N 5/335 E	5C159
	HO4N 7/137 Z	

審査請求 未請求 請求項の数 13 O L (全 30 頁)

(21) 出願番号 特願2009-197457 (P2009-197457)
(22) 出願日 平成21年8月27日 (2009.8.27)

(71) 出願人 000005821
パナソニック株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100109210
弁理士 新居 広守
(72) 発明者 平岡 利章
大阪府門真市大字門真1006番地 パナ
ソニックセミコンダクターシステムテクノ
株式会社内
(72) 発明者 下邨 研一
大阪府門真市大字門真1006番地 パナ
ソニック株式会社内
Fターム(参考) 5C024 AX01 BX01 CY45 GY31 HX23
HX28 HX30 HX31

最終頁に続く

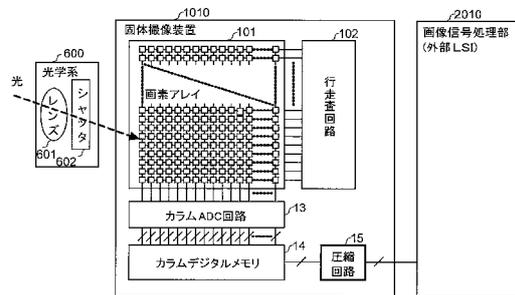
(54) 【発明の名称】 固体撮像装置、撮像装置

(57) 【要約】

【課題】コストパフォーマンスを向上し、消費電力を低減し、撮像特性を劣化させない撮像装置および固体撮像装置を提供する。

【解決手段】固体撮像装置は、行列状に配置された複数の画素を有する画素アレイ101と、行を順に選択する行走査を行う行走査回路102と、行走査回路102により選択された行に属する複数の画素から出力されるアナログ画素信号をデジタルの画素データに同時に変換するカラムADC回路13と、AD変換された1行分の画素データを記憶するカラムデジタルメモリ14と、カラムデジタルメモリ14より出力される画素データを逐次、圧縮符号化する1ライン圧縮回路15とを備え、前記1ライン圧縮回路15は、画素データを圧縮符号化する際に、当該画素データと同じ行に属する画素データを参照し、異なる行に属する画素データを参照しない。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

行列状に配置された複数の画素を有する撮像領域と、
行を順に選択する行走査を行う行走査部と、
前記行走査部により選択された行に属する複数の画素から出力されるアナログ画素信号をデジタルの画素データに同時に変換する A D 変換部と、
A D 変換された 1 行分の画素データを記憶する行メモリと、
前記行メモリより出力される画素データを逐次、圧縮符号化する圧縮部とを備え、
前記圧縮部は、画素データを圧縮符号化する際に、当該画素データと同じ行に属する画素データを参照し、異なる行に属する画素データを参照しない
固体撮像装置。

10

【請求項 2】

前記固体撮像装置は、さらに、前記圧縮部からの符号化画素データを F I F O (First In First Out) 式に記憶し、間欠的に出力する F I F O 部を備え、
前記 F I F O 部は、
前記行走査部による 1 つの行の選択期間である行選択期間内の第 1 の期間に亘って前記圧縮部から 1 行分の符号化画素データを入力し、
前記第 1 の期間よりも短い第 2 の期間に亘って前記 F I F O 部から 1 行に対応する符号化画素データを一定のビットレートで出力する
請求項 1 に記載の固体撮像装置。

20

【請求項 3】

前記圧縮部は、 N (N は 2 以上の整数) ビットの画素データを n ($n < N$ の整数) ビットの符号化画素データに符号化し、
前記 F I F O 部は、記憶している符号化画素データ列を分解および連結することにより N ビットデータ列を構成し、前記第 2 の期間に亘って 1 行分の N ビットデータを順に出力する
請求項 2 に記載の固体撮像装置。

【請求項 4】

前記圧縮部は、同じ行内の他の画素データを参照画素として、画素データを s 次式 (s は自然数) で演算することにより固定長の符号化画素データに符号化する
請求項 1、2 または 3 に記載の固体撮像装置。

30

【請求項 5】

前記圧縮部は、前記画素データを可変長符号に置換することにより可変長符号化する
請求項 1、2 または 3 に記載の固体撮像装置。

【請求項 6】

前記圧縮部は、
行メモリの画素データを複数の部分データに分割し、部分データのそれぞれを可変長符号化する
請求項 1、2 または 3 に記載の固体撮像装置。

【請求項 7】

前記固体撮像装置は、さらに、
圧縮画素データと、圧縮されていない画素データのどちらを出力するかを選択するセレクタ部を有する
請求項 1 から 6 のいずれかに記載の固体撮像装置。

40

【請求項 8】

前記行メモリは、
偶数列に対応する画素データを記憶する第 1 メモリと、
奇数列に対応する画素データを記憶する第 2 メモリとを備え、
前記圧縮部は、
前記第 1 メモリに記憶された画素データを参照することにより、前記第 1 メモリより出

50

力される画素データを逐次圧縮符号化する第 1 圧縮部と、

前記第 2 メモリに記憶された画素データを参照することにより、前記第 2 メモリより出力される画素データを逐次圧縮符号化する第 2 圧縮部とを備える

請求項 1 に記載の固体撮像装置。

【請求項 9】

前記固体撮像装置は、さらに、

前記第 1 圧縮部からの符号化画素データを F I F O (First In First Out) 式に記憶し、間欠的に出力する第 1 の F I F O 部と、

前記第 2 圧縮部からの符号化画素データを F I F O (First In First Out) 式に記憶し、間欠的に出力する第 2 の F I F O 部と

を備え、

前記第 1 の F I F O 部および前記第 2 の F I F O 部は、

前記行走査部による 1 つの行の選択期間である行選択期間内の第 1 の期間に亘って前記圧縮部から 1 / 2 行分の符号化データを入力し、

前記第 1 の期間よりも短い第 2 の期間に亘って前記第 1 の F I F O 部および前記第 2 の F I F O 部それぞれから 1 / 2 行分に対応する符号化画素データを一定のビットレートで出力する

請求項 8 に記載の固体撮像装置。

【請求項 10】

前記第 1 圧縮部および第 2 圧縮部のそれぞれは、N (N は 2 以上の整数) ビットの画素データを n (n < N の整数) ビットの符号化画素データに符号化し、

前記第 1 の F I F O 部および第 2 の F I F O 部のそれぞれは、記憶している符号化画素データ列を分解および連結することにより N ビットデータ列を構成し、前記第 2 の期間に亘って 1 行分の N ビットデータを順に出力する

請求項 9 に記載の固体撮像装置。

【請求項 11】

請求項 1 から 6 のいずれかに記載の固体撮像装置と、前記固体撮像装置より出力される圧縮画素データを復号する復号部を有する画像処理 L S I とを備える撮像装置。

【請求項 12】

前記セクタ部は、プレビューモードでは圧縮画素データを選択し、スティル画像モードでは圧縮されていない画素データを選択する

請求項 11 に記載の撮像装置。

【請求項 13】

前記セクタ部は、スティル画像モードでは圧縮されていない画像データを選択し、連写モードでは圧縮画素データを選択する

請求項 11 に記載の撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1 ライン圧縮を行う固体撮像装置、撮像装置に関するものである。

【背景技術】

【0002】

デジタルスチルカメラはすでに 1000 万画素を超えており、一眼レフカメラにおいては、2000 万画素を超えてきているが、その傾向は今後も続く見込みである。また、動画撮像時のフレームレートについても、増加の要望が強くなっている。以上の 2 つの要因から、カメラシステムのキーパーツである固体撮像装置は、従来よりも大幅に高速なデータ出力が求められており、様々な対応手法が検討されている。

【0003】

データ転送を高速化する物理的対処方法には、出力端子の増設か、データ転送周波数の高速化しかない。しかし、出力端子を増やす方法は、固体撮像装置の回路規模が大きくな

10

20

30

40

50

る問題がある。データ転送周波数を上げる方法では、当然ながら、回路の動作周波数が高くなるため電磁ノイズや半導体素子間で信号受け渡し時のタイミングスキューの問題が発生する。また、上記いずれの方法でも消費電力が増加し、その結果、熱による撮像特性の劣化という固体撮像装置として重大な問題が発生する。

【0004】

また、物理的対処方法に頼らず、実効的にデータ転送を高速化する方法にデータ圧縮があるが、これまでに固体撮像装置では、2次元離散コサイン変換回路と1次元ハフマン符号化回路を搭載する方法が提案されている（例えば特許文献1）。

【0005】

以下、図面を参照しながら背景技術における固体撮像装置について説明する。

10

図30は背景技術に係る固体撮像装置の構成を示すブロック図である。

【0006】

図30より、512行512列で構成される画素アレイの行毎に読み出し走査を行い、画素アレイより読み出されたアナログ画素信号をアナログバッファ910cで記憶し、AD変換回路911においてAD変換を行ったのち、圧縮回路912で4×4の画素を1ブロックとして4ブロック毎に2次元離散コサイン変換（以降、2次元DCT）を行い、2次元DCTの演算結果を1次元ハフマン符号化することで画素データの圧縮を行っている。

【先行技術文献】

【特許文献】

20

【0007】

【特許文献1】特開2003-234967号公報（図1）

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、特許文献1に示された方法で画素アレイのk行目（kは自然数）からk+3行目までについて4×4の画素を1ブロックとした圧縮を行うには、k行目からk+3行目までの画素データを、圧縮回路からほぼ同時に参照できる必要がある。

【0009】

この場合、AD変換後のデジタルデータをメモリに記憶するのが、もっとも素直で効率がよい構成と考えられる。つまりこの場合、圧縮回路の仕様からだけでも、少なくとも4行分の画素データを記憶するデジタルメモリが必要ということになる。

30

【0010】

しかしながら、図中の圧縮機能を備えた固体撮像装置で実際に必要となるメモリ容量を算出するには、圧縮回路の仕様だけでなく、画素アレイの読み出しシーケンスも考慮する必要がある。

【0011】

以下、画素アレイからの読み出しシーケンスとして、1水平走査期間毎に一行分の画素を同時に読み出す行転送方式とする。

【0012】

40

このとき、k行目からk+3行目までの画素の読み出しを行うのに4水平走査期間かかり、その後、k行目からk+3行目のデータを使った圧縮処理と出力に4水平走査期間かかる場合、その間の画素アレイからの（k+4～k+7行目の画素の）読み出しを記憶するデジタルメモリが追加で必要となるため、デジタルメモリがもう4行分追加で必要となり、合計8行分のメモリが必要になるという課題がある。

【0013】

k+4行目の画素アレイ読み出し期間（1水平走査期間以内）にk～k+3行目の画素の圧縮処理と出力が可能であれば、追加のメモリは1行で済むが、それでも、合計5行分のメモリが必要である。この場合、k+4行目の1水平走査期間にk～k+3行目の4行分のメモリデータにアクセスを繰り返すことで圧縮を行うので、回路の動作周波数が高く

50

なり、消費電力が高くなることに注意が必要である。

【0014】

なお、背景技術に係る固体撮像装置は、画素数が512行×512列と比較的少ないため、1行分として512画素分のメモリを確保すればよかったが、上述のように、近年、コンパクトカメラでも1000万画素を超えている状況であり、たとえば、本発明の発案者らが検討する1200万程度の画素数(3072行×4096列と仮定)を備える撮像素子の場合、1行分として4096画素分、つまり従来例の8倍のメモリ容量が必要であり、前記課題はさらに大きくなる。

【0015】

以上は、圧縮前データ用のメモリのみの見積もり量である。

10

一方、圧縮機能を有しない列AD変換回路を搭載した固体撮像装置は、1行毎の読み出し走査により得られるアナログ画素データ一行分を同時にAD変換し、1行分のデジタル画素データをバッファメモリで記憶してから出力するため、1行分の画素データを記憶するメモリが必要である。

【0016】

したがって、2次元圧縮を行う場合と、圧縮を行わない場合とを比べると、5倍のメモリ容量が必要であることが解る。

【0017】

また、背景技術の固体撮像装置ではデジタルメモリ以外にも、さらに圧縮処理時にもメモリが必要である。

20

【0018】

また、画素アクセスを点順次走査として、圧縮するブロックに対応した画素から順次出力できる構成とする場合においても、上述の5行～8行分のデジタルメモリが不要となるが、何行目の何列目という情報で画素を選択する必要があるため、読み出し画素を選択するトランジスタが、各画素中に少なくとも1個余分に必要となる。画素の有効面積の一部をこのトランジスタとその制御信号線に割り当てる必要があるため、画素の感度が低下するという問題が生じることになる。

【0019】

また、この場合、1行分の画素を1水平走査期間かけて並列にAD変換するという列AD変換回路ではなく、1画素サイクル毎に1画素をAD変換するという旧方式のAD変換を使用せざるを得ないという新たな問題も生じる。このAD変換方式はAD変換の信号帯域が高くなるため、列AD変換方式に比べてSNRが悪い傾向にある。

30

【0020】

すなわち、特許文献1に示された複数行を同時に圧縮する方法は、メモリの増加によるコストパフォーマンスの悪化や高速なメモリアクセスによる消費電力の悪化を避けることができず、とくに消費電力の悪化は熱による撮像特性劣化が生じるという課題を有している。

【0021】

前記課題に鑑み、コストパフォーマンスを向上し、消費電力を低減し、撮像特性を劣化させない撮像装置および固体撮像装置を提供することを目的とする。

40

【課題を解決するための手段】

【0022】

上記の課題を解決するために本発明の一側面における固体撮像装置は、行列状に配置された複数の画素を有する撮像領域と、行を順に選択する行走査を行う行走査部と、行走査部により選択された行に属する複数の画素から出力されるアナログ画素信号をデジタルの画素データに同時に変換するAD変換部と、AD変換された1行分の画素データを記憶する行メモリと、行メモリより出力される画素データを逐次、圧縮符号化する圧縮部とを備え、前記圧縮部は、画素データを圧縮符号化する際に、当該画素データと同じ行に属する画素データを参照し、異なる行の画素データを参照しない。

【0023】

50

この構成によれば、異なる行の画素データを参照することなく、当該画素データと同じ行に属する画素データを圧縮符号化するので、圧縮処理に必要なメモリの容量は1ライン分の画素データ量のみでよい。これにより、メモリ容量を低減し、コストパフォーマンスを向上させることができ、メモリアクセスによる消費電力および発熱量を低減することができる。また、撮像特性の劣化を低減することができる。

【0024】

ここで、前記固体撮像装置は、さらに、前記圧縮部からの符号化画素データをFIFO(First In First Out)式に記憶し、間欠的に出力するFIFO部を備え、前記FIFO部は、前記行走査部による1つの行の選択期間である行選択期間内の第1の期間に亘って前記圧縮部から1行分の符号化画素データを入力し、前記第1の期間よりも短い第2の期間に亘って前記FIFO部から1行に対応する符号化画素データを一定のビットレートで出力するようにしてもよい。

10

【0025】

この構成によれば、FIFO部には第1の期間に亘って符号化画素データが書き込まれ、第2の期間に亘って読み出される。FIFO部からの符号化画素データの出力ビットレートは、行メモリからの画素データの出力ビットレート(つまり符号化前のビットレート、または符号化しない場合の出力ビットレート)と同じにすることができる。これにより、FIFO部からの符号化画素データの出力期間(第2の期間)を短縮することができる。

【0026】

ここで、前記圧縮部は、 N (N は2以上の整数)ビットの画素データを n ($n < N$ の整数)ビットの符号化画素データに符号化し、前記FIFO部は、記憶している符号化画素データ列を分解および連結することにより N ビットデータ列を構成し、前記第2の期間に亘って1行分の N ビットデータを順に出力するようにしてもよい。

20

【0027】

この構成によれば、第2の期間を第1の期間の n/N に短縮することができる。

ここで、前記圧縮部は、同じ行内の他の画素データを参照画素として、画素データを s 次式(s は自然数)で演算することにより固定長の符号化画素データに符号化するようにしてもよい。

【0028】

この構成によれば、画素データを高速にかつ効率良く符号化することができる。

ここで、前記圧縮部は、前記画素データを可変長符号に置換することにより可変長符号化するようにしてもよい。

30

【0029】

この構成によれば、行単位に高圧縮率で可逆符号化することができる。

ここで、前記圧縮部は、行メモリの画素データを複数の部分データに分割し、部分データのそれぞれを可変長符号化するようにしてもよい。

【0030】

この構成によれば、画素データよりもビット数が少ない部分データ毎に可変長符号化するので、可変長符号の最大長を抑制し、全体の符号量を低減することができる。また、部分データを並列に符号化することが可能になる。

40

【0031】

ここで、前記固体撮像装置は、さらに、圧縮画素データと、圧縮されていない画素データのどちらを出力するかを選択するセレクタ部を有する構成としてもよい。

【0032】

この構成によれば、圧縮画素データと、圧縮されていない画素データのどちらを出力するかを場面または用途に応じて使い分けることができる。

【0033】

ここで、前記行メモリは、偶数列に対応する画素データを記憶する第1メモリと、奇数列に対応する画素データを記憶する第2メモリとを備え、前記圧縮部は、前記第1メモリ

50

に記憶された画素データを参照することにより、前記第1メモリより出力される画素データを逐次圧縮符号化する第1圧縮部と、前記第2メモリに記憶された画素データを参照することにより、前記第2メモリより出力される画素データを逐次圧縮符号化する第2圧縮部とを備えるようにしてもよい。

【0034】

この構成によれば、第1圧縮部および第2圧縮部はそれぞれ、1行分の半分の画素データを圧縮符号化すればよいので、1/2の低い周波数の動作クロックで効率良く符号化することができ、より解像度の高い(1ラインの画素数の多い)固体撮像装置に適している。また、1行内から同時に出力される色毎に圧縮することができるため、ベイヤ配列や、ストライプ配列などのカラーの固体撮像装置に適している。

10

【0035】

ここで、前記固体撮像装置は、さらに、前記第1圧縮部からの符号化画素データをFIFO(First In First Out)式に記憶し、間欠的に出力する第1のFIFO部と、前記第2圧縮部からの符号化画素データをFIFO(First In First Out)式に記憶し、間欠的に出力する第2のFIFO部とを備え、前記第1のFIFO部および前記第2のFIFO部は、前記行走査部による1つの行の選択期間である行選択期間内の第1の期間に亘って前記圧縮部から1/2行分の符号化データを入力し、前記第1の期間よりも短い第2の期間に亘って前記第1のFIFO部および前記第2のFIFO部それぞれから1/2行分に対応する符号化画素データを一定のビットレートで出力するようにしてもよい。

【0036】

この構成によれば、第1のFIFO部および第2のFIFO部はそれぞれ、1/2の低い周波数の動作クロックで出力動作をすることができ、より解像度の高い(1ラインの画素数の多い)固体撮像装置に適している。

20

【0037】

ここで、前記第1圧縮部および第2圧縮部のそれぞれは、N(Nは2以上の整数)ビットの画素データをn(n<Nの整数)ビットの符号化画素データに符号化し、前記第1のFIFO部および第2のFIFO部のそれぞれは、記憶している符号化画素データ列を分解および連結することによりNビットデータ列を構成し、前記第2の期間に亘って1行分のNビットデータを順に出力するようにしてもよい。

【0038】

この構成によれば、第2の期間を第1の期間のn/Nに短縮することができる。また、本発明の一面における撮像装置は、前記固体撮像装置と、前記固体撮像装置より出力される圧縮画素データを復号する復号部を有する画像処理LSIとを備える。

30

【0039】

この構成によれば、固体撮像装置で圧縮された符号化画素データを画像処理LSIが受信し復号するので、固体撮像装置と画像処理LSIとの間を接続する画像伝送経路上のデータ転送周波数を抑制でき、結果として、固体撮像装置から画像処理LSIへの高速伝送を担う回路部位での消費電力を低減でき、また電磁ノイズの発生についても低減できる。

【0040】

ここで、前記セクタ部は、プレビューモードでは圧縮画素データを選択し、スティル画像モードでは圧縮されていない画素データを選択するようにしてもよい。

40

【0041】

この構成によれば、撮像装置の使用時間の大部分を占めるプレビュー時の消費電力を下げるということができるといった効果が得られる一方、スティル画像モード時には非圧縮の高品質な画像を取得することができる。

【0042】

ここで、前記セクタ部は、スティル画像モードでは圧縮されていない画像データを選択し、連写モードでは圧縮画素データを選択するようにしてもよい。

【0043】

この構成によれば、スティル画像モード時には非圧縮の高品質な画像を取得することが

50

できるという効果が得られる一方、連写モードでの秒あたり連写枚数を高めることができる。

【発明の効果】

【0044】

本発明は、メモリ容量を低減し、コストパフォーマンスを向上させることができ、メモリアクセスによる消費電力および発熱量を低減することができる。また、撮像特性の劣化を低減することができる。

【図面の簡単な説明】

【0045】

【図1】実施形態1における撮像装置の構成を示すブロック図である。

10

【図2】実施形態2における撮像装置の構成を示すブロック図である。

【図3A】ベイア配列を示す図である。

【図3B】ストライプ配列を示す図である。

【図4】実施形態3における固体撮像装置の構成例を示すブロック図である。

【図5】実施形態3における1ライン圧縮回路の構成例を示すブロック図である。

【図6】実施形態3における1ライン圧縮回路107に入力される信号A_{in}のタイムチャートを示す図である。

【図7】実施形態3における差分演算回路および符号化回路の入出力信号のタイムチャートを示す図である。

【図8】実施形態3における同期コードの一例を示す図である。

20

【図9】実施形態3における符号化回路の入力と出力とを示す図である。

【図10】実施形態3における同期コードが付加されたデータ例を示す図である。

【図11】実施形態3における同期コードが付加されたデータの出力例を示す図である。

【図12】実施形態3における符号化回路の変形例を示す説明図である。

【図13】実施形態4における固体撮像装置の構成例を示すブロック図である。

【図14】実施形態4におけるFIFO回路の構成例を示すブロック図である。

【図15】実施形態4におけるFIFO回路内部におけるデータ列のタイムチャートを示す図である。

【図16】実施形態4における1ライン圧縮回路およびFIFO回路に入出力されるデータ列を示す説明図である。

30

【図17】実施形態4におけるFIFO回路に入出力されるデータ列を示す説明図である。

【図18】実施形態5における固体撮像装置の構成例を示すブロック図である。

【図19】実施形態5における可変長符号化を行う1ライン圧縮回路の構成例を示すブロック図である。

【図20】実施形態5における可変長符号化を行う1ライン圧縮回路の動作説明図である。

【図21】実施形態5における可変長符号の一例を示す図である。

【図22】実施形態5における1ライン圧縮回路の動作および出力データ例を示す図である。

40

【図23】実施形態6におけるカメラシステムの構成図である。

【図24】実施形態6における復号回路の構成例を示すブロック図である。

【図25】実施形態6における入力データ列の一例を示す図である。

【図26】実施形態6における復号回路の動作を示すタイムチャートである。

【図27】実施形態6における復号回路の動作を示すフローチャートである。

【図28】実施形態7における固体撮像装置の構成例を示すブロック図である。

【図29】実施形態7におけるセクタ回路の一例を示すブロック図である。

【図30】背景技術における固体撮像装置の構成を示すブロック図である。

【発明を実施するための形態】

【0046】

50

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。なお、実施形態において同じ符号を付した構成要素は同様の動作を行うので、再度の説明を省略する場合がある。

【0047】

(実施形態1)

実施形態1では、異なる行の画素データを参照することなく1ライン内で画素データを圧縮符号化する撮像装置について説明する(以下、このようなデータ圧縮を1ライン圧縮と称し、また、このような圧縮を行う回路を1ライン圧縮回路と呼ぶ。)

【0048】

図1は、本発明の実施形態1における撮像装置の構成を示すブロック図である。同図のように撮像装置は、光学系600、固体撮像装置1010および画像信号処理部2010を備える。

10

【0049】

光学系600は、被写体からの光を集光して固体撮像装置の撮像領域上に画像イメージを形成するレンズ601と、レンズ601と固体撮像装置の間の光路上に位置し、撮像領域上に導かれる光量を制御するメカニカルシャッター602で構成されている。

【0050】

固体撮像装置1010は、画素アレイ101、行走査回路102、カラムADC回路13、カラムデジタルメモリ14および1ライン圧縮回路15を備える。

【0051】

20

画素アレイ101は、行列状に配置された複数の画素を有する撮像領域である。

行走査回路102は、行を順に選択する行走査を行う。

【0052】

カラムADC回路13は、行走査回路102により選択された行に属する複数の画素から出力されるアナログ画素信号をデジタルの画素データに同時に変換する。

【0053】

カラムデジタルメモリ14は、AD変換された1行分の画素データを記憶する行メモリである。

【0054】

1ライン圧縮回路15は、カラムデジタルメモリ14より出力される画素データを逐次、圧縮符号化する圧縮部である。この1ライン圧縮回路15は、画素データを圧縮符号化する際に、当該画素データと同じ行に属する画素データを参照する。つまり、1ライン圧縮回路15は、異なる行の画素データを参照することなく1ライン内で画素データを圧縮符号化する。それゆえ、カラムデジタルメモリ14は、1ライン分の画素データ量のメモリ容量でよい。

30

【0055】

このように、背景技術と比較すると、図1の撮像装置は、メモリ容量の低減によりコストパフォーマンスを向上させることができ、メモリアクセスによる消費電力および発熱量を低減することができる。その結果、撮像特性の劣化を低減することができる。

【0056】

40

画像信号処理部2010は、固体撮像装置1010より出力される圧縮画素データを復号する復号部を有している。

【0057】

以上説明したように実施形態1における固体撮像装置は、図1に示すように、光を電気信号に変換する光電変換部をそれぞれ含む画素を2次元アレイ状にm行n列に配列した画素アレイ101と、前記画素アレイの画素を1行単位で順次選択する行走査回路102と、上記1行単位で選択された画素からアナログの電気信号として出力される画素信号を1行分同時にアナログデジタル変換するカラムADC回路13と、前記カラムADC回路13からデジタルの電気信号として出力される1行分の画素データを記憶し、1画素、または、複数画素ずつ画素データを順次出力するカラムデジタルメモリ14と、前記カラムデ

50

デジタルメモリ 14 から出力される画素データを圧縮する 1 ライン圧縮回路 15 とを有することを特徴とする。

【0058】

実施形態 1 のような構成にすることで、異なる行の画素データを参照することなく 1 ライン内で画素データを圧縮符号化することができるため、1 ライン圧縮回路に必要なメモリ搭載量を 1 行分に留めることができる。

【0059】

(実施形態 2)

実施形態 2 では、1 行に属する画素データのうち奇数列に属する画素データと偶数列に属する画素データとに分けて別々に圧縮符号化する撮像装置について説明する。

10

【0060】

図 2 は、本発明の実施形態 2 における撮像装置の構成を示すブロック図である。同図のように撮像装置は、光学系 600、固体撮像装置 1020 および画像信号処理部 2020 を備える。

【0061】

固体撮像装置 1020 は、画素アレイ 101、行走査回路 102、カラム ADC 回路 103、カラム ADC 回路 104、カラムデジタルメモリ 105、カラムデジタルメモリ 106、1 ライン圧縮回路 107、1 ライン圧縮回路 108、FIFO 回路 109 および FIFO 回路 110 を備える。

【0062】

図 2 と図 1 とを比較すると、カラム ADC 回路 103 およびカラム ADC 回路 104 は、図 1 のカラム ADC 回路 13 に対応する。すなわち、カラム ADC 回路 103 は、行走査回路 102 により選択された行に属する複数個の画素のうち、偶数列の画素から出力されるアナログ画素信号をデジタルの画素データに同時に変換する。カラム ADC 回路 104 は、行走査回路 102 により選択された行に属する複数個の画素のうち、奇数列の画素から出力されるアナログ画素信号をデジタルの画素データに同時に変換する。

20

【0063】

カラムデジタルメモリ 105 (第 1 メモリ) およびカラムデジタルメモリ 106 (第 2 メモリ) は、図 1 のカラムデジタルメモリ 14 (行メモリ) に対応する。すなわち、カラムデジタルメモリ 105 (第 1 メモリ) は、カラム ADC 回路 103 により AD 変換された偶数列の画素データを記憶する。カラムデジタルメモリ 106 (第 2 メモリ) は、カラム ADC 回路 104 により AD 変換された奇数列の画素データを記憶する。

30

【0064】

1 ライン圧縮回路 107 および 1 ライン圧縮回路 108 は、図 1 の圧縮回路 15 に対応する。すなわち、1 ライン圧縮回路 107 (第 1 圧縮部) は、カラムデジタルメモリ 105 (第 1 メモリ) に記憶された画素データを参照することにより、カラムデジタルメモリ 105 (第 1 メモリ) より出力される画素データを逐次圧縮符号化する。1 ライン圧縮回路 108 (第 2 圧縮部) は、カラムデジタルメモリ 106 (第 2 メモリ) に記憶された画素データを参照することにより、カラムデジタルメモリ 106 (第 2 メモリ) より出力される画素データを逐次圧縮符号化する。

40

【0065】

このように固体撮像装置 1020 は、1 行に属する画素データのうち奇数列に属する画素データと偶数列に属する画素データとに分けて別々に圧縮符号化するように構成されている。

【0066】

図 3 A は、画素アレイ 101 における画素のカラーフィルタ配列の一例としてベイヤ配列を示す図である。同図において例えば G_{13} の表記は、第 1 行第 3 列の画素を示す。同図のように、 m 行 n 列の画素で構成される画素アレイ 101 は、4 つの画素 (R、G、G、B) を一単位として行列状に配列している。このベイヤ配列では、1 行内の偶数列の画素は同じ色の画素であり、かつ 1 行内の奇数列の画素は同じ色の画素であるので、1 行内か

50

ら同時に読み出される色数は2つである。

【0067】

図2に示すように、カラムADC回路103は、前記画素アレイ101から出力される偶数列の画素信号を1行単位でアナログデジタル変換する偶数列用のAD変換部である。

【0068】

カラムADC回路104は、前記画素アレイ101から出力される奇数列の画素信号を1行単位でアナログデジタル変換する奇数列用のAD変換部である。

【0069】

カラムデジタルメモリ105は、前記偶数列用のカラムADC回路103から出力される偶数列画素データを1行単位で記憶し、複数画素ずつ偶数列画素データを順次出力する偶数列用のカラムデジタルメモリ(第1メモリ)である。

10

【0070】

カラムデジタルメモリ106は、前記奇数列用のカラムADC回路104から出力される奇数列画素データを1行単位で記憶し、複数画素ずつ奇数列画素データを順次出力する奇数列用のカラムデジタルメモリ(第2メモリ)である。

【0071】

1ライン圧縮回路107は、前記偶数列用のカラムデジタルメモリ106から出力される偶数列画素データを1ライン圧縮する偶数列用の圧縮回路(第1圧縮部)である。

【0072】

1ライン圧縮回路108は、前記奇数列用のカラムデジタルメモリ106から出力される奇数列画素データを1ライン圧縮する奇数列用の圧縮回路(第2圧縮部)である。

20

【0073】

FIFO回路109は、前記偶数列用の1ライン圧縮回路107より出力される圧縮された偶数列画素データの出力ビットレートを制御する偶数列用のFIFO回路(第1のFIFO部)である。

【0074】

FIFO回路110は、前記奇数列用の1ライン圧縮回路108より出力される圧縮された奇数列画素データの出力ビットレートを制御する奇数列用のFIFO回路(第2のFIFO部)である。当該画素データと同じ行に属する画素データを参照し、異なる行の画素データを参照しない。

30

【0075】

実施形態2のように圧縮回路を2系統で構成することで、同じ行に属する同色の画素データを参照して色毎に圧縮することができる。画素データは隣接する同色の画素データと類似性が高いので、差分データの小さい値の統計的出現頻度が高くなり、差分データの大きい値の出現頻度が低い傾向にあるため、同じ行に属する同色以外の画素データを参照して圧縮する場合と比べ、同じ行に属する同色の画素データを参照して圧縮することで、圧縮後のSNRを改善できる。また、統計的偏りが大きくなることを利用して圧縮率を上げることができる。

【0076】

また、実施形態2のようにFIFO回路を搭載する構成にすることで、圧縮により減った転送ビットレートを圧縮前と同じ転送ビットレートに制御することができるため、固体撮像装置から外部LSIへの画像データの転送時間を短縮することができる。

40

【0077】

また、実施形態2のように1ライン圧縮回路とFIFO圧縮を2系統搭載する構成にすることで、メモリの搭載量を、最大2行分のメモリ(1ライン圧縮回路に必要な最大1行分の画素データを記憶するメモリとFIFO回路に必要な最大1行分の符号化画素データを記憶するメモリ)に留めることができ、2次元圧縮を行う場合と比べメモリの搭載量を最小限に抑えながら、画素データの圧縮を行うことが可能となる。

【0078】

ところで、ここで説明した実施形態2では、同じ行から同時に出力される画素の色数が

50

2つだったので、1ライン圧縮回路を2系統で構成したが、同じ行から同時に出力される画素の色数が3つの（例えば、画素アレイのカラーフィルタの構成が図3Bに示すストライプ配列では、1行にR、G、Bの3色が順に並ぶ）場合、1ライン圧縮回路を3系統で構成すればよく、同じ行から同時に出力される画素の色数がL（Lは自然数）の場合、1ライン圧縮回路をL系統で構成すればよい。

【0079】

但し、偶数列は画素アレイ上部に、奇数列は画素アレイ下部に読み出す接続となっている場合、R、G、B各色がいずれも上下両方に出力されることになるので、1ライン圧縮回路を上部で3系統、下部で3系統の計6系統で構成しても良い。

【0080】

また、画素アレイからの読み出しを高速化するために画素の2行を同時、またはほとんど同時に読み出せるように、画素1列あたり2つの信号読み出し経路を持つなどの（たとえば、特開2005-347932号公報のような）構成を採る場合、同時に出力される画素の色数は（一般的なベイア配列では）上下にそれぞれ2色となるのが普通である。その場合でも、計4系統の1ライン圧縮回路で構成し、同時に出力される同じ行の同色の画素データを参照して色毎に圧縮する構成とすればよい。但し、2行同時読み出しを行う場合、圧縮の有無に関わらず、2行分のアナログ画素データをデジタル画素データに変換するカラムADC回路と2行分のデジタル画素データを記憶するカラムデジタルメモリが必要となるので、メモリ搭載量は実施形態2の2倍になることを付記しておく。

【0081】

なお、実施形態2におけるFIFO回路109およびFIFO回路110と同様の機能を有する1個のFIFO部を実施形態1の固体撮像装置に備える構成としてもよい。この場合、図1の固体撮像装置1010は、さらに、1ライン圧縮回路15からの符号化画素データをFIFO（First In First Out）式に記憶し、間欠的に出力するFIFO部を備えればよい。このFIFO部は、行走査回路102による1つの行の選択期間である行選択期間内の第1の期間に亘って1ライン圧縮回路15から1行分の符号化画素データを入力し、前記第1の期間よりも短い第2の期間に亘ってFIFO部から1行に対応する符号化画素データを一定のビットレートで出力するようによればよい。

【0082】

（実施形態3）

実施形態3において、被圧縮画素と同一行の画素データを参照してデータ圧縮を行う固体撮像装置について説明する。また、実施形態3では、1行に属する画素データのうち奇数列に属する画素データと偶数列に属する画素データとに分けて、別々に圧縮符号化する固体撮像装置についてより具体的に説明する。

【0083】

図4は、本実施形態における固体撮像装置および画像信号処理部（外部LSI）の構成図である。同図では図1、2と同様の光学系600を備えるが、図示を省略してある。

【0084】

固体撮像装置1000は、行走査回路102、カラムADC回路103、カラムADC回路104、カラムデジタルメモリ105、カラムデジタルメモリ106、1ライン圧縮回路107、1ライン圧縮回路108、PS変換回路111、PS変換回路112、差動出力回路113、差動出力回路114を備える。

【0085】

画素アレイ101は、約1200万画素のMOS型固体撮像装置であり、3072行×4096列の画素で構成される。

【0086】

タイミング制御回路100は、読み出しやシャッタ走査のタイミングや、画素データが各回路に入力するタイミングを制御する。

【0087】

行走査回路102は、画素アレイ101の行毎に、読み出しやシャッタ走査を行う。

10

20

30

40

50

カラムADC回路103は、行走査回路102により読み出し動作が行われた行の偶数列の画素から読み出された2048個のアナログデータを12ビットのデジタルデータに一度に変換するAD変換部である。

【0088】

カラムADC回路104は、同じ行の奇数列の画素から読み出された2048個のアナログデータを12ビットデジタルデータに一度に変換するAD変換部である。

【0089】

カラムデジタルメモリ105は、変換後の画素データを記憶し1画素ずつ順次出力する。

【0090】

カラムデジタルメモリ106は、変換後の画素データを記憶し1画素ずつ順次出力する。

【0091】

1ライン圧縮回路107は、カラムデジタルメモリ105から出力される偶数列の画素データ間の差分を演算し、さらに差分データを1次式で変換して符号化する。

【0092】

1ライン圧縮回路108は、カラムデジタルメモリ106から出力される奇数列の画素データ間の差分を演算し、さらに差分データを一次式で変換して符号化する。

【0093】

PS変換回路111は、圧縮された偶数列の画素データに24ビットの同期コードを付加した後にパラレルシリアル変換する。

【0094】

PS変換回路112は、圧縮された奇数列の画素データに24ビットの同期コードを付加した後にパラレルシリアル変換する。

【0095】

差動出力回路113は、パラレルシリアル変換された偶数列の圧縮された画素データを所定の電圧レベルに変換し外部LSIに出力する。

【0096】

差動出力回路114は、パラレルシリアル変換された奇数列の圧縮された画素データを所定の電圧レベルに変換し外部LSIに出力する。

【0097】

図5は、実施形態3における1ライン圧縮回路の構成例を示すブロック図である。1ライン圧縮回路107、108は、ともに図5に示すように差分演算回路115と、符号化回路116で構成される。1ライン圧縮回路107、1ライン圧縮回路108はそれぞれ、 N (N は2以上の整数)ビットの画素データを n ($n < N$ の整数)ビットの符号化画素データに符号化する。同図の例では、 $N = 12$ 、 $n = 8$ である。

【0098】

差分演算回路115は、符号化対象の画素データと同じ行内の画素データ(同図では1つ前の画素データ)との差分を求める回路であり、12ビットのFF(フリップフロップ)115aと、12ビットのFF115bと、セクタ115cと、1ビットのFF115dと、減算器115eと、13ビットの差分データを保持および出力するFF115fとを備える。

【0099】

符号化回路116は、差分データを一次式で変換して符号化する回路であり、絶対値変換器116aと、比較器116bと、セクタ116cと、加算器116dと、8ビットのFF116eとを備える。

【0100】

以上のように構成された実施形態3に係る固体撮像装置について、以下その動作を説明する。

【0101】

10

20

30

40

50

本実施形態に係る固体撮像装置 1000 においても、一般的な MOS 型固体撮像装置と同様、画素アレイ 101 の各画素に入射する光量を光電変換して生成した電荷を、行走査回路 102 により制御された電子シャッタ走査から読み出し走査までの時間、各画素で積分した光電荷量が画素信号となる。

【0102】

行走査回路 102 が画素アレイ 101 の任意の x 行を読み出し行として選択すると、x 行の画素 4096 個の画素信号が、その画素構成に依存して、電荷、電流、電圧などのいずれかの形のアナログ電気信号に変換されて出力される。この 4096 個のうち、偶数列 2048 個のアナログ画素信号がカラム ADC 回路 103 に出力され、奇数列に該当する 2048 個のアナログ画素信号がカラム ADC 回路 104 に出力される。

10

【0103】

本発明のポイントは、カラム ADC 回路 104 の A/D 変換方式には依存しないので、ここでは A/D 変換の詳細には触れないが、どの方式であっても基本的に 1 水平走査期間に 1 行分の画素信号の A/D 変換を完了し、その直後に変換したデジタルデータをカラムデジタルメモリに出力、記憶させるのは同じである。

【0104】

画素アレイ 101 から出力された偶数列画素 2048 個から出力されたアナログ信号は、カラム ADC 回路 103 でアナログ信号から 12 ビットデジタルデータに変換される。デジタルデータに変換された偶数列 2048 個の画素データは、カラムデジタルメモリ 105 に出力され、記憶される。

20

【0105】

カラムデジタルメモリ 105 で記憶されている 2048 個の画素データは、カラムデジタルメモリ 105 から 1 画素ずつ 1 ライン圧縮回路 107 に出力される。図 6 に 1 ライン圧縮回路 107 に入力される信号 A_{in} (12 ビットの画素データ) のタイミングチャートを示す。

【0106】

入力信号 A_{in} に含まれる画素データ R_{xy} (R_{xy} は x 行 y 列の画素データを意味する。以下同様。) は、クロック信号 clk_1 に同期して 1 ライン圧縮回路 107 に入力される。図 7 に差分演算回路 115 および符号化回路 116 の入出力信号 A_{in} 、 A_1 、 A_2 のタイムチャートを示す。図 7 に示すように、画素データ R_{xy} は、1 ライン圧縮回路 107 内の差分演算回路 115 において、1 つ前のサイクルに入力された画素データ R_{xy-2} が減算された $R_{xy} - R_{xy-2}$ となり、プラスもしくは、マイナス値を示す符号ビットを付加されて 13 ビットの出力信号 A_1 として符号化回路 116 へ出力される。なお、差分演算回路 115 は、タイミング制御回路 100 より入力される H_sync 信号により各行の最初の画素データ R_{x2} を検知し、各行最初の画素データの減算処理には前の画素データを $12'h7FF$ として減算を行う。ここで、“ $12'h7FF$ ” は、“ $7FF$ ” が 12 ビットの 16 進表記であることを意味する。また、減算結果がマイナスとなった場合は、2 の補数で出力される。

30

【0107】

符号化回路 116 では、差分演算回路 115 より出力された差分データを、図 9 に示す対応関係で、絶対値に変換する。すなわち、差分データの絶対値が 0 ~ 63 の場合はそのまま出力し、64 以上の場合は ($input_data / 64 + 63$) に従って 7 ビットのデータに変換を行う (この割り算 $input_data / 64$ の実現方法は 6 ビット右シフトで実現、小数点以下は切り捨てられる)。加えて、8 ビット目に差分データの 13 ビット目の符号ビットを付加し、8 ビットの符号化された画素データ (以後、符号化画素データと称す) として出力する。

40

【0108】

なお、符号化回路 116 では、後段の PS 変換回路 111 で付加する同期コード (図 8) を考慮しており、外部 LSI で同期コードを識別するためのデータ値を $8'hFF$ を禁止コードとし、符号化後の画素データに $8'hFF$ の値が発生しないように動作する必要

50

があるが、上記絶対値の変換では、出力値の値域が $0 \sim 2^7 - 2$ であり、 $8 \cdot h F F = 2^7 - 1$ は発生しないので問題はない。

【0109】

上記の符号化方法では、画素データが隣接する画素データと類似性が高く、差分データの小さい値は、統計的に出現頻度が高くなり、差分データの大きい値は出現頻度が低い傾向にある点に着目しており、差分データの出現頻度が高い $0 \sim 63$ の範囲は符号化しないことで、圧縮後の S N R を向上させている。

【0110】

符号化回路 116 で符号化された符号化画素データは符号化回路 116 の出力信号 A2 より出力され、P S 変換回路 111 に入力される。P S 変換回路 111 では、8 ビットの

10

【0111】

なお、高速シリアル出力を行う場合、1 フレームの有効画素の開始と終了、1 行の有効画素の開始と終了を外部 L S I に知らせるため、たとえば図 8 のように決めた同期コードを、図 10 のように有効画素データの前後に出力するのが普通である。実施形態 3 では、前記 P S 変換回路 111 において、図 11 のタイミング図に示したように、回路への入力 A2 [7 : 0] に対して、同期コードの挿入を行った (P [7 : 0] に変換) のち、シリアルデータに変換する。

【0112】

シリアルデータに変換した画素データは、差動出力回路 113 に転送される。差動出力回路 113 に転送された画素データは、差動出力回路 113 で所定の電圧レベルに変換され、差動信号として外部 L S I に伝送される。なお、前記差動出力回路 113 は、高速伝送時に電磁波ノイズと消費電力を抑えることができる低電圧差動信号 (Low Voltage Differential Signaling) のような小振幅の差動信号伝送システムであることが、高速かつ低消費電力を実現するためには望ましい。

20

【0113】

なお、奇数列画像データについても偶数列画像データと同様な回路で同様に処理が行われ外部 L S I に出力される。

【0114】

以上のように、実施形態 3 によれば、1 ライン圧縮したことにより、画像データの総量を $2/3$ に圧縮削減できる。また、1 ライン圧縮に必要なメモリは、1 ライン圧縮回路 107、108 において、符号化処理に必要な 8 画素程度の画素データに相当するレジスタを増設するだけでよい。

30

【0115】

また、本実施形態によれば、非圧縮の場合、P S 変換回路 111、112、差動出力回路 113、114 は c l k 1 の 1.2 倍の動作周波数が必要であるが、1.2 ビットの画素データを 8 ビットの符号化画素データに圧縮しているため、P S 変換回路 111、112、差動出力回路 113、114 は、c l k 1 の 8 倍の動作周波数で駆動でき、動作周波数を $2/3$ に低下できるため、消費電力を大きく低減できる。

40

【0116】

ここでは 1 ライン圧縮回路 107 の一例として、同じ行に属する他の画素データを参照画素として、画素データを 1 次式で演算することにより固定長の符号化画素データに符号化する例について説明した。すなわち、差分データを符号化する演算処理については、図 9 に示すように、その差分値を 64 以上の場合とそれ以下の場合の 2 領域に分けて符号化している。これに限らず、1 ライン圧縮回路 107 は、同じ行に属する他の画素データを参照画素として、画素データを s 次式 (s は自然数) で演算することにより固定長の符号化画素データに符号化する構成としてもよい。s = 3 の場合の符号化特性を図 12 に示す。同図の例では V ビットの画素データ (図中の input) を (V - X) ビットの符号 (図中の output) に符号化することを示している。ただし、V および X は $V > X$ を満たす自然数

50

である。図 1 2 に示すように、差分値の大小により、さらに複数の条件に分けて演算処理を切り替えるような符号化演算としてもよい。

【 0 1 1 7 】

(実施形態 4)

実施形態 4 では、実施形態 3 の図 4 中の固体撮像装置に対して、さらに、1 ライン圧縮回路からの符号化画素データを F I F O (First In First Out) 式に記憶し、間欠的に出力する F I F O 回路を備える構成について説明する。この F I F O 回路は、行走査部による 1 つの行の選択期間である行選択期間内の第 1 の期間に亘って前記圧縮部から 1 行分の符号化画素データを入力され、前記第 1 の期間よりも短い第 2 の期間に亘って前記 F I F O 部からその 1 行分に対応する符号化画素データを一定のビットレートで出力するように構成されている。これによれば、F I F O 回路からの符号化画素データの出力ビットレートは、行メモリからの画素データの出力ビットレート(つまり符号化前のビットレート、または符号化しない場合の出力ビットレート)と同じにすることができる。これにより、F I F O 回路からの符号化画素データの出力期間(第 2 の期間)を短縮している。図 1 3 は、実施形態 4 における固体撮像装置の構成を示すブロック図である。同図の固体撮像装置 1 0 0 1 は、実施形態 3 の図 4 と比べて、F I F O 回路 1 0 9 と F I F O 回路 1 1 0 とが追加されている点が異なっている。以下、異なる点を中心に説明し、同じ点は説明を省略する。

10

【 0 1 1 8 】

F I F O 回路 1 0 9 は、1 ライン圧縮回路 1 0 7 によって圧縮された偶数列の画素データを F I F O 式に記憶し、記憶したデータを間欠的に出力するように転送ビットレートを制御する。

20

【 0 1 1 9 】

F I F O 回路 1 1 0 は、1 ライン圧縮回路 1 0 8 によって圧縮された奇数列の画素データを F I F O 式に記憶し、記憶したデータを間欠的に出力するよう転送ビットレートを制御する。

【 0 1 2 0 】

図 1 4 は、F I F O 回路 1 0 9、1 1 0 の構成例を示すブロック図である。同図のように F I F O 回路 1 0 9 または 1 1 0 は、R A M 1 0 9 a、書き込みポイント制御器 1 0 9 b、読み出しポイント制御器 1 0 9 c、出力ビット変換器 1 0 9 d、F F (フリップフロップ) 1 0 9 e (ここでは 1 2 ビットのラッチ回路) を備える。

30

【 0 1 2 1 】

前記 F I F O 回路 1 0 9、1 1 0 は、書き込みポイント制御器 1 0 9 b および読み出しポイント制御器 1 0 9 c によって R A M 1 0 9 a への書き込み動作と読み出し動作を同期で行う同期 F I F O 方式で動作させる。R A M 1 0 9 a は F I F O 回路 1 0 9、1 1 0 それぞれに約 1 4 0 0 w o r d (本明細書では 1 w o r d は 8 ビットのデータ量とする) の容量を持ち (F I F O 回路 1 0 9、1 1 0 合わせて 1 / 2 行の画素データに相当するメモリ) で構成されるものとする。出力ビット変換器 1 0 9 d は、R A M 1 0 9 a から入力される n ビット符号化画素データ列を分解および連結することにより N ビットデータ列に変換する。同図の例では n は 8 であり、N は 1 2 である。

40

【 0 1 2 2 】

以上のように構成された実施形態 4 に係る固体撮像装置について、以下その動作を説明する。

【 0 1 2 3 】

実施形態 4 において、行走査回路 1 0 2 が任意 x 行に読み出し走査を行うと、画素アレイ 1 0 1、カラム A D C 回路 1 0 3、カラムデジタルメモリ 1 0 5 は実施形態 3 と同様の動作を行い、図 6 の信号 A i n に示す画素データが 1 ライン圧縮回路 1 0 7 に入力される。

【 0 1 2 4 】

1 ライン圧縮回路 1 0 7 に入力した画素データは、符号化処理を施され、F I F O 回路

50

109に出力される。FIFO回路109での、内蔵RAMへの符号化画素データの書き込みは、1ライン圧縮回路107の出力開始に連動して始めるが、内蔵RAMからの読み出しは、符号化画素データ約1370個(1行の3分の1相当の画素数)を記憶してから開始する。符号化画素データは図15のOut信号で示したように、図14の出力ビット変換器において1個の画素データ8ビット分ともう1個の画素データの上位または下位の4ビット分を組み合わせて、出力信号のビット幅を8ビットから12ビットに変換し出力する。

【0125】

上記のようにFIFO回路109が動作することで、1ライン圧縮回路107で符号化された画素データは、図16に示すように符号化されたときに単位時間当たり8ビットに低下したデータレートを符号化前の単位時間当たり12ビットのデータレートに調整し出力される。

10

【0126】

FIFO回路109で出力データレートを変更された画素データは、PS変換回路111に入力される。PS変換回路111では、12ビットの平行データがビットシリアルデータに変換され、clk1の12倍のデータレートで差動出力回路113に入力される。なお、前記PS変換回路111では、画素データに外部LSIで画素データの同期を取るための同期コードを付加した平行データをシリアルデータに変換する。

【0127】

シリアルデータに変換した画素データは、差動出力回路113に転送される。差動出力回路113に転送された画素データは、差動出力回路113で所定の電圧レベルに変換され、差動信号として外部LSIに伝送される。なお、前記差動出力回路113は、高速伝送時に電磁波ノイズと消費電力を抑えることができるLow Voltage Differential Signalingのような小振幅の差動信号伝送システムであることが、高速かつ低消費電力を実現するためには望ましい。

20

【0128】

なお、奇数列画像データについても偶数列画像データと同様な回路で同様に処理が行われ外部LSIに出力される。

【0129】

以上のように、実施形態4によれば、1ライン圧縮したことにより、画像データの総量を2/3に圧縮削減できる。加えて、符号化の際に低下したデータレートを制御することで、外部LSIへの画素データの出力時間を2/3に短縮できる。

30

【0130】

また、本実施形態によれば、外部LSIへの出力時間が2/3に短縮できるため、図17に示すように回路の駆動期間を短く、クロック停止期間を長くでき、消費電力を低減できる。

【0131】

また、1ライン圧縮に必要なメモリは1ライン圧縮回路107、108で合わせても減算処理と符号化処理に必要な数画素程度の画素データに相当するレジスタで十分であり、FIFO回路109、110で使用するRAM(1/2行の画素データに相当するメモリ)とFIFO処理を行うレジスタを合わせても1/2行の画素データに相当するメモリを増設するだけよい。

40

【0132】

(実施形態5)

実施形態5では、画素データを固定長の符号に圧縮するのではなく、可変長の符号に圧縮する1ライン圧縮回路を有する固体撮像装置について説明する。具体例として、符号化対象の画素データを複数の部分データに分割し、部分データのそれぞれを可変長符号化する1ライン圧縮回路を説明する。これにより、画素データよりもビット数が少ない部分データ毎に可変長符号化するので、可変長符号の最大長を抑制し、全体の符号量を低減することができる。また、部分データを並列に符号化することが可能になる。

50

【 0 1 3 3 】

図 1 8 は、本実施形態における固体撮像装置の構成を示すブロック図である。

図 1 8 において、固体撮像装置 1 0 0 3 は、約 1 2 0 0 万画素の M O S 型固体撮像装置であり、3 0 7 2 行 × 4 0 9 6 列の画素で構成される画素アレイ 1 0 1 と、読み出しやシャッタ走査のタイミングや、画素データが各回路に入力するタイミングを制御するタイミング制御回路 1 0 0 と、画素アレイ 1 0 1 の行毎に、読み出しやシャッタ走査を行う行走査回路 1 0 2 と、行走査回路 1 0 2 により読み出し動作が行われた行の偶数列の画素から読み出された 2 0 4 8 個のアナログデータを 1 2 ビットのデジタルデータに一度に変換するカラム A D C 回路 1 0 3 と、変換後の画素データを記憶し 1 画素ずつ順次出力するカラムデジタルメモリ 1 0 5、および、同じ行の奇数列の画素から読み出された 2 0 4 8 個のアナログデータを 1 2 ビットデジタルデータに一度に変換するカラム A D C 回路 1 0 4 と、変換後の画素データを記憶し 1 画素ずつ順次出力するカラムデジタルメモリ 1 0 6 と、カラムデジタルメモリ 1 0 5 から出力される偶数列の画素データに対して、所定の値をそれに対応する符号と置換することで可変長符号化する 1 ライン圧縮回路 2 0 7 と、カラムデジタルメモリ 1 0 6 から出力される奇数列の画素データに対して、所定の値をそれに対応する符号と置換することで可変長符号化する 1 ライン圧縮回路 2 0 8 と、符号化された偶数列画素データに 2 4 ビットの同期コードを付加し、同期コードを付加した後にパラレルシリアル変換する P S 変換回路 2 1 1 と、符号化された奇数列画素データに 2 4 ビットの同期コードを付加し、同期コードを付加した後にパラレルシリアル変換する P S 変換回路 2 1 2 と、パラレルシリアル変換された偶数列の画素データを所定の電圧レベルに変換し外部 L S I に出力する差動出力回路 1 1 3 と、パラレルシリアル変換された奇数列の画素データを所定の電圧レベルに変換し外部 L S I に出力する差動出力回路 1 1 4 から構成される。

【 0 1 3 4 】

また、前記 1 ライン圧縮回路 2 0 7、2 0 8 は、図 1 9 に示す F I F O 回路 2 1 5 と符号化回路 2 1 6 で構成される。なお、c l k 3 は c l k 1 の 1 2 倍で駆動するクロックであり、クロックを明示しない F l i p F l o p、および回路は c l k 1 で動作する。

【 0 1 3 5 】

また、前記 F I F O 回路 2 1 5 は R A M への書き込み動作と読み出し動作を非同期で行う非同期 F I F O 方式で動作させることを想定しており、使用される R A M は 1 2 ビット約 1 3 6 1 w o r d (1 行を構成する画素数の 1 / 3 の画素データを記憶できるメモリ) で構成されるものとする。

【 0 1 3 6 】

以上のように構成された実施形態 5 に係る固体撮像装置について、以下その動作を説明する。

【 0 1 3 7 】

なお、実施形態 3 に係る構成回路と同一である、画素アレイ 1 0 1、カラム A D C 回路 1 0 3、1 0 4、カラムデジタルメモリ 1 0 5、1 0 6、P S 変換回路 1 1 1、1 1 2、差動出力回路 1 1 3、1 1 4 については、重複した説明を省略する。

【 0 1 3 8 】

実施形態 5 において、行走査回路 1 0 2 が任意 x 行に読み出し走査を行うと、画素アレイ 1 0 1、カラム A D C 回路 1 0 3、カラムデジタルメモリ 1 0 5、は実施形態 3 と同様の動作を行い、図 6 の信号 A i n に示す画素データが 1 ライン圧縮回路 2 0 7 に入力される。

【 0 1 3 9 】

図 1 9 は、1 ライン圧縮回路 2 0 7 の構成例を示すブロック図である。同図のように 1 ライン圧縮回路 2 0 7 は、F I F O 回路 2 1 5、符号化回路 2 1 6 を備える。F I F O 回路 2 1 5 は、F F 2 1 5 a (1 2 ビットラッチ回路)、R A M 2 1 5 b、書き込みポイント制御器 (w r i t e p o i n t e r c o n t r o l) 2 1 5 c、読み出しポイント制御器 (r e a d p o i n t e r c o n t r o l) 2 1 5 d および F F 2 1 5 e (1

2ビットラッチ回路)を備える。また、符号化回路216は、符号置換器217a、符号置換器217b、符号置換器217c、符号化コード218、セクタ219、書き込み制御器221、読み出し制御器222、RAM223(12個のRAMセル223a~223lおよびデコーダ224)、FF225(12ビットラッチ回路)およびセクタ226を備える。

【0140】

入力信号A_{in}より1ライン圧縮回路207に入力される画素データは、図19に示すFIFO回路215内のRAMにFIFO方式で書き込まれる。FIFO回路215内のRAMに記憶された画素データは、符号化回路216の出力信号read_fbがHighとなったときにFIFO方式で読み出し動作が実施され、符号化回路216へ出力信号D1より出力される。

10

【0141】

符号化回路216に信号D1より入力する画素データは、4ビット毎に分割され、符号置換器217aにおいて、画素データの4ビットを図21に示す比較信号と比較、一致したところの符号化コードを、図21に示す信号A1~A8より対応する値を出力する。また、符号置換器217aは、出力ビットを指定する信号A_{sel}を書き込み制御器221に出力する。

【0142】

符号置換器217b、217cにおいても符号置換器217aと同様に動作する。

書き込み制御器221は、符号置換器217aからの信号A1~A8のうち実際に出力される信号のビット幅を信号A_{sel}により認識し、符号化コードの上位ビットから順にセクタ219より出力されるように選択信号selをセクタ219へ出力する。また、書き込み制御器221は同時に、セクタ219より1ビットずつ出力される符号化コードをRAM223に書き込むため、RAM223への書き込みアドレスポインタを指定する出力信号write_selを出力する。なお、write_selは0~11のいずれかのビットアドレスを指定する4ビットデータであり、RAMへの書き込み動作のたびに、11から順次1ずつ0までダウンカウントし、その次のRAM書き込み動作発生時に11にリセットし、以後、同様の動作を繰り返すことでRAMへの書き込み動作を制御する。

20

【0143】

セクタ219では、書き込み制御器221より出力される信号selの値に対応した信号を選択し、信号A2よりRAMへ出力する。

30

【0144】

図22に示すように、RAM223では、1ビットのメモリが0番地から11番地まで書き込み制御器221より出力される信号write_selの0から11の値に対応しており、対応するメモリにセクタより出力される信号A2の値を書き込む。

【0145】

読み出し制御器222は、信号write_selが0となった直後、信号read_selを生成し、RAM223のアドレス11~0に記憶している12ビットデータを出力し、FFで出力クロック(図示せず)に同期化後、Doutとして出力する。

40

【0146】

上記のようにFIFO回路215、符号置換器217a、217b、217c、セクタ219、書き込み制御器221、RAM223、読み出し制御器222の各回路が動作することで、図20に示すように、信号D1より入力される12ビットの画素データを、4ビット毎に図21に示す符号に符号化し、12ビットずつ符号化回路216の出力信号Doutから出力することができる。

【0147】

符号化回路216より出力された符号化画素データは、PS変換回路111に出力され、差動出力回路113を経て、外部LSIに出力される。

【0148】

50

なお、奇数列画像データについても偶数列画像データと同様な回路で同様に処理が行われ外部LSIに出力される。

【0149】

以上のように、実施形態5によれば、出現頻度の高い画素データをビット数の少ない符号と置き換えることで、画像データを圧縮削減できる。加えて、上記圧縮方法は、可逆圧縮なため、復号時にデータを完全に復元することができ、圧縮による劣化がない。

【0150】

また、1ライン圧縮に必要なメモリ(1ライン圧縮回路207、208において圧縮処理に使用するメモリ)は、約3画素の画素データ相当のレジスタと、FIFO処理等に必要数ビット程度のレジスタと、FIFO回路215、216で使用するRAM(1行を構成する画素数の2/3の画素データを記憶できるメモリ)である。

10

【0151】

したがって、本実施形態によれば、メモリの増設を1ライン以下に留めながら、固体撮像装置から出力する画素データを可逆圧縮することができる。

【0152】

(実施形態6)

実施形態6において、1ライン圧縮回路を有する固体撮像装置1001とその復号回路を有する画像信号処理部(ここでは画像処理LSI)2003を含む撮像装置(カメラシステム)について図23を用いて説明する。

【0153】

図23は、実施形態6におけるカメラシステムの構成図である。以下、各構成要素を説明する。同図では図1、2と同様の光学系600を備えるが、図示を省略してある。

20

【0154】

光学系600は、被写体から入射する光を固体撮像装置1001の撮像面に結像するレンズ601と、本カメラシステムによる撮影タイミング、シャッタ速度をメカ的に制御するメカニカルシャッタ602を備えている。図23のように構成される実施形態6において、固体撮像装置1001は上述した実施形態4である。また、図23の固体撮像装置1001は、上述した実施形態3で説明した構成を採用するものとする。

【0155】

また、画像処理LSI2003は、固体撮像装置1001が出力する偶数列の符号化画素データの差動信号をデジタルのシリアルデータに変換する差動入力回路301と、固体撮像装置1001が出力する奇数列の符号化画素データの差動信号をデジタルのシリアルデータに変換する差動入力回路302と、シリアルデータに変換された偶数列の符号化画素データを12ビットの平行データに変換するSP変換回路303と、シリアルデータに変換された奇数列の符号化画素データを12ビットの平行データに変換するSP変換回路304と、平行データに変換された偶数列の符号化画素データを復号化する復号回路305と、平行データに変換された奇数列の符号化画素データを復号化する復号回路306と、RAMへの書き込み、読み出しを調停管理するメモリコントローラ回路307と、メモリコントローラからの書き込み、読み出しアクセスにより動作するRAM308と、復号化された画素データを画像処理する画像処理回路309とから構成される。

30

40

【0156】

次に本カメラシステムの動作について説明する。

実施形態6において、固体撮像装置1001の動作としては、画素アレイ101の各画素に入射する光量を光電変換してから差動出力回路で出力するまでの動作は、実施形態4とまったく同じである。固体撮像装置1001から偶数列の符号化画素データが電圧信号として伝送されると差動入力回路301において、所定の差動信号をシリアル信号に変換され、SP変換回路303に出力される。

【0157】

シリアルデータに変換された偶数列の符号化画素データは、SP変換回路303におい

50

て、シリアルデータから12ビットの平行データに変換され、図25に示す信号Binのように復号回路305へ出力される。

【0158】

平行データに変換された偶数列の符号化画素データは、復号回路305において、出力信号B1よりメモリコントローラ回路307へ出力され、RAM308へ書き込みが行われる。その後、RAMより読み出し動作を行い、図24の信号Cinより偶数列の符号化画素データは復号回路305に入力される。読み出された12ビットデータは、図26の信号C1のように8ビットの偶数列の符号化画素データ1つずつに分割される。符号化画素データC1は、図27に示すフローチャートに沿って復号処理される。復号回路305において、復号化された12ビットの偶数列の画素データは、図24に示す出力信号Coutより画像処理回路309に出力される。なお、図26中のR×2"~R×4096"は、R×2'~R×4096'を13ビットの正数もしくは負数(2の補数)に変換した値を意味する。

10

【0159】

なお、奇数列の符号化画素データについても偶数列の符号化された画素データと同様な回路で同様に処理が行われ画像処理回路に出力される。

【0160】

なお、光学系の制御、すなわちオートやマニュアルによる焦点合わせやズームなどのレンズ駆動、絞りや露光タイミング制御などのシャッタなどの制御について本図面では明示していないが、画像処理LSI2003から直接、または駆動用ICを介して間接的にその制御を行うように接続されている。本発明の本質には関らないので、説明を省略する。

20

【0161】

以上のように、実施形態6によれば、固体撮像装置1001で1ライン圧縮された画素データを画像処理LSI2003が受信し復号することができるので、固体撮像装置1001と画像処理LSI2003を接続する画像伝送経路上のデータ転送周波数を抑制でき、結果として、固体撮像装置1001から画像処理LSI2003への高速伝送を担う回路部位での消費電力を低減でき、また電磁ノイズの発生についても低減できる。

【0162】

また、本実施形態によれば、復号時には画像処理LSI2003に搭載されている既存のRAMにメモリコントローラを介して書き込み、読み出しを行うことができるため、復号回路にRAMを搭載する必要がなく、増設メモリを低減することが可能である。

30

【0163】

(実施形態7)

実施形態7において、圧縮、非圧縮を選択可能な1ライン圧縮回路を有する固体撮像装置について説明する。

【0164】

図28は、実施形態7における固体撮像装置1004の構成図である。

図28のように構成される本実施形態は、実施形態4で上述した構成に加えて、コラムデジタルメモリ105から出力される偶数列の画素データと、FIFO回路109より出力される偶数列の符号化画素データのいずれかを出力するセクタ回路125と、コラムデジタルメモリ106から入力される奇数列の画素データと、FIFO回路110より入力される奇数列の符号化画素データのいずれかを出力するセクタ回路126とから構成される。

40

【0165】

なお、図28に示すセクタ回路125、126は図29のように構成されている。

以上のように構成された実施形態7に係る固体撮像装置について、以下その動作を説明する。

【0166】

実施形態7において、セクタ回路125は、タイミング制御回路100より出力される信号shtが1'b1の状態のとき、セクタ回路125内のセクタAにおいて信号

50

A i n が選択され、カラムデジタルメモリ 1 0 5 の出力信号 A i n より出力される偶数列の画素データをセクタ回路の出力信号 S より出力する。また、セクタ回路 1 2 5 は、タイミング制御回路 1 0 0 より出力される信号 s h t が 1 ' b 0 のとき、セクタ回路 1 2 5 内のセクタ A において信号 A o u t が選択され、F I F O 回路 1 0 9 の出力信号 A o u t より出力される偶数列の符号化画素データをセクタ回路の出力信号 S より出力する。

【 0 1 6 7 】

セクタ回路 1 2 5 より出力された偶数列の画素データもしくは、符号化画素データは、P S 変換回路 2 1 1、差動出力回路 1 1 3 を経て外部 L S I へ出力される。なお、セクタ回路 1 2 6 も同様の動作を行う。

10

【 0 1 6 8 】

以上のように、実施形態 7 によれば、固体撮像装置より出力される画素データの圧縮、非圧縮の選択が可能となるので、この固体撮像装置 1 0 0 4 を適用したカメラシステムでは、たとえば、カメラのリリースボタンを押すまでのプレビューモード時には固体撮像装置から圧縮された画像を出力してカメラの液晶画面に表示し、リリースボタン押下後は、固体撮像装置をスティルモード（静止画モード）に移行し、露光時間や画素アクセスなどについてモード切り替えをするとともに、モード移行後の最初の画像出力の前にセクタ回路を切り替えることで、固体撮像装置 1 0 0 4 から非圧縮の画像を出力することが可能となる。その結果、カメラ使用時間の大部分を占めるプレビュー時の消費電力を下げることができるという効果が得られる一方、スティルモード時には非圧縮で高品質の画像を取得することもできる。

20

【 0 1 6 9 】

また、同じ実施形態 7 の構成で、カメラを連写モードに設定したときには、フレームレートをできるだけ高くするため、固体撮像装置 1 0 0 4 から圧縮した画像を出力することができる。その結果、連写モードでの秒あたり連写枚数を高めることが可能となる。

【 0 1 7 0 】

なお、セクタ回路 1 2 5、1 2 6 において、画素データを圧縮せずに出力する設定とする場合、1 ライン圧縮回路 1 0 7、1 0 8 と F I F O 回路 1 0 9、1 1 0 へのクロック供給を停止することで、圧縮回路に伴う消費電力増加を抑制できる。

【 産業上の利用可能性 】

30

【 0 1 7 1 】

本発明に係る固体撮像装置は、1 ライン圧縮により転送データ量が圧縮削減できるため、データ転送時間の短縮や、動作周波数の低減が可能となり、消費電力削減や電磁ノイズの抑制に繋げることができるため、高速な撮像を行うカメラ等として有用である。

【 符号の説明 】

【 0 1 7 2 】

- 1 3 カラム A D C 回路
- 1 4 カラムデジタルメモリ
- 1 5 1 ライン圧縮回路
- 1 0 0 タイミング制御回路
- 1 0 1 画素アレイ
- 1 0 2 行走査回路
- 1 0 3、1 0 4 カラム A D C 回路
- 1 0 5、1 0 6 カラムデジタルメモリ
- 1 0 7、1 0 8 1 ライン圧縮回路
- 1 0 9 F I F O 回路
- 1 0 9 a R A M
- 1 0 9 b 書き込みポインタ制御器
- 1 0 9 c 読み出しポインタ制御器
- 1 0 9 d 出力ビット変換器

40

50

1 0 9 e	F F	
1 1 0	F I F O 回路	
1 1 1、1 1 2	P S 変換回路	
1 1 3、1 1 4	差動出力回路	
1 1 5	差分演算回路	
1 1 5 a	F F	
1 1 5 b	F F	
1 1 5 c	セレクタ	
1 1 5 d	F F	
1 1 5 e	減算器	10
1 1 5 f	F F	
1 1 6	符号化回路	
1 1 6 a	絶対値変換器	
1 1 6 b	比較器	
1 1 6 c	セレクタ	
1 1 6 d	加算器	
1 1 6 e	F F	
1 2 5、1 2 6	セレクタ回路	
2 0 7、2 0 8	1 ライン圧縮回路	
2 1 1、2 1 2	P S 変換回路	20
2 1 5	F I F O 回路	
2 1 5 a	F F	
2 1 5 b	R A M	
2 1 5 c	書き込みポインタ制御器	
2 1 5 d	読み出しポインタ制御器	
2 1 5 e	F F	
2 1 6	符号化回路	
2 1 7 a ~ 2 1 7 c	符号置換器	
2 1 8	符号化コード	
2 1 9	セレクタ	30
2 2 1	書き込み制御器	
2 2 2	読み出し制御器	
2 2 3	R A M	
2 2 3 a ~ 2 2 3 l	R A M セル	
2 2 4	デコーダ	
2 2 5	F F	
2 2 6	セレクタ	
3 0 1、3 0 2	差動入力回路	
3 0 3、3 0 4	S P 変換回路	
3 0 5、3 0 6	復号回路	40
3 0 5 a、3 0 5 b、3 0 5 h	F F	
3 0 5 c	同期コード比較器	
3 0 5 d	マルチプレクサ	
3 0 5 e	復号演算器	
3 0 5 f	加算演算器	
3 0 5 g	セレクタ	
3 0 5 i	書き込みポインタ制御器	
3 0 5 j	読み出しポインタ制御器	
3 0 7	メモリコントローラ回路	
3 0 8	R A M	50

309 画像処理回路

600 光学系

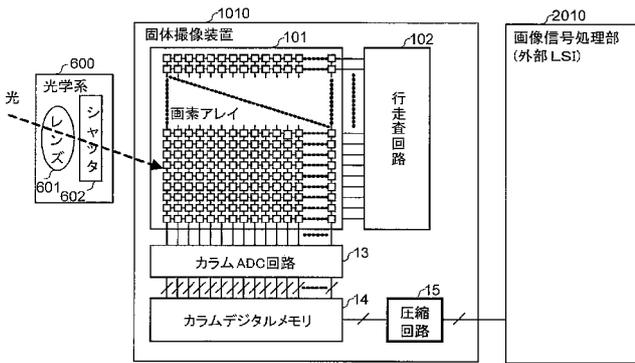
601 レンズ

602 メカニカルシャッタ

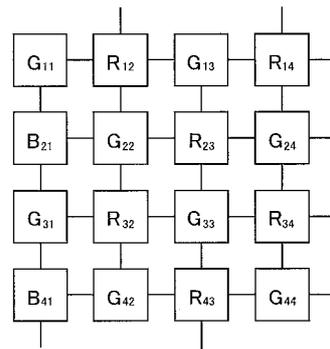
1000、1001、1003、1004、1010、1020 固体撮像装置

2000、2003、2010、2020、2030 画像信号処理部

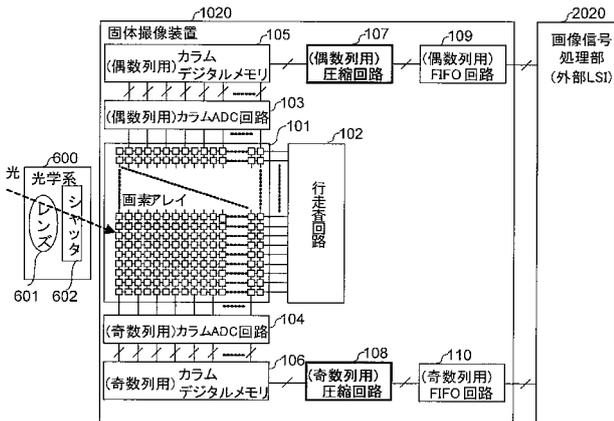
【図1】



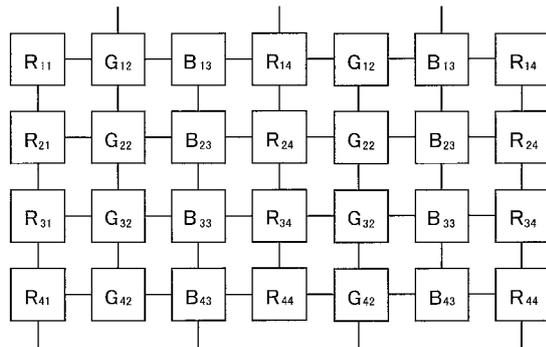
【図3A】



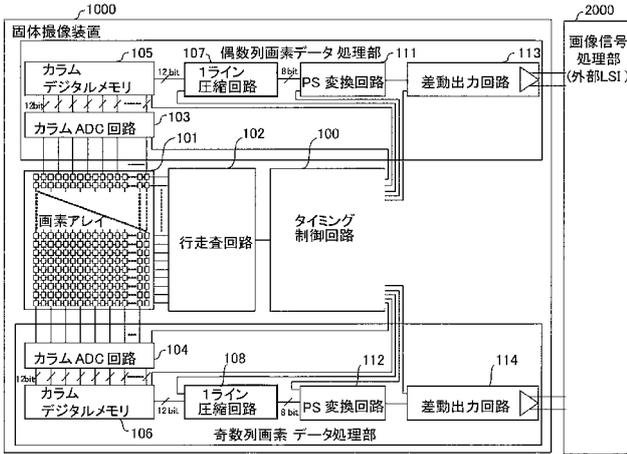
【図2】



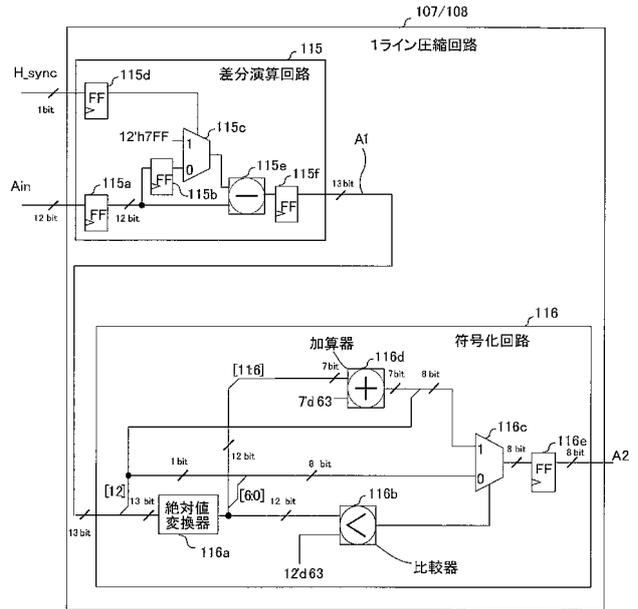
【図3B】



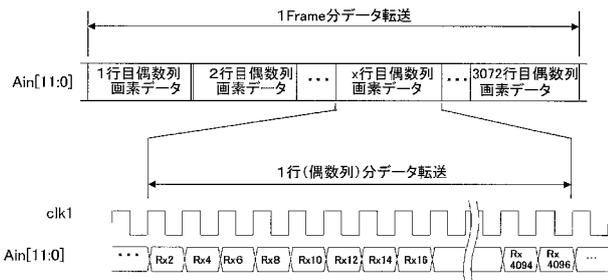
【 図 4 】



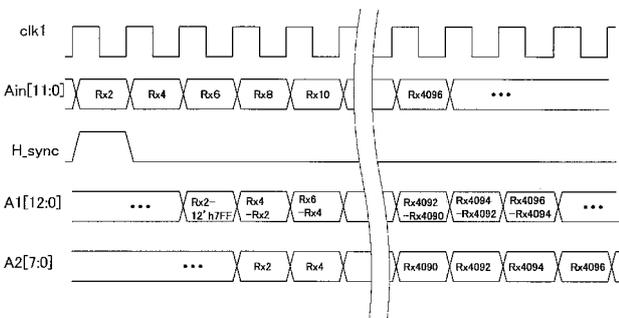
【 図 5 】



【 図 6 】



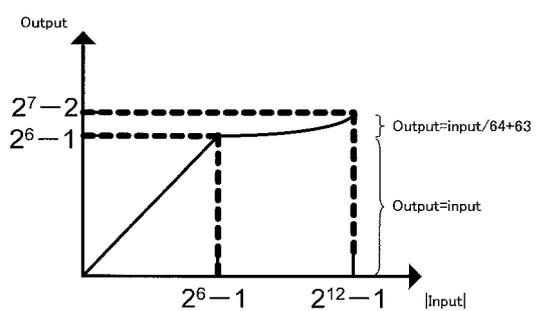
【 図 7 】



【 図 8 】

コード名	意味	設定値
SOF	Frame開始コード	24'hFFFF01
EOF	Frame終了コード	24'hFFFF02
SOL	line開始コード	24'hFFFF04
EOL	line終了コード	24'hFFFF08

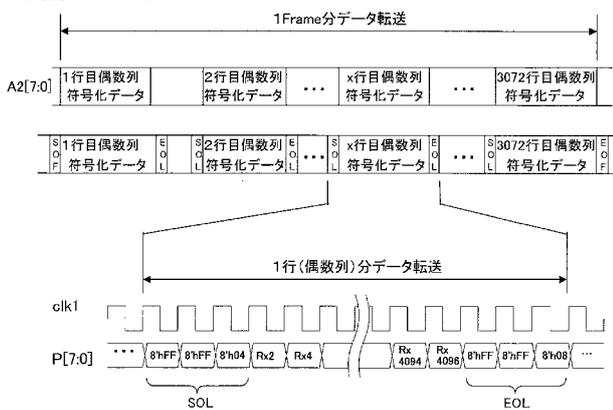
【 図 9 】



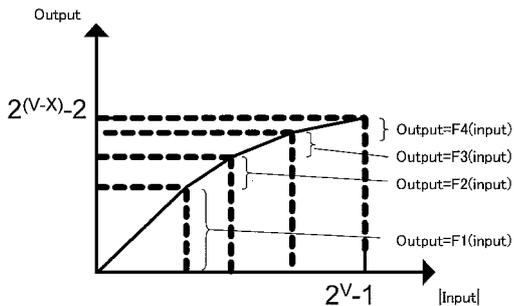
【 図 10 】

SOF	R2	R4	R4094	R4096	EOL
SOL	G2	G4	G4094	G4096	EOL
SOL	R2	R4	R4094	R4096	EOL
SOL	G2	G4	G4094	G4096	EOL
⋮	⋮	⋮	⋮	⋮	⋮	⋮
SOL	R2	R4	R4094	R4096	EOL
SOL	G2	G4	G4094	G4096	EOF

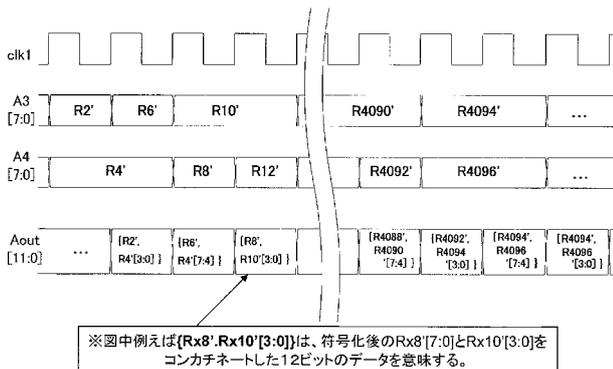
【図 1 1】



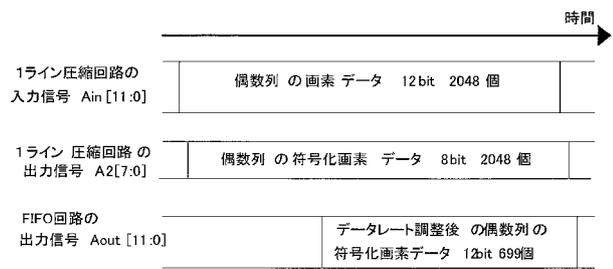
【図 1 2】



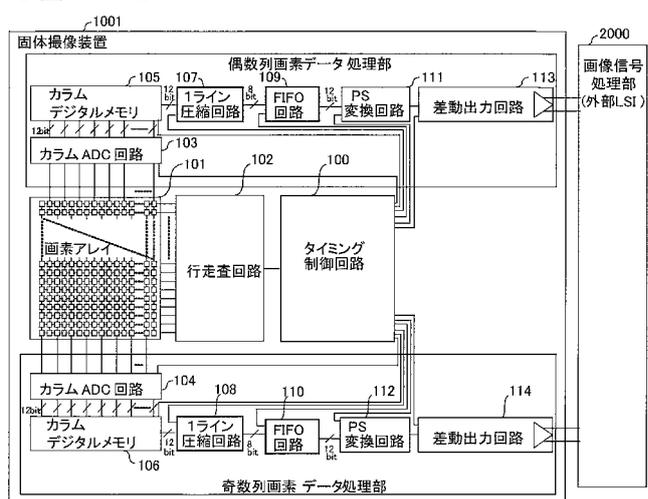
【図 1 5】



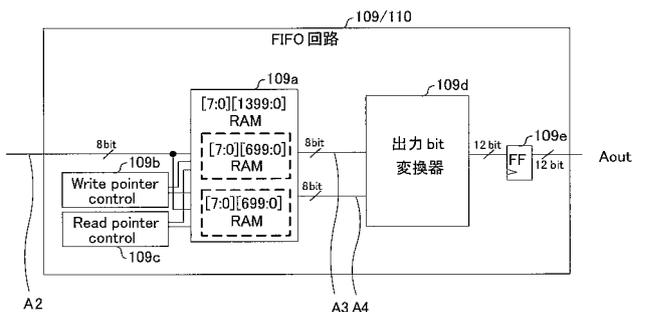
【図 1 6】



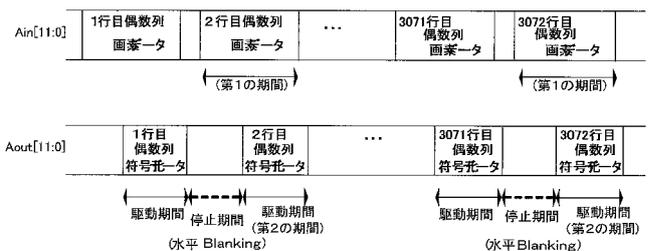
【図 1 3】



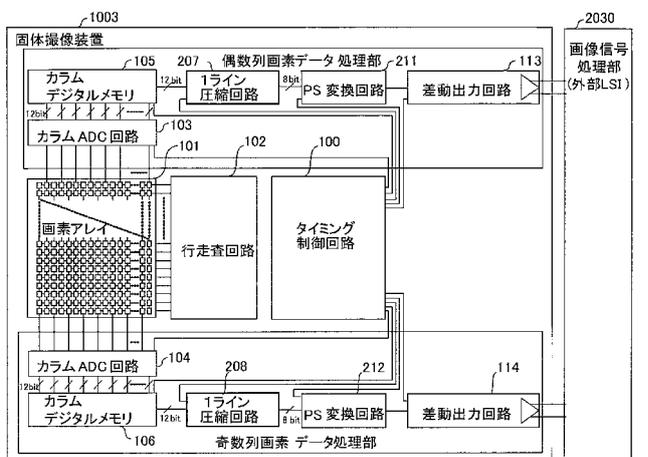
【図 1 4】



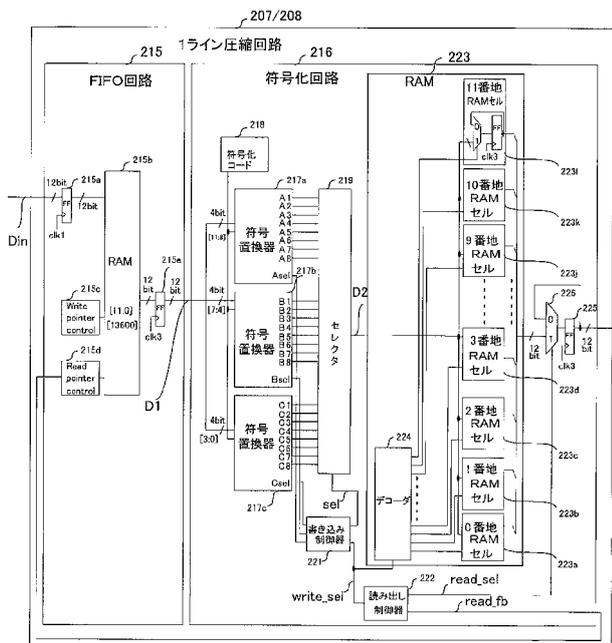
【図 1 7】



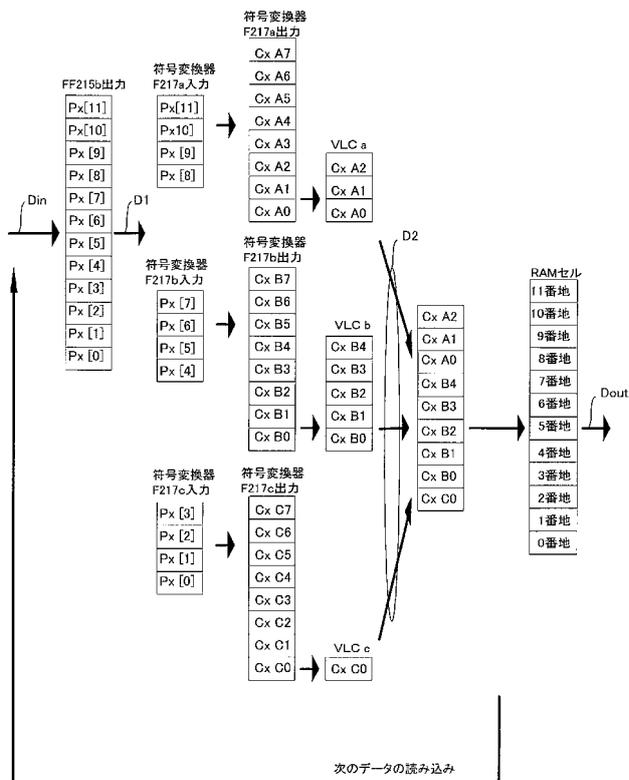
【図 1 8】



【図 19】



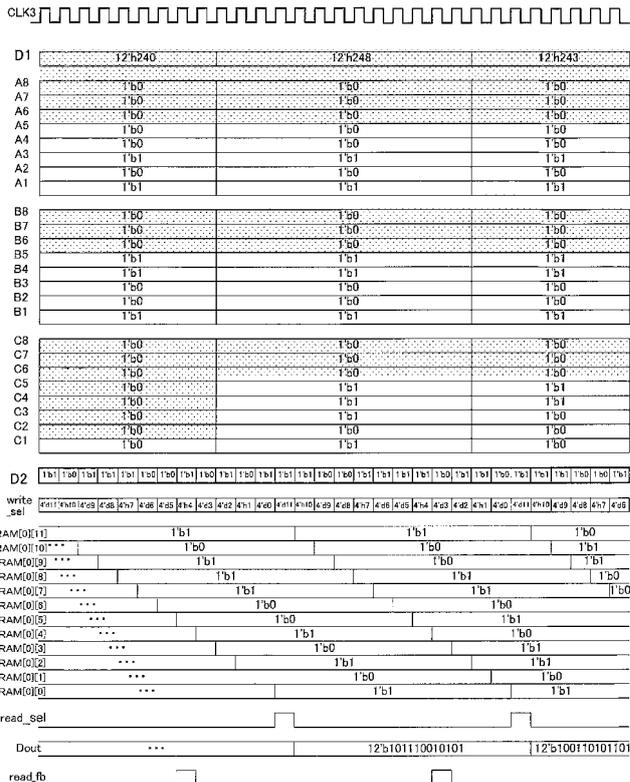
【図 20】



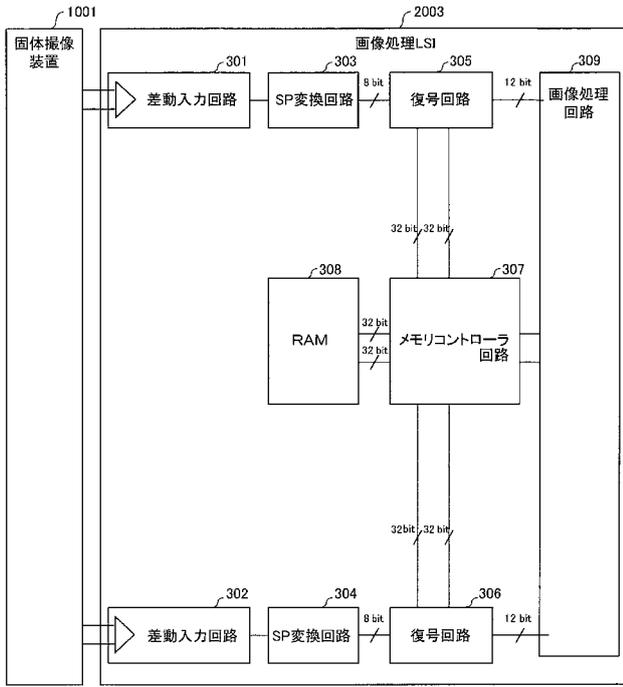
【図 21】

比較番号	符号化コード	信号A8	信号A7	信号A6	信号A5	信号A4	信号A3	信号A2	信号A1
4'b0000	1'b0	-	-	-	-	-	-	-	1'b0
4'b0001	3'b100	-	-	-	-	1'b1	1'b0	1'b0	1'b0
4'b0010	3'b101	-	-	-	-	1'b1	1'b0	1'b0	1'b1
4'b0011	5'b11000	-	-	-	1'b1	1'b1	1'b0	1'b0	1'b0
4'b0100	5'b11001	-	-	-	1'b1	1'b1	1'b0	1'b0	1'b1
4'b0101	5'b11010	-	-	-	1'b1	1'b1	1'b0	1'b1	1'b0
4'b0110	5'b11011	-	-	-	1'b1	1'b1	1'b0	1'b1	1'b1
4'b0111	5'b11100	-	-	-	1'b1	1'b1	1'b1	1'b0	1'b0
4'b1000	5'b11101	-	-	-	1'b1	1'b1	1'b1	1'b0	1'b1
4'b1001	6'b111100	-	-	1'b1	1'b1	1'b1	1'b1	1'b0	1'b0
4'b1010	6'b11101	-	-	1'b1	1'b1	1'b1	1'b1	1'b0	1'b1
4'b1011	7'b1111100	-	1'b1	1'b1	1'b1	1'b1	1'b1	1'b0	1'b0
4'b1100	7'b1111101	-	1'b1	1'b1	1'b1	1'b1	1'b1	1'b0	1'b1
4'b1101	8'b11111100	1'b1	1'b1	1'b1	1'b1	1'b1	1'b1	1'b0	1'b0
4'b1110	8'b11111101	1'b1	1'b1	1'b1	1'b1	1'b1	1'b1	1'b0	1'b1
4'b1111	8'b11111110	1'b1	1'b0						
なし	8'b11111111	-	-	-	-	-	-	-	-

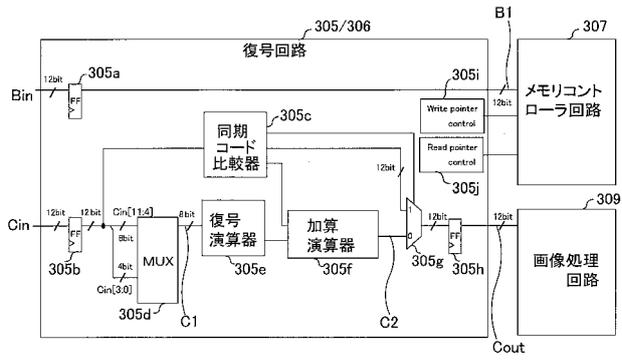
【図 22】



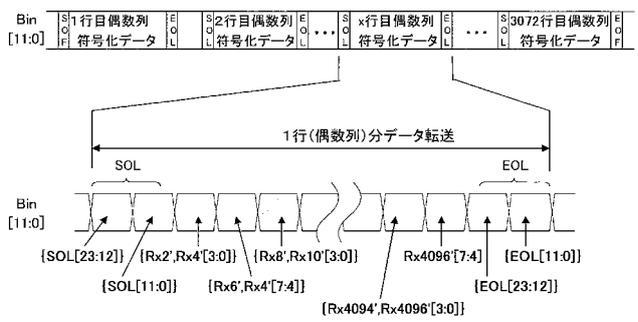
【図23】



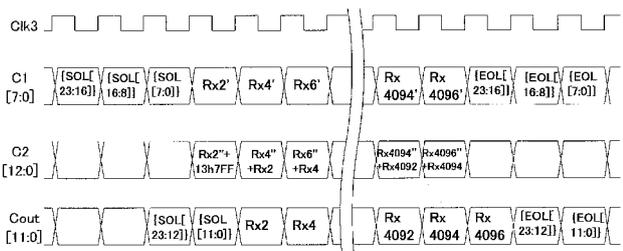
【図24】



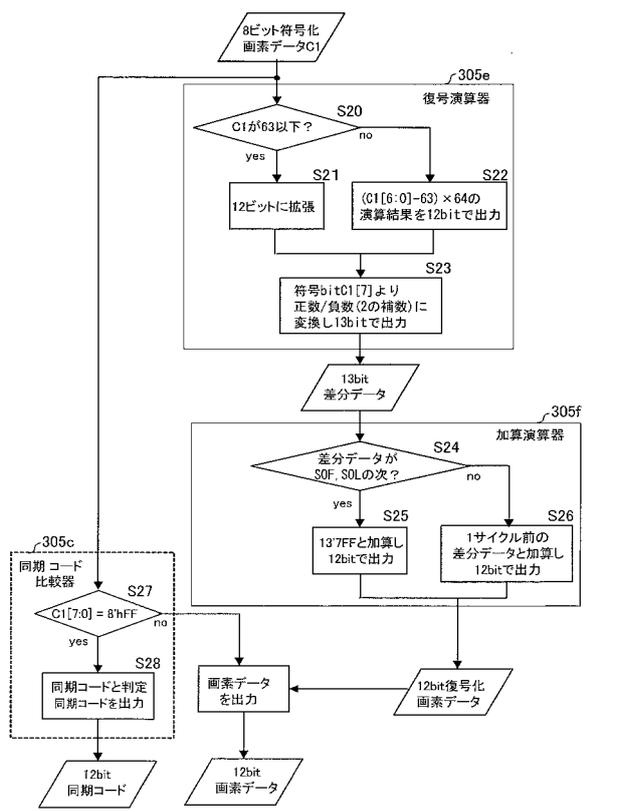
【図25】



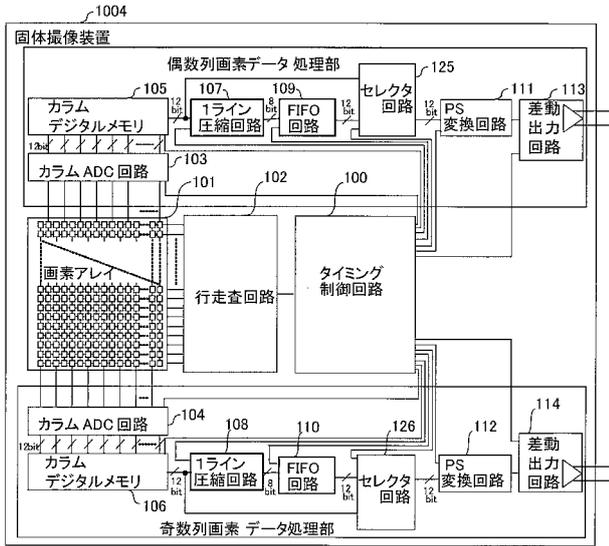
【図26】



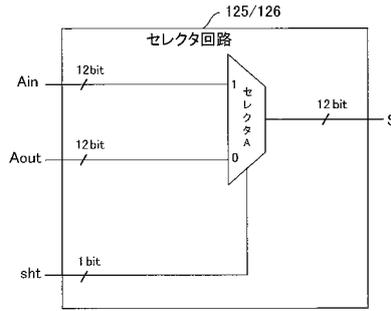
【図27】



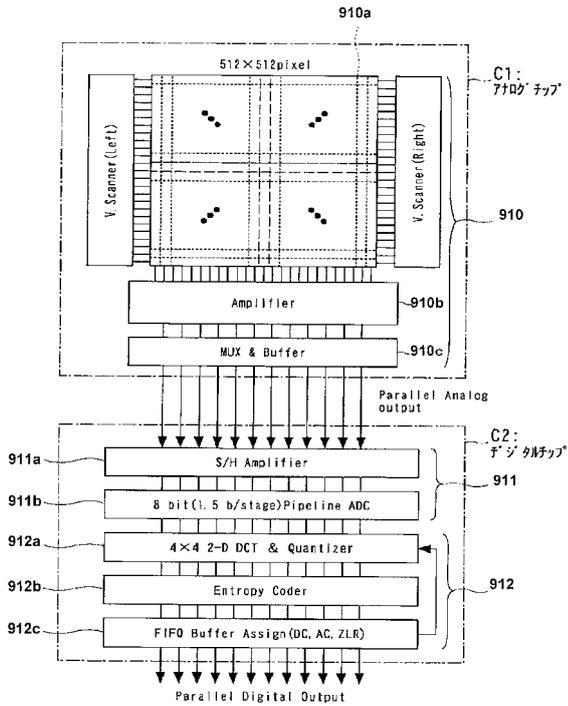
【図 28】



【図 29】



【図 30】



フロントページの続き

Fターム(参考) 5C159 KK08 KK49 MA01 MC38 ME01 PP15 TA39 TB09 TC02 TD05
UA01 UA02 UA05 UA38