



(12)发明专利申请

(10)申请公布号 CN 110829988 A

(43)申请公布日 2020.02.21

(21)申请号 201910751770.2

(22)申请日 2019.08.14

(30)优先权数据

16/103,717 2018.08.14 US

(71)申请人 恩智浦美国有限公司

地址 美国德克萨斯州

(72)发明人 伊贾兹·卡尔卢恩

瓦伦·亨利·布拉肯西克

(74)专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 倪斌

(51)Int.Cl.

H03F 1/56(2006.01)

H03F 1/48(2006.01)

H03F 3/193(2006.01)

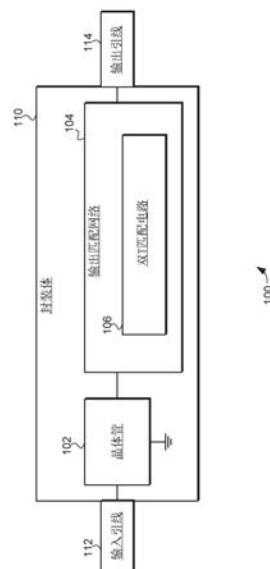
权利要求书2页 说明书16页 附图14页

(54)发明名称

具有宽带阻抗匹配的放大器和其制造方法

(57)摘要

本文描述的实施例提供了射频(RF)放大器,并在一些实施例中,提供了可以用于高功率RF应用的放大器。具体地说,本文描述的放大器可以以可以促进高频率下和宽带宽内的操作的方式被实施为包括具有(多个)晶体管并且处于装置封装体内部的一个或多个匹配网络。具体地说,所述放大器可以用匹配网络实施,所述匹配网络包括以双T匹配配置布置的电感元件和电容元件,其中至少一些电感元件用键合线实施,并且所述电容元件用集成无源装置(IPD)实施。在这种实施方案中,所述匹配网络的所述双T匹配配置可以完全实施在所述封装体内部并且可以为所述放大器提供高频率、宽带宽性能。



1. 一种放大器,其特征在于,所述放大器包括:

装置封装体,所述装置封装体包括至少第一输出引线和至少第一输入引线,所述装置封装体包围以下:

第一晶体管管芯,其中所述第一晶体管管芯包括第一晶体管、第一输入端和第一输出端;以及

第一输出匹配网络,所述第一输出匹配网络耦合在所述第一输出端与所述第一输出引线之间,所述第一输出匹配网络包括以双T匹配配置布置的第一输出电感元件、第二输出电感元件、第三输出电感元件、第一输出电容和第二输出电容,其中所述第一输出电感元件和所述第三输出电感元件中的每一个电感元件用所述装置封装体内部的键合线实施,并且其中所述第一输出电容和所述第二输出电容用所述装置封装体内部的输出集成无源装置(IPD)管芯上的IPD实施。

2. 根据权利要求1所述的放大器,其特征在于,所述双T匹配配置包括:串联的所述第一输出电感元件、所述第二输出电感元件和所述第三输出电感元件;被配置在第一并联路径(shunt)中且介于所述第一输出电感元件与所述第二输出电感元件之间的所述第一输出电容;以及被配置在第二并联路径中且介于所述第二输出电感元件与所述第三输出电感元件之间的所述第二输出电容。

3. 根据权利要求1所述的放大器,其特征在于,所述第二输出电感元件用所述装置封装体内部的键合线实施。

4. 根据权利要求1所述的放大器,其特征在于,所述第二输出电感元件用所述输出IPD管芯上的集成电感器实施。

5. 根据权利要求1所述的放大器,其特征在于,所述第一输出电容用一个或多个第一金属-绝缘体-金属(MIM)电容器实施,并且其中所述第二输出电容用一个或多个第二MIM电容器实施。

6. 根据权利要求1所述的放大器,其特征在于,所述第一输出匹配网络进一步包括以反向键合配置布置的第四输出电感元件和第三输出电容,并且其中所述第四输出电感元件用所述装置封装体内部的键合线实施,并且其中所述第三输出电容用所述装置封装体内部的所述输出集成无源装置(IPD)管芯上的IPD实施。

7. 根据权利要求1所述的放大器,其特征在于,所述放大器进一步包括输入匹配网络,所述输入匹配网络耦合在所述第一输入端与所述第一输入引线之间,所述输入匹配网络包括以双T匹配配置布置的第一输入电感元件、第二输入电感元件、第三输入电感元件、第一输入电容和第二输入电容,其中所述第一输入电感元件和所述第三输入电感元件中的每一个电感元件用所述装置封装体内部的键合线实施,并且其中所述第一电容和所述第二电容用所述装置封装体内部的输入集成无源装置(IPD)管芯上的IPD实施。

8. 根据权利要求1所述的放大器,其特征在于,所述放大器进一步包括:

第二输出引线,所述第二输出引线处于所述装置封装体上;

第二晶体管管芯,其中所述第二晶体管管芯包括第二晶体管、第二输入端和第二输出端;以及

第二输出匹配网络,所述第二输出匹配网络耦合在所述第二输出端与所述第二输出引线之间,所述第二输出匹配网络包括以双T匹配配置布置的第一输出电感元件、第二输出电

感元件、第三输出电感元件、第一输出电容和第二输出电容,其中所述第一输出电感元件、所述第二输出电感元件和所述第三输出电感元件中的每一个电感元件用所述装置封装体内部的键合线实施,并且其中所述第一输出电容和所述第二输出电容用所述装置封装体内部的第二输出集成无源装置(IPD)管芯上的IPD实施。

9.一种封装射频(RF)放大器,其特征在于,所述封装RF放大器包括:

封装衬底;

第一输入引线,所述第一输入引线耦合到所述封装衬底;

第一输出引线,所述第一输出引线耦合到所述封装衬底;

第一晶体管管芯,所述第一晶体管管芯耦合到所述封装衬底,其中所述第一晶体管管芯包括第一晶体管、第一输入端和第一输出端;

第一输入匹配网络,所述第一输入匹配网络耦合在所述第一输入引线与所述第一输入端之间,所述第一输入匹配网络包括:

以双T匹配配置布置的第一输入电感元件、第二输入电感元件、第三输入电感元件、第一输入电容和第二输入电容,其中所述第一输入电感元件、所述第二输入电感元件和所述第三输入电感元件中的每一个电感元件用键合线实施,并且其中所述第一电容和所述第二电容用在耦合到所述封装衬底的输入集成无源装置(IPD)管芯上形成的集成金属-绝缘体-金属(MIM)电容器实施;以及

第一输出匹配网络,所述第一输出匹配网络耦合在所述第一输出端与所述第一输出引线之间,所述第一输出匹配网络包括:

以双T匹配配置布置的第一输出电感元件、第二输出电感元件、第三输出电感元件、第一输出电容和第二输出电容,其中所述第一输出电感元件、所述第二输出电感元件和所述第三输出电感元件中的每一个电感元件用键合线实施,并且其中所述第一输出电容和所述第二输出电容用在耦合到所述封装衬底的输出集成无源装置(IPD)管芯上形成的集成金属-绝缘体-金属(MIM)电容器实施。

10.一种制造射频(RF)放大器装置的方法,其特征在于,所述方法包括以下步骤:

将第一输入引线耦合到封装衬底;

将第一输出引线耦合到所述封装衬底;

将耦合到所述封装衬底的第一晶体管管芯耦合,其中所述第一晶体管管芯包括第一晶体管、第一输入端和第一输出端;

在所述晶体管管芯与所述第一输出引线之间将集成无源装置耦合到所述封装衬底,其中所述集成无源装置包括第一输出电容和第二输出电容,其中所述第一输出电容包括与所述集成无源装置整体形成的一个或多个第一电容器,并且所述第二输出电容包括与所述集成无源装置整体形成的一个或多个第二电容器;以及

通过以双T匹配配置将第一输出电感元件、第二输出电感元件和第三输出电感元件连接到所述第一输出电容和所述第二输出电容来产生耦合于所述第一输出端与所述第一输出引线之间的输出匹配网络,其中所述第一输出电感元件和所述第三输出电感元件中的每一个电感元件用键合线实施。

具有宽带阻抗匹配的放大器和其制造方法

技术领域

[0001] 本文所描述的主题的实施例总体上涉及射频 (RF) 放大器, 并且更具体地说, 涉及宽带功率晶体管装置和放大器以及制造这种装置和放大器的方法。

背景技术

[0002] 许多系统采用功率放大器来增加射频 (RF) 信号的功率。例如, 在雷达通信系统和无线通信系统两者中, 在将放大后信号提供到天线以通过空中接口辐射之前, 高功率RF放大器可以在传输链中形成最后一个放大级的一部分。高带宽、高增益、高线性度、稳定性和高水平的功率附加效率可能是这种系统中合乎期望的高功率RF放大器的特性。

[0003] 为了在一些高功率RF放大器应用中实现这些目标, 在相对宽的频率带宽内需要均匀阻抗。随着装置外围和频率增加, 在宽频率带宽内实现这种均匀阻抗越来越困难。例如, 大型高功率晶体管的内部电容在宽频率带宽内可能具有显著变化, 尤其是在超过3.0千兆赫 (GHz) 的高频率下。内部电容上的这些变化可能使在宽频带内实现均匀输出阻抗变得困难。作为一个具体例子, 在期望频带内, 高功率场效应晶体管 (FET) 的漏极-源极电容可能以使用传统匹配技术无法补偿的方式经历显著增加。本征电容的这种变化可能因此有效阻止使用这种FET的放大器在期望带宽内提供均匀输出阻抗。因此, 仍然持续需要可以在高频率下且在宽频率带宽内提供高功率输出的改进放大器。

发明内容

[0004] 根据本发明的第一方面, 提供一种放大器, 所述放大器包括:

[0005] 装置封装体, 所述装置封装体包括至少第一输出引线和至少第一输入引线, 所述装置封装体包围以下:

[0006] 第一晶体管管芯, 其中所述第一晶体管管芯包括第一晶体管、第一输入端和第一输出端; 以及

[0007] 第一输出匹配网络, 所述第一输出匹配网络耦合在所述第一输出端与所述第一输出引线之间, 所述第一输出匹配网络包括以双T匹配配置布置的第一输出电感元件、第二输出电感元件、第三输出电感元件、第一输出电容和第二输出电容, 其中所述第一输出电感元件和所述第三输出电感元件中的每一个电感元件用所述装置封装体内部的键合线实施, 并且其中所述第一输出电容和所述第二输出电容用所述装置封装体内部的输出集成无源装置 (IPD) 管芯上的IPD实施。

[0008] 在一个或多个实施例中, 所述双T匹配配置包括: 串联的所述第一输出电感元件、所述第二输出电感元件和所述第三输出电感元件; 被配置在第一并联路径 (shunt) 中且介于所述第一输出电感元件与所述第二输出电感元件之间的所述第一输出电容; 以及被配置在第二并联路径中且介于所述第二输出电感元件与所述第三输出电感元件之间的所述第二输出电容。

[0009] 在一个或多个实施例中, 所述第二输出电感元件用所述装置封装体内部的键合线

实施。

[0010] 在一个或多个实施例中,所述第二输出电感元件用所述输出IPD管芯上的集成电感器实施。

[0011] 在一个或多个实施例中,所述第一输出电容用一个或多个第一金属-绝缘体-金属(MIM)电容器实施,并且其中所述第二输出电容用一个或多个第二MIM电容器实施。

[0012] 在一个或多个实施例中,所述第一输出匹配网络进一步包括以反向键合配置布置的第四输出电感元件和第三输出电容,并且其中所述第四输出电感元件用所述装置封装体内部的键合线实施,并且其中所述第三输出电容用所述装置封装体内部的所述输出集成无源装置(IPD)管芯上的IPD实施。

[0013] 在一个或多个实施例中,所述第四输出电感元件和所述第三输出电容被配置成以高于基频但低于二次谐波频率的频率进行谐振。

[0014] 在一个或多个实施例中,所述放大器进一步包括输入匹配网络,所述输入匹配网络耦合在所述第一输入端与所述第一输入引线之间,所述输入匹配网络包括以双T匹配配置布置的第一输入电感元件、第二输入电感元件、第三输入电感元件、第一输入电容和第二输入电容,其中所述第一输入电感元件和所述第三输入电感元件中的每一个电感元件用所述装置封装体内部的键合线实施,并且其中所述第一电容和所述第二电容用所述装置封装体内部的输入集成无源装置(IPD)管芯上的IPD实施。

[0015] 在一个或多个实施例中,所述第二输入电感元件用所述装置封装体内部的键合线实施。

[0016] 在一个或多个实施例中,所述第二输入电感元件用所述输入IPD管芯上的集成电感器实施。

[0017] 在一个或多个实施例中,所述晶体管包括氮化镓(GaN)场效应晶体管(FET)。

[0018] 在一个或多个实施例中,所述放大器进一步包括:

[0019] 第二输出引线,所述第二输出引线处于所述装置封装体上;

[0020] 第二晶体管管芯,其中所述第二晶体管管芯包括第二晶体管、第二输入端和第二输出端;以及

[0021] 第二输出匹配网络,所述第二输出匹配网络耦合在所述第二输出端与所述第二输出引线之间,所述第二输出匹配网络包括以双T匹配配置布置的第一输出电感元件、第二输出电感元件、第三输出电感元件、第一输出电容和第二输出电容,其中所述第一输出电感元件、所述第二输出电感元件和所述第三输出电感元件中的每一个电感元件用所述装置封装体内部的键合线实施,并且其中所述第一输出电容和所述第二输出电容用所述装置封装体内部的第二输出集成无源装置(IPD)管芯上的IPD实施。

[0022] 根据本发明的第二方面,提供一种封装射频(RF)放大器,所述封装RF放大器包括:

[0023] 封装衬底;

[0024] 第一输入引线,所述第一输入引线耦合到所述封装衬底;

[0025] 第一输出引线,所述第一输出引线耦合到所述封装衬底;

[0026] 第一晶体管管芯,所述第一晶体管管芯耦合到所述封装衬底,其中所述第一晶体管管芯包括第一晶体管、第一输入端和第一输出端;

[0027] 第一输入匹配网络,所述第一输入匹配网络耦合在所述第一输入引线与所述第一

输入端之间,所述第一输入匹配网络包括:

[0028] 以双T匹配配置布置的第一输入电感元件、第二输入电感元件、第三输入电感元件、第一输入电容和第二输入电容,其中所述第一输入电感元件、所述第二输入电感元件和所述第三输入电感元件中的每一个电感元件用键合线实施,并且其中所述第一电容和所述第二电容用在耦合到所述封装衬底的输入集成无源装置(IPD)管芯上形成的集成金属-绝缘体-金属(MIM)电容器实施;以及

[0029] 第一输出匹配网络,所述第一输出匹配网络耦合在所述第一输出端与所述第一输出引线之间,所述第一输出匹配网络包括:

[0030] 以双T匹配配置布置的第一输出电感元件、第二输出电感元件、第三输出电感元件、第一输出电容和第二输出电容,其中所述第一输出电感元件、所述第二输出电感元件和所述第三输出电感元件中的每一个电感元件用键合线实施,并且其中所述第一输出电容和所述第二输出电容用在耦合到所述封装衬底的输出集成无源装置(IPD)管芯上形成的集成金属-绝缘体-金属(MIM)电容器实施。

[0031] 在一个或多个实施例中,所述第一输出匹配网络进一步包括以反向键合配置布置的第四输出电感元件和第三输出电容,并且其中所述第四输出电感元件用键合线实施,并且其中所述第三输出电容用耦合到所述封装衬底的所述输出IPD管芯上的一个或多个MIM电容器实施。

[0032] 根据本发明的第三方面,提供一种制造射频(RF)放大器装置的方法,所述方法包括以下步骤:

[0033] 将第一输入引线耦合到封装衬底;

[0034] 将第一输出引线耦合到所述封装衬底;

[0035] 将耦合到所述封装衬底的第一晶体管管芯耦合,其中所述第一晶体管管芯包括第一晶体管、第一输入端和第一输出端;

[0036] 在所述晶体管管芯与所述第一输出引线之间将集成无源装置耦合到所述封装衬底,其中所述集成无源装置包括第一输出电容和第二输出电容,其中所述第一输出电容包括与所述集成无源装置整体形成的一个或多个第一电容器,并且所述第二输出电容包括与所述集成无源装置整体形成的一个或多个第二电容器;以及

[0037] 通过以双T匹配配置将第一输出电感元件、第二输出电感元件和第三输出电感元件连接到所述第一输出电容和所述第二输出电容来产生耦合于所述第一输出端与所述第一输出引线之间的输出匹配网络,其中所述第一输出电感元件和所述第三输出电感元件中的每一个电感元件用键合线实施。

[0038] 在一个或多个实施例中,所述双T匹配配置包括:串联的所述第一输出电感元件、所述第二输出电感元件和所述第三输出电感元件;被配置在第一并联路径中且介于所述第一输出电感元件与所述第二输出电感元件之间的所述第一输出电容;以及被配置在第二并联路径中且介于所述第二输出电感元件与所述第三输出电感元件之间的所述第二输出电容。

[0039] 在一个或多个实施例中,所述第二输出电感元件用键合线和输出IPD管芯上的集成电感器中的至少一种实施。

[0040] 在一个或多个实施例中,所述一个或多个第一电容器是第一金属-绝缘体-金属

(MIM) 电容器, 并且其中所述一个或多个第二电容器是第二MIM电容器。

[0041] 在一个或多个实施例中, 所述集成无源装置进一步包括第三输出电容, 其中所述第三输出电容包括与所述集成无源装置整体形成的一个或多个第三电容器, 并且其中所述输出匹配网络另外包括用键合线实施的第四输出电感元件, 并且其中所述第三输出电容和所述第四输出电感元件耦合到所述输出引线并且以反向键合配置布置。

[0042] 在一个或多个实施例中, 所述方法进一步包括以下步骤:

[0043] 在所述晶体管管芯与所述第一输入引线之间将输入集成无源装置耦合到所述封装衬底, 其中所述输入集成无源装置包括第一输入电容和第二输入电容, 其中所述第一输入电容包括与所述输入集成无源装置整体形成的一个或多个第一输入电容器, 并且所述第二输入电容包括与所述输入集成无源装置整体形成的一个或多个第二输入电容器; 以及

[0044] 通过以双T匹配配置将第一输入电感元件、第二输入电感元件和第三输入电感元件连接到所述第一输入电容和所述第二输入电容来产生耦合于所述第一输入端与所述第一输入引线之间的输入匹配网络, 其中所述第一输入电感元件和所述第三输入电感元件中的每一个电感元件用键合线实施。

[0045] 在一个或多个实施例中, 所述第二输入电感元件用键合线和所述输入IPD管芯上的集成电感器中的至少一种实施。

[0046] 在一个或多个实施例中, 所述方法进一步包括以下步骤:

[0047] 将第二输入引线耦合到封装衬底;

[0048] 将第二输出引线耦合到所述封装衬底;

[0049] 将耦合到所述封装衬底的第二晶体管管芯耦合, 其中所述第二晶体管管芯包括第二晶体管、第二输入端和第二输出端;

[0050] 在所述第二晶体管管芯与所述第二输出引线之间将第二集成无源装置耦合到所述封装衬底, 其中所述第二集成无源装置包括第一输出电容和第二输出电容, 其中所述第一输出电容包括与所述第二集成无源装置整体形成的一个或多个第一电容器, 并且所述第二输出电容包括与所述第二集成无源装置整体形成的一个或多个第二电容器; 以及

[0051] 通过以双T匹配配置将第一输出电感元件、第二输出电感元件和第三输出电感元件连接到所述第一输出电容和所述第二输出电容来产生耦合于所述第二输出端与所述第二输出引线之间的第二输出匹配网络, 其中所述第一输出电感元件、所述第二输出电感元件和所述第三输出电感元件中的每一个电感元件用键合线实施。

[0052] 本发明的这些和其它方面将根据下文中所描述的实施例显而易见, 且参考这些实施例予以阐明。

附图说明

[0053] 当结合以下附图考虑详细描述和权利要求时, 可以通过参考所述详细描述和权利要求得出对主题的更全面理解, 其中贯穿附图, 类似的附图标记指代类似的元件。

[0054] 图1是根据示例性实施例的放大器装置的示意图;

[0055] 图2-3是根据各个示例性实施例的放大器的电路图;

[0056] 图4是根据示例性实施例的放大器装置的示意图;

[0057] 图5是根据示例性实施例的放大器的电路图;

- [0058] 图6是根据示例实施例的包括多条平行放大路径的RF功率放大器装置的示意图；
- [0059] 图7是根据示例实施例的包括多条平行放大路径的封装RF功率放大器装置的俯视图；
- [0060] 图8是根据示例实施例的包括金属-绝缘体-金属电容器的集成无源装置的示意图；
- [0061] 图9是与示例实施例相关联的阻抗的史密斯圆图 (Smith chart) 表示；
- [0062] 图10A-10D是根据另一个示例实施例的在某个带宽内的示例性放大器性能参数的图形视图；并且
- [0063] 图11是根据示例实施例的用于制造封装RF功率放大器装置的方法的流程图。

具体实施方式

[0064] 本文描述的实施例提供了射频 (RF) 放大器,并在一些实施例中,提供了可以用于高功率RF应用的放大器。具体地说,本文描述的放大器可以以可以促进高频率下和宽带宽内良好性能的方式被实施为包括具有(多个)晶体管并且处于装置封装体内部的一个或多个匹配网络。具体地说,放大器可以用包括以双T匹配配置布置的电感元件和电容元件的匹配网络来实施,其中至少一些电感元件用键合线实施,并且电容元件用集成无源装置 (IPD) 实施。在这种实施方案中,匹配网络的双T匹配配置可以完全实施在封装体内部并且可以为放大器提供高频率、宽带宽性能。

[0065] 现在转到图1,示出了示例性放大器100的一部分的示意图。放大器100包括第一晶体管102、包括双T匹配电路106的第一输出匹配网络104和包括第一输入引线112和第一输出引线114的封装体110。

[0066] 根据本文中描述的实施例,晶体管102与输出匹配网络104一起封装。具体地说,晶体管102形成于晶体管管芯上,并且所述晶体管管芯通常包括用来连接到晶体管102的第一输入端(例如,栅极控制端)和第一输出端(例如,电流传导端)。在一个具体实施例中,晶体管102包括氮化镓 (GaN) 场效应晶体管 (FET),但还可以使用其它晶体管类型。作为更具体的例子,可以使用各种III-V场效应晶体管(例如,高电子迁移率晶体管 (HEMT)),如GaN FET(或另一种类型的III-V晶体管,包括砷化镓 (GaAs) FET、磷化镓 (GaP) FET、磷化铟 (InP) FET或锑化铟 (InSb) FET)。在其它例子中,晶体管102可以用III-V FET或硅基FET(例如,横向扩散金属氧化物半导体 (LDMOS) FET) 来实施。

[0067] 输出匹配网络104包括双T匹配电路106,其中双T匹配电路106包括至少第一输出电感元件、第二输出电感元件、第三输出电感元件、第一输出电容和第二输出电容。根据本文中描述的实施例,第一输出电感元件和第三输出电感元件中的每一个电感元件用装置封装体110内部的键合线来实施,并且第一输出电容和第二输出电容中的每一个输出电容用装置封装体110内部的输出集成无源装置 (IPD) 管芯上的IPD来实施。在这种实施例中,第二输出电感元件可以用装置封装体内部的键合线、用输出IPD管芯上的集成电感器、用离散电感器或用其某种组合来实施。

[0068] 在一些实施例中,用装置封装体110内部的键合线和封装体110内部的IPD管芯上的IPD来实施双T匹配电路106可以有助于提高放大器100中,特别是高功率应用中的高频性能。具体地说,利用装置封装体110内部电感元件和电容元件,双T匹配电路106可以更好

地补偿可能在高频率下发生的本征电容变化。对本征电容的这种改进补偿可以在相对宽的频率带宽内在相对高频率下产生更均匀的输出阻抗。因此,放大器100可以被实施为在相对宽的频率带宽内在相对高频率下提供高功率输出。

[0069] 在一个具体实施例中,晶体管102具有本征寄生漏极-源极电容(C_{DS})。在这种实施例中,输出匹配网络104可以被配置成在约3.1GHz到约3.5GHz的频率范围内或在另一个频率范围内补偿此本征寄生电容 C_{DS} 。当用合适的晶体管102(例如,氮化镓(GaN)场效应晶体管(FET))实施时,放大器100可以因此被实施为在约3.1GHz到约3.5GHz的频率范围内或在另一个频率范围内提供高功率输出。下文将参考图6更详细地讨论这种高功率实施例的一个具体例子。

[0070] 在一个具体实施例中,第一输出电容可以用一个或多个第一金属-绝缘体-金属(MIM)电容器来实施,并且第二输出电容用一个或多个第二MIM电容器来实施。如下文将更详细描述,使用MIM电容器来实施输出匹配网络104中的各种电容可以提供与晶体管102非常接近的所需电容值并且因此可以促进基频下的宽频率带宽。

[0071] 在这些实施例的一个变体中,输出匹配网络104还可以包括被布置为反向键合(bond-back)电路的第四输出电感元件和第三输出电容。在一个实施例中,反向键合电路被配置成以介于基频与二次谐波频率之间频率谐振。这种反向键合电路可以被实施为进一步补偿可能在高频率下发生的本征电容变化。在一个具体实施例中,第四输出电感元件也用装置封装体110内部的键合线来实施,并且第三输出电容用装置封装体110内部的输出IPD管芯上的IPD来实施。

[0072] 在这些实施例的另一个变体中,放大器100还可以被配置成包括输入匹配网络。在这种实施例中,输入匹配网络也可以包括双T匹配电路,其中双T匹配电路包括第一输入电感元件、第二输入电感元件、第三输入电感元件、第一输入电容和第二输入电容。再次,这些电感元件可以用装置封装体110内部的键合线来实施,并且电容元件可以用装置封装体110内部的输入IPD管芯上的IPD来实施。此外,在这种实施例中,第二输入电感元件还可以用输入IPD管芯上的集成电感器来实施。

[0073] 接下来,应当注意,在许多应用中,放大器100可以被实施为包括并联的多个晶体管102,并且所述多个晶体管102可以实施在多条并行放大路径中。下文将参考图6对这种实施方案的例子进行详细描述。在这种实施例中,每条放大路径可以包括至少一个晶体管102和至少一个输出匹配网络104,其中每个输出匹配网络104包括双T匹配电路106。并且再次,这种双T匹配电路106各自可以包括用装置封装体内部的键合线实施的第一输出电感元件、第二输出电感元件和第三输出电感元件。此外,这种双T匹配电路106各自可以包括用装置封装体110内部的一个或多个输出IPD管芯上的IPD来实施的第一输出电容和第二输出电容。

[0074] 最后,应该注意,放大器100是放大器的一部分的简化表示,并且在更典型的实施方案中,放大器100将包括图1中未示出的另外特征。而且,如本文所使用的,术语“封装体”是指结构部件(例如,包括凸缘或其它封装衬底)的集合,主要电气部件(例如,输入引线和输出引线、晶体管管芯、IPD管芯和各种电互连)耦合到所述集合和/或包围在所述集合中。因此,封装体110是可以安装到印刷电路板(PCB)或包括其它装置的其它衬底上的独特装置。作为具体例子,封装体110可以包括具有适合的封装衬底、输入引线和输出引线的空气

腔或包覆模制封装体。

[0075] 现在转到图2,示出了示例性放大器200的电路图表示。在此实施例中,放大器200再次包括晶体管202和输出匹配网络204。在操作期间,放大器200在输入端212处接收输入信号并且通过输出匹配网络204将放大后信号输出到负载端218。在典型的RF应用中,放大后信号将具有基频(f_0)并且将包括多次谐波频率下的信号能量,包括二次谐波($2f_0$)频率和三次谐波($3f_0$)频率下的信号能量。

[0076] 在图2中,晶体管202被建模为电流源220和相关联的电阻和电容。晶体管202的控制端(例如,栅极)耦合到输入端212,第一电流传导端(例如,漏极或源极)耦合到匹配网络204,并且第二电流传导端(例如,源极或漏极)耦合到接地(或另一个电压参考)。此晶体管模型中包括本征输入电容224和本征输出电容222。在典型的场效应晶体管实施方案中,本征输出电容222将表示通常称为 C_{DS} 的漏极-源极电容。在典型的双极性晶体管中,本征输出电容222将是通常称为 C_{CE} 的集电极-发射极电容。

[0077] 应该注意,在高频率下,这种本征输出电容222可能以使用传统技术无法补偿的方式在宽频率带宽内经历显著变化。因此,本征输出电容222的这种变化可能有效阻止传统放大器在这种宽频率带宽内提供均匀输出电容。

[0078] 因此,根据本文描述的实施例,输出匹配网络204包括双T匹配电路206。所示出的双T匹配电路206包括以双T匹配配置布置的第一输出电感元件230、第二输出电感元件232、第三输出电感元件234、第一输出电容236和第二输出电容238。第一输出电感元件230和第三输出电感元件234中的每一个电感元件可以用装置封装体内部的键合线来实施,并且第一输出电容236和第二输出电容238中的每一个输出电容可以用安装在装置封装体内部的输出IPD管芯上的一个或多个IPD来实施。在一个具体实施例中,第一输出电容236可以用一个或多个第一金属-绝缘体-金属(MIM)电容器来实施,并且第二输出电容238可以用一个或多个第二MIM电容器来实施。此外,在这种实施例中,第二输出电感元件232可以用装置封装体内部的键合线、用集成电感器(例如,在输出IPD管芯中或上)或用其某种组合来实施。

[0079] 如上所述,用装置封装体内部的键合线和封装体内部的IPD管芯上的IPD来实施双T匹配电路206可以有助于提高放大器200中,特别是高功率应用中的高频性能。具体地说,利用装置封装体内部的电感元件和电容元件,双T匹配电路206可以更好地补偿可能在高频率下发生的本征输出电容222的变化。对本征输出电容222的这种改进补偿可以在相对宽的频率带宽内在相对高频率下产生更均匀的输出阻抗。

[0080] 如上所述,在一些实施例中,可以将反向键合电路包括在输出匹配网络中。现在转到图3,示出了另一个示例性放大器300的电路图表示。在此所示实施例中,放大器300包括晶体管202和输出匹配网络304。

[0081] 根据本文描述的实施例,输出匹配网络304再次包括双T匹配电路206。然而,在此实施例中,输出匹配网络304另外包括反向键合电路340。具体地说,反向键合电路340包括以反向键合配置(例如,从输出引线引线键合回到封装体中)布置的第四输出电感元件342和第三输出电容344。在这种实施例中,第四输出电感元件342也可以用装置封装体内部的键合线来实施。同样,第三输出电容344也可以用安装在装置封装体内部的输出IPD管芯上的一个或多个IPD来实施。在一个具体实施例中,第三输出电容344可以用一个或多个第一MIM电容器来实施。

[0082] 在一个实施例中,第四输出电感元件342和第三输出电容344可以用被选择为远离基频且在高于基频但低于二次谐波频率的频率下谐振的值来实施。

[0083] 当这样实施时,反向键合电路340可以提高放大器200在期望频率带宽的上端中的频率下的输出阻抗。

[0084] 使用利用具有晶体管202的装置封装体内部的键合线和IPD来实施的双T匹配电路206和反向键合电路340,输出匹配网络304可以有助于提高放大器200中,特别是高功率应用中的高频性能。具体地说,利用装置封装体内部电感元件和电容元件,双T匹配电路206和反向键合电路340一起可以更好地补偿可能在高频率下发生的本征输出电容222的变化。

[0085] 如上所述,在一些实施例中,放大器还可以被配置成包括输入匹配网络,并且这种输入匹配网络也可以包括双T匹配电路。现在转到图4,示出了示例性放大器400的一部分的示意图。放大器400包括第一晶体管102、包括双T匹配电路106的第一输出匹配网络104、包括双T匹配电路406的第一输入匹配网络404以及包括第一输入引线112和第一输出引线114的封装体110。

[0086] 在此所示实施例中,晶体管102与输出匹配网络104和输入匹配网络404二者一起封装。晶体管102再次形成于晶体管管芯上,并且所述晶体管管芯再次通常包括第一输入(例如,控制)端和第一输出(例如,电流传导)端。输出匹配网络104耦合到放大器晶体管102的第一输出端,并且输入匹配网络404耦合到第一输入端。

[0087] 输入匹配网络404和输出匹配网络104二者均包括双T匹配电路106、406。如上所述,每个双T匹配电路106、406包括第一电感元件、第二电感元件、第三电感元件、第一电容和第二电容。此外,第一电感元件和第三电感元件中的每一个电感元件用装置封装体110内部的键合线来实施,并且第一电容和第二电容中的每一个电容用装置封装体110内部的一个或多个IPD管芯上的IPD来实施。在一个具体实施例中,第一电容可以用一个或多个第一MIM电容器来实施,并且第二电容可以用一个或多个第二MIM电容器来实施。在这种实施例中,第二电感元件也可以用装置封装体内部的键合线、用集成电感器(例如,在IPD管芯上)或用其某种组合来实施。

[0088] 对输入匹配网络404的添加可以进一步促进放大器400中,特别是高功率应用中的高频性能。具体地说,对输入匹配网络404的添加可以补偿晶体管102的输入处的本征电容。对本征输入电容的这种补偿因此也可以促进相对高频率下的相对宽频率带宽。

[0089] 现在转到图5,示出了示例性放大器500的电路图表示。在此实施例中,放大器500包括晶体管202、输入匹配网络504和输出匹配网络204。在操作期间,放大器200在输入端212处接收输入信号,并且通过输出匹配网络204将放大后信号输出到负载端218。

[0090] 在图5中,晶体管202再次被建模为电流源220和相关联的电阻和电容。晶体管模型中包括本征输出电容222和本征输入电容224。在典型的场效应晶体管实施方案中,本征输出电容224将是通常称为 C_{GS} 的栅极-源极电容。在典型的双极性晶体管中,本征输入电容224将是通常称为 C_{BE} 的基极-发射极电容。应该注意,在高频率下,这种本征输入电容224可能以使用传统匹配技术无法补偿的方式在期望频带内经历显著变化。

[0091] 因此,根据本文描述的实施例,输入匹配网络504包括双T匹配电路506。具体地说,双T匹配电路506包括以双T匹配配置布置的第一输入电感元件530、第二输入电感元件532、第三输入电感元件534、第一输入电容536和第二输入电容538。第一输入电感元件530和第

三输入电感元件534中的每一个电感元件可以用装置封装体内部的键合线来实施,并且第一输入电容536和第二输入电容538中的每一个输入电容可以用安装在装置封装体内部的输入IPD管芯上的一个或多个IPD来实施。在一个具体实施例中,第一输入电容536可以用一个或多个第一MIM电容器来实施,并且第二输入电容538可以用一个或多个第二MIM电容器来实施。在这种实施例中,输入电感元件532可以用装置封装体内部的键合线、用集成电感器(例如,在输入IPD管芯上)或用其某种组合来实施。

[0092] 现在转到图6,示出了根据示例性实施例的放大器600的示意图。在这个例子中,放大器600包括封装体610、四个场效应晶体管(FET)602、四个输出匹配网络604、四个输入匹配网络605、两条输入引线612以及两条输出引线614。在这个例子中,放大器600实施两条放大路径,其中每条放大路径包括全部一起包围在一个封装体610中的两个输入匹配网络605、两个FET 602和两个输出匹配网络604。例如,封装体610可以包括连接各种FET管芯和IPD的衬底(例如,稍后描述的衬底708,如铜凸缘或具有充当接地平面的导电顶表面的其它衬底)以及与衬底电隔离并且电连接到包含在封装体610内的电路系统的导电引线。封装体可以是空气腔封装体或塑料包封(包覆模制)的封装体。

[0093] 根据本文中描述的实施例,输入匹配网络605和输出匹配网络604中的每一个匹配网络被实施为包括双T匹配电路。每个输出匹配网络604和每个输入匹配网络605的双T匹配电路可以包括第一电感元件、第二电感元件、第三电感元件、第一电容和第二电容。并且如上所述,第一电感元件、第二电感元件和第三电感元件中的每一个电感元件可以用装置封装体610内部的键合线来实施,并且第一电容和第二电容中的每一个电容用装置封装体610内部的IPD管芯上的IPD来实施。

[0094] 这种实施方案可以为放大器600提供高功率RF放大器能力。作为一个例子,当用合适的FET实施时,每条放大路径可以提供高达420W(瓦特)的功率。此外,当所述两条放大路径组合在一起(例如,用输入处的封装体外分离器和输出处的封装体外组合器)时,在考虑封装体外组合器的损失后,放大器700可以驱动750W的功率。

[0095] 应该注意,图6中示出的放大器600只是一个例子,并且许多其它装置实施方案是可能的。例如,其它放大器可以包括或更多或更少的放大路径、晶体管和匹配网络。

[0096] 现在转到图7,示出了根据示例性实施例的放大器700的一部分的俯视图。在这个例子中,放大器700再次包括两条放大路径,其中每条放大路径包括全部一起包围在一个封装体702内的两个输入匹配网络、两个晶体管和两个输出匹配网络。

[0097] 封装体702包括输入引线704、输出引线706和封装衬底708。封装衬底708可以是安装半导体管芯和其它装置的凸缘、引线框架的一部分或另一个合适衬底(例如,PCB)。在典型的实施例中,封装衬底708的至少顶表面由导电材料形成,并且在一些实施例中,整个封装衬底708由块状导电材料形成。除了提供安装位置之外,封装衬底708还可以为半导体装置提供电接地参考。最后,在一些实施例中,封装衬底708还可以为各种半导体装置提供散热器。

[0098] 封装体702还可以包括隔离结构,所述隔离结构附接到封装衬底708的顶表面并且将封装衬底708与引线704和706电隔离。隔离结构可以具有基本上矩形的形状或可以具有另一适合的形状(例如,环形、椭圆形等)。可替换的是,在一些实施例中,封装体702可以包括包封材料,所述包封材料替代地在封装衬底708与引线704和706之间提供这种电隔离。

[0099] 输入引线704和输出引线706通常在封装体的相反侧上安装在隔离结构的顶表面上。因此,输入引线704和输出引线706升高到封装衬底708的顶表面上方并且与封装衬底708电隔离。通常,输入引线704和输出引线706被朝向为允许将键合线阵列734、735、742附接在输入引线704和输出引线706与封装体702内的元件之间。

[0100] 在此所示实施例中,多个半导体装置安装到封装衬底708,其中这些半导体装置包括输入IPD管芯712、晶体管管芯710和输出IPD管芯714。例如,这些各种管芯可以使用导电环氧树脂、焊料、焊料凸块、烧结和/或共晶键耦合到封装衬底708的顶表面。

[0101] 每个晶体管管芯710是包括一个或多个晶体管(例如,晶体管102、202、602)的半导体管芯。例如,每个晶体管管芯710可以包括集成功率FET,其中每个FET具有控制端(例如,栅极)和两个电流传导端(例如,漏极和源极)。每个晶体管管芯710内的FET的控制端可以通过输入匹配网络(例如,输入匹配网络404、504、605)耦合到输入引线704。另外,每个晶体管管芯710内的FET的一个电流传导端(例如,漏极)通过输出匹配网络(例如,输出匹配网络104、204、304、604)耦合到输出引线706。每个晶体管管芯710内的FET的另一个电流传导端(例如,源极)可以通过管芯耦合到封装衬底708(例如,到接地)。

[0102] 如上所述,每个输入IPD管芯712包括实施输入匹配网络的电容(例如,输入匹配网络504的第一输入电容536和/或第二输入电容538)的集成电容器。作为一个具体例子,输入匹配网络的电容中的每一个电容可以用整体形成于输入IPD管芯712中的一个或多个MIM电容器来实施。最后,每个输出IPD管芯714包括实施输出匹配网络的电容(例如,输出匹配网络304的第一输出电容236、第二输出电容238和/或第三输出电容344)的集成电容器。再次,作为一个具体例子,输出匹配网络的电容中的每一个电容可以用整体形成于输出IPD管芯714中的一个或多个MIM电容器来实施。

[0103] 此外,在一些实施例中,输入IPD管芯712还包括一个或多个集成电感器。同样,在一些实施例中,输出IPD管芯714也包括一个或多个集成电感器。在这种实施例中,第二输入电感元件和/或第二输出电感元件各自可以全部或部分地用相关联IPD管芯712、714上的集成电感器来实施。

[0104] 放大器700中还包括分别与电感530、230、532、232、534、234和342相对应的各种键合线阵列730、731、732、733、734、735、742。键合线阵列730、731、732、733、734、735、742中的每一个键合线阵列包括一条或多条紧密间隔的平行键合线,所述平行键合线连接到管芯和其它元件上的适当引线、端、焊盘或其它连接特征。例如,键合线阵列734用于在输入IPD管芯712与输出引线704之间提供电连接,键合线阵列730用于在输入IPD管芯712与晶体管管芯710的控制端之间提供电连接,键合线阵列731用于在输出IPD管芯714与晶体管管芯710的电流传导端之间提供电连接,并且键合线阵列735用于在输出IPD管芯714与输出引线706之间提供电连接。最后,键合线阵列732和733可以在处于同一管芯上的元件之间,如在处于输入IPD管芯712和输出IPD管芯714上的集成无源装置(例如,MIM电容器)之间提供电连接。

[0105] 此外,键合线阵列730-735、742中的全部或部分键合线阵列可以用于实施匹配网络的各种电感元件。例如,键合线阵列730、732、734可以用于实施输入匹配网络的电感元件(例如,输入匹配网络504的第一输入电感元件530、第二输入电感元件532、第三输入电感元件534)。同样,键合线阵列731、733、735、742可以用于实施输出匹配网络的电感元件(例如,输出匹配网络204、304的第一输出电感元件230、第二输出电感元件232、第三输出电感

元件234和第四输出电感元件342)。

[0106] 应该注意,键合线的数量和布置将基于功率处理要求和键合线的期望电感来选择。因此,对于需要更多功率处理能力的连接,可以提供更多键合线。另外,尽管晶体管被示出为处于四个单独的晶体管管芯710上,但替代性实施例可以具有在单个晶体管管芯710上实施的多个晶体管。另外,每个“晶体管”可以对应于单级放大器(即,包括单个功率晶体管)或多级放大器(例如,具有与末级放大器(末级晶体管)串联连接的驱动放大器(驱动晶体管)的两级放大器)。

[0107] 图7中未示出封装体702的将元件包围在内部的盖或帽。如上所述,封装体702可以用各种封装体类型来实施,包括空气腔封装体和包覆模制封装体。一般而言,在空气腔封装体中,各种其它部件定位在封闭的空气腔内。此空气腔由封装衬底708、隔离结构和覆盖隔离结构和引线704和706并与其接触的帽盖(未示出)界定。类似地,在包覆模制封装体中,封装体内的各种部件用非导电模制化合物包封。

[0108] 最后,应该注意,图7中示出的放大器700只是一个例子,并且许多其它封装装置实施方案是可能的。例如,其它放大器可以在封装体702内包括更多或更少的放大路径。其它放大器可以在封装体702内包括更多或更少的晶体管管芯710和IPD 712、714。其它放大器封装体702还可以包括更多或更少的引线,包括用于耦合到外部偏置电路的偏置引线。

[0109] 如上所述,在各个实施例中,输入匹配网络和输出匹配网络的电容可以用被称为金属-绝缘体-金属(MIM)电容器的一种类型的集成无源装置来实施。通常,MIM电容器是由半导体衬底上的图案化导电层和介电层形成的集成电容器。导电层的对应于电极的部分彼此对齐并通过介电层彼此分离(电气且物理地分离)。具体地说,导电电极由堆积结构的导电层的图案化部分形成,其中堆积结构包括交替的介电层和导电层。每个电极可以包括单个导电层或多个导电层的一部分,其中单个电极的导电层的图案化部分可以使用导电过孔进行电连接,并且两个电极的导电层以交替布置彼此交织。MIM电容器提供的电容的量因此可以由导电层(电极)的图案化大小和形状、中间介电层的介电常数和厚度以及电连接在一起以形成每个电容器电极的导电层的数量决定。此外,在典型的实施例中,将在IPD管芯上形成多个MIM电容器,并且那些MIM电容器的所选子集电耦合在一起以提供具有期望电容值的电容元件。因此,上文描述的各种输入匹配电容和输出匹配电容(例如,输入匹配网络504的第一输入电容536、第二输入电容538以及输出匹配网络304的第一输出电容236、第二输出电容238和第三输出电容344)各自可以用电连接在一起以提供期望电容值的一个或多个MIM电容器来实施。

[0110] 现在转到图8,示出了集成无源装置(IPD)管芯802的俯视图。IPD管芯802包括以堆积结构整体形成于半导体衬底(例如,硅、绝缘体上硅、氮化镓、砷化镓或其它半导体衬底)上的MIM电容器804、806、808、810和812。这些MIM电容器中的每一个MIM电容器是由图案化的交替导电层和介电层制成的集成装置,其中导电层组对应于每个MIM电容器的第一电极和第二电极。MIM电容器804、806、808、810和812的第一电极电连接到暴露于IPD管芯802的顶表面处的导电焊盘(例如,以便连接到键合线阵列730-735、742),并且MIM电容器804、806、808、810和812的第二电极电连接到IPD管芯802的底表面(例如,以便与如封装衬底708的表面等接地参考连接)。此外,每个MIM电容器804、806、808、810和812包括可以用于精确调整电容值的单元814。因此,每个MIM电容器804、806、808、810和812的电容可以通过连接

到所选单元814而精确地调整为期望值。另外,多个MIM电容器804、806、808、810和812可以组合以提供一个电容值。

[0111] 例如,在一个实施例中,输入匹配网络504的第一输入电容536可以用MIM电容器804来实施。同样,第二输入电容538可以用MIM电容器506来实施。类似地,在单独的IPD中,输出匹配网络304的第一输出电容236可以用MIM电容器804来实施。同样,第二输出电容238可以用MIM电容器806来实施。最后,第三输出电容344可以用MIM电容器808、810和/或812中的一个或多个MIM电容器来实施。当然,这只是一个例子,并且其它实施方案是可能的。

[0112] 如上所述,本文描述的放大器(例如,放大器100、200、300、400、500、600和700)可以被实施为在具有晶体管的装置封装体中包括一个或多个匹配网络。在装置封装体内部实施这些匹配网络可以促进高操作频率下和宽频率宽带内的相对高功率和高效率。为了用以双T匹配配置布置的电感元件和电容元件实施这些匹配网络,可以选择个别电感元件和电容元件的值,以提供期望的输入和/或输出阻抗。另外,可以选择个别电感元件和电容元件的值,以向放大器提供期望带宽和Q因子。可以选择各种电路设计技术和工具以基于期望的性能特性确定个别电感元件和电容元件的值。

[0113] 现将参考图9中示出的史密斯圆图900讨论用于确定电感元件和电容元件的适当值的技术的一个具体例子。然而,应该注意,史密斯圆图只是用于示出电感元件和电容元件的阻抗效应的工具,并且在多数应用中,将使用用于建模和确定电路值的计算机辅助技术,并且对史密斯圆图的使用因此仅仅代表所涉及的概念并且是完全任选的。

[0114] 通常,这种技术以晶体管在电流传导端(例如,漏极)处的预测输出阻抗和最终装置的基于带宽要求的期望Q因子开始。在史密斯圆图900中,点902表示典型的合适GaN FET晶体管(例如,晶体管202)的示例性预测输出阻抗。

[0115] 以这种晶体管的预测输出阻抗开始,通过以下调整输出阻抗匹配网络的第一电感元件(例如,网络204的电感器230)的电感值:选择性地增加和减小所述值,直到史密斯圆图上的所得阻抗满足提供期望质量值(Q)的值。在史密斯圆图900中,Q曲线914表示示例性Q值1.7,并且点904表示满足Q曲线914的上半部分的示例性所得阻抗。

[0116] 接下来,通过以下调整输出阻抗匹配网络的第一电容元件(例如,网络204的电容器236)的电容值:增加和减小所述值,直到史密斯圆图上的所得阻抗返回到水平实阻抗线附近。这将造成阻抗在此节点处增加到更高的值。在史密斯圆图900中,点906表示从约2.6ohm到约10ohm的示例性所得阻抗增加。

[0117] 接下来,通过以下调整输出阻抗匹配网络的第二电感元件(例如,网络204的电感器232)的电感值:增加和减小所述值,直到史密斯圆图上的所得阻抗再次满足期望Q值。在史密斯圆图900中,点908表示Q曲线914的上半部分上的示例性所得阻抗。然而,应该注意,在一些情况下,可能期望将第二输出阻抗配置成使所得阻抗移动较小的量。具体地说,在这种实施例中减少第二输出电感的影响可以在一些实施方案中提供较高的带宽。例如,相反可以选择第二输出阻抗,以提供这样的所得阻抗:所述所得阻抗提供等于1.0而非1.7的Q值。

[0118] 接下来,通过以下调整输出阻抗匹配网络的第二电容元件(例如,网络204的电容器238)的电容值:增加和减小所述值,直到史密斯圆图上的所得阻抗再次返回到水平实阻抗线附近。这将再次造成阻抗增加到更高的值。在史密斯圆图900中,点910表示从约10ohm

增加到约40ohm的示例性所得阻抗。

[0119] 接下来,通过以下调整输出阻抗匹配网络的第三电感元件(例如,网络204的电感器234)的电感值:增加和减小所述值,直到史密斯圆图上的所得阻抗满足期望值。通常,第三输出电感值将会相对较小,并且因此史密斯圆图上的阻抗将移动相对小的量。在史密斯圆图900中,点912表示示例性所得小阻抗增加。

[0120] 接下来,可以计算反向键合电路的第四输出电感值和第三输出电容值,以提供以略微低于二次谐波频率的频率进行谐振的电感器/电容器(LC)谐振电路。

[0121] 此过程的结果是确定双T匹配电路中的元件的在高频率下且在宽频率宽带内提供期望输出阻抗并且有效补偿本征电容的电感值和电容值。

[0122] 应该注意,可以使用类似过程来选择用于实施输入匹配网络(例如,输入匹配网络504)的电感值和电容值。

[0123] 现在转到图10A、10B、10C和10D,示出了根据本文中描述的实施例的放大器的示例操作参数。具体地说,在这个例子中,示例性放大器如图6所示那样实施,并且因此包括布置在两条放大路径中的四个FET。

[0124] 具体地说,现在转到图10A,曲线图1000示出了根据此实施例的放大器的示例性负载阻抗。具体地说,曲线图1000显示,具有以双T匹配配置布置的电感元件和电容元件的匹配网络可以补偿本征寄生电容 C_{DS} 的变化以提供介于约3.1GHz到约3.5GHz之间的基本上均匀的实负载阻抗。

[0125] 现在转到图10B,曲线图1010示出了根据此实施例的放大器的示例性输出功率(以瓦特为单位)。具体地说,曲线图1010显示,这种放大器可以在介于约3.1GHz到约3.5GHz之间的频率下提供约650瓦特到750瓦特的输出功率。

[0126] 现在转到图10C,曲线图1020示出了根据此实施例的放大器的示例性效率(以百分比计)。具体地说,曲线图1020显示,放大器可以在介于约3.1GHz到约3.5GHz之间的频率下提供约60%的效率。

[0127] 现在转到图10D,曲线图1030示出了根据此实施例的放大器的示例性增益(以分贝(dB)为单位)。具体地说,曲线图1030显示,放大器可以在介于约3.1GHz到约3.5GHz之间的频率下提供约12dB的增益。

[0128] 因此,图10A、10B、10C和10D中示出的例子显示,示例性放大器可以在约3.1GHz到约3.5GHz的频率宽度内操作时提供高达750W的功率输出连同12dB的增益以及高于60%的增益。然而,应该注意,这只是一个例子,并且本文中描述的实施例的其它实施方案可能不满足这些装置参数中的任何或全部参数。

[0129] 现在转到图11,流程图示出了用于制造包括输出匹配网络(例如,输出匹配网络104)的封装RF功率放大器装置(例如,图1的放大器100)的方法1100。输出匹配网络被实施为包括双T匹配电路(例如,双T匹配电路106)中的电感元件和电容元件,其中所述电感元件中的至少一些电感元件(例如,电感元件230、234)用键合线(例如,键合线阵列731、735)实施,其它电感元件(例如,电感元件232)用键合线或集成电感(例如,集成在IPD管芯714、802中)实施,并且电容元件用集成电容器(例如,IPD管芯714、802中的MIM电容器804、806、808、810和820)实施。在这种实施方案中,匹配网络的双T匹配配置可以完全实施在封装体内部,并且可以在高频率下且在相对宽的带宽内为放大器提供良好性能。

[0130] 方法1100可以在框1102中通过提供具有封装衬底、输入引线和输出引线的封装体(例如,封装体702、封装衬底708、输入引线704、输出引线706)开始。在框1104中,将第一晶体管管芯(例如,晶体管管芯710)耦合到装置封装体。这种耦合可以通过以下实现:举非限制性的例子,使用导电环氧树脂、焊料、焊料凸块、烧结和/或共晶键将晶体管管芯粘附到封装衬底(例如,封装衬底708)。

[0131] 在框1106中,在晶体管管芯与输出引线之间将集成无源装置管芯(例如,输出IPD管芯714)耦合到装置衬底。如上所述,输出IPD管芯包括集成无源装置,如集成MIM电容器(例如,MIM电容器804、806、808、810和820)。

[0132] 在框1108中,通过以T匹配配置连接电感元件和电容元件来产生输出匹配网络。如上所述,可以使用引线键合(例如,引线键合阵列731、735)在集成电容元件、晶体管和封装体引线之间提供电连接。当这样实施时,这些引线键合还提供双T匹配电路(例如,双T匹配网络106)的电感元件中的至少一些电感元件。具体地说,引线键合被实施为提供至少第一输出电感元件和第三输出电感元件(例如,第一输出电感元件230和第三输出电感元件234)。此外,在一些实施例中,引线键合被实施为提供第二输出电感元件(例如,第二输出电感元件232),但是也可以使用IPD中的集成电感器提供第二输出电感元件。最后,引线键合连接到第一输出电容和第二输出电容(例如,第一输出电容236、第二输出电容238)以将输出阻抗匹配网络配置成双T匹配配置。

[0133] 在框1110中,对装置进行加盖(例如,对于空气腔封装体)或包封(例如,对于包覆模制封装体,用模制化合物)。然后,可以将所得封装放大器装置结合到较大电气系统中。

[0134] 应该注意,方法1100可以扩展为还在放大器中提供输入匹配网络(例如,输入匹配网络504)。在这种实施例中,框1106和1108将被重复,以将输入IPD管芯(例如,输入IPD管芯712)耦合到封装衬底(例如,封装衬底708)并且用键合线和IPD管芯上的集成电容器产生输入匹配网络。

[0135] 各个实施例结合了基于与反向键合线拓扑结构组合的双T匹配的内部输出负载阻抗匹配配置以跨频带(例如,3.1-3.5GHz操作,或跨其它频带)补偿晶体管装置(例如,GaN装置)内部 C_{DS} 寄生电容器。独特的IPD布局设计促进所述技术的实施。此外,实施例包括具有用于宽带输入匹配的双T匹配拓扑结构的输入匹配电路。

[0136] 在高频操作中,各个实施例有助于实现FET内部匹配网络特有的带通滤波器。此外,在微波和毫米波频率操作中,各个实施例的引线键合电感器充当具有以T匹配配置实施的IPD并联电容器的组合的串联谐振器。可以添加多个T匹配部分以实现宽带宽响应。匹配滤波网络极点和零点可以独立设置。例如,第一零点可以设置为低于频带的下端(例如,低于3GHz),并且第二零点可以设置为高于频带的上端(例如,高于3.5GHz),而谐振极点可以每期望频带地选择。反向键合键合线(例如,键合线742)可以被配置成与连接所述键合线的并联电容器(例如,电容器344)以接近操作基频的二次谐波的频率进行谐振,这可以有助于提高频带的上端处的阻抗。

[0137] 各个实施例包括芯片级的低Q匹配变换拓扑结构的阶梯阻抗以跨频带放大并实现接近均匀的恒定负载阻抗。此外,反向键合键合线(例如,对应于电感342的键合线742)还可以有助于提高频带的较高端处(例如,3.5GHz或更多处)的阻抗。此外,输入IPD管芯和输出IPD管芯(例如,IPD管芯712、714、802)的独特布局基于每期望带宽的多段式匹配网络以阶

跃变换实现宽带均匀负载抗阻的放大。IPD管芯有助于在紧凑封装体中实施设计概念。

[0138] 关于晶体管管芯,已经观察到,当与常规的硅基LDMOS晶体管相比时,由于GaN晶体管的低本征漏极-源极电容、每单位面积的高功率密度和高频率操作,所以GaN技术本质上具有宽带特性。本发明的实施例有助于在宽带范围内呈现均匀的恒定ZL负载阻抗以便潜在地实现最大功率、增益和漏极效率性能。

[0139] 由于用本发明的实施例克服的之前的技术限制,所以多段式L匹配、 π 匹配或T匹配网络拓扑结构的装置级实施方案(例如,封装装置内的实施方案,如放大器700)尚未用于在非常高的频率(例如,高于3GHz的频率)下进行高功率设计内部匹配。此外,本发明的实施例补偿了连接到晶体管管芯的物理元件在高频率(例如,高于3GHz的频率)下展现出的高寄生效应,所述寄生效应可能以其它方式跨频带产生可变负载阻抗并且在史密斯圆图上绘制出大轨迹。

[0140] 在一个实施例中,提供了一种放大器,所述放大器包括:装置封装体,所述装置封装体包括至少第一输出引线和至少第一输入引线,所述装置封装体包围以下:第一晶体管管芯,其中所述第一晶体管管芯包括第一晶体管、第一输入端和第一输出端;以及第一输出匹配网络,所述第一输出匹配网络耦合在所述第一输出端与所述第一输出引线之间,所述第一输出匹配网络包括以双T匹配配置布置的第一输出电感元件、第二输出电感元件、第三输出电感元件、第一输出电容和第二输出电容,其中所述第一输出电感元件和所述第三输出电感元件中的每一个电感元件用所述装置封装体内部的键合线实施,并且其中所述第一输出电容和所述第二输出电容用所述装置封装体内部的输出集成无源装置(IPD)管芯上的IPD实施。

[0141] 在另一个实施例中,提供了一种封装RF放大器,所述封装RF放大器包括:封装衬底;第一输入引线,所述第一输入引线耦合到所述封装衬底;第一输出引线,所述第一输出引线耦合到所述封装衬底;第一晶体管管芯,所述第一晶体管管芯耦合到所述封装衬底,其中所述第一晶体管管芯包括第一晶体管、第一输入端和第一输出端;第一输入匹配网络,所述第一输入匹配网络耦合在所述第一输入引线与所述第一输入端之间,所述第一输入匹配网络包括:以双T匹配配置布置的第一输入电感元件、第二输入电感元件、第三输入电感元件、第一输入电容和第二输入电容,其中所述第一输入电感元件、所述第二输入电感元件和所述第三输入电感元件中的每一个电感元件用键合线实施,并且其中所述第一电容和所述第二电容用在耦合到所述封装衬底的输入集成无源装置(IPD)管芯上形成的集成金属-绝缘体-金属(MIM)电容器实施;以及第一输出匹配网络,所述第一输出匹配网络耦合在所述第一输出端与所述第一输出引线之间,所述第一输出匹配网络包括:以双T匹配配置布置的第一输出电感元件、第二输出电感元件、第三输出电感元件、第一输出电容和第二输出电容,其中所述第一输出电感元件、所述第二输出电感元件和所述第三输出电感元件中的每一个电感元件用键合线实施,并且其中所述第一输出电容和所述第二输出电容用在耦合到所述封装衬底的输出集成无源装置(IPD)管芯上形成的集成金属-绝缘体-金属(MIM)电容器实施。

[0142] 在另一个实施例中,提供了一种制造射频(RF)放大器装置的方法,所述方法包括以下步骤:将第一输入引线耦合到封装衬底;将第一输出引线耦合到所述封装衬底;将耦合到所述封装衬底的第一晶体管管芯耦合,其中所述第一晶体管管芯包括第一晶体管、第一

输入端和第一输出端；在所述晶体管管芯与所述第一输出引线之间将集成无源装置耦合到所述封装衬底，其中所述集成无源装置包括第一输出电容和第二输出电容，其中所述第一输出电容包括与所述集成无源装置整体形成的一个或多个第一电容器，并且所述第二输出电容包括与所述集成无源装置整体形成的一个或多个第二电容器；以及通过以双T匹配配置将第一输出电感元件、第二输出电感元件和第三输出电感元件连接到所述第一输出电容和所述第二输出电容来产生耦合于所述第一输出端与所述第一输出引线之间的输出匹配网络，其中所述第一输出电感元件和所述第三输出电感元件中的每一个电感元件用键合线实施。

[0143] 以上详细描述在本质上仅仅是说明性的并且不旨在限制主题的实施例或这种实施例的应用和用途。如本文所使用的，词语“示例性”意指“充当例子、实例或说明”。本文中描述为示例性的任何实施方案不必解释为优于或胜过其它实施方案。此外，意图不在于受约束于先前的技术领域、背景技术和详细描述中呈现的任何所表示或所暗示的理论。

[0144] 本文中所包含的各个附图中所示的连接线旨在表示各个元件之间的示例性功能关系和/或物理耦合。应注意，本主题的实施例中可以存在许多替代性或另外的功能关系或物理连接。此外，某些术语在本文中还可以仅供参考使用并且因此不旨在是限制性的，并且术语“第一”、“第二”和提及结构的其它这种数值术语并不暗示序列或顺序，除非上下文清楚地指出。

[0145] 如本文所用，“节点”是指存在给定信号、逻辑电平、电压、数据模式、电流或量的任何内部或外部参考点、连接点、结、信号线、导电元件等。此外，可以通过一个物理元件实现两个或更多个节点（并且可以多路复用、调制或以其它方式区分两个或更多个信号，即使是所述信号是在共同节点处接收到或输出的）。

[0146] 前面的描述是指元件或节点或特征“连接”或“耦合”在一起。如本文中所使用的，除非另外明确说明，否则“连接”意味着一个元件直接地并且不一定是机械地接合到另一个元件（或与另一个元件直接连通）。同样，除非另有明确说明，否则“耦合”意指一个元件直接或间接地并且不一定是机械地接合到另一个元件（或与另一个元件直接或间接连通）。因此，尽管附图中所示的示意图描绘了元件的一种示例性布置，但是在所描绘主题的实施例中可以存在另外的中间元件、装置、特征或部件。

[0147] 虽然前面的详细描述中已经呈现了至少一个示例性实施例，但是应理解的是，存在大量变体。还应理解的是，本文所描述的一个或多个示例性实施例不旨在以任何方式限制所请求保护的主题的范围、适用性或配置。相反，前面的详细描述将为所属领域的技术人员提供用于实施一个或多个所描述实施例的便捷路线图。应当理解的是，在不脱离由权利要求限定的范围的情况下，可以对元件的功能和布置作出各种改变，所述改变包括在提交本专利申请时已知的等效物或可预见的等效物。

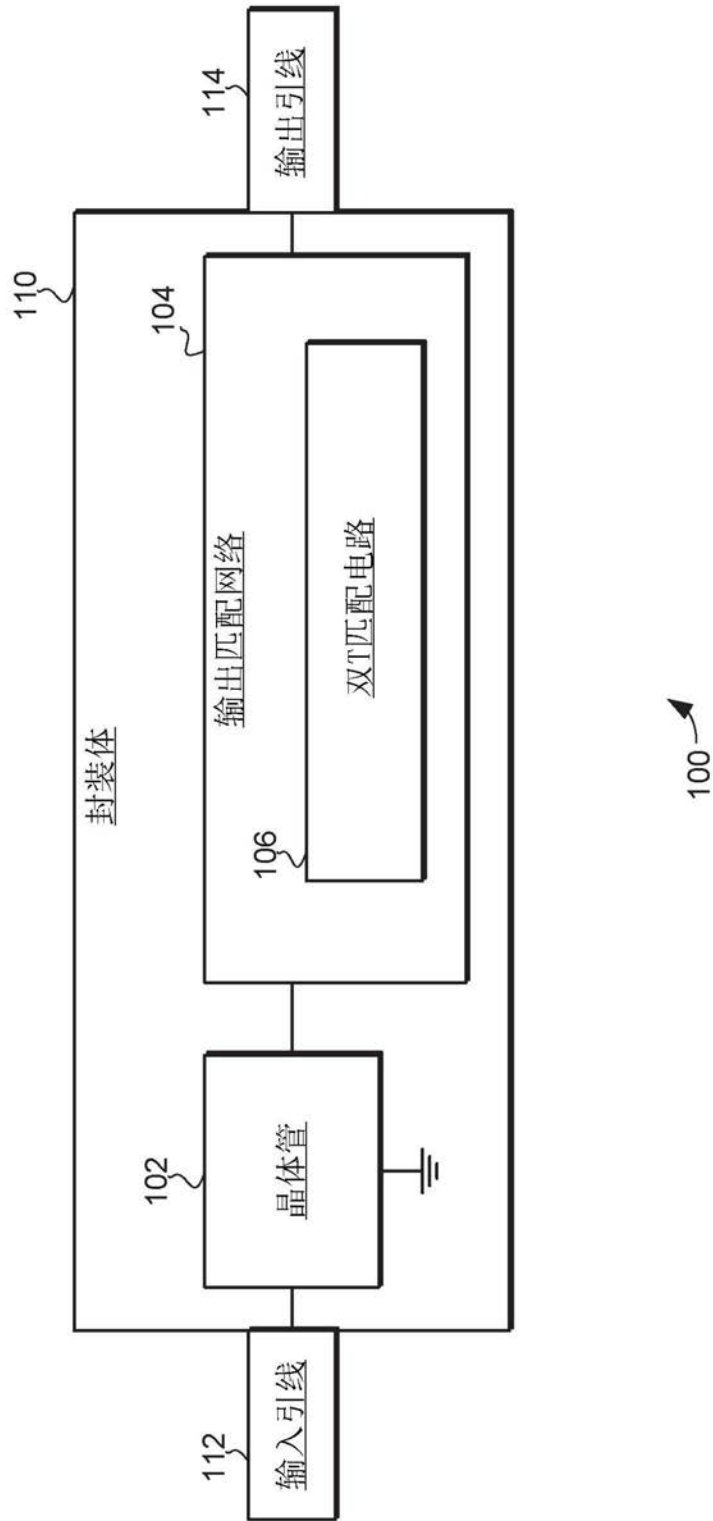


图1

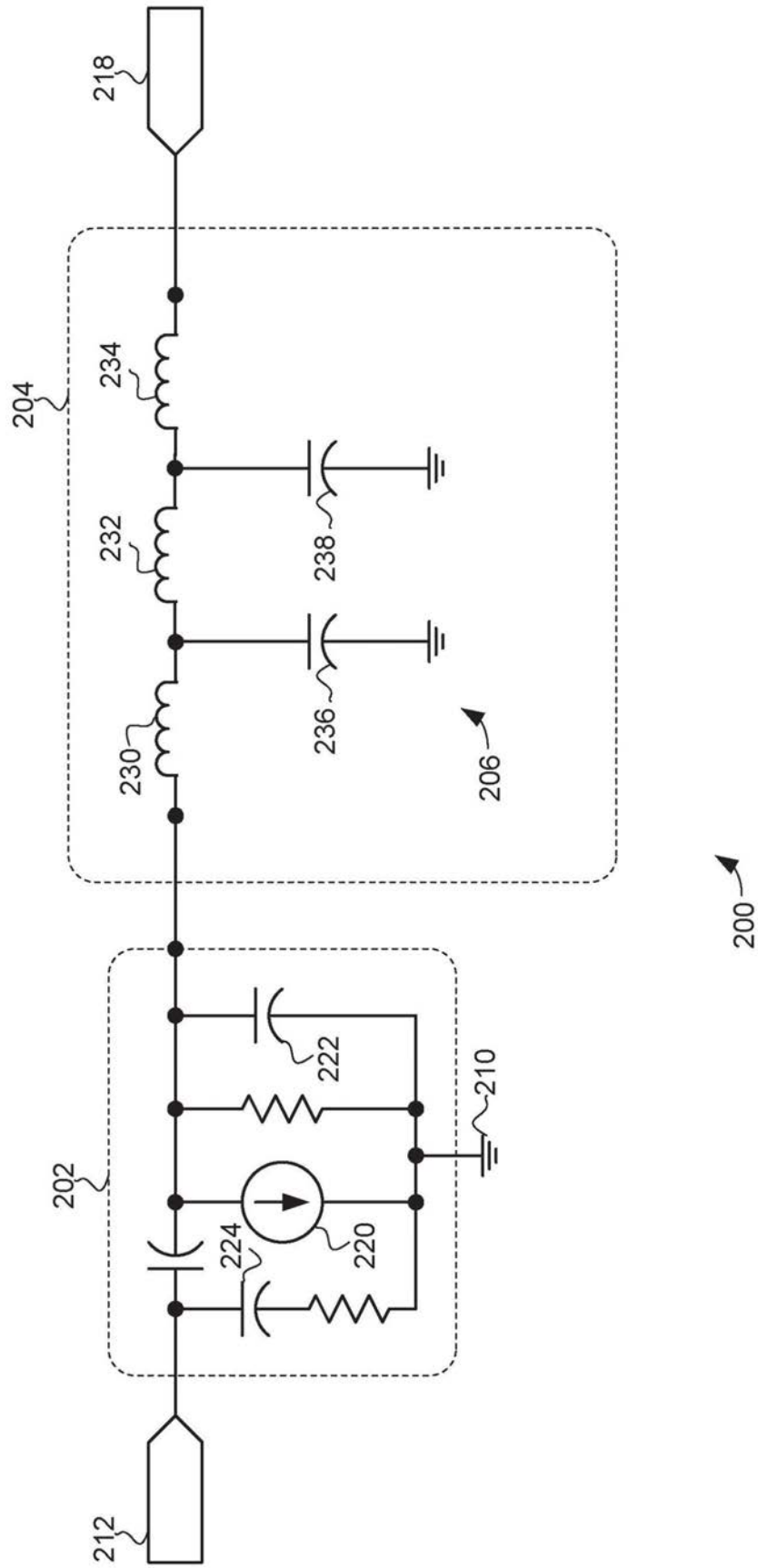


图2

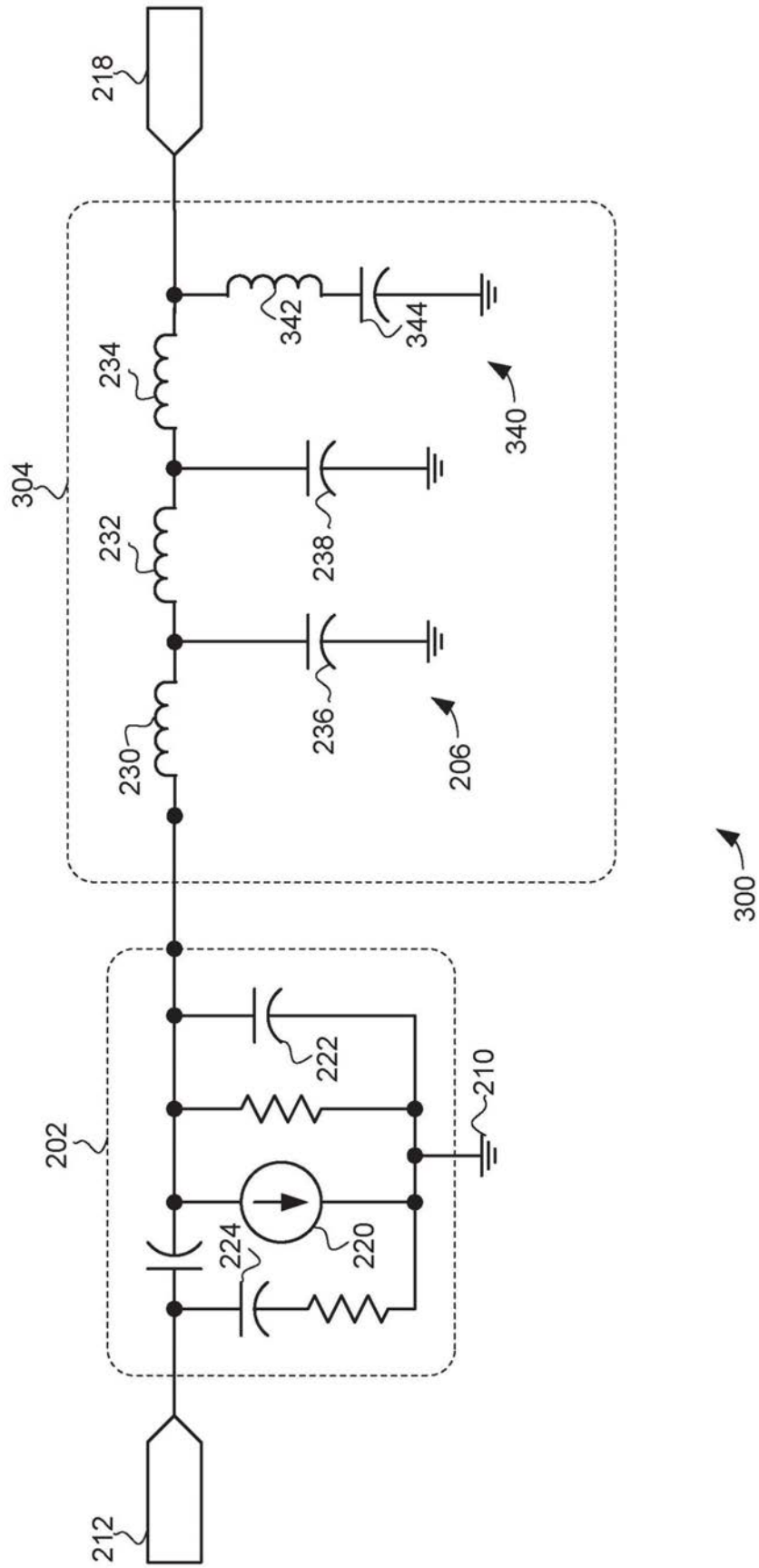


图3

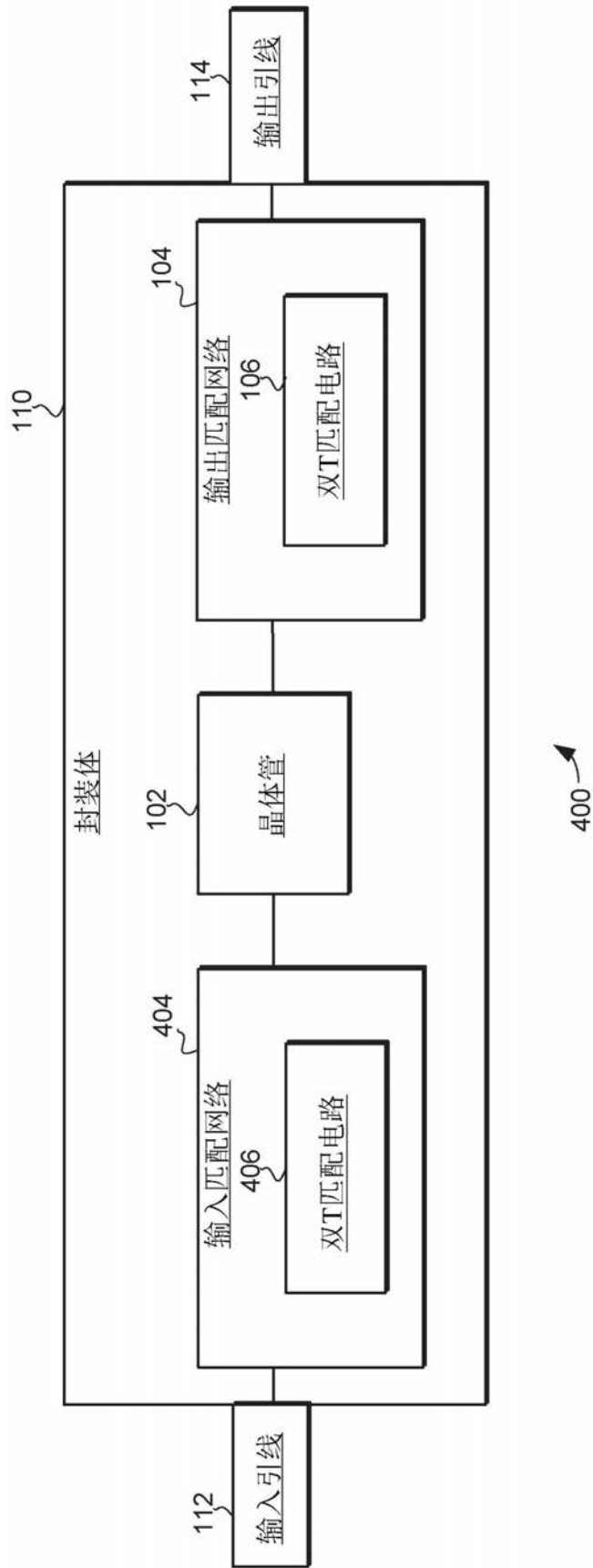


图4

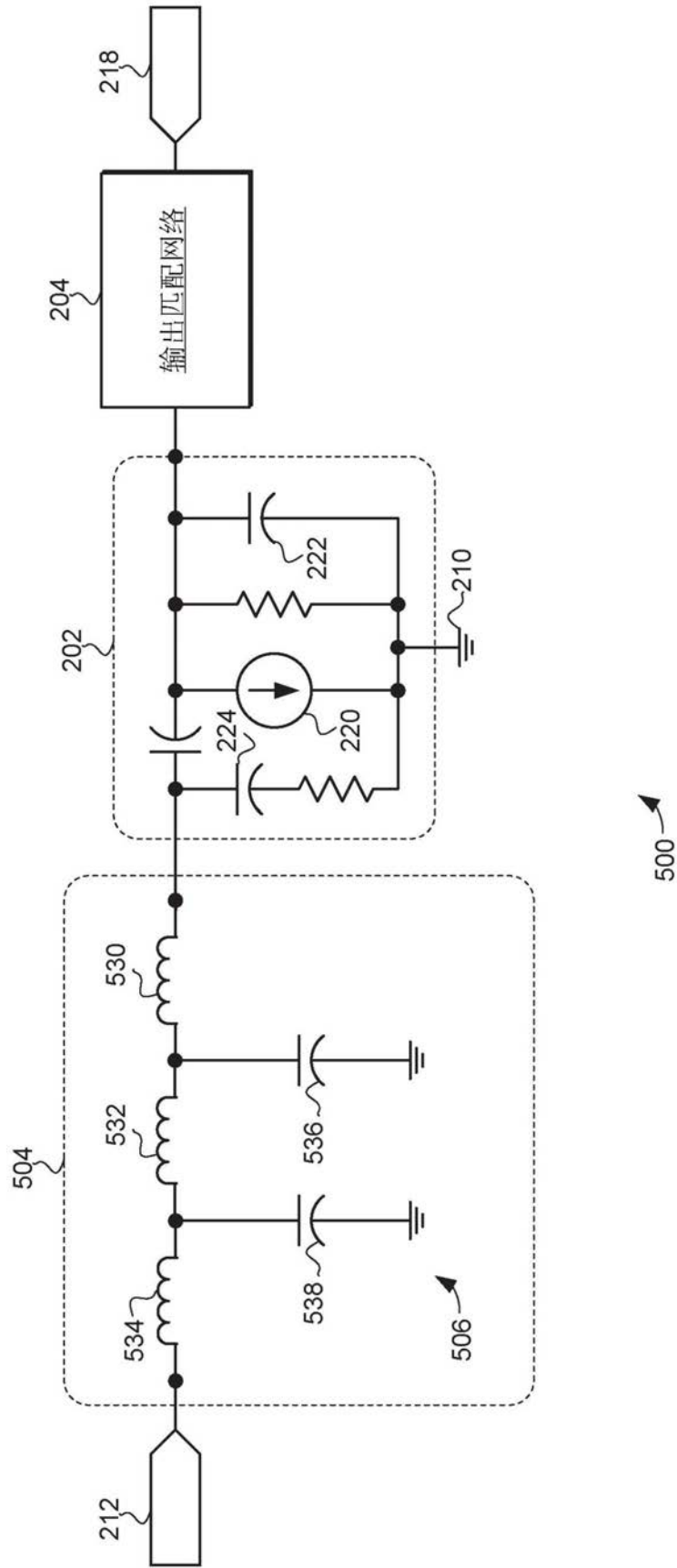


图5

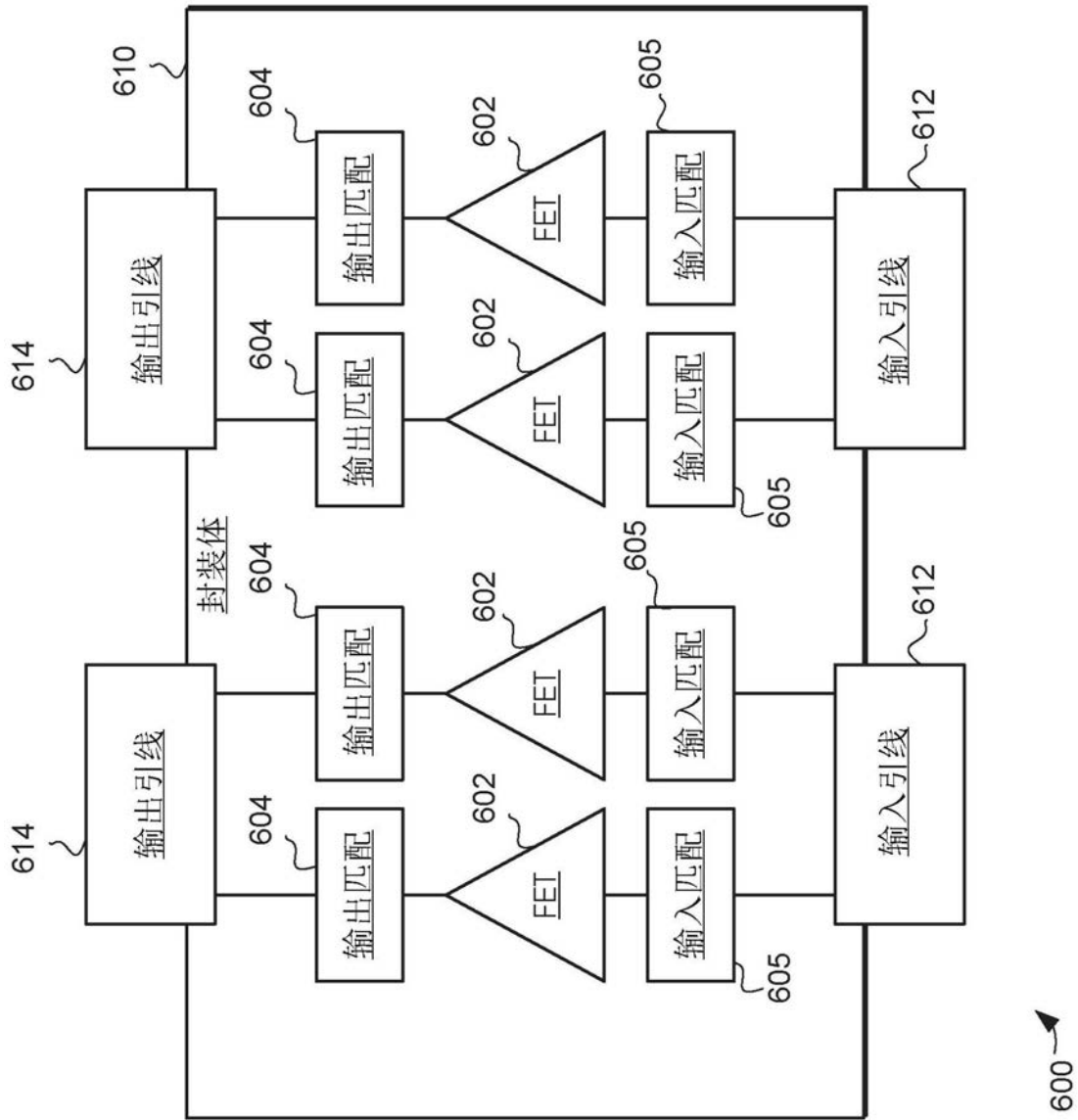


图6

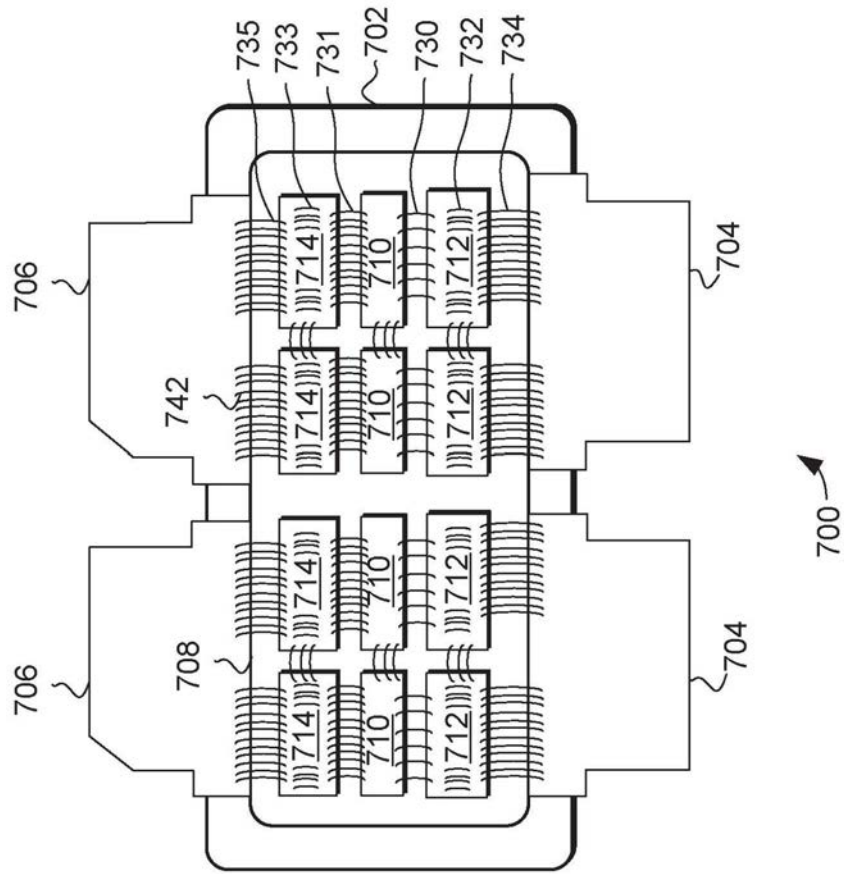


图7

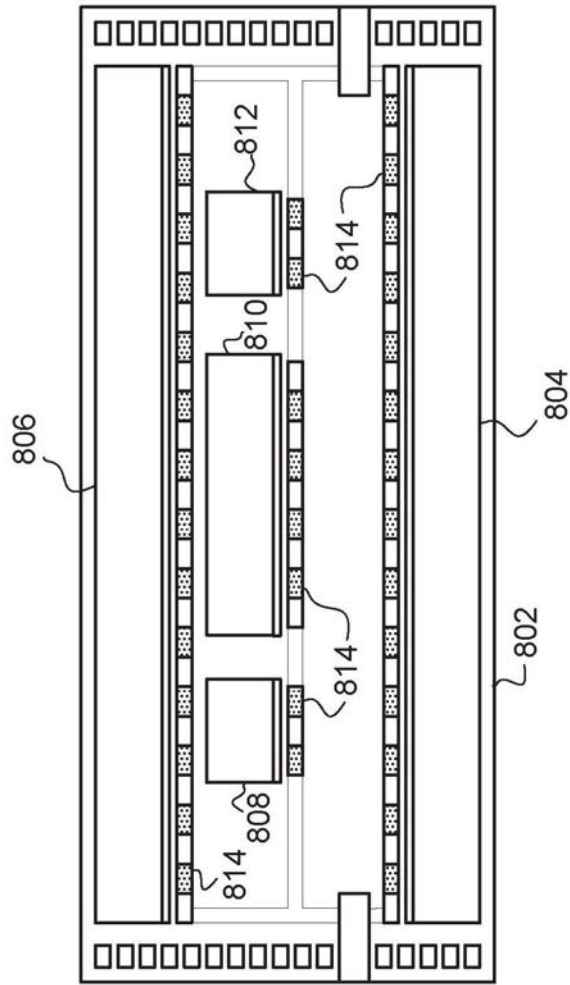


图8

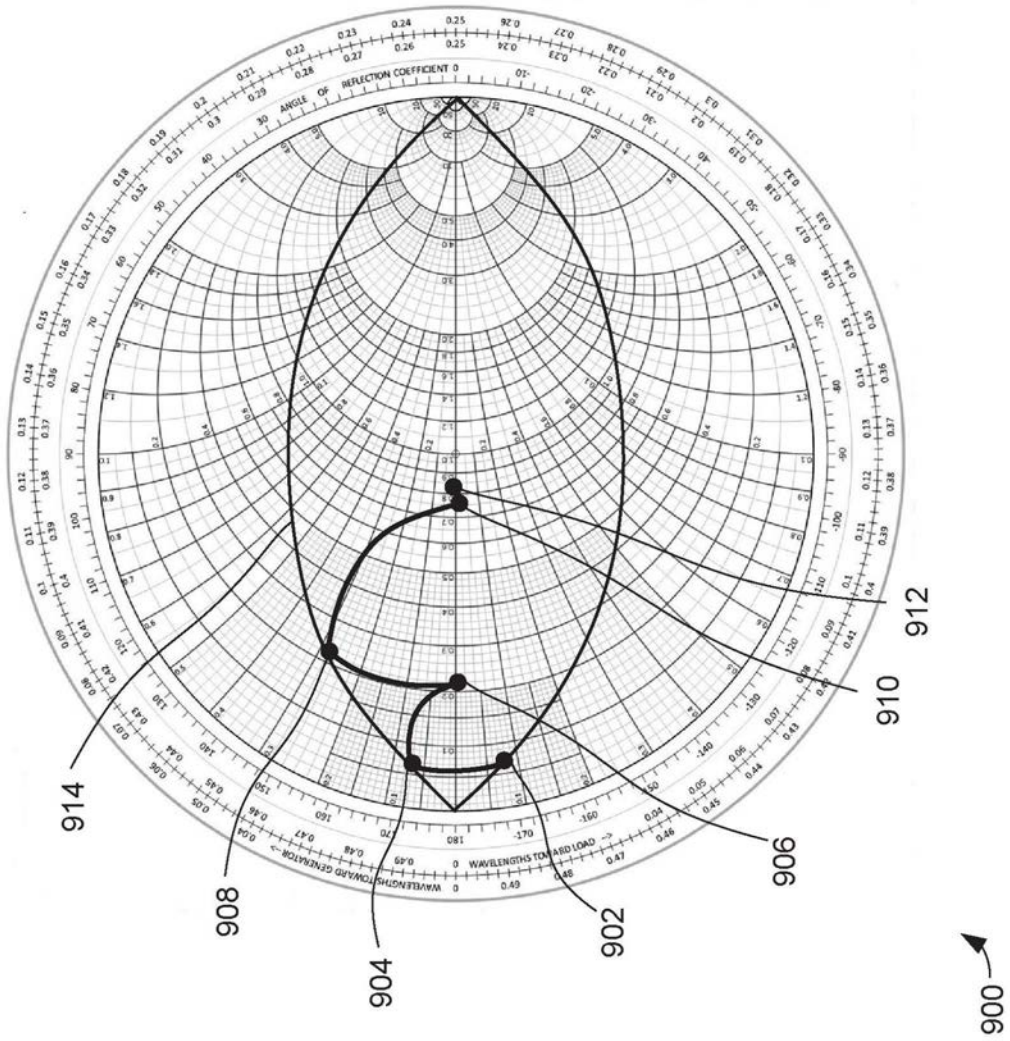


图9

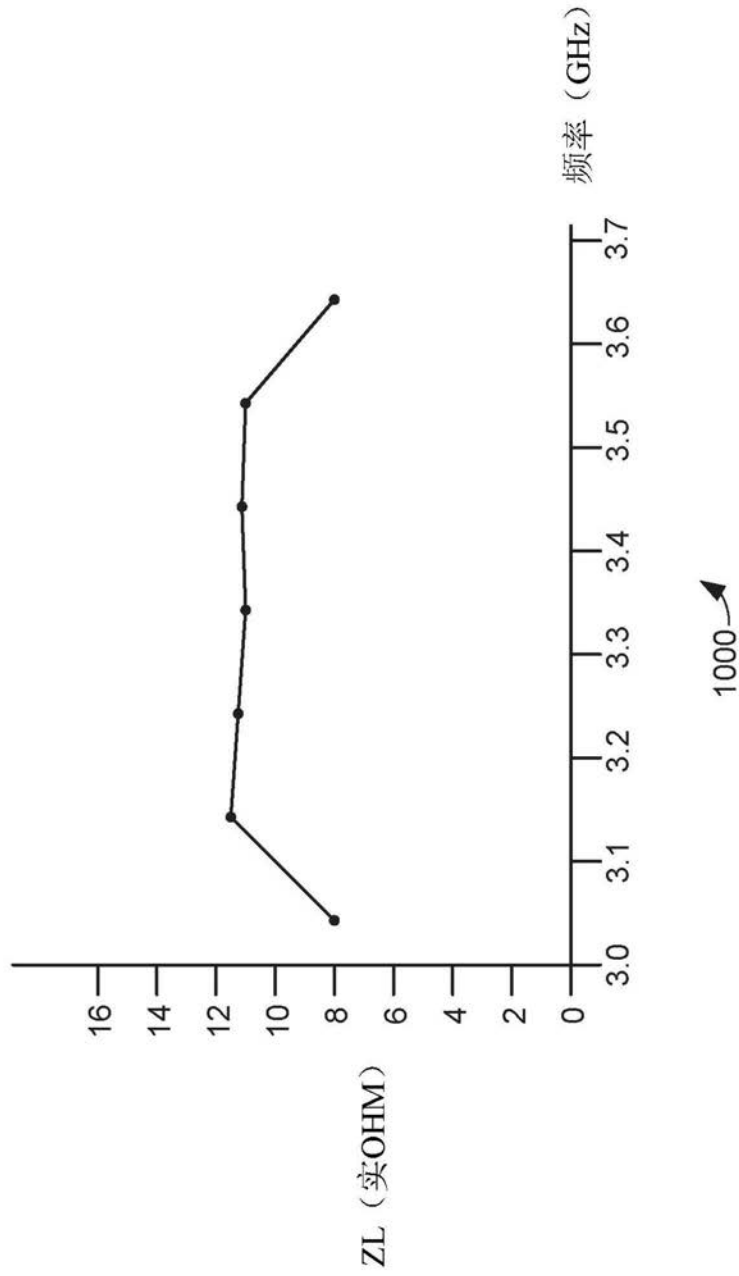


图10A

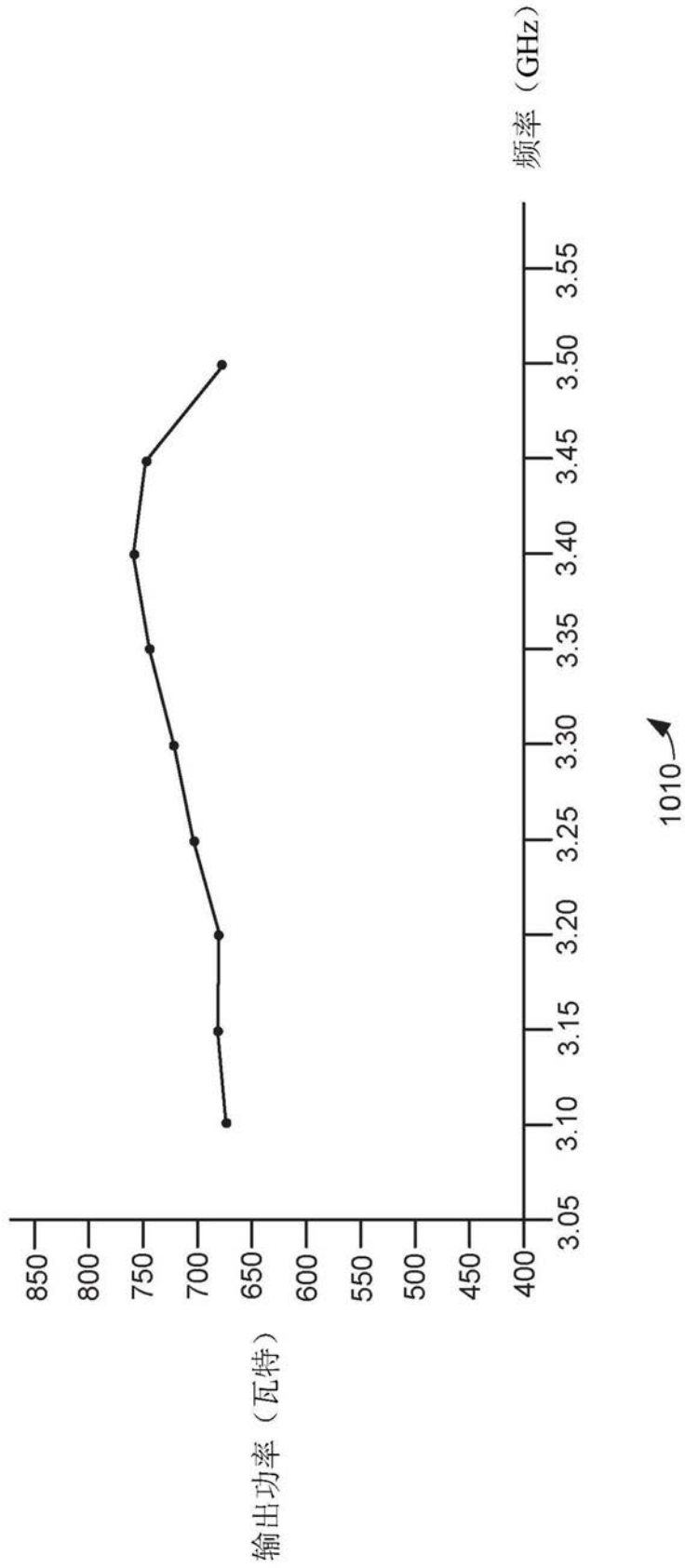


图10B

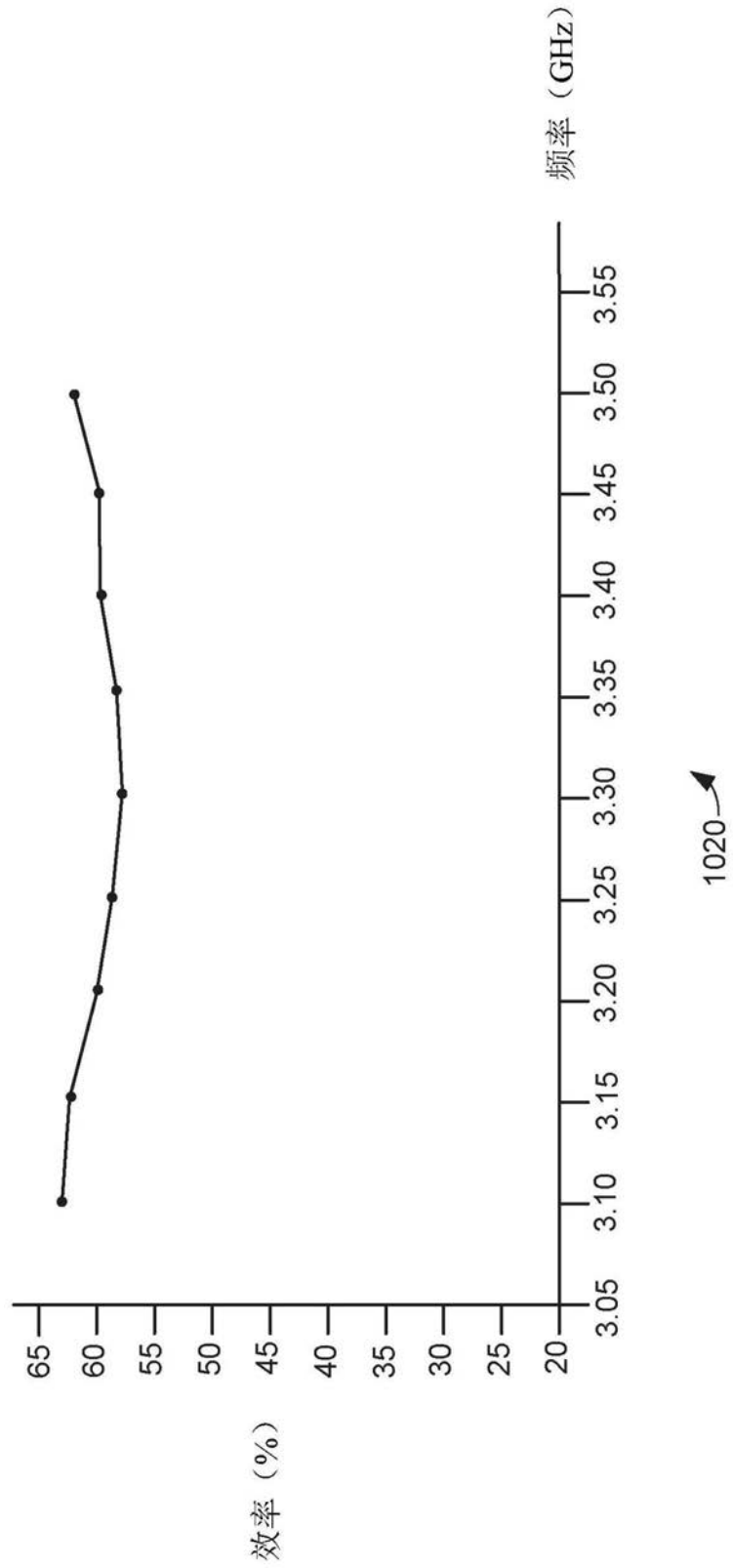


图10C

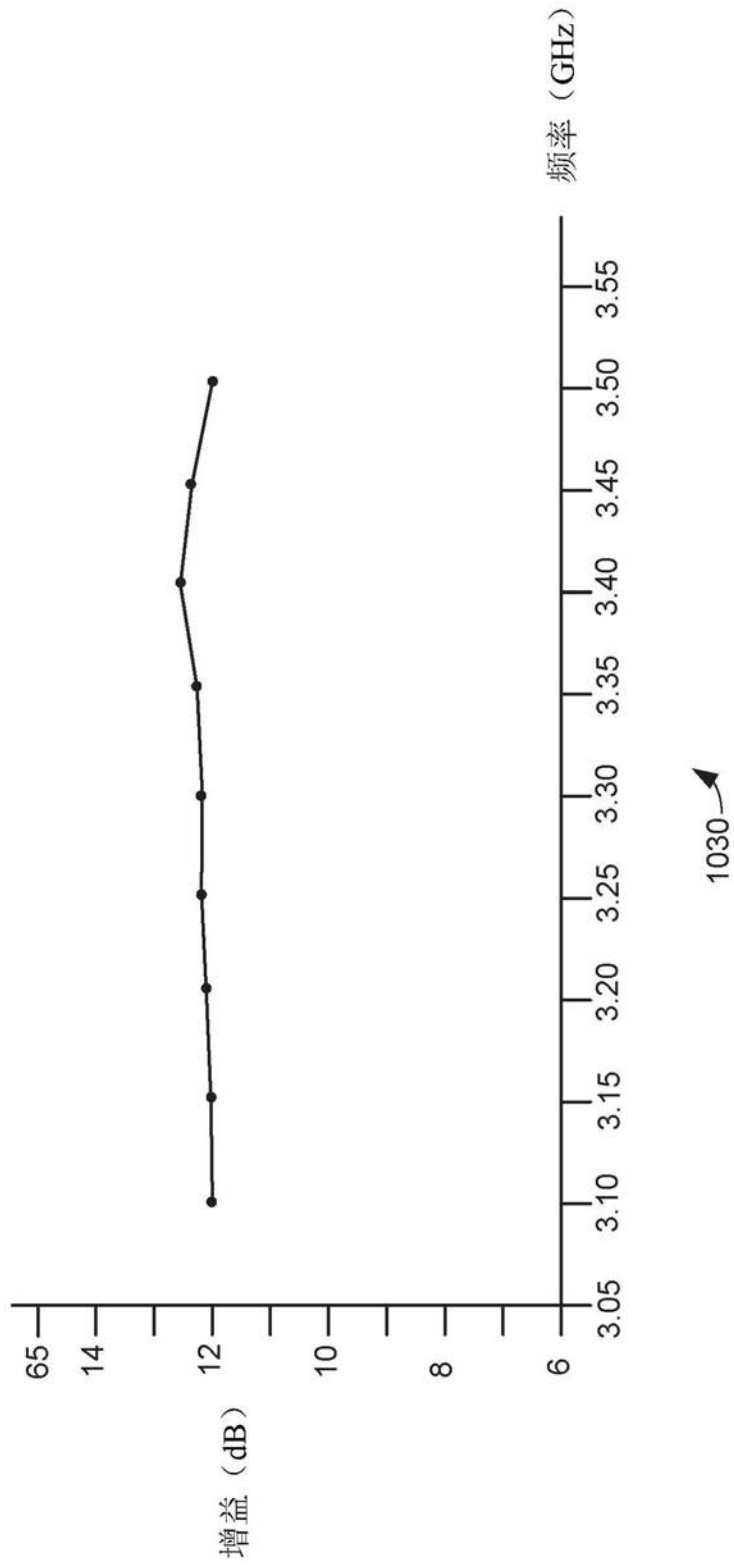


图10D

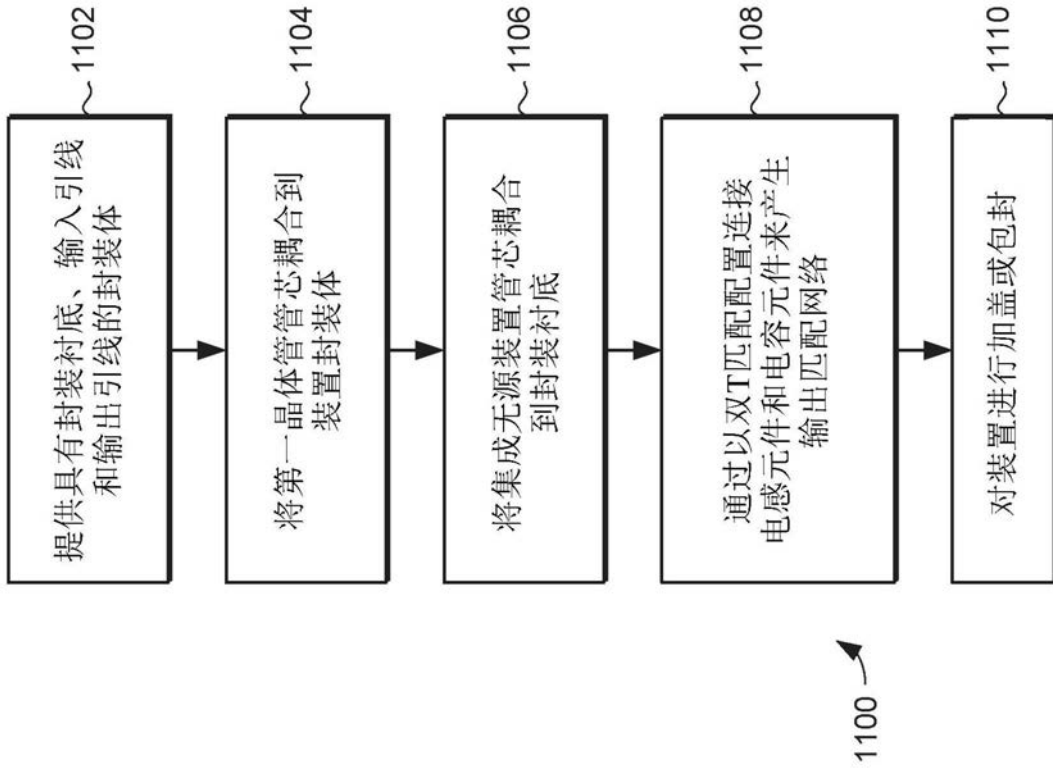


图11