



(12)发明专利

(10)授权公告号 CN 108122892 B

(45)授权公告日 2020.03.10

(21)申请号 201611083625.4

(22)申请日 2016.11.30

(65)同一申请的已公布的文献号

申请公布号 CN 108122892 A

(43)申请公布日 2018.06.05

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

专利权人 中芯国际集成电路制造(北京)有限公司

(72)发明人 周飞

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 徐文欣 吴敏

(51)Int.Cl.

H01L 23/60(2006.01)

H01L 21/28(2006.01)

H01L 29/423(2006.01)

审查员 穆晓龄

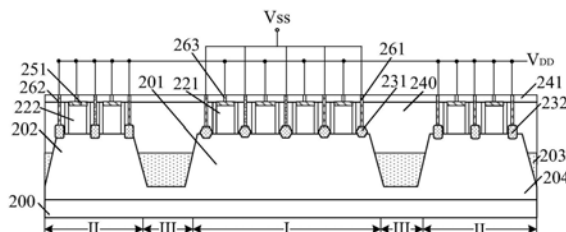
权利要求书3页 说明书13页 附图5页

(54)发明名称

静电放电保护结构及其形成方法和工作方法

(57)摘要

本发明提供一种静电放电保护结构及其形成方法和工作方法,其中,形成方法包括:提供衬底,衬底包括:第一区域和第二区域;在第一区域衬底中形成第一阱区;在第二区域衬底中形成第二阱区,第二阱区与第一阱区相接触;至少在第一区域或第二区域衬底上形成伪栅极结构;在伪栅极结构周围的第一阱区中形成第一掺杂层,第一掺杂层与第一阱区的导电类型相同;在伪栅极结构周围的第二阱区中形成第二掺杂层,第二掺杂层与第一掺杂层的导电类型不相同;在第一掺杂层和第二掺杂层上形成介质层,介质层暴露出所述伪栅极结构顶部表面。伪栅极结构能够在形成介质层的过程中,减少介质层中的凹坑,进而能够改善介质层的绝缘性能,进而改善所形成静电放电保护结构性能。



1. 一种静电放电保护结构的形成方法,其特征在于,包括:  
提供衬底,所述衬底包括:第一区域和第二区域;  
在所述第一区域衬底中形成第一阱区;  
在所述第二区域衬底中形成第二阱区,所述第二阱区与第一阱区相接触;  
至少在所述第一区域或第二区域的衬底上形成伪栅极结构;  
在所述伪栅极结构周围的第一阱区中形成第一掺杂层,所述第一掺杂层与所述第一阱区的导电类型相同;

在所述伪栅极结构周围的第二阱区中形成第二掺杂层,所述第二掺杂层与第一掺杂层的导电类型不相同;

在所述第一掺杂层和第二掺杂层上形成介质层,所述介质层覆盖所述伪栅极结构侧壁,并暴露出所述伪栅极结构顶部表面。

2. 如权利要求1所述的静电放电保护结构的形成方法,其特征在于,所述伪栅极结构包括:位于所述第一区域衬底上的第一伪栅极结构,或位于所述第二区域衬底上的第二伪栅极结构;或者所述伪栅极结构包括:位于所述第一区域衬底上的第一伪栅极结构,以及位于所述第二区域衬底上的第二伪栅极结构;所述第一掺杂层的个数为多个,所述第二掺杂层的个数为多个;形成所述第一伪栅极结构之后,形成所述第一掺杂层的步骤包括:在所述第一伪栅极结构两侧的衬底中形成第一掺杂层;形成所述第二伪栅极结构之后,形成所述第二掺杂层的步骤包括:在所述第二伪栅极结构两侧的衬底中形成第二掺杂层。

3. 如权利要求2所述的静电放电保护结构的形成方法,其特征在于,所述第一伪栅极结构包括:位于所述第一区域衬底上的第一伪栅极介质层,以及位于所述第一伪栅极介质层上的第一伪栅极;所述第二伪栅极结构包括:位于所述第二区域衬底上的第二伪栅极介质层,以及位于所述第二伪栅极介质层上的第二伪栅极;形成所述第一伪栅极结构和所述第二伪栅极结构的步骤包括:在所述第一区域衬底和第二区域衬底上形成伪栅极介质材料层;在所述伪栅极介质材料层上形成伪栅极层;对所述伪栅极层和所述伪栅极介质材料层进行图形化,在所述第一区域衬底上形成第一伪栅极介质层和位于所述第一伪栅极介质层上的第一伪栅极,在所述第二区域衬底上形成第二伪栅极介质层和位于所述第二伪栅极介质层上的第二伪栅极。

4. 如权利要求1所述的静电放电保护结构的形成方法,其特征在于,所述衬底还包括:位于所述第一区域和第二区域之间的隔离区,所述衬底的隔离区中具有隔离结构;形成所述伪栅极结构的步骤还包括:在所述隔离结构上形成第三伪栅极结构。

5. 如权利要求1所述的静电放电保护结构的形成方法,其特征在于,形成所述介质层的步骤包括:在所述第一掺杂层和第二掺杂层上形成初始介质层,所述初始介质层覆盖所述伪栅极结构顶部和侧壁;对所述初始介质层进行平坦化处理,暴露出所述伪栅极结构顶部表面,形成介质层。

6. 如权利要求1所述的静电放电保护结构的形成方法,其特征在于,形成所述介质层之后,还包括:在所述伪栅极结构顶部表面形成金属化物。

7. 如权利要求6所述的静电放电保护结构的形成方法,其特征在于,形成所述介质层之后,所述形成方法还包括:在所述介质层和所述金属化物上形成顶层介质层,在所述第一区域的介质层和顶层介质层中形成第一插塞,所述第一插塞连接所述第一掺杂层;在所述第二区域的介质层和顶层介质层中形成第二插塞,所述第二插塞连接所述第二掺杂层;在所

述顶层介质层中形成栅极线,所述栅极线连接所述伪栅极结构。

8.如权利要求1所述的静电放电保护结构的形成方法,其特征在于,所述衬底包括:基底,位于第一区域基底上的第一鳍部,位于第二区域基底上的第二鳍部;所述伪栅极结构横跨所述第一鳍部和第二鳍部,并位于所述第一鳍部和第二鳍部部分侧壁和顶部上。

9.一种静电放电保护结构,其特征在于,包括:

衬底,所述衬底包括:第一区域和第二区域;

位于所述第一区域衬底中的第一阱区;

位于所述第二区域衬底中的第二阱区,所述第二阱区与第一阱区相接触;

至少位于所述第一区域或第二区域衬底上的伪栅极结构;

位于所述伪栅极结构周围的第一阱区中的第一掺杂层,所述第一掺杂层与所述第一阱区的导电类型相同;

位于所述伪栅极结构周围的第二阱区中的第二掺杂层,所述第二掺杂层与第一掺杂层的导电类型不相同;

位于所述第一掺杂层和第二掺杂层上的介质层,所述介质层覆盖所述伪栅极结构侧壁,并暴露出所述伪栅极结构顶部表面。

10.如权利要求9所述的静电放电保护结构,其特征在于,所述伪栅极结构包括:位于所述第一区域衬底上的第一伪栅极结构,或位于所述第二区域衬底上的第二伪栅极结构;或者,所述伪栅极结构包括:位于所述第一区域衬底上的第一伪栅极结构,以及位于所述第二区域衬底上的第二伪栅极结构。

11.如权利要求10所述的静电放电保护结构,其特征在于,所述第一掺杂层的个数为多个;所述第二掺杂层的个数为多个;所述第一掺杂层位于所述第一伪栅极结构两侧;所述第二掺杂层位于所述第二伪栅极结构两侧。

12.如权利要求10所述的静电放电保护结构,其特征在于,所述第一伪栅极结构包括:位于所述第一区域衬底上的第一伪栅介质层;位于所述第一伪栅介质层上的第一伪栅极;所述第二伪栅极结构包括:位于所述第二区域衬底上的第二伪栅介质层;位于所述第二伪栅介质层上的第二伪栅极。

13.如权利要求12所述的静电放电保护结构,其特征在于,所述第一伪栅极和第二伪栅极的材料为硅、锗或硅锗;所述第一伪栅介质层和所述第二伪栅介质层的材料为氧化硅。

14.如权利要求9所述的静电放电保护结构,其特征在于,所述第二区域为环形,且位于所述第一区域外围。

15.如权利要求9所述的静电放电保护结构,其特征在于,所述衬底还包括:位于所述第一区域和第二区域之间的隔离区;所述衬底的隔离区中具有隔离结构;所述伪栅极结构还包括:位于所述隔离区隔离结构上的第三伪栅极结构。

16.如权利要求9所述的静电放电保护结构,其特征在于,所述第一阱区与所述第二阱区的导电类型相同;所述伪栅极结构位于所述第一阱区和第二阱区上。

17.一种静电放电保护结构的工作方法,其特征在于,包括:

提供如权利要求9所述的静电放电保护结构;

在所述第一掺杂层上施加静电电位;

在所述第二掺杂层上施加第一电位,所述第一电位小于所述静电电位。

18. 如权利要求17所述的静电放电保护结构的工作方法,其特征在于,所述伪栅极结构包括:位于所述第一区域衬底上的第一伪栅极结构,所述第一掺杂层的个数为多个,所述第一掺杂层位于所述第一伪栅极结构两侧。

19. 如权利要求18所述的静电放电保护结构的工作方法,其特征在于,所述第一掺杂层为P型半导体,所述工作方法还包括:在所述第一伪栅极结构上施加第二电位,所述第二电位小于所述静电电位。

20. 如权利要求19所述的静电放电保护结构的工作方法,其特征在于,所述第二电位等于所述第一电位。

## 静电放电保护结构及其形成方法和工作方法

### 技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种静电放电保护结构及其形成方法和工作方法。

### 背景技术

[0002] 随着半导体器件集成度的提高,晶体管的关键尺寸不断缩小,关键尺寸的缩小意味着在芯片上可布置更多数量的晶体管,进而提高器件的性能。电阻元件是芯片上的重要元件。

[0003] 对于电子产品而言,静电放电(Electrostatic discharge,ESD)是影响集成电路可靠性的一个主要因素。静电放电是一种电荷的快速中和过程。由于静电电压很高会给集成电路带来破坏性的后果,造成集成电路的失效。因此,为了保护集成电路免遭静电放电的损害,静电放电保护器件也设计于集成电路中,以防止集成电路受到静电放电的损坏。

[0004] 静电放电保护器件通常包括二极管,且静电放电保护器件通常与其他半导体器件,如MOS晶体管一起形成于同一芯片中。这就要求所述静电放电保护器件的形成方法能够与其他半导体器件的形成工艺相互兼容。

[0005] 然而,现有的静电放电保护结构的形成方法形成的静电放电保护器件的性能较差。

### 发明内容

[0006] 本发明解决的问题是提供一种静电放电保护结构及其形成方法和工作方法,能够改善所形成的静电放电保护结构性能。

[0007] 为解决上述问题,本发明提供一种静电放电保护结构的形成方法,包括:提供衬底,所述衬底包括:第一区域和第二区域;在所述第一区域衬底中形成第一阱区;在所述第二区域衬底中形成第二阱区,所述第二阱区与第一阱区相接触;至少在所述第一区域或第二区域的衬底上形成伪栅极结构;在所述伪栅极结构周围的第一阱区中形成第一掺杂层,所述第一掺杂层与所述第一阱区的导电类型相同;在所述伪栅极结构周围的第二阱区中形成第二掺杂层,所述第二掺杂层与第一掺杂层的导电类型不相同;在所述第一掺杂层和第二掺杂层上形成介质层,所述介质层覆盖所述伪栅极结构侧壁,并暴露出所述伪栅极结构顶部表面。

[0008] 可选的,所述伪栅极结构包括:位于所述第一区域衬底上的第一伪栅极结构,或位于所述第二区域衬底上的第二伪栅极结构;或者所述伪栅极结构包括:位于所述第一区域衬底上的第一伪栅极结构,以及位于所述第二区域衬底上的第二伪栅极结构;所述第一掺杂层的个数为多个,所述第二掺杂层的个数为多个;形成所述第一伪栅极结构之后,形成所述第一掺杂层的步骤包括:在所述第一伪栅极结构两侧的衬底中形成第一掺杂层;形成所述第二伪栅极结构之后,形成所述第二掺杂层的步骤包括:在所述第二伪栅极结构两侧的衬底中形成第二掺杂层。

[0009] 可选的,所述第一伪栅极结构包括:位于所述第一区域衬底上的第一伪栅介质层,以及位于所述第一伪栅介质层上的第一伪栅极;所述第二伪栅极结构包括:位于所述第二区域衬底上的第二伪栅介质层,以及位于所述第二伪栅介质层上的第二伪栅极;形成所述第一伪栅极结构和所述第二伪栅极结构的步骤包括:在所述第一区域衬底和第二区域衬底上形成伪栅介质材料层;在所述伪栅介质材料层上形成伪栅极层;对所述伪栅极层和所述伪栅介质材料层进行图形化,在所述第一区域衬底上形成第一伪栅介质层和位于所述第一伪栅介质层上的第一伪栅极,在所述第二区域衬底上形成第二伪栅介质层和位于所述第二伪栅介质层上的第二伪栅极。

[0010] 可选的,所述衬底还包括:位于所述第一区域和第二区域之间的隔离区,所述衬底的隔离区中具有隔离结构;形成所述伪栅极结构的步骤还包括:在所述隔离结构上形成第三伪栅极结构。

[0011] 可选的,形成所述介质层的步骤包括:在所述第一掺杂层和第二掺杂层上形成初始介质层,所述初始介质层覆盖所述伪栅极结构顶部和侧壁;对所述初始介质层进行平坦化处理,暴露出所述伪栅极结构顶部表面,形成介质层。

[0012] 可选的,形成所述介质层之后,还包括:在所述伪栅极结构顶部表面形成金属化合物。

[0013] 可选的,形成所述介质层之后,所述形成方法还包括:在所述介质层和所述金属化合物上形成顶层介质层,在所述第一区域介质层和顶层介质层中形成第一插塞,所述第一插塞连接所述第一掺杂层;在所述第二区域介质层和顶层介质层中形成第二插塞,所述第二插塞连接所述第二掺杂层;在所述顶层介质层中形成栅极线,所述栅极线连接所述伪栅极结构。

[0014] 可选的,所述衬底包括:基底,位于第一区域基底上的第一鳍部,位于所述第二区域基底上的第二鳍部;所述伪栅极结构横跨所述第一鳍部和第二鳍部,并位于所述第一鳍部和第二鳍部部分侧壁和顶部上。

[0015] 相应的,本发明还提供一种静电放电保护结构,包括:衬底,所述衬底包括:第一区域和第二区域;位于所述第一区域衬底中的第一阱区;位于所述第二区域衬底中的第二阱区,所述第二阱区与第一阱区相接触;至少位于所述第一区域或第二区域衬底上的伪栅极结构;位于所述伪栅极结构周围的第一阱区中的第一掺杂层,所述第一掺杂层与所述第一阱区的导电类型相同;位于所述伪栅极结构周围的第二阱区中的第二掺杂层,所述第二掺杂层与第一掺杂层的导电类型不相同;位于所述第一掺杂层和第二掺杂层上的介质层,所述介质层覆盖所述伪栅极结构侧壁,并暴露出所述伪栅极结构顶部表面。

[0016] 可选的,所述伪栅极结构包括:位于所述第一区域衬底上的第一伪栅极结构,或位于所述第二区域衬底上的第二伪栅极结构;或者,所述伪栅极结构包括:位于所述第一区域衬底上的第一伪栅极结构,以及位于所述第二区域衬底上的第二伪栅极结构。

[0017] 可选的,所述第一掺杂层的个数为多个;所述第二掺杂层的个数为多个;所述第一掺杂层位于所述第一伪栅极结构两侧;所述第二掺杂层位于所述第二伪栅极结构两侧。

[0018] 可选的,所述第一伪栅极结构包括:位于所述第一区域衬底上的第一伪栅介质层;位于所述第一伪栅介质层上的第一伪栅极;所述第二伪栅极结构包括:位于所述第二区域衬底上的第二伪栅介质层;位于所述第二伪栅介质层上的第二伪栅极。

[0019] 可选的,所述第一伪栅极和第二伪栅极的材料为硅、锗或硅锗;所述第一伪栅介质层和所述第二伪栅介质层的材料为氧化硅。

[0020] 可选的,所述第二区域为环形,且位于所述第一区域外围。

[0021] 可选的,所述衬底还包括:位于所述第一区域和第二区域之间的隔离区;所述衬底的隔离区中具有隔离结构;所述伪栅极结构还包括:位于所述隔离区隔离结构上的第三伪栅极结构。

[0022] 可选的,所述第一阱区与所述第二阱区的导电类型相同;所述伪栅极结构位于所述第一阱区和第二阱区上。

[0023] 此外,本发明还提供一种静电放电保护结构的工作方法,包括:提供静电放电保护结构;在所述第一掺杂层上施加静电电位;在所述第二掺杂层上施加第一电位,所述第一电位小于所述静电电位。

[0024] 可选的,所述伪栅极结构包括:位于所述第一区域衬底上的第一伪栅极结构,所述第一掺杂层的个数为多个,所述第一掺杂层位于所述第一伪栅极结构两侧。

[0025] 可选的,所述第一掺杂层为P型半导体,所述工作方法还包括:在所述第一伪栅极结构上施加第二电位,所述第二电位小于所述静电电位。

[0026] 可选的,所述第二电位等于所述第一电位。

[0027] 与现有技术相比,本发明的技术方案具有以下优点:

[0028] 本发明技术方案提供的静电放电保护结构的形成方法中,形成所述介质层之前,至少在所述第一区域后第二区域衬底上形成伪栅极结构。所述伪栅极结构能够在形成所述介质层的过程中,对所述介质层起支撑作用,从而减少因形成介质层过程中的平坦化工艺在所述介质层中形成凹坑,进而能够改善所述介质层的绝缘性能。综上,所述形成方法能够改善所形成静电放电保护结构的性能。

[0029] 本发明技术方案提供的静电放电保护结构中,至少在所述第一区域后第二区域衬底上具有伪栅极结构,所述伪栅极结构能够为所述介质层提供支撑,从而能够减少所述介质层中的凹坑,进而能够提高所述介质层的绝缘性,因此,所述静电放电保护结构的性能能够得到改善。

[0030] 本发明技术方案提供的静电放电保护结构的工作方法中,至少在所述第一区域后第二区域衬底上具有伪栅极结构,所述伪栅极结构能够为所述介质层提供支撑,从而能够减少所述介质层中的凹坑,进而能够增加所述介质层的绝缘性,因此,在对所述第一掺杂层施加静电电位,第二掺杂层施加第一电位的过程中,所述介质层不容易被击穿,从而能够保证静电放电保护结构的正常应用,增加所述静电放电保护结构的使用寿命。

[0031] 进一步,所述静电放电保护结构包括多个第一伪栅极结构,且所述第一掺杂层位于所述第一伪栅极结构两侧,因此,所述第一伪栅极结构与所述第一掺杂层可以形成MOS晶体管。此外,所述第一伪栅极结构上接有第二电位,从而可以通过所述第二电位使所述MOS晶体管下方沟道导通,从而能够使电流在所述第一掺杂层之间流动,使电流在第一区域衬底中分布均匀,进而能够降低电流对所述静电放电保护结构的损伤。

## 附图说明

[0032] 图1是一种静电放电保护结构的形成方法的结构示意图;

[0033] 图2至图11是本发明的静电放电保护结构的形成方法一实施例各步骤的结构示意图；

[0034] 图12是本发明的静电放电保护结构的工作方法一实施例的结构示意图。

### 具体实施方式

[0035] 静电放电保护结构存在诸多问题,例如:静电放电保护结构性能较差。

[0036] 现结合一种静电放电保护器件的形成方法,分析所形成的静电放电保护结构性能较差的原因:

[0037] 静电放电保护器件往往与其他半导体器件,如MOS晶体管,形成于同一半导体结构中。具体的,所述半导体结构的形成方法包括:

[0038] 提供衬底,所述衬底包括:核心区和外围区,所述核心区用于形成所述MOS晶体管,所述外围区用于形成所述静电放电保护器件。

[0039] 在所述外围区衬底上形成静电放电保护器件,具体的,形成所述静电放电保护器件的步骤如图1所示。

[0040] 图1是一种基于二极管的静电放电保护器件的形成方法的结构示意图。

[0041] 请参考图1,所述外围区衬底100包括第一区域A和位于所述第一区域A周围的第二区域B,所述第一区域A衬底100上具有第一鳍部101,所述第二区域B衬底100上具有第二鳍部102。

[0042] 所述第一区域A衬底100、第二区域衬底100、所述第一鳍部101和所述第二鳍部102中具有阱区。

[0043] 继续参考图1,在所述第一鳍部101中形成第一掺杂层111;在所述第二鳍部102中形成第二掺杂层112,所述第二掺杂层112与第一掺杂层111的导电类型不相同,所述第二掺杂层112与所述阱区的导电类型相同。

[0044] 其中,在所述核心区衬底上具有栅极结构,在所述栅极结构两侧衬底中具有源漏掺杂区,所述栅极结构顶部表面高于所述第一掺杂层111和第二掺杂层112顶部表面。后续在所述第一掺杂层111、第二掺杂层112和源漏掺杂区上形成初始介质层,所述初始介质层覆盖所述栅极结构侧壁和顶部表面;对所述初始介质层进行平坦化处理,暴露出所述栅极结构顶部表面,形成介质层。由于所述第一掺杂层111和第二掺杂层112顶部表面低于所述伪栅极结构顶部表面,对所述外围区初始介质层的平坦化处理不受第一掺杂层111和第二掺杂层112的限制,因此,对所述外围区初始介质层的平坦化处理的速率较快,从而容易在所述第一区域A和第二区域B初始介质层中行形成凹坑。形成所述介质层之后,在所述栅极结构顶部表面和所述介质层形成金属层,所述栅极结构顶部表面的金属层与所述栅极结构反应形成金属化物。在形成所述金属层的过程中,所述凹坑中容易形成金属材料,所述凹坑中的金属材料很难去除,从而导致所述介质层的绝缘性降低,进而影响所形成静电放电保护结构的性能。

[0045] 为解决所述技术问题,本发明提供了一种静电放电保护结构的形成方法,包括:提供衬底,所述衬底包括:第一区域和第二区域;在所述第一区域衬底中形成第一阱区;在所述第二区域衬底中形成第二阱区,所述第二阱区与第一阱区相接触;至少在所述第一区域或第二区域的衬底上形成伪栅极结构;在所述伪栅极结构周围的第一阱区中形成第一掺杂



层,所述第一掺杂层与所述第一阱区的导电类型相同;在所述伪栅极结构周围的第二阱区中形成第二掺杂层,所述第二掺杂层与第一掺杂层的导电类型不相同;在所述第一掺杂层和第二掺杂层上形成介质层,所述介质层覆盖所述伪栅极结构侧壁,并暴露出所述伪栅极结构顶部表面。

[0046] 其中,形成所述介质层之前,至少在所述第一区域后第二区域衬底上形成伪栅极结构。所述伪栅极结构能够在形成所述介质层的过程中,对所述介质层起支撑作用,从而减少因形成介质层过程中的平坦化工艺在所述介质层中形成凹坑,进而能够改善所述介质层的绝缘性能。综上,所述形成方法能够改善所形成静电放电保护结构的性能。

[0047] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0048] 图2至图11是本发明静电放电保护结构的形成方法一实施例各步骤的结构示意图。

[0049] 请参考图2和图3,图3是图2沿切割线1-2的剖视图,提供衬底,所述衬底包括:第一区域I和第二区域II。

[0050] 本实施例中,所述衬底用于形成二极管,所述二极管用做静电放电保护器件。在其他实施例中,所述衬底还可以用于形成三极管。

[0051] 本实施例中,所述第一区域后续用于形成二极管阳极,所述第二区域II用于形成二极管阴极。

[0052] 本实施例中,所述衬底还包括位于所述第一区域I和第二区域II之间的隔离区III。

[0053] 所述隔离区III用于实现对所述第一区域I和第二区域II的隔离。

[0054] 本实施例中,所述第二区域II为环形,所述第二区域II位于所述第一区域I外围,且环绕所述第一区域I。

[0055] 本实施例中,所述衬底包括:基底200;位于所述第一区域I基底200上的第一鳍部201;位于所述第二区域II基底200上的第二鳍部202。在其他实施例中,所述衬底还可以不包括所述第一鳍部和第二鳍部。

[0056] 本实施例中,所述基底200的材料为硅。在其他实施例中,所述基底的材料还可以为锗或硅锗。

[0057] 本实施例中,所述第一鳍部201、第二鳍部202与所述基底200的材料相同。具体的,所述第一鳍部201和第二鳍部202的材料为硅。在其他实施例中,所述第一鳍部和第二鳍部的材料还可以为锗或硅锗。

[0058] 本实施例中,形成所述衬底的步骤包括:提供初始衬底;对所述初始衬底进行图形化,形成基底200和位于所述第一区域I、第二区域II和隔离区III基底200上的初始鳍部;去除所述隔离区III基底200上的初始鳍部,在所述第一区域I基底200上形成第一鳍部201,在所述第二区域II基底200上形成第二鳍部202。

[0059] 继续参考图3,在所述第一区域I衬底中形成第一阱区;在所述第二区域II衬底中形成第二阱区,所述第二阱区与第一阱区相接触。

[0060] 本实施例中,所述第一阱区位于所述第一鳍部201和第一区域I基底200中,所述第二阱区位于所述第二鳍部202和所述第二区域II基底200中。

[0061] 本实施例中,所述第一阱区和第二阱区的导电类型相同。所述第一阱区和第二阱区构成阱区204。所述阱区204位于所述第一区域I基底200、第二区域基底200、第一鳍部201和第二鳍部202中。

[0062] 本实施例中,形成所述阱区204的步骤包括:对所述第一鳍部201、第二鳍部202以及所述基底204进行离子注入,在所述第一区域I基底200、第二区域基底200、第一鳍部201和第二鳍部202中形成所述阱区204。

[0063] 本实施例中,所述阱区204中具有阱离子,所述阱离子为N型离子,例如,磷离子或砷离子。在其他实施例中,所述阱离子还可以为P型离子,例如硼离子或 $\text{BF}^{2-}$ 离子。

[0064] 请参考图4,图4是在图3基础上的后续步骤图,在所述第一区域I、第二区域II和隔离区III衬底中形成隔离结构203,所述隔离结构203覆盖所述第一鳍部201和第二鳍部202部分侧壁。

[0065] 所述隔离结构203用于实现第一鳍部201之间、第二鳍部202之间以及第一鳍部201和第二鳍部202之间的电隔离。

[0066] 本实施例中,所述隔离结构203的材料为氧化硅。在其他实施例中,所述隔离结构的材料还可以为氮氧化硅。

[0067] 请参考图5,至少在所述第一区域I或第二区域II衬底上形成伪栅极结构。

[0068] 所述伪栅极结构用于后续对初始介质层起支撑作用,在对初始介质层进行平坦化处理的过程中,降低对所述初始介质层进行平坦化处理的速率,从而减少所述介质层中的凹坑,进而增加所述介质层的绝缘性能。

[0069] 此外,本实施例中,所述伪栅极结构还可以与后续第一掺杂层形成MOS晶体管。

[0070] 本实施例中,所述伪栅极结构位于所述第一阱区和第二阱区上。

[0071] 本实施例中,所述伪栅极结构包括:位于所述第一区域I基底200上的第一伪栅极结构221;位于所述第二区域II基底200上的第二伪栅极结构222。

[0072] 在其他实施例中,所述伪栅极结构还可以包括:位于所述隔离区隔离结构上的第三伪栅极结构。所述伪栅极结构还可以仅包括第一伪栅极结构或者第二伪栅极结构。

[0073] 本实施例中,所述第一伪栅极结构221横跨所述第一鳍部201,且第一伪栅极结构221位于所述第一鳍部201部分顶部表面和侧壁表面;所述第二伪栅极结构222横跨所述第二鳍部202,且所述第二伪栅极结构222位于所述第二鳍部202部分顶部表面和侧壁表面。

[0074] 本实施例中,所述第一伪栅极结构221包括:横跨所述第一鳍部201的第一伪栅介质层,所述第一伪栅介质层位于所述第一鳍部201部分侧壁和顶部表面;位于所述第一伪栅介质层上的第一伪栅极。

[0075] 本实施例中,所述第二伪栅极结构222包括:横跨所述第二鳍部202的第二伪栅介质层,所述第二伪栅介质层位于所述第二鳍部202部分侧壁和顶部表面;位于所述第二伪栅介质层上的第二伪栅极。

[0076] 本实施例中,所述第一伪栅极和第二伪栅极的材料为硅。在其他实施例中,所述第一伪栅极和第二伪栅极的材料还可以为锗或硅锗。

[0077] 本实施例中,第一伪栅介质层和第二伪栅介质层的材料为氧化硅。

[0078] 本实施例中,形成所述第一伪栅极结构221和第二伪栅极结构222的步骤包括:在所述第一区域I和第二区域II基底200上形成伪栅介质材料层;在所述伪栅介质材料层上形

成伪栅极层;对所述伪栅极层和伪栅介质材料层进行图形化,在所述第一区域I基底200上形成第一伪栅介质层和位于所述第一伪栅介质层上的第一伪栅极,在所述第二区域II基底200上形成第二伪栅介质层和位于所述第二伪栅介质层上的第二伪栅极。

[0079] 本实施例中,所述伪栅极层和伪栅介质材料层覆盖所述第一鳍部201顶部和侧壁表面,并覆盖所述第二鳍部202顶部和侧壁表面。

[0080] 本实施例中,对所述伪栅极层和伪栅介质材料层进行图形化的步骤包括:在所述伪栅极层上形成图形化的掩膜层,所述掩膜层暴露出所述隔离区III伪栅极层,并暴露出部分第一区域I伪栅极层表面和部分第二区域II伪栅极层表面;以所述掩膜层为掩膜对所述伪栅极层和伪栅介质材料层进行刻蚀。

[0081] 本实施例中,对所述伪栅极层和伪栅介质材料层进行刻蚀的工艺包括干法刻蚀。

[0082] 请参考图6和图7,图6是在图2基础上的后续步骤图,图7是图6沿切割线3-4的剖视图,在所述伪栅极结构周围的第一阱区中形成第一掺杂层231。

[0083] 所述第一掺杂层231用于形成所述二极管的阳极。

[0084] 本实施例中,所述第一掺杂层231为P型半导体。具体的,所述第一掺杂层231的材料为硅锗或硅,所述第一掺杂层231中具有第一掺杂离子,所述第一掺杂离子为硼离子或 $\text{BF}^{2-}$ 离子。在其他实施例中,所述第一掺杂层还可以为N型半导体。具体的,所述第一掺杂层的材料为硅或碳硅,所述第一掺杂离子为磷离子或砷离子。

[0085] 本实施例中,所述第一掺杂层231位于所述第一伪栅极结构221两侧的第一鳍部201中。

[0086] 本实施例中,形成所述第一掺杂层231的步骤包括:在所述第一伪栅极结构221两侧的第一鳍部201中形成第一凹槽;在所述第一凹槽中形成第一掺杂层231。

[0087] 本实施例中,形成所述第一凹槽的工艺包括干法与湿法刻蚀的共同作用。

[0088] 本实施例中,通过第一外延生长工艺在所述第一凹槽中形成第一掺杂层231,并在所述第一外延生长的过程中,对所述第一掺杂层231进行第一原位掺杂,在所述第一掺杂层231中掺杂入第一掺杂离子。

[0089] 继续参考图6和图7,在所述伪栅极结构周围的第二阱区中形成第二掺杂层232,所述第二掺杂层232与第一掺杂层231的导电类型不相同。

[0090] 本实施例中,所述第二掺杂层232用于形成二极管的阴极。

[0091] 本实施例中,所述第二掺杂层232为N型半导体。具体的,所述第二掺杂层232的材料为硅或碳硅,所述第二掺杂层232中具有第二掺杂离子。所述第二掺杂离子为磷离子或砷离子。在其他实施例中,所述第二掺杂层还可以为P型半导体。具体的,所述第二掺杂层的材料为硅或硅锗,所述第二掺杂离子为硼离子或 $\text{BF}^{2-}$ 离子。

[0092] 本实施例中,所述第二掺杂层232位于所述第二伪栅极结构222两侧的第二鳍部202中。

[0093] 本实施例中,形成所述第二掺杂层232的步骤包括:在所述第二伪栅极结构222两侧的第二鳍部202中形成第二凹槽;在所述第二凹槽中形成第二掺杂层232。

[0094] 本实施例中,形成所述第二凹槽的工艺包括干法与湿法刻蚀的共同作用。

[0095] 本实施例中,通过第二外延生长工艺在所述第二凹槽中形成第二掺杂层232,并在所述第二外延生长的过程中,对所述第二掺杂层232进行第二原位掺杂,在所述第二掺杂层

232中掺杂入所述第二掺杂离子。

[0096] 请参考图8,图8是在图7基础上的后续步骤示意图,在所述第一掺杂层231和第二掺杂层232上形成介质层240,所述介质层240覆盖所述伪栅极结构侧壁,并暴露出所述伪栅极结构顶部表面。

[0097] 所述介质层240用于实现所形成静电放电保护结构与外部电路的电连接。

[0098] 本实施例中,形成所述介质层240的步骤包括:在所述第一掺杂层231和第二掺杂层232上形成初始介质层,所述初始介质层覆盖所述伪栅极结构侧壁和顶部表面;对所述初始介质层进行平坦化处理,暴露出所述伪栅极结构顶部表面,形成介质层240。

[0099] 由于静电放电保护器件往往与晶体管形成于同一芯片中,本实施例中,所述晶体管的形成方法包括:在所述衬底上形成晶体管栅极结构和位于所述晶体管栅极结构两侧衬底中的源漏掺杂区。所述初始介质层还覆盖所述晶体管栅极结构侧壁和顶部表面;对所述初始介质层进行所述平坦化处理的过程中,使所述晶体管栅极结构顶部暴露出来。

[0100] 需要说明的是,在对所述初始介质层进行平坦化处理的过程中,所述伪栅极结构能够降低所述初始介质层的平坦化速率,从而减小所述介质层240中的凹坑。

[0101] 本实施例中,所述初始介质层和所述介质层240的材料为氧化硅。

[0102] 本实施例中,形成所述初始介质层的工艺包括流体化学气相沉积工艺。流体化学气相沉积工艺形成的初始介质层能够充分填充第一鳍部201之间、第二鳍部202之间以及第一鳍部201和第二鳍部202之间的间隙。

[0103] 本实施例中,所述平坦化处理的工艺包括化学机械研磨工艺。

[0104] 本实施例中,所述平坦化处理还用于去除所述伪栅极上的掩膜层。

[0105] 请参考图9,形成介质层240之后,在所述伪栅极顶部表面形成金属化物251。

[0106] 所述金属化物251用于实现伪栅极与后续形成的栅极线之间的接触电阻,且所述金属化区251还位于所述晶体管栅极结构上,用于实现所述晶体管栅极结构与外部结构之间的接触电阻。

[0107] 本实施例中,形成所述金属化物251的步骤包括:在所述伪栅极顶部表面和所述介质层240上形成金属层,所述金属层与所述伪栅极反应形成金属化物;去除所述介质层240上的金属层。

[0108] 本实施例中,所述金属层的材料为钨或铜。

[0109] 需要说明的是,由于所述介质层240中的凹坑较小,在形成所述金属层的过程中,所述凹坑中的金属材料较少,从而不容易降低所述介质层240的绝缘性。因此,所述形成方法能够改善所形成静电放电保护结构的性能。

[0110] 请参考图10和图11,图10是图6基础上的后续步骤示意图,图11是图10沿切割线5-6的剖视图,在所述介质层240中形成第一插塞261和第二插塞272,所述第一插塞261连接所述第一掺杂层231,所述第二插塞262连接所述第二连接层232。

[0111] 所述第一插塞261用于实现第一掺杂层231与外部电路的电连接;所述第二插塞262用于实现第二掺杂层232与外部电路的电连接。

[0112] 本实施例中,所述形成方法还包括:在所述介质层240中形成栅极线263,所述栅极线263与所述伪栅极结构相连接。在其他实施例中,所述形成方法还可以不包括:形成所述栅极线。

[0113] 所述栅极线263用于实现伪栅极结构与外部电路的电连接,从而能够对所述伪栅极结构施加电压,从而使伪栅极结构与第一掺杂层231形成的MOS晶体管沟道导通,从而增加第一鳍部201中电流分布的均匀性。

[0114] 本实施例中,形成所述第一插塞261、第二插塞262和栅极线263的步骤包括:在所述介质层240和所述伪栅极上形成顶层介质层241;对所述顶层介质层241和介质层240进行图形化,形成贯穿所述顶层介质层241和介质层240的第一接触孔和第二接触孔,并在所述顶层介质层241中形成栅极孔,所述第一接触孔暴露出所述第一掺杂层231顶部表面,所述第二接触孔暴露出所述第二掺杂层232顶部表面,所述栅极孔暴露出所述伪栅极结构顶部表面;在所述第一接触孔中形成第一插塞261;在所述第二接触孔中形成第二插塞262;在所述栅极孔中形成栅极线263。

[0115] 本实施例中,所述顶层介质层241的材料为氧化硅。在其他实施例中,所述顶层介质层的材料还可以为氮氧化硅。

[0116] 本实施例中,形成所述顶层介质层241的工艺包括化学气相沉积工艺。

[0117] 本实施例中,所述第一插塞261、第二插塞262和栅极线263的材料为钨。在其他实施例中,所述第一插塞、第二插塞和栅极线的材料还可以为铜。

[0118] 本实施例中,形成所述第一插塞261、第二插塞262和栅极线263的工艺包括:化学气相沉积工艺。在其他实施例中,形成所述第一插塞、第二插塞和栅极线的工艺还可以包括电化学镀膜工艺。

[0119] 本实施例中,所述形成方法还可以包括:连接所述第二区域II栅极线263及第二插塞262的连接线,所述连接线用于在所述第二区域II栅极线263和第二插塞262上施加电位。

[0120] 综上,本发明实施例提供的静电放电保护结构的形成方法中,形成所述介质层之前,至少在所述第一区域后第二区域衬底上形成伪栅极结构。所述伪栅极结构能够在形成所述介质层的过程中,对所述介质层起支撑作用,从而减少因形成介质层过程中的平坦化工艺在所述介质层中形成凹坑,进而能够改善所述介质层的绝缘性能。综上,所述形成方法能够改善所形成静电放电保护结构的性能。

[0121] 相应的,本发明还提供另一种静电放电保护结构的实施例,请继续参考图10和图11,所述静电放电保护结构包括:衬底,所述衬底包括:第一区域I和第二区域II;位于所述第一区域I衬底中的第一阱区;位于所述第二区域II衬底中的第二阱区,所述第二阱区与第一阱区相接触;至少位于所述第一区域I或第二区域II衬底上的伪栅极结构;位于所述伪栅极结构周围第一阱区中的第一掺杂层231;位于所述伪栅极结构周围第二阱区中的第二掺杂层232,所述第二掺杂层232与第一掺杂层231的导电类型不相同;位于所述第一掺杂层231和第二掺杂层232上的介质层240,所述介质层240覆盖所述伪栅极结构侧壁,并暴露出所述伪栅极结构顶部表面。

[0122] 本实施例中,所述基底200用于形成二极管。在其他实施例中,所述衬底还可以用于形成三极管。

[0123] 本实施例中,所述第一区域I后续用于形成二极管阳极,所述第二区域II用于形成二极管阴极。

[0124] 本实施例中,所述基底200还包括位于所述第一区域I和第二区域II之间的隔离区III。

[0125] 所述隔离区III用于实现对所述第一区域I和第二区域II的隔离。

[0126] 本实施例中,所述第二区域II为环形,所述第二区域II位于所述第一区域I外围,且环绕所述第一区域I。

[0127] 本实施例中,所述基底200的材料为硅。在其他实施例中,所述基底200的材料还可以为锗或硅锗。

[0128] 本实施例中,所述第一区域I基底200上具有第一鳍部201;所述第二区域II基底200上具有第二鳍部202。在其他实施例中,所述衬底上还可以不具有所述第一鳍部和第二鳍部。

[0129] 本实施例中,所述第一鳍部201、第二鳍部202与所述基底200的材料相同。具体的,所述第一鳍部201和第二鳍部202的材料为硅。在其他实施例中,所述第一鳍部和第二鳍部的材料还可以为锗或硅锗。

[0130] 本实施例中,所述静电放电保护结构还包括位于所述基底200上的隔离结构203,所述隔离结构203覆盖所述第一鳍部201和第二鳍部202部分侧壁。

[0131] 本实施例中,所述第一阱区位于所述第一鳍部201和第一区域I基底200中,所述第二阱区位于所述第二鳍部202和所述第二区域II基底200中。

[0132] 本实施例中,所述第一阱区和第二阱区的导电类型相同。所述第一阱区和第二阱区构成阱区204。所述阱区204位于所述第一区域I基底200、第二区域基底200、第一鳍部201和第二鳍部202中。

[0133] 本实施例中,所述阱区204中具有阱离子,所述阱离子为N型离子,例如,磷离子或砷离子。在其他实施例中,所述阱离子还可以为P型离子,例如硼离子或 $\text{BF}^{2-}$ 离子。所述隔离结构203用于实现第一鳍部201之间、第二鳍部202之间以及第一鳍部201和第二鳍部202之间的电隔离。

[0134] 本实施例中,所述隔离结构203的材料为氧化硅。在其他实施例中,所述隔离结构的材料还可以为氮氧化硅。

[0135] 所述伪栅极结构用于后续对介质层起支撑作用,减少所述介质层中的凹坑,进而增加所述介质层的绝缘性能。

[0136] 此外,本实施例中,所述伪栅极结构还可以与第一掺杂层231形成MOS晶体管。

[0137] 本实施例中,所述伪栅极结构包括:位于所述第一区域I基底200上的第一伪栅极结构221;位于所述第二区域II基底200上的第二伪栅极结构222。在其他实施例中,所述伪栅极结构还可以包括:位于所述隔离区隔离结构上的第三伪栅极结构。所述伪栅极结构还可以仅包括第一伪栅极结构或者第二伪栅极结构。

[0138] 本实施例中,所述第一伪栅极结构221横跨所述第一鳍部201,且第一伪栅极结构221位于所述第一鳍部201部分顶部和侧壁表面;所述第二伪栅极结构222横跨所述第二鳍部202,且所述第二伪栅极结构222位于所述第二鳍部202部分顶部和侧壁表面。

[0139] 本实施例中,所述第一伪栅极结构221包括:横跨所述第一鳍部201的第一伪栅介质层,所述第一伪栅介质层位于所述第一鳍部201部分侧壁和顶部表面;位于所述第一伪栅介质层上的第一伪栅极。

[0140] 本实施例中,所述第二伪栅极结构222包括:横跨所述第二鳍部202的第二伪栅介质层,所述第二伪栅介质层位于所述第二鳍部202部分侧壁和顶部表面;位于所述第二伪栅

介质层上的第二伪栅极。

[0141] 本实施例中,所述第一伪栅极和第二伪栅极的材料为硅。在其他实施例中,所述第一伪栅极和第二伪栅极的材料还可以为锗或硅锗。

[0142] 本实施例中,第一伪栅介质层和第二伪栅介质层的材料为氧化硅。

[0143] 所述第一掺杂层231用于形成所述二极管的阳极。

[0144] 本实施例中,所述第一掺杂层231为P型半导体。具体的,所述第一掺杂层231的材料为硅锗或硅,所述第一掺杂层231中具有第一掺杂离子。所述第一掺杂离子为硼离子或 $\text{BF}^{2-}$ 离子。在其他实施例中,所述第一掺杂层还可以为N型半导体。具体的,所述第一掺杂层的材料为硅或碳硅,所述第一掺杂离子为磷离子或砷离子。

[0145] 本实施例中,所述第二掺杂层232位于所述第二伪栅极结构222两侧的第二鳍部202中。

[0146] 本实施例中,所述第二掺杂层232用于形成二极管阴极。

[0147] 本实施例中,所述第二掺杂层232为N型半导体。具体的,所述第二掺杂层232的材料为硅或碳硅,所述第二掺杂层232中具有第二掺杂离子。所述第二掺杂离子为磷离子或砷离子。在其他实施例中,所述第二掺杂层还可以为P型半导体。具体的,所述第二掺杂层的材料为硅或硅锗,所述第二掺杂离子为硼离子或 $\text{BF}^{2-}$ 离子。

[0148] 本实施例中,所述第二掺杂层232位于所述第二伪栅极结构222两侧的第二鳍部202中。

[0149] 所述介质层240用于实现所形成静电放电保护结构与外部电路的电连接。

[0150] 所述伪栅极结构能够对所述介质层240起支撑作用,从而减小所述介质层中的凹坑。

[0151] 本实施例中,所述介质层240的材料为氧化硅。

[0152] 本实施例中,所述静电放电保护结构还包括:位于所述伪栅极结构顶部表面的金属化物251。

[0153] 所述金属化物251用于降低后续的栅极线与所述伪栅极结构之间的接触电阻。

[0154] 本实施例中,所述金属化物251的材料为硅钨。

[0155] 由于所述介质层240中的凹坑较小,所述凹坑中的金属材料较少,因此,所述形成方法能够提高所述介质层240的绝缘性,从而改善所形成的静电放电保护结构性能。

[0156] 本实施例中,所述静电放电保护结构还包括:位于所述介质层240和所述金属化物251上的顶层介质层241。

[0157] 所述顶层介质层241的材料为氧化硅。在其他实施例中,所述顶层介质层241的材料还可以为氮氧化硅。

[0158] 所述半导体结构还包括:位于所述介质层240和所述顶层介质层241中的第一插塞261和第二插塞262,所述第一插塞261连接所述第一掺杂层231,所述第二插塞262连接所述第二掺杂层232;位于所述顶层介质层241中的栅极线263,所述栅极线263连接所述伪栅极结构。

[0159] 所述第一插塞261用于实现第一掺杂层231与外部电路的电连接;所述第二插塞262用于实现第二掺杂层232与外部电路的电连接。

[0160] 本实施例中,所述静电放电保护结构还包括:贯穿所述顶层介质层241的栅极线

263,所述栅极线263与所述伪栅极结构相连接。

[0161] 所述栅极线263用于实现伪栅极结构与外部电路的电连接,从而使所述伪栅极结构与第一掺杂层231形成MOS晶体管,从而增加电流的流经通道,进而增加电流在第一鳍部201中分布的均匀度,从而减少所形成静电放电保护结构的损伤。

[0162] 本实施例中,所述第一插塞261、第二插塞262和栅极线263的材料为钨。在其他实施例中,所述第一插塞、第二插塞和栅极线的材料还可以为铜。

[0163] 综上,本实施例提供的静电放电保护结构中,至少在所述第一区域后第二区域衬底上具有伪栅极结构,所述伪栅极结构能够为所述介质层提供支撑,从而能够减少所述介质层中的凹坑,进而能够提高所述介质层的绝缘性,因此,所述静电放电保护结构的性能能够得到改善。

[0164] 图12是本发明的静电放电保护结构的工作方法一实施例的结构示意图。

[0165] 请参考图12,提供静电放电保护结构。

[0166] 所述静电放电保护结构与上一实施例的静电放电保护结构相同,在此不多做赘述。

[0167] 继续参考图12,在所述第一掺杂层231上施加静电电位 $V_{SS}$ ;在所述第二掺杂层232上施加第一电位 $V_{DD}$ ,所述第一电位 $V_{DD}$ 小于所述静电电位 $V_{SS}$

[0168] 本实施例中,所述静电放电保护结构为二极管,所述二极管用做静电放电保护器件。

[0169] 本实施例中,在所述第一掺杂层231上施加静电电位 $V_{SS}$ 的步骤包括:使所述第一掺杂层231连接静电电荷。

[0170] 本实施例中,所述第一掺杂层231为P型半导体,所述第二掺杂层232为N型半导体。所述第一电位 $V_{DD}$ 小于所述静电电位 $V_{SS}$ ,当静电电荷较大时,所述静电电位 $V_{SS}$ 较高,使所述第一掺杂层231与第二掺杂层232之间的电压值达到所述二极管的开启电压时,所述二极管正向导通,电流从第一掺杂层231流向第二掺杂层232,从而实现静电的释放。

[0171] 在其他实施例中,所述第一掺杂层还可以为N型半导体,所述第二掺杂层为P型半导体,当所述静电电位大于第一电位,且达到二极管的反向导通电压时,可以使所述二极管反向导通,从而实现静电的释放。

[0172] 本实施例中,相邻第一掺杂层231上的静电电位 $V_{SS}$ 不相同。

[0173] 本实施例中,所述二极管用做静电放电保护器件,所述第一掺杂层231连接静电电荷。由于外部电路产生的静电荷流经所述不同第一掺杂层231的电荷量不相同,因此在不同第一掺杂层231中形成的电流往往不相同,从而使静电荷对不同第一掺杂层231施加的静电电位 $V_{SS}$ 的大小不相同。

[0174] 需要说明的是,由于所述介质层240的绝缘性较好,在所述第一掺杂层231上施加静电电位 $V_{SS}$ ,在所述第二掺杂层232上施加第一电位 $V_{DD}$ 的过程中,所述介质层240不容易被击穿,从而能够延长所述静电放电保护结构的使用寿命。

[0175] 本实施例中,所述工作方法还可以包括:在所述第一伪栅极结构221上施加第二电位,所述第二电位小于所述静电电位 $V_{SS}$ 。

[0176] 需要说明的是,由于所述第一掺杂层231为P型半导体,所述第一伪栅极结构221与第一伪栅极结构221两侧第一鳍部201中的第一掺杂层231形成PMOS晶体管。由于所述第二



电位小于所述静电电位 $V_{SS}$ ,当静电荷较大,所述静电电位 $V_{SS}$ 较高时,所述第一掺杂层231与伪栅极结构之间的电压达到所述PMOS晶体管的阈值电压时,所述PMOS晶体管沟道开启,从而能够使电流在第一掺杂层231之间流动。具体的,电流能够从电荷密度较大的第一掺杂层231向电荷密度较小的第一掺杂层231流动,从而能够使所述第一掺杂层231之间的第一鳍部201中的电流分布均匀,进而能够减少由于局部电流过大引起的第一鳍部201的损伤。

[0177] 具体的,本实施例中,所述第一电位 $V_{DD}$ 小于所述静电电位 $V_{SS}$ ,所述第二电位等于所述第一电位 $V_{DD}$ 。

[0178] 本实施例中,通过使所述栅极线263与所述第二插塞261连接,从而使第二电位等于所述第一电位 $V_{DD}$ 。

[0179] 综上,本发明实施例提供的静电放电保护结构的工作方法中,至少在所述第一区域后第二区域衬底上具有伪栅极结构,所述伪栅极结构能够为所述介质层提供支撑,从而能够减少所述介质层中的凹坑,进而能够增加所述介质层的绝缘性,因此,在对所述第一掺杂层施加静电电位,第二掺杂层施加第一电位的过程中,所述介质层不容易被击穿,从而能够保证静电放电保护结构的正常应用,增加所述静电放电保护结构的使用寿命。

[0180] 进一步,所述静电放电保护结构包括多个第一伪栅极结构,且所述第一掺杂层位于所述第一伪栅极结构两侧,因此,所述第一伪栅极结构与所述第一掺杂层可以形成MOS晶体管。此外,所述第一伪栅极结构上接有第二电位,从而可以通过所述第二电位使所述MOS晶体管下方沟道导通,从而能够使电流在所述第一掺杂层之间流动,使电流在第一区域衬底中分布均匀,进而能够降低电流对所述静电放电保护结构的损伤

[0181] 虽然本发明披露如上,但本发明并非限于于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

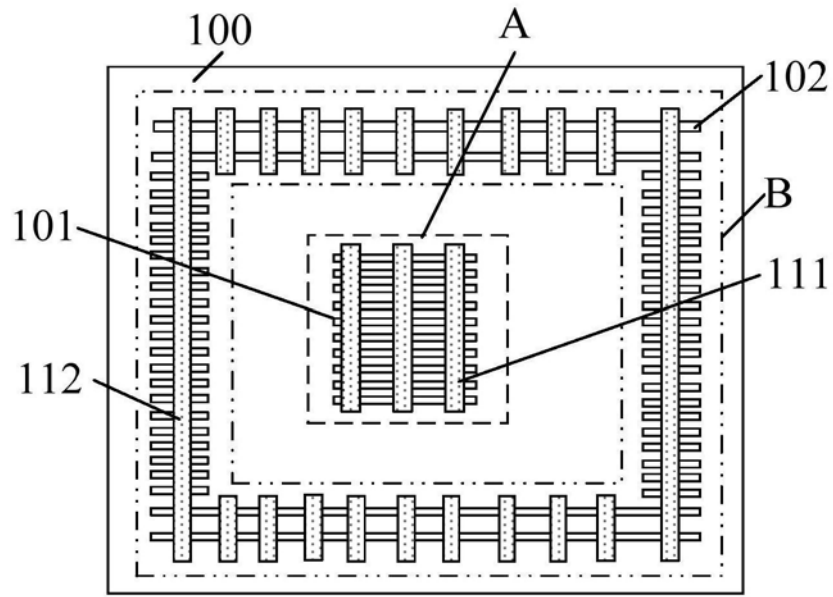


图1

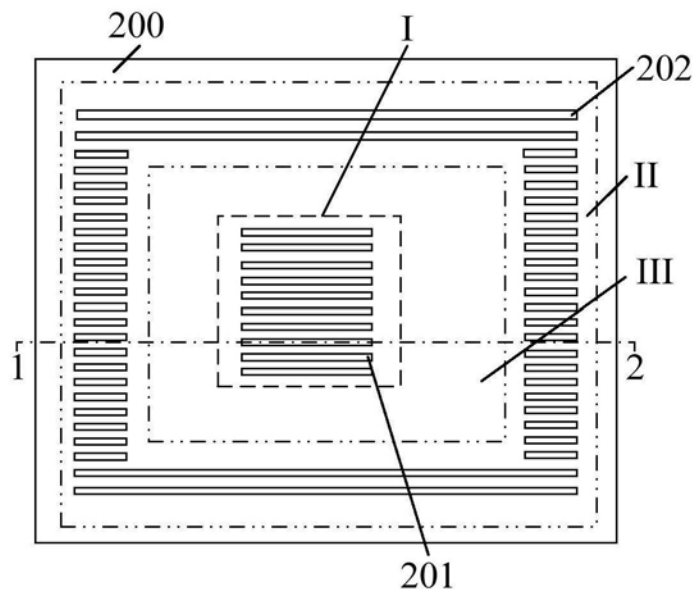


图2

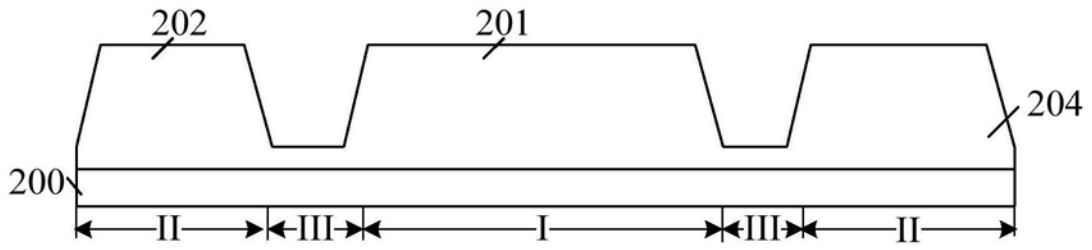


图3

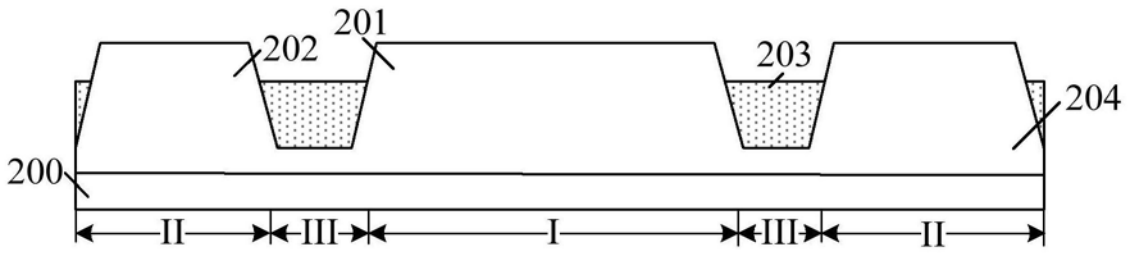


图4

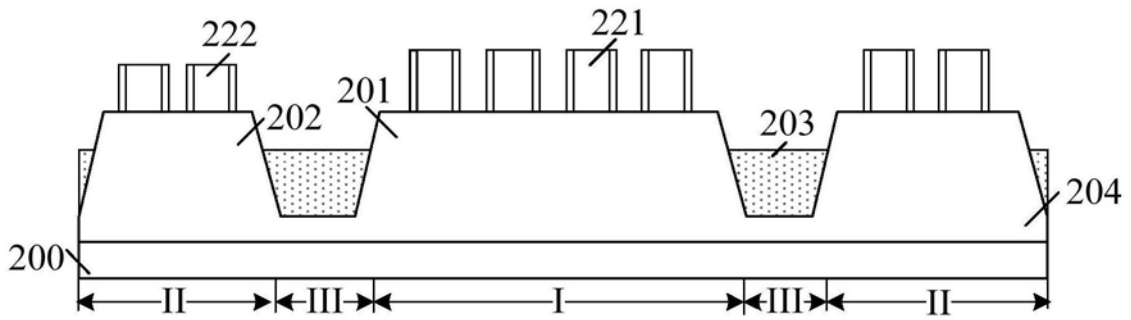


图5

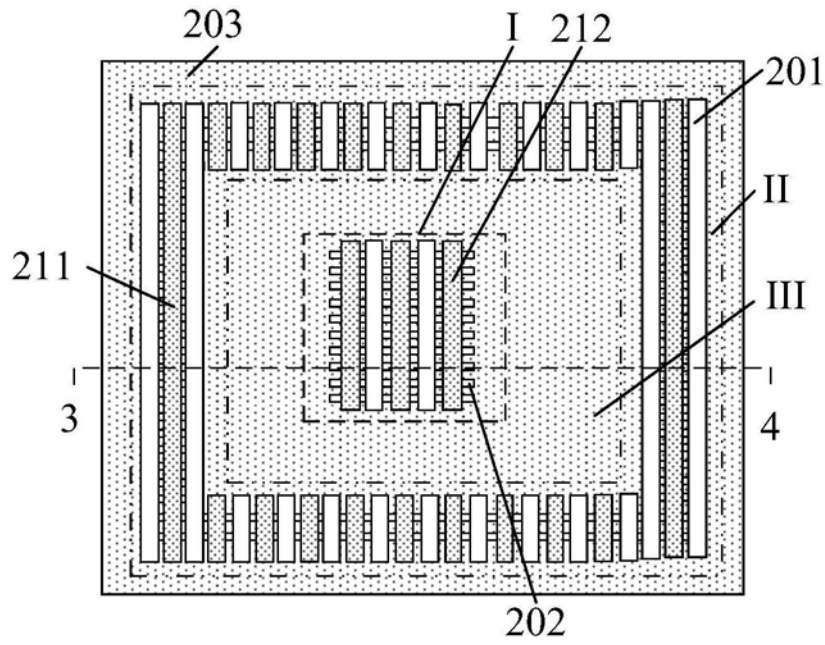


图6

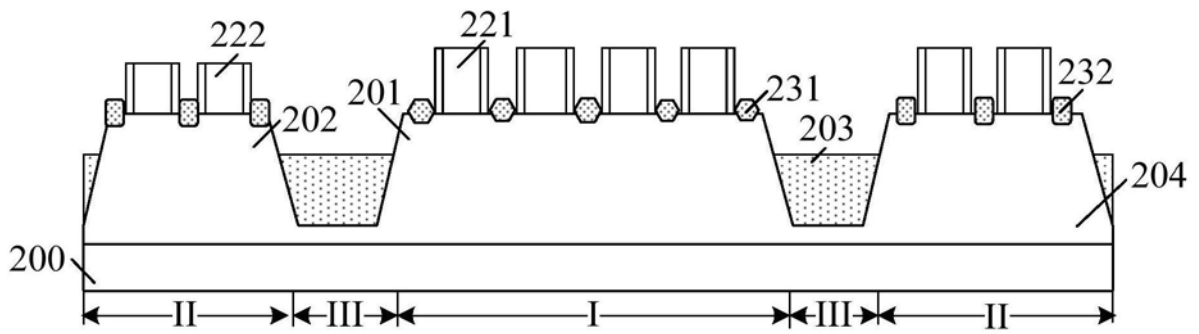


图7

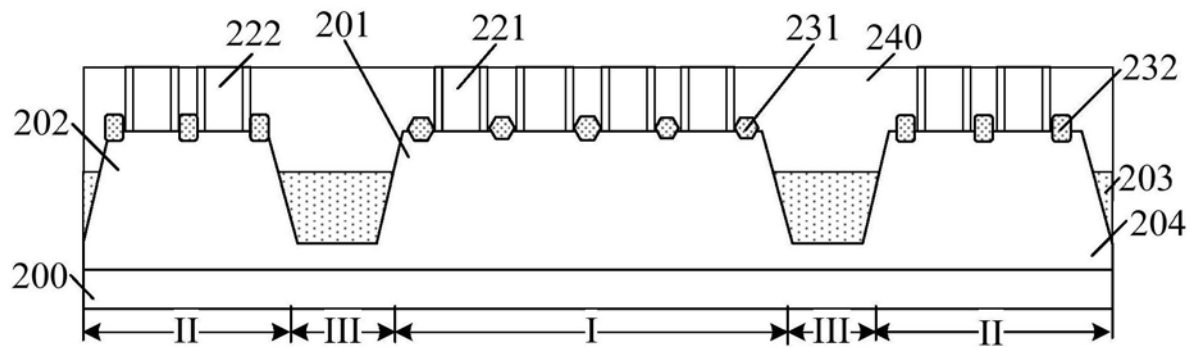


图8

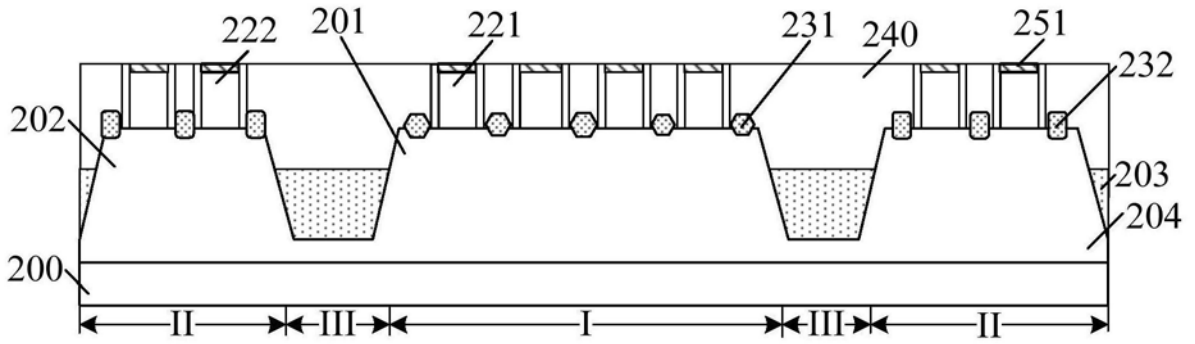


图9

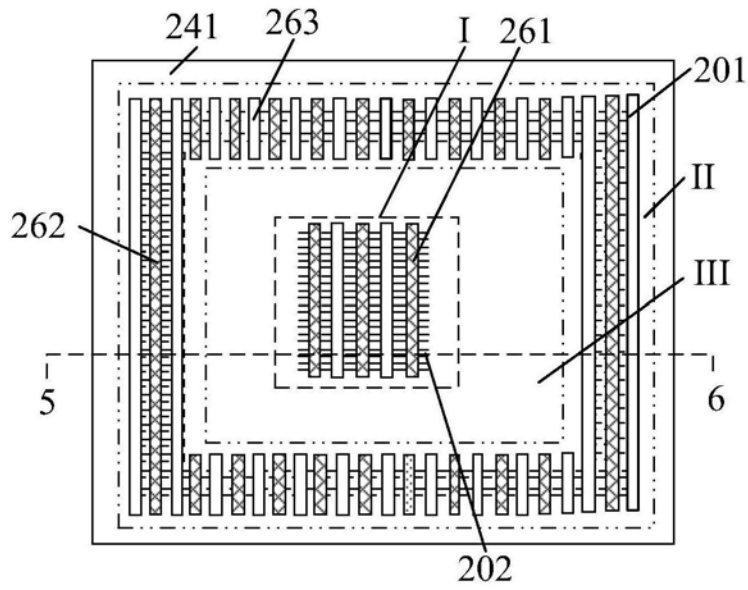


图10

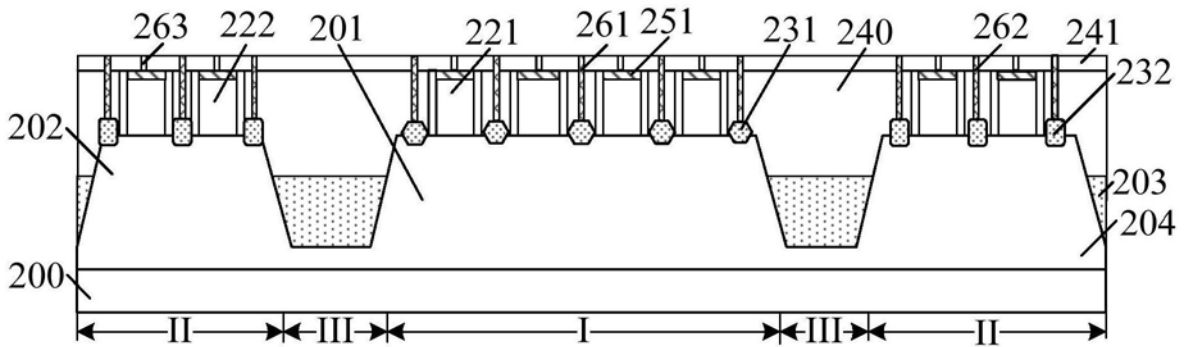


图11

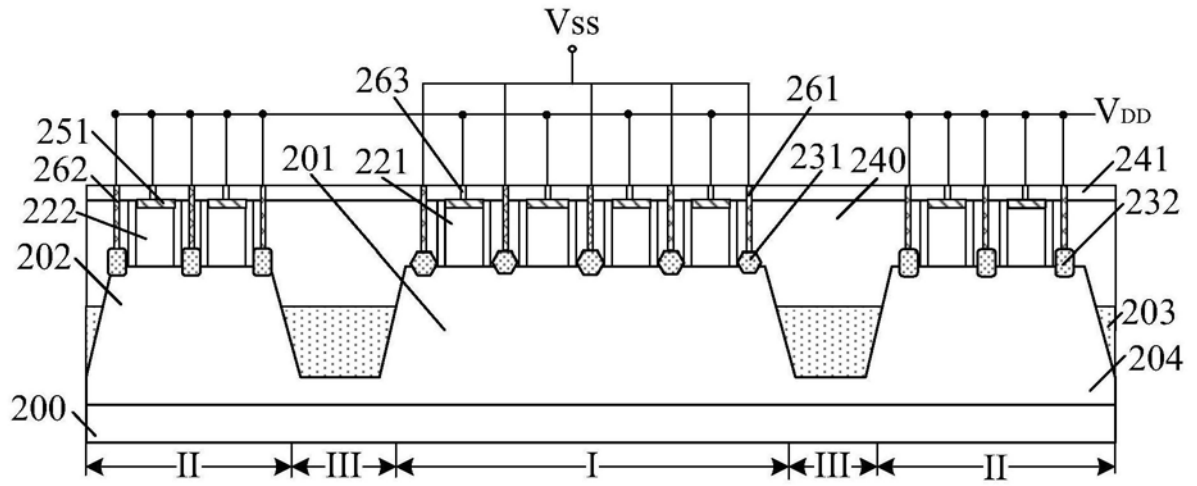


图12