

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3833970号  
(P3833970)

(45) 発行日 平成18年10月18日(2006.10.18)

(24) 登録日 平成18年7月28日(2006.7.28)

(51) Int. Cl.	F I
<b>G 1 1 C 16/02 (2006.01)</b>	G 1 1 C 17/00 6 O 1 B
<b>G 1 1 C 16/06 (2006.01)</b>	G 1 1 C 17/00 6 1 1 E
	G 1 1 C 17/00 6 3 4 Z

請求項の数 12 (全 18 頁)

(21) 出願番号	特願2002-167314 (P2002-167314)	(73) 特許権者	000003078
(22) 出願日	平成14年6月7日(2002.6.7)		株式会社東芝
(65) 公開番号	特開2004-14043 (P2004-14043A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成16年1月15日(2004.1.15)	(74) 代理人	100058479
審査請求日	平成15年6月19日(2003.6.19)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリ

(57) 【特許請求の範囲】

【請求項1】

複数に分割されたメモリセルアレイと、  
前記複数のメモリセルアレイのうちで非選択アレイ中の一部に割り当てられた書き換え回数記憶領域のセルトランジスタに対して通常書き込みよりも弱い電界で書き込みを行い、セルトランジスタの浮遊ゲートへの電子の注入量によってセルトランジスタの閾値をアナログ的に変動させることによって書き換え回数を記憶させる書き換え回数書き込み制御回路

とを具備することを特徴とする不揮発性半導体メモリ。

【請求項2】

メモリセルアレイと、  
前記メモリセルアレイにおける偶奇一对のビット線毎に共通に接続される複数のセンスアンプ兼データレジスタと、選択されたメモリセルアレイの一部に割り当てられた書き換え回数記憶領域における偶奇一对のビット線のうちの一方のビット線に接続されているセルトランジスタに対してデータが書き込まれる際には他方のビット線に接続されているセルトランジスタに対して通常書き込みよりも弱い電界で書き込みを行い、セルトランジスタの浮遊ゲートへの電子の注入量によってセルトランジスタの閾値をアナログ的に変動させることによって書き換え回数を記憶させる書き換え回数書き込み制御回路

とを具備することを特徴とする不揮発性半導体メモリ。

【請求項3】

前記書き換え回数記憶領域におけるセルトランジスタに対して通常の書き込みよりも弱い電界で書き込みを行う際、前記セルトランジスタに直列に接続されているビット線に所定の電源電圧を与え、前記セルトランジスタのゲートに書き込み電圧 $V_{pgm}$ を与えることにより、前記セルトランジスタに対する“1”書き込みストレスを利用して書き込むことを特徴とする請求項1または2記載の不揮発性半導体メモリ。

【請求項4】

前記書き換え回数記憶領域におけるセルトランジスタに対して通常の書き込みよりも弱い電界で書き込みを行う際、前記セルトランジスタの制御ゲートに書き込み電圧より低い非選択ワード線電圧 $V_{pass}$ を与え、前記セルトランジスタに直列に接続されているビット線には接地電位を与えることにより、  
前記セルトランジスタに対する $V_{pass}$  ストレスを利用して書き込むことを特徴とする請求項1または2記載の不揮発性半導体メモリ。

10

【請求項5】

前記書き換え回数を記憶させた書き換え回数記憶領域の複数のセルトランジスタから書き換え回数を読み出す際、読み出しデータをデバイス外部に出力することを特徴とする請求項1乃至4のいずれか1項に記載の不揮発性半導体メモリ。

【請求項6】

前記書き換え回数を記憶させた書き換え回数記憶領域の複数のセルトランジスタから書き換え回数を読み出す際、前記セルトランジスタの制御ゲートに接続されているワード線の電圧を変化させていき、前記ワード線の電圧以下の閾値を持つセルトランジスタの個数が書き換え回数記憶領域のセルトランジスタの全数の半数を超えた時点のワード線の電圧に基づいて書き換え回数を判定することを特徴とする請求項1乃至4のいずれか1項に記載の不揮発性半導体メモリ。

20

【請求項7】

前記書き換え回数を読み出す際に使用するカウンタが予め設けられており、前記書き換え回数を記憶させた書き換え回数記憶領域の複数のセルトランジスタから書き換え回数を読み出す際、前記セルトランジスタの制御ゲートに接続されているワード線の電圧を変化させていき、セルトランジスタが前記ワード線の電圧以下の閾値を持つ場合に前記カウンタを歩進させていき、前記カウンタの最上位ビットが反転した時点のワード線の電圧に基づいて書き換え回数を判定することを特徴とする請求項1乃至4のいずれか1項に記載の不揮発性半導体メモリ。

30

【請求項8】

前記複数のセルトランジスタから読み出されたデータに基づいてセルトランジスタの閾値分布の中心を判定することにより書き換え回数を判定することを特徴とする請求項5乃至7のいずれか1項に記載の不揮発性半導体メモリ。

【請求項9】

前記書き換え回数を読み出す際に使用するカウンタが予め設けられており、前記書き換え回数を記憶させた書き換え回数記憶領域の複数のセルトランジスタから書き換え回数を読み出す際、前記セルトランジスタの制御ゲートに接続されているワード線の電圧を変化させていき、書き換え回数の読み出し結果を1ページ分の読み出しデータとしてシリアルにデバイス外部に出力することを特徴とする請求項5記載の不揮発性半導体メモリ。

40

【請求項10】

前記書き換え回数記憶領域に対応するロウデコーダは、消去選択を禁止するために使用されるフューズを備えており、当該フューズはデバイスの出荷時にメモリセルのデータを消去した後に切断されることを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項11】

前記メモリセルアレイにおける選択ビット線は物理的に1本おきとし、選択されないビット線を所定電位に固定するビット線シールド技術が採用されており、前記ビット線に与える電源電圧あるいは接地電位は、前記ビット線シールド技術で用いられる電源から供給することを特徴とする請求項3または4記載の不揮発性半導体メモリ。

50

## 【請求項 1 2】

前記メモリセルアレイにおけるビット線に対応してセンスアンプ兼データレジスタが設けられており、前記ビット線に与える電源電圧あるいは接地電位は前記センスアンプ兼データレジスタから供給することを特徴とする請求項 3 または 4 記載の不揮発性半導体メモリ。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、不揮発性半導体メモリに係り、特に書き換え回数書き込み制御回路に関するもので、例えばNAND型フラッシュメモリに使用されるものである。

10

## 【0002】

## 【従来の技術】

図 2 は、NAND型フラッシュメモリのセルアレイに用いられているNANDセルとして、あるセルブロックBLOCKmの一部のNANDセルを取り出してその一例を示す等価回路図である。

## 【0003】

このNANDセルは、16個のメモリセルCT0 ~ CT15が直列に接続され、その一端側および他端側がそれぞれ対応してドレイン側選択ゲートトランジスタDGT およびソース側選択ゲートトランジスタSGT を介してビット線BLi (BLn, BLn+1, ...) およびソース線SLに接続されている。各メモリセルCT0 ~ CT15は、浮遊ゲートおよび制御ゲートの二層ゲート構造を有するセルトランジスタが用いられており、その制御ゲートにはワード線WLi (WL0 ~ WL15) が

20

## 【0004】

また、ドレイン側選択ゲートトランジスタDGT の制御ゲートにはドレイン側選択ゲート線SGD が接続され、ソース側選択ゲートトランジスタSGT の制御ゲートにはソース側選択ゲート線SGS が接続されている。

## 【0005】

ここで、NAND型フラッシュメモリおよびNANDセルの動作の一例を簡単に説明しておく。

## 【0006】

NANDセルの書き込み(プログラム)/消去は、セルトランジスタのトンネル酸化膜にFNトンネル電流を通し、浮遊ゲートに電子を注入または放出することにより行う。

30

## 【0007】

即ち、書き込み時には、ビット線BLi の電位を接地電位 (gnd, 0V) にし、選択ワード線に書き込み電圧Vpgm (例えば20V) を与え、選択セルトランジスタの浮遊ゲートとチャンネル部との間の高電界によって浮遊ゲートに電子を注入する。この時、選択セルトランジスタと直列に接続されているドレイン側選択ゲート線SGD には電源電圧Vdd が与えられてドレイン側選択ゲートトランジスタDGT は導通状態にあり、非選択ワード線には非選択ワード線書き込み電圧Vpass(例えば10V) が与えられて非選択セルトランジスタは導通状態にあり、ビット線BLi の電位を選択セルトランジスタのチャンネル部へ十分に転送する。なお、ソース側選択ゲート線SGS には0Vが与えられてソース側選択ゲートトランジスタSGT は非導通状態になっている。

40

## 【0008】

書き込みは、1本のワード線に共通に接続された複数のセルトランジスタを単位とする1ページに対して一括で行うので、同時に書き込まれる複数のセルトランジスタの中には、データが“1”のもの(浮遊ゲートに電子を注入せずに消去状態を保つセルトランジスタ)も存在する。

## 【0009】

上記したデータが“1”の選択セルトランジスタに対する書き込みの最初には、セルトランジスタのチャンネルにビット線電位Vdd が転送された後、ワード線の電位がVpgmまたはVpassになると、チャンネル部の電位はゲート容量によって持ち上げられる。この時、選択セルトランジスタのチャンネル部の電位がVdd + Vth より高くなると、選択セルトランジスタ

50

と直列に接続されているドレイン側選択ゲートトランジスタDGTは、ゲート線SGDにVddが与えられるので非導通状態になる。

【0010】

選択セルトランジスタのチャンネル部の電位はワード線・浮遊ゲート間の容量と浮遊ゲート・チャンネル部間の容量との比によるが、9V程度まで持ち上げられることになる。これにより、選択セルトランジスタの浮遊ゲートとチャンネル部間の電界が弱まるので、FNトンネル電流は電界の二乗に比例して減少し、通常書き込み時間では書き込みが行われず、消去状態を保つ。

【0011】

1ページ一括の書き込みを行うために、各ビット線に対応してセンスアンプを兼ねたデータレジスタが接続されており、それぞれ書き込みデータを一時的に保持するように構成されている。

10

【0012】

図8は、NAND型フラッシュメモリに用いられているセンスアンプ兼データレジスタの1個分の一例を取り出して詳細に示す回路図である。

【0013】

このセンスアンプ兼データレジスタは、2つのインバータが交叉接続されてなるデータレジスタ(ラッチ回路)REGの一对の入出力ノードに、一对のセンス入力用トランジスタSA0, SA1およびカラム選択の信号CSLにより駆動される一对の入出力ゲートトランジスタCSTが接続されている。上記一对のセンス入力用トランジスタSA0, SA1のソース共通接続ノードはセンス増幅用のNMOSトランジスタSATを介してgndに接続されている。

20

【0014】

また、データレジスタREGの一方の入出力ノードには、書き込み信号PROGRAMによって制御される書き込み制御トランジスタWTを介した後、一对の偶数側ビット線および奇数側ビット線に共通に接続されている。この場合、一对の偶数側ビット線および奇数側ビット線は、それぞれ対応して偶数側ビット線選択制御トランジスタEBT、奇数側ビット線選択制御トランジスタOBTにより選択的に書き込み制御トランジスタWTに接続される。

【0015】

データレジスタREGの他方の入出力ノードには、データレジスタを“1”状態にリセットするためのリセットトランジスタRTが接続されており、このリセットトランジスタRTはリセット信号RSTによって制御される。

30

【0016】

次に、図8を参照して書き込み、消去、読み出し動作を簡単に説明する。

【0017】

書き込み時には、一对の入出力線I0, /I0から一对の入出力ゲートトランジスタCSTを介して入力された書き込みデータがデータレジスタREGに一時的に保持される。この書き込みデータは書き込み信号PROGRAMの制御によって制御される書き込み制御トランジスタWTおよび選択された偶数側のビット線選択制御トランジスタEBTまたは奇数側のビット線選択制御トランジスタOBTを介して偶数側または奇数側のビット線に転送される。この際、書き込みデータが“0”の場合にはビット線に0Vが転送され、書き込みデータが“1”の場合にはビット線にVddが転送される。

40

【0018】

消去は、メモリセルのウェルを消去電圧Vera(例えば21V)にし、ワード線を0Vとすることにより、浮遊ゲート中の電子を基板へ引き抜くことにより行う。消去はブロック単位で行うが、消去しない非選択ブロックのワード線は浮遊状態にしておく。ウェルの電圧がVeraにされると、基板と浮遊ゲートを介したワード線との容量結合によって、浮遊ゲートは高い電圧にブートされる。そのため、非選択ブロックでは、浮遊ゲートと基板との間の電界が弱まり、消去されない。

【0019】

50

読み出しは、書き込みと同じくページ単位で行う。読み出しの最初に、データレジスタREG はリセット信号RST によって“ 1 ”状態にリセットされる。そして、読み出しの最初にプリチャージ信号PRECHARGE によって制御されるプリチャージ用のPMOSトランジスタPRT およびリード信号READがゲートに与えられるNMOSトランジスタRTを介してビット線がプリチャージされる。この際、ビット線のプリチャージ電圧をVdd または読み出しの高速化を図るためにVdd より低い電位に設定するように、リード信号READの電圧を制御することによって決める。

【 0 0 2 0 】

また、プリチャージ用のPMOSトランジスタPRT の一端の電位によって活性化制御用のNMOSトランジスタENT がオン状態に制御される。

10

【 0 0 2 1 】

その後、選択ワード線を0Vにしたままで、図2中に示したドレイン側選択ゲートトランジスタDGT およびソース側選択ゲートトランジスタSGT をオンさせ、ビット線の電位が放電されるかどうかを判定する。この時、選択セルトランジスタと直列に接続されたセルトランジスタには十分にセル電流を流すように、それに対応するワード線には読み出し電圧Vread (例えば3.5V) が与えられる。

【 0 0 2 2 】

選択セルトランジスタのデータが“ 1 ”である場合(消去されている場合)には、そのトランジスタの閾値が負にまで低くなっているため、ワード線が0Vであってもセル電流が流れ、ビット線は放電される。

20

【 0 0 2 3 】

選択セルトランジスタのデータがデータが“ 0 ”である場合(書き込まれている場合)には、そのトランジスタの閾値は0V以上に高くなっているため、選択セルトランジスタは非導通になり、ビット線の電位はプリチャージされたまま保持される。

【 0 0 2 4 】

その後、リード信号READによりNMOSトランジスタRTをオンさせ、ビット線の電圧をセンス増幅用のNMOSトランジスタENT で受け、センス信号SENSE0によってセンス入力用のNMOSトランジスタSAをオンさせてデータレジスタREG に一時的に保持させる。データレジスタREG に取り込まれたデータは、シリアルに読み出される。

【 0 0 2 5 】

ところで、ビット線の微細化が進むに連れ、隣接するビット線間の寄生容量が大きくなり、誤読み出しを防ぐためにビット線シールド技術が採用されている。ここで、ビット線シールド技術について簡単に説明する。

30

【 0 0 2 6 】

上述したように、読み出し時にはビット線を浮遊にしてプリチャージ電位がセル電流によって放電されるかどうかを見ている。デザインルールが緩やかで、ビット線の幅が広く、隣接するビット線の間隔も広い時には、ビット線の寄生容量はその大部分が基板に対するものであり、隣接ビット線の動作は読み出しに影響を与えることはない。

【 0 0 2 7 】

しかし、微細化が進み、ビット線が細くなりビット線間隔が狭くなると、ビット線の寄生容量は隣接するビット線間の容量が支配的になる。そういった状況で、注目するビット線上のメモリセルにはデータ“ 0 ”が書き込まれており、隣接する2つのビット線には“ 1 ”が書き込まれている場合を考える。

40

【 0 0 2 8 】

この場合、注目するビット線は放電されずプリチャージ電位が保持されるはずであるが、隣接する2本のビット線は放電されるので、ビット線間の容量結合によって注目するビット線の電位も下がってしまい、“ 1 ”と誤読み出しされてしまう。

【 0 0 2 9 】

これを防ぐために用いられるビット線シールド技術では、選択ビット線は物理的には1本おきとし、選択されないビット線は電位を接地電位gnd に固定する。これにより隣接ビッ

50

ト線間の寄生容量の電位差は固定されているので、誤読み出しが起こることはない。

【0030】

なお、上記したビット線シールド技術では、偶数列のビット線および奇数列のビット線はそれぞれ対応して信号BL-even またはBL-oddによって選ばれる。また、1本のワード線に接続されるメモリセルの数は2倍に増えるが、アドレッシングによって、外部から見たページサイズは変更しないよう制御している。

【0031】

上述したようにフラッシュメモリの書き込み/消去では、セルトランジスタの本来は絶縁膜である酸化膜に電子を通して行っているので、書き込み/消去を繰り返すうちに酸化膜の特性が変化し、書き込み/消去特性が劣化していく。

10

【0032】

NAND型フラッシュメモリの場合には、書き換え(書き込み/消去)回数が増えるにつれて、消去時の閾値が高くなってしまいう現象が生じる。これは、酸化膜中に電子トラップ(トラップ準位)が発生し、ここにトラップされた電子がトンネル電流を妨げるからである。

【0033】

書き換え回数が増えていっても初期と同様の消去特性を得るためには、より高い消去電圧V<sub>era</sub>またはより長い消去時間が必要となる。通常は、書き換えが進んでもメモリセルの特性劣化がデバイスの劣化として見えないよう、マージンをとって消去電圧/時間を設定している。

【0034】

しかし、マージンをとって消去電圧/時間を設定することは、初期のメモリセルにとっては過剰なストレスとなり、劣化を速めてしまうという悪循環が生じる。そこで、過剰なストレスを与えずに、それぞれの時点での最適な条件で消去を行うためには、書き換え回数にしたがって電圧または時間を調整していく方法が考えられる。

20

【0035】

この方法を実現するためには、書き換え回数をレジスタに記憶しておき、その書き換え回数に応じてコントローラで内部電圧等を調整することが考えられる。この書き換え回数を記憶しておくレジスタは、デバイスの電源を切っても情報を保持しなければならないので、不揮発性である必要がある。

【0036】

特にフラッシュメモリでは、仕様の10万回から100万回の書き換えを許容しており、この大きな書き換え回数をデジタル的に計数し、例えばメモリセルと同様の多数の記憶素子(例えば20ビットの不揮発性レジスタ)に記憶する制御が必要になり、回路規模が大きくなる。

30

【0037】

【発明が解決しようとする課題】

上記したように従来のフラッシュメモリは、書き換え回数にしたがって書き込み/消去特性の劣化に対応して電圧/時間等を調整するために、大きな書き換え回数をデジタル的に計数して多数の不揮発性レジスタに記憶する制御が必要になり、回路規模が大きくなるという問題があった。

40

【0038】

本発明は上記の問題点を解決すべくなされたもので、書き換え回数をメモリセルと同様の記憶素子にアナログ的に記憶することにより、少ない回路数で書き換え制御を可能にした不揮発性半導体メモリを提供することを目的とする。

【0039】

【課題を解決するための手段】

本発明の第1の不揮発性半導体メモリは、複数に分割されたメモリセルアレイと、前記複数のメモリセルアレイのうちで非選択アレイ中の一部に割り当てられた書き換え回数記憶領域のセルトランジスタに対して通常書き込みよりも弱い電界で書き込みを行い、セルトランジスタの閾値のアナログ的な変動量によって書き換え回数を記憶させる書き換え回

50

数書き込み制御回路とを具備することを特徴とする。

【0040】

本発明の第2の不揮発性半導体メモリは、メモリセルアレイと、前記メモリセルアレイにおける偶奇一对のビット線毎に共通に接続される複数のセンスアンプ兼データレジスタと、選択されたメモリセルアレイの一部に割り当てられた書き換え回数記憶領域における偶奇一对のビット線のうちの一方のビット線に接続されているセルトランジスタに対してデータが書き込まれる際には他方のビット線に接続されているセルトランジスタにに対して通常の書き込みよりも弱い電界で書き込みを行い、セルトランジスタの閾値のアナログ的な変動量によって書き換え回数を記憶させる書き換え回数書き込み制御回路とを具備することを特徴とする。

10

【0041】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0042】

<第1の実施形態>

図1は、本発明の第1の実施形態に係るNAND型フラッシュメモリの概略構成を示すブロック図である。

【0043】

図1のNAND型フラッシュメモリは、図2を参照して前述したNANDセルのアレイを有し、通常の大容量のNAND型フラッシュメモリと同様に、ビット線容量を小さく抑えて高速読み出しを図るために、メモリセルアレイ10が複数(本例では2つ)のセルアレイ0、セルアレイ1に分割されている。また、前述したビット線シールド技術が採用されている。

20

【0044】

そして、アナログ的に書き換え回数を記憶するための回数記憶領域として、非選択アレイ中の一部(1ブロックまたは1ページ)を割り当てるものであり、本例では、回数記憶ブロック10aを割り当てた場合を例にとって説明する。

【0045】

メモリセルアレイ10のロウ選択を行うロウデコーダ(Row Decoder)11のうち、回数記憶ブロック10に対応するロウデコーダ11aには、2つのメモリセルアレイを区別するブロックアドレスの最上位ビットBLKADD-MSBとその反転ビット/ $\overline{\text{BLKADD-MSB}}$ がそれぞれ対応して入力されており、アレイ毎の書き換え回数を当該アレイとは別の側のアレイに独立に記憶するように制御している。

30

【0046】

なお、12はメモリセルアレイ10の各カラムに対応して設けられたセンスアンプ(Sense Amp.)、13はメモリセルアレイ10のカラム選択を行うカラムデコーダ(Column Decoder)である。

【0047】

上記センスアンプ12は、後述する書き込み方法の各実施例に応じて、図8を参照して前述したようなセンスアンプ兼データレジスタ、あるいは、図9を参照して後述するようなセンスアンプ兼データレジスタが用いられる。

40

【0048】

回数記憶ブロック10aに書き換え回数を記憶させるために、回数記憶ブロック10aのセルトランジスタに対して通常の書き込みよりも弱い電界で書き込みを行い、セルトランジスタの閾値のアナログ的な変動量によって記憶させる。

【0049】

このような弱い電界で書き込みを行ってアナログ的に書き換え回数を記憶させると、記憶の精度は低下するが、消去条件の制御をするためには書き換え回数が1桁増えたことを検知できる程度の精度で十分である。

【0050】

セルトランジスタに対して通常の書き込みよりも弱い電界で書き込みを行う方法として、

50

セルトランジスタに与える電圧関係として図3(a)、(b)に示すような二種類が考えられる。

【0051】

図3(a)は、選択セルトランジスタに“1”書き込みストレスを利用して書き込みを行う場合の電圧関係を示す。

【0052】

選択セルトランジスタに対する通常書き込みでは、“1”書き込みセルは、選択セルトランジスタのチャネル電圧を持ち上げて(バックゲートに $\sim 9V$ のブート電圧を与えて)書き込みを禁止している。この際、電子は少ないながらもセルトランジスタの浮遊ゲートに注入されるので、書き込みが繰り返されれば、セルトランジスタの閾値は高くなっていく。

10

【0053】

そこで、選択セルトランジスタに“1”書き込みストレスを与えて書き込みを行うために、選択セルトランジスタに直列に接続されているドレイン側選択ゲートトランジスタのゲート(ドレイン側選択ゲート線SGD)およびビット線にそれぞれ $V_{dd}$ を与え、選択セルトランジスタのゲート(選択ワード線)に $V_{pgm}$ (例えば $20V$ )を与える。

【0054】

図3(b)は、選択セルトランジスタに $V_{pass}$  ストレスを利用して書き込みを行う場合の電圧関係を示す。

【0055】

選択セルトランジスタに対する通常書き込みでは、選択セルトランジスタに直列に接続されている非選択セルトランジスタのゲート(非選択ワード線)に $V_{pass}$  が与えられることにより、ビット線の電圧を選択セルトランジスタのチャネルへ転送し、チャネル電圧を $0V$ にしている。

20

【0056】

この際、 $V_{pass}$  は $V_{pgm}$ の約半分の電圧(例えば $10V$ )であるので、選択セルトランジスタの浮遊ゲートとチャネルの間の電界は弱く、通常書き込み時間ではセルトランジスタの閾値は動かない。しかし、書き込みが繰り返されれば、電子は少しずつセルトランジスタの浮遊ゲートに注入されるので、セルトランジスタの閾値は変化していく。

【0057】

上述した二種類の弱い電界での書き込み方法は、実際のメモリセルの書き込み特性に応じて選択される。もし、実際のメモリセルの書き込み特性がアナログ的に記憶するのに適当でなければ、電圧の調整が必要であるかもしれない。

30

【0058】

なお、回数記憶ブロックのデータは、デバイスの通常の使用中に消去されてはならない。そこで、例えば図14を参照して後述するように、回数記憶ブロックに対応するロウデコーダに消去選択禁止制御用のフューズ素子を備え、デバイスの出荷時にメモリセルのデータを消去した後に上記フューズ素子を切断しておけば、デバイスの通常の使用中の消去時に回数記憶ブロックが選択されることはなく、そのデータが消えることはない。

【0059】

<図1中の回数記憶ブロックに対する書き込み方法の第1の実施例>

図4は、図1中の回数記憶ブロックに対する書き込み方法の第1の実施例を説明するために示す回路である。

40

【0060】

図4において、10aは図1中のセルアレイの回数記憶ブロックであり、NANDセルNAND群を有する。SAREGはセルアレイの一对のビット線毎に対応して設けられているセンスアンプ兼データレジスタの1個分を簡略的に示している。このデータレジスタSAREGは、図8を参照して前述した回路あるいは図9を参照して後述する回路が用いられている。

【0061】

上記データレジスタSAREGの一方の入出力ノードは、書き込み制御トランジスタ(図示せ

50

ず)を介して、セルアレイの一对のビット線(偶数側ビット線および奇数側ビット線)に共通に接続されている。この場合、一对のビット線は、それぞれNANDセルに接続されている偶数側ビット線選択制御トランジスタEBT、奇数側ビット線選択制御トランジスタOBTにより選択的にデータレジスタSAREGに接続される。

【0062】

さらに、一对のビット線は、それぞれ対応してビット線電位選択トランジスタEPST,OPSTを介してビット線シールド電源に共通に接続されている。このビット線シールド電源は、読み出し時にはgnd、書き込み時にはVddとなる。

【0063】

図4に示す書き込み方法は、図3(b)に示したVpassストレスを利用して選択セルトランジスタに対する弱い電界での書き込みを行うものであり、選択アレイの書き込みまたは消去の際に、非選択アレイの回数記憶ブロックのワード線にはVpassを与え、セルトランジスタに直列に接続されているビット線にはビット線シールド電源からgndを与える。

10

【0064】

この場合、一对のビット線選択制御トランジスタEPST,OPSTをそれぞれオフ状態に制御し、一对のビット線電位選択トランジスタEBT,OBTをそれぞれオン状態に制御する。

【0065】

本例では、セルトランジスタに書き換え回数を記憶する時のビット線の電圧設定のためにビット線シールド電源を用いており、この電源を選択する制御ロジック(本例ではビット線電位選択トランジスタ)があれば、特別な電源回路は付加しなくても実現できる。

20

【0066】

なお、書き換え回数を記憶するには、書き込み回数または消去回数どちらを記憶してもよいが、書き込みは同一ページに複数回に分割して書き込むことが許されているので、消去回数を記憶する方が望ましい。メモリセルのデータを書き換える場合には、ブロック内のデータを全て消去する必要があるため、より正確な書き換え回数を得ることができる。

【0067】

<図1中の回数記憶ブロックに対する書き込み方法の第2の実施例>

図5は、図1中の回数記憶ブロックに対する書き込み方法の第2の実施例を説明するために示す回路である。図5において、図4中と同一部分には同一符号を付している。ここでは、センスアンプ兼データレジスタは、図8を参照して前述した回路あるいは図9を参照して後述する回路が用いられている。

30

【0068】

図5に示す書き込み方法は、図3(a)に示した“1”書き込みストレスを利用して選択セルトランジスタに対する弱い電界での書き込みを行うものであり、選択アレイの書き込みまたは消去の際に、非選択アレイの回数記憶ブロック10aのワード線にはVp<sub>gm</sub>を与え、セルトランジスタに直列に接続されているビット線にはビット線シールド電源からVddを与える。

【0069】

<図1中の回数記憶ブロックに対する書き込み方法の第3の実施例>

図6は、図1中の回数記憶ブロックに対する書き込み方法の第3の実施例を説明するために示す回路である。図6において、図4中と同一部分には同一符号を付している。ここでは、センスアンプ兼データレジスタは、図9を参照して後述する“0”リセット機能を有する回路が用いられている。

40

【0070】

図6に示す書き込み方法は、図3(b)に示したVpassストレスを利用して選択セルトランジスタに対する弱い電界での書き込みを行うものであり、選択アレイの書き込みまたは消去の際に、非選択アレイの回数記憶ブロック10aのワード線にはVpassを与え、セルトランジスタに直列に接続されているビット線にはセンスアンプからgndを与える。この場合、ビット線に接続されているセンスアンプ兼データレジスタを“0”書き込み状態にリセットしておき、偶数側ビット線選択制御トランジスタおよび奇数側ビット線選択制御

50

トランジスタをそれぞれオン状態に制御することにより実現できる。

【0071】

<図1中の回数記憶ブロックに対する書き込み回路の第4の実施例>

図7は、図1中の回数記憶ブロックに対する書き込み方法の第4の実施例を説明するために示す回路である。図7において、図6中と同一部分には同一符号を付している。ここでは、センスアンプ兼データレジスタは、図8を参照して前述した回路あるいは図9を参照して後述する回路が用いられている。

【0072】

図7に示す書き込み方法は、図3(a)に示した“1”書き込みストレスを利用して選択セルトランジスタに対する弱い電界での書き込みを行うものであり、選択アレイの書き込みまたは消去の際に、非選択アレイの回数記憶ブロック10aのワード線にはVp<sub>gm</sub>を与え、セルトランジスタに直列に接続されているビット線にはセンスアンプからV<sub>dd</sub>を与える。この場合、非選択アレイのセンスアンプ兼データレジスタの全てを“1”書き込み状態にリセットしておくようにリセット信号RST1を与えることにより実現できる。

10

【0073】

図8は、図1のNAND型フラッシュメモリで“0”リセット機能を有さないセンスアンプ兼データレジスタが使用される場合の1個分の一例を取り出して詳細に示す回路図である。このセンスアンプ兼データレジスタは、従来例で説明した通りである。

【0074】

図9は、図1のNAND型フラッシュメモリで“0”リセット機能を有するセンスアンプ兼データレジスタが使用される場合の1個分の一例を取り出して詳細に示す回路図である。

20

【0075】

このセンスアンプ兼データレジスタは、図8を参照して前述したセンスアンプ兼データレジスタと比べて、データレジスタREGの一方の入出力ノードに、データレジスタREGを“0”書き込み状態にリセットするためにリセット信号RST0によって制御されるリセットトランジスタRT0が追加されている点が異なり、その他は同じであるので図8中と同一符号を付している。

【0076】

したがって、書き込み回数を記憶する場合には、非選択アレイのセンスアンプ兼データレジスタの全てを一括して“0”書き込み状態にしておくようにリセット信号RST0を与えることによりビット線にgndを転送することができる。

30

【0077】

<第2の実施形態>

図10は、本発明の第2の実施形態に係るNAND型フラッシュメモリの概略構成を示すブロック図である。

【0078】

このNAND型フラッシュメモリでは、第1の実施形態のNAND型フラッシュメモリと比べて、一对をなす2本のビット線(偶数側ビット線および奇数側ビット線)が1個のセンスアンプに共通に接続されており、ビット線シールド技術が使われている点は同じである。

【0079】

しかし、選択セルアレイの中の1ブロック(または1ページ)をアナログ的に書き換え回数を記憶するための回数記憶領域(本例では回数記憶ブロック10a)として割り当て、センスアンプに接続されている2本のビット線のうちの1本を回数記憶用に使用する点が異なる。

40

【0080】

<図10中の回数記憶ブロックに対する書き込み方法の一実施例>

図11は、図10中の回数記憶ブロックに対する書き込み方法の一実施例を説明するために示す回路である。図11において、図5中と同一部分には同一符号を付している。ここでは、センスアンプ兼データレジスタは、図8を参照して前述した回路、あるいは図9を参照して前述した“0”リセット機能を有する回路が用いられている。

50

## 【 0 0 8 1 】

図 1 1 に示す書き込み方法は、図 3 ( a ) に示した “ 1 ” 書き込みストレスを利用して選択セルトランジスタに対する弱い電界での書き込みを行うものであり、選択アレイの書き込みまたは消去の際に、選択アレイの回数記憶ブロック 1 0 a のワード線には Vp<sub>gm</sub> を与え、選択セルトランジスタに直列に接続されているビット線にはビット線シールド電源から V<sub>dd</sub> を与える。

## 【 0 0 8 2 】

即ち、選択セルアレイにおいて例えば偶数側ビット線を回数記憶用に使用する場合は例にとると、奇数側のビット線に書き込む時に回数記憶ブロック 1 0 a のワード線に Vp<sub>gm</sub> を与える。この時、偶数側のビット線には V<sub>dd</sub> が与えられていて書き込みが禁止されているので、'1' 書き込みストレスの状態になる。

10

## 【 0 0 8 3 】

奇数側の書き込みデータが “ 0 ” の場合には、回数記憶ブロック 1 0 a の奇数側のセルトランジスタにはデータが書き込まれ、セルトランジスタの閾値は高くなっていくが、動作に影響を与えることはない。また、浮遊ゲート中の電子が増えていくと浮遊ゲートとチャネルの間の電界は弱まっていくので、電子の注入量は飽和していく。

## 【 0 0 8 4 】

上記した第 2 の実施形態の NAND 型フラッシュメモリによれば、メモリセルアレイが複数に分割されていない場合でも、回数記憶ブロック 1 0 a に対する書き換え回数の記憶動作を実現することができる。

20

## 【 0 0 8 5 】

< 各実施形態における書き換え回数を読み出し回路 >

前記各実施形態で説明した書き込み方法により回数記憶ブロックの複数のセルトランジスタにアナログ的に書き換え回数が記憶されると、通常は図 1 2 に示すように、セルトランジスタの閾値はある幅を持った正規分布の形をしている。

## 【 0 0 8 6 】

前記回数記憶ブロックの複数のセルトランジスタから書き換え回数を読み出して書き換え回数を判定する際、( 1 ) 複数のセルトランジスタの閾値分布の中心をデバイス外部のコントローラで判定する方法、( 2 ) 例えば図 1 3 に示すように、電圧比較回路 1 3 1 とカウンタ 1 3 2 をデバイス内部に備えておき、閾値分布の内容をカウンタ 1 3 2 で判定する方法などが考えられる。

30

## 【 0 0 8 7 】

書き換え回数を読み出すためには、読み出し時の選択ワード線の電圧を変化させていくと、その電圧以下の閾値を持つセルトランジスタはセンスアンプ兼データレジスタで “ 1 ” と読み出され、ワード線電圧以上の閾値を持つセルトランジスタはセンスアンプ兼データレジスタで “ 0 ” と読み出される。

## 【 0 0 8 8 】

まず、前者 ( 1 ) の方法について説明する。

## 【 0 0 8 9 】

ワード線の電圧を低い方から高い方へ段階的に変化させていき、各段階でセンスアンプ兼データレジスタの出力データを例えば 1 ページ分の読み出しデータとしてシリアルにデバイス外部に出力し、“ 1 ” と読み出されたセルトランジスタの数と “ 0 ” と読み出されたセルトランジスタの数をデバイス外部のコントローラで計数し、複数のセルトランジスタの閾値分布の中心を判定することにより書き換え回数を判定することが可能になる。

40

## 【 0 0 9 0 】

この際、“ 1 ” と読み出されたセルトランジスタの数が回数記憶ブロックのセルトランジスタの全数の半分を超えた時点のセルトランジスタ数が書き換え回数であると判定 ( 多数決判定 ) することができる。

## 【 0 0 9 1 】

このような方法によれば、書き換え回数を読み出すために、メモリデバイス内に特別な回

50

路は必要なく、通常と同じ読み出し回路だけで実現できる。

【 0 0 9 2 】

次に、後者（ 2 ）の方法について、図 1 3 を参照しながら説明する。

【 0 0 9 3 】

回数記憶ブロックのセルトランジスタの制御ゲートに接続されているワード線の電圧を低い方から高い方へ段階的に変化させていき、各段階でセンスアンプ兼データレジスタの出力データをシリアルに読み出し、出力データの“ 1 ” / “ 0 ” 判定を電圧比較回路 1 3 1 で行う。この判定の結果がデータ“ 0 ”であった場合に電圧比較回路 1 3 1 の出力回数をカウンタ 1 3 2 で計数していき、ワード線の電圧以下の閾値を持つセルトランジスタの個数が回数記憶ブロックのセルトランジスタの全数の半数を超えた時点のワード線の電圧に基

10

【 0 0 9 4 】

例えば256 カラムの回数記憶ブロックを用いるNAND型フラッシュメモリには、256 の半分

【 0 0 9 5 】

この場合、回数記憶ブロックのセルトランジスタの制御ゲートに接続されているワード線の電圧を低い方から高い方へ段階的に変化させていき、各段階でセンスアンプ兼データレジスタの出力データをシリアルに読み出し、出力データの“ 1 ” / “ 0 ” 判定を電圧比較回路 1 3 1 で行う。この判定の結果がデータ“ 0 ”であった場合に電圧比較回路 1 3 1 の出力回数（ワード線の電圧以下の閾値を持つセルトランジスタの個数）をカウンタ 1 3 2 で計数していき、カウンタ 1 3 2 の最上位ビットが低レベルから高レベルに反転した時点のワード線の電圧に基づいて書き換え回数を判定することができる。

20

【 0 0 9 6 】

図 1 4 は、図 1 中あるいは図 1 0 中の回数記憶ブロック 1 0 a に対応するロウデコーダ 1 1 a が消去選択禁止制御用のフューズ素子 F を備えた一例を示す回路図である。

【 0 0 9 7 】

このロウデコーダは、ブロックアドレス信号Block Address が入力するアンドゲート 1 4 1 と、相補的な消去制御信号ERASE, /ERASEにより活性化制御され、前記アンドゲートの出力を反転する第 1 のインバータ 1 4 2 と、ラッチ制御信号LATCH により活性化制御され、前記アンドゲート 1 4 1 の出力をラッチし、ラッチ出力がリセット信号RESET によりリセットされるラッチ回路部 1 5 と、相補的な消去制御信号 /ERASE, ERASEにより前記第 1 のインバータ 1 4 2 とは相補的に活性化制御され、前記ラッチ回路部 1 5 の出力を反転する第 2 のインバータ 1 4 3 と、この第 2 のインバータ 1 4 3 および前記第 1 のインバータ 1 4 2 の各出力がワイヤードオア接続された信号を反転する第 3 のインバータ 1 4 4 とを有する。

30

【 0 0 9 8 】

この第 3 のインバータ 1 4 4 の出力（ロウデコーダの出力電圧）は、図示しない電圧変換回路を経て、NANDセルのセルトランジスタのゲート（ワード線）、選択ゲートトランジスタのゲート（選択ゲート線）に供給される。

40

【 0 0 9 9 】

前記ラッチ回路部 1 5 は、ラッチ制御信号LATCH がゲートに入力する活性化制御用のNMOSトランジスタ 1 5 1 と、2 個のインバータが逆並列接続されてなり、入力端が前記NMOSトランジスタ 1 5 1 の一端に接続されたラッチ回路 1 5 2 と、このラッチ回路 1 5 2 の出力端とgnd ノードとの間に接続され、リセット信号RESET がゲートに入力するリセット用のNMOSトランジスタ 1 5 3 と、活性化制御用のNMOSトランジスタ 1 5 1 の他端に一端が接続されたラッチ入力制御用のNMOSトランジスタ 1 5 4 と、このラッチ入力制御用のNMOSトランジスタ 1 5 4 の他端とgnd ノードとの間に接続された消去選択禁止用のフューズ素子 F とからなる。

50

**【 0 1 0 0 】**

上記フューズ素子Fが導通状態の時は、ラッチ入力制御用のNMOSトランジスタ154の動作が可能になり、ロウデコーダは消去時のデコード動作が可能になる。これに対して、フューズ素子Fが非導通（切断）状態の時は、ラッチ入力制御用のNMOSトランジスタ154の動作が不可能になり、ロウデコーダは消去時のデコード動作が不可能になり、消去時に回数記憶ブロックを選択することはない。

**【 0 1 0 1 】**

なお、前記各実施形態では、回数記憶領域として、非選択アレイ中の1ブロック（あるいは1ページ）、または、選択アレイ中の1ブロック（あるいは1ページ）中の奇数側ビット線あるいは偶数側ビット線に接続されているナンドセルを割り当てた例を説明したが、これに限らず、1個のセルトランジスタの両端側にそれぞれ1個の選択ゲートトランジスタを接続した回数記憶専用セルの1行分あるいは数行分をアレイに追加して設け、この回数記憶専用セルに対して前記各実施形態と同様な要領で書き換え回数を記憶させるようにしてもよい。

10

**【 0 1 0 2 】**

また、前記各実施形態では、NAND型フラッシュメモリを説明したが、本発明はこれに限らず、他の不揮発性半導体メモリにも適用することが可能である。

**【 0 1 0 3 】****【 発明の効果 】**

上述したように本発明の不揮発性半導体メモリによれば、書き換え回数をメモリセルと同様の記憶素子にアナログ的に記憶することにより、従来必要であった多数のレジスタ等を備えなくても、少ない回路数で書き換え制御を行うことができる。

20

**【 図面の簡単な説明 】**

【 図 1 】 本発明の第 1 の実施形態に係る NAND 型フラッシュメモリの概略構成を示すブロック図。

【 図 2 】 NAND 型フラッシュメモリのセルアレイに用いられている NAND セルの一例を示す等価回路図。

【 図 3 】 図 1 中の回数記憶ブロックのセルトランジスタに対して “ 1 ” 書き込みストレスを利用して書き込みを行う場合と  $V_{pass}$  ストレスを利用して書き込みを行う場合の二種類の電圧関係を示す回路図。

30

【 図 4 】 図 1 中の回数記憶ブロックに対する書き込み方法の第 1 の実施例を説明するために示す回路図。

【 図 5 】 図 1 中の回数記憶ブロックに対する書き込み方法の第 2 の実施例を説明するために示す回路図。

【 図 6 】 図 1 中の回数記憶ブロックに対する書き込み方法の第 3 の実施例を説明するために示す回路図。

【 図 7 】 図 1 中の回数記憶ブロックに対する書き込み方法の第 4 の実施例を説明するために示す回路図。

【 図 8 】 図 1 の NAND 型フラッシュメモリで “ 0 ” リセット機能を有さないセンスアンプが使用される場合の 1 個分の一例を取り出して示す回路図。

40

【 図 9 】 図 1 の NAND 型フラッシュメモリで “ 0 ” リセット機能を有するセンスアンプが使用される場合の 1 個分の一例を取り出して詳細に示す回路図。

【 図 1 0 】 本発明の第 2 の実施形態に係る NAND 型フラッシュメモリの概略構成を示すブロック図。

【 図 1 1 】 図 1 0 中の回数記憶ブロックに対する書き込み方法の一実施例を説明するために示す回路図。

【 図 1 2 】 本発明の NAND 型フラッシュメモリにおいてセルトランジスタにアナログ的に書き換え回数が記憶された場合のセルトランジスタの閾値の分布の一例（正規分布）を示す特性図。

【 図 1 3 】 本発明のデバイス内部に設けられた書き換え回数読み出し回路の一例を示す回

50

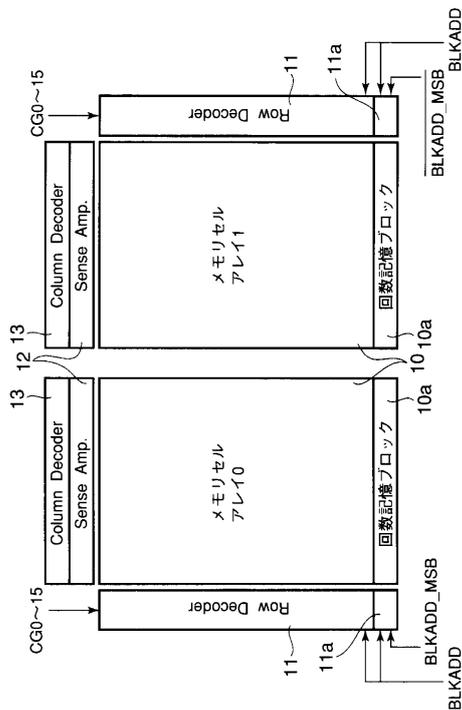
路図。

【図14】図1中あるいは図10中の回数記憶ブロックに対応するロウデコーダが消去選択禁止フューズを備えた一例を示す回路図。

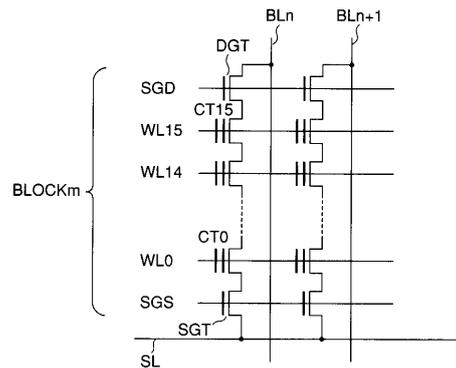
【符号の説明】

- 10 ... メモリセルアレイ、
- 10a ... 回数記憶ブロック、
- 11、11a ... ロウデコーダ、
- 12 ... センスアンプ、
- 13 ... カラムデコーダ。

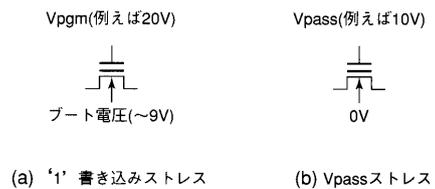
【図1】



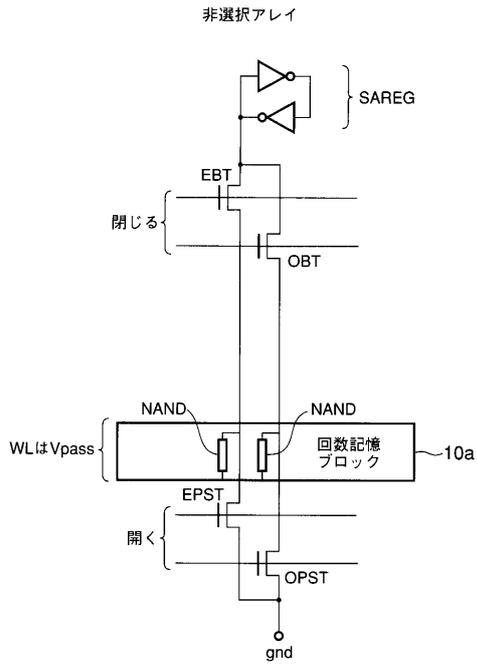
【図2】



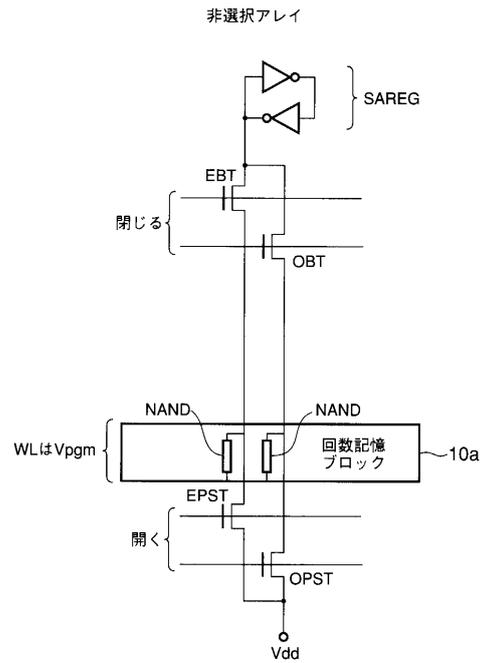
【図3】



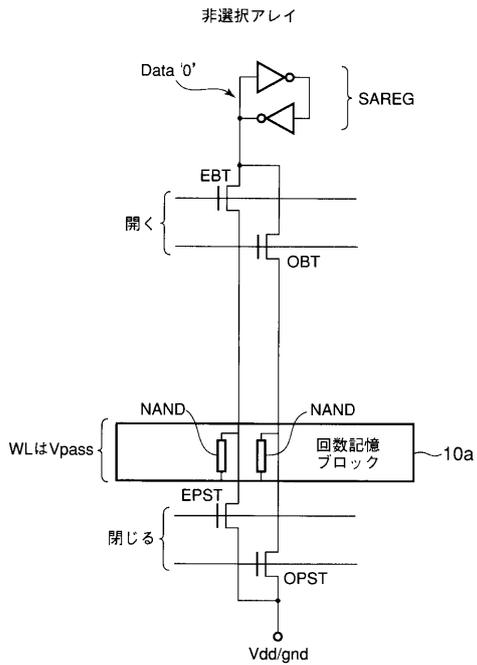
【 図 4 】



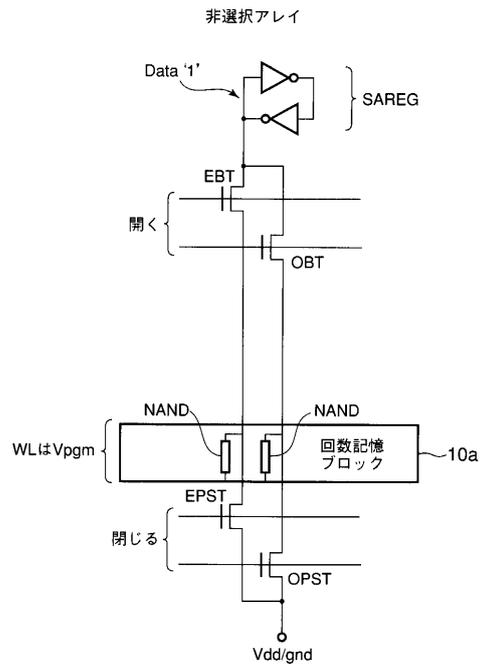
【 図 5 】



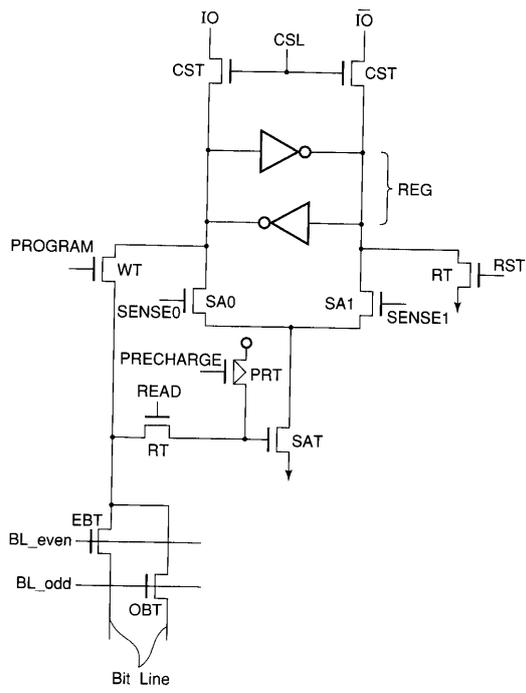
【 図 6 】



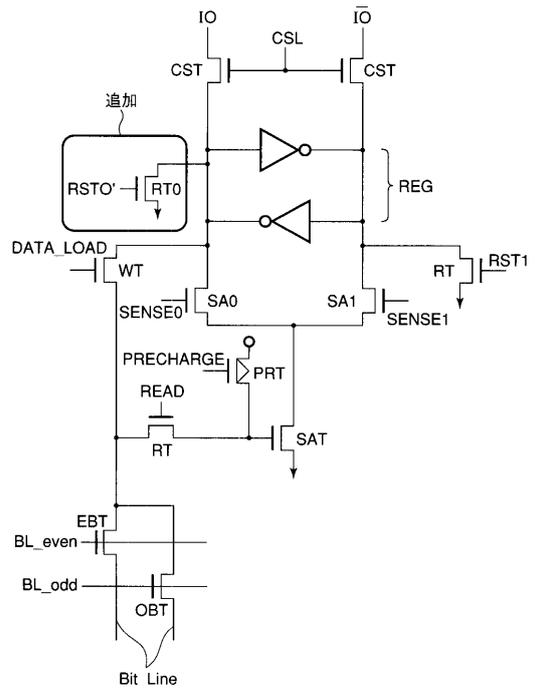
【 図 7 】



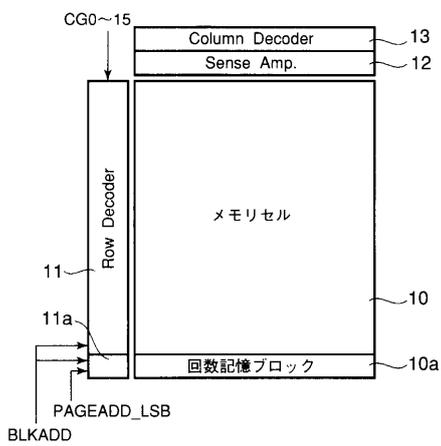
【図 8】



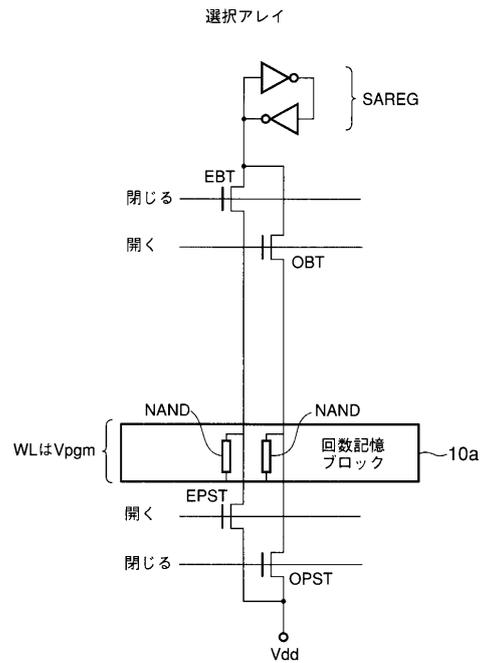
【図 9】



【図 10】



【図 11】





---

フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 杉浦 義久

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 鈴木 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 小松 正

(56)参考文献 特開平11-283381(JP,A)

特開2001-014223(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00-16/34