



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0066517
(43) 공개일자 2009년06월24일

(51) Int. Cl.

H01L 23/12 (2006.01)

(21) 출원번호 10-2007-0134082

(22) 출원일자 2007년12월20일

심사청구일자 없음

(71) 출원인

세크론 주식회사

충청남도 천안시 서북구 차암동 4-4

(72) 발명자

김의용

경기도 수원시 장안구 정자3동 대림진흥아파트
822동 302호

(74) 대리인

신동준

전체 청구항 수 : 총 10 항

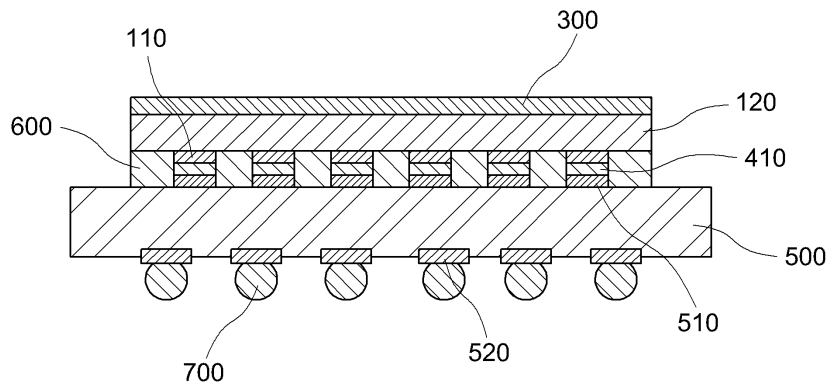
(54) 웨이퍼 레벨 반도체 패키지 및 그 제조 방법

(57) 요약

본 발명의 웨이퍼 레벨 반도체 패키지는 일면에 하나 이상의 접착 패드가 구비된 반도체 칩; 상기 반도체 칩의 상기 접착 패드에 부착된 도전성 전기적 연결 수단; 및 상기 반도체 칩의 타면에 형성된 몰딩층;을 포함한다.

본 발명의 웨이퍼 레벨 반도체 패키지는 몰딩 층을 반도체 칩의 일면에 형성함으로써, 반도체 칩의 기초가 되는 단결정 실리콘 구조의 웨이퍼를 보호할 수 있으므로, 웨이퍼 레벨 반도체 패키지 제조 공정 도중에서 반도체 칩의 파손을 방지할 수 있으며, 제조된 웨이퍼 레벨 반도체 패키지의 기계적 강도도 개선될 수 있다.

대표도 - 도4b



특허청구의 범위

청구항 1

웨이퍼 상에서 반도체 패키지가 이루어진 웨이퍼 레벨 반도체 패키지에 있어서,
 일면에 하나 이상의 접촉 패드가 구비된 반도체 칩;
 상기 반도체 칩의 상기 접촉 패드에 부착된 도전성 전기적 연결 수단; 및
 상기 반도체 칩의 타면에 형성된 몰딩층;
 을 포함하는 것을 특징으로 하는 웨이퍼 레벨 반도체 패키지.

청구항 2

제1항에 있어서,
 상기 몰딩층이 웨이퍼로부터 개별 반도체 패키지로의 분리 이전에 형성된 것을 특징으로 하는 상기 웨이퍼 레벨 반도체 패키지.

청구항 3

제1항에 있어서,
 상기 도전성 전기적 연결 수단과 상면 단자가 전기적으로 연결되어 연결부를 이루는 기관; 및
 상기 반도체 칩과 상기 기관 사이에 구비되며, 상기 연결부의 사이를 절연성 보호 물질로 감싸는 보호 물질층;
 을 더 포함하는 것을 특징으로 하는 상기 웨이퍼 레벨 반도체 패키지.

청구항 4

웨이퍼 상에서 반도체 패키지를 제조하는 웨이퍼 레벨 반도체 패키지 제조 방법에 있어서,
 a) 일면에 하나 이상의 접촉 패드가 구비된 반도체 칩이 형성된 웨이퍼의 타면을 몰딩 재료로 몰딩하여 몰딩층을 형성하는 단계;
 b) 상기 반도체 칩의 하나 이상의 접촉 패드에 대응하는 하나 이상의 전기적 연결 수단을 각각 부착 제공하는 단계; 및
 c) 상기 웨이퍼 및 상기 몰딩층을 상기 반도체 칩 별로 절단하는 단계;
 를 포함하는 것을 특징으로 하는 웨이퍼 레벨 반도체 패키지의 제조 방법.

청구항 5

제4항에 있어서,
 상기 a) 단계 이전에,
 d) 상기 웨이퍼의 타면을 연마하여 상기 웨이퍼의 두께를 조절하는 단계;
 를 더 포함하는 것을 특징으로 하는 상기 웨이퍼 레벨 반도체 패키지의 제조 방법.

청구항 6

제5항에 있어서,
 상기 d) 단계 이전에,
 e) 상기 웨이퍼의 일면에 보호 필름을 부착하는 단계;
 를 더 포함하는 것을 특징으로 하는 상기 웨이퍼 레벨 반도체 패키지의 제조 방법.

청구항 7

제4항에 있어서,

상기 전기적 연결 수단이 솔더볼인 것을 특징으로 하는 상기 웨이퍼 레벨 반도체 패키지의 제조 방법.

청구항 8

제4항 내지 제7항 중 어느 한 항에 있어서,

상기 b) 단계는

상기 반도체 칩의 하나 이상의 접촉 패드에 대응하도록 하나 이상의 솔더볼 안착홈을 가지는 전달 판을 준비하는 단계;

상기 전달 판의 안착 홈에 솔더볼을 위치시키는 단계;

상기 전달판의 안착 홈에 위치된 상기 솔더볼이 상기 웨이퍼의 반도체 칩의 접촉 패드에 대응하도록, 상기 웨이퍼를 위치시키는 단계; 및

상기 웨이퍼를 상기 전달 판에 밀착시켜, 상기 솔더볼을 대응하는 상기 접촉 패드에 부착시키는 단계;

를 포함하는 것을 특징으로 하는 상기 웨이퍼 레벨 반도체 패키지의 제조 방법.

청구항 9

제4항 내지 제7항 중 어느 한 항에 있어서,

f) 제조된 반도체 패키지의 상기 전기적 연결 수단에 대응하는 하나 이상의 상면 단자가 상부에 구비된 기판을 준비하는 단계; 및

g) 상기 전기적 연결수단이 상기 기판의 상면 단자에 전기적으로 연결되도록 상기 반도체 패키지를 상기 기판에 부착하는 단계;

를 더 포함하는 것을 특징으로 하는 상기 웨이퍼 레벨 반도체 패키지의 제조 방법.

청구항 10

제9 항에 있어서,

h) 상기 연결부를 절연성 보호 물질로 감싸는 보호 물질층을 형성하는 단계;

를 더 포함하는 것을 특징으로 하는 상기 웨이퍼 레벨 반도체 패키지의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 웨이퍼 레벨 반도체 패키지 및 그 제조 방법에 관한 것이다.

배경 기술

<2> 반도체 패키지의 소형화 경향에 따라, 이를 만족시킬 수 있는 반도체 칩 패키징 방법이 다양하게 시도되고 있다.

<3> 현재, 일반적으로 반도체 제조 전 공정에서 반도체 칩이 형성된 웨이퍼를 각 개별 반도체 칩으로 절단한 후, 이렇게 절단된 낱개의 반도체 칩을 별도의 리드 프레임상에서 패키징하는 이른바 칩 레벨 반도체 패키지 제조 방법이 이용되고 있다.

<4> 이러한, 칩 레벨 반도체 패키지 제조 방법은 리드 프레임 위에 완성된 반도체 칩을 접착하고 반도체 칩과 리드 프레임의 외부 연결리드를 와이어 본딩(wire bonding)으로 연결한 후, 이를 다시 에폭시몰딩컴파운드(EMC)등의 몰딩 재료로 밀봉하는 복잡한 공정을 포함한다. 그런데, 이러한 칩 레벨 반도체 패키지 제조 방법은 반도체 패키지의 크기가 리드 프레임으로 인해 소형인 반도체 칩에 비해 크기 때문에 그 소형화에 한계가 있다.

- <5> 이에 반하여, 반도체 칩이 형성된 웨이퍼 상태에서 직접 패키징과 테스트를 수행한 후, 낱개의 완제품으로 절단하는 웨이퍼 레벨 반도체 패키지 제조 방법이 시도되고 있다. 이러한 웨이퍼 레벨 반도체 패키지 제조 방법은 종래의 칩 레벨 반도체 패키지 제조 방법보다 공정의 단계가 적고, 웨이퍼 상태로 대부분의 공정을 거치게 되므로 제조 비용이 절감될 뿐만 아니라 반도체 패키지의 크기도 반도체 칩 크기와 동일하여 전자기기를 소형화하는데 큰 이점이 있다.
- <6> 이하, 도 1을 참조하여, 일반적인 웨이퍼 레벨 반도체 패키지의 제조 공정을 설명하면 다음과 같다.
- <7> 먼저 통상적인 웨이퍼 제조 공정을 통하여 반도체 칩이 제조되고, 각 반도체 칩을 낱개로 분리하기 위한 스크라이빙 라인 영역(L1)을 갖는 웨이퍼(10) 상에서 반도체 칩의 전면에 패드가 형성되고 나머지 부분은 불활성층(Passivation layer)으로 덮는다.(단계 S1)
- <8> 그 후, 폴리머 층(Polymer layer)을 전면 도포 한 후에 패드를 노출시킨다.(단계 S2)
- <9> 이와 같이 노출된 패드 위에 도전층을 형성한 후, 도전층 위에 솔더 볼을 형성하고 리플로우(Reflow)를 수행한다.(단계 S3)
- <10> 이러한 웨이퍼 레벨 반도체 패키지 공정이 완료되면, 프로브 팁(Probe tip)을 패드에 접촉하여 반도체 칩이 정상적으로 동작하는지를 판별하는 칩 선별 테스트를 실시한다.(단계 S4)
- <11> 이러한 테스트가 완료되면, 웨이퍼(10) 상의 스크라이빙 라인(Scribing line)을 따라 개별의 웨이퍼 레벨 반도체 패키지로 절단한다.(단계 S5)
- <12> 그런데, 이렇게 제조되는 웨이퍼 레벨 반도체 패키지는 단결정 구조를 가진 실리콘 자체를 패키지의 기초로 하기 때문에 리드 프레임 등을 기초로 하는 칩 레벨 패키지보다 그 기계적 강도가 떨어지는 문제가 있다.
- <13> 따라서 웨이퍼 레벨 패키지는 실장 도중에 피커 등에 의해 손상될 우려가 있으며, 이러한 실장 상태에서의 손상은 핸드폰이나 컴퓨터 등의 전자기기에서 어플리케이션의 실장이 모두 이루어진 후에 진행성 불량으로 전개될 수 있어 양산시 많은 불량 발생이 예상된다.

발명의 내용

해결 하고자하는 과제

- <14> 상기와 같은 종래 기술의 문제점을 해결하기 위해, 본 발명은 기계적 강도가 개선된 웨이퍼 레벨 반도체 패키지를 제공하고자 한다.
- <15> 또한, 본 발명은 기계적 강도가 개선된 웨이퍼 레벨 반도체 패키지 제조 방법을 제공하고자 한다.

과제 해결수단

- <16> 위와 같은 과제를 해결하기 위한 본 발명의 한 특징에 따른 웨이퍼 레벨 반도체 패키지는 일면에 하나 이상의 접촉 패드가 구비된 반도체 칩; 상기 반도체 칩의 상기 접촉 패드에 부착된 도전성 전기적 연결 수단; 및 상기 반도체 칩의 타면에 형성된 몰딩층;을 포함한다.
- <17> 여기서, 몰딩층은 웨이퍼로부터 개별 반도체 패키지로의 분리 이전에 형성된다.
- <18> 상기 웨이퍼 레벨 반도체 패키지는 상기 도전성 전기적 연결 수단과 상면 단자가 전기적으로 연결되어 연결부를 이루는 기판; 및 상기 반도체 칩과 상기 기판 사이에 구비되며, 상기 연결부의 사이를 절연성 보호 물질로 감싸는 보호 물질층;을 더 포함할 수 있다.
- <19> 본 발명의 또 다른 특징에 따른 웨이퍼 레벨 반도체 패키지 제조 방법은 a) 일면에 하나 이상의 접촉 패드가 구비된 반도체 칩이 형성된 웨이퍼의 타면을 몰딩 재료로 몰딩하여 몰딩층을 형성하는 단계; b) 상기 반도체 칩의 하나 이상의 접촉 패드에 대응하는 하나 이상의 전기적 연결 수단을 각각 부착 제공하는 단계; 및 c) 상기 웨이퍼 및 상기 몰딩층을 상기 반도체 칩 별로 절단하는 단계;를 포함한다.
- <20> 상기 웨이퍼 레벨 반도체 패키지 제조 방법은 a) 단계 이전에, d) 상기 웨이퍼의 타면을 연마하여 상기 웨이퍼의 두께를 조절하는 단계;를 더 포함할 수 있다.
- <21> 상기 웨이퍼 레벨 반도체 패키지 제조 방법은 d) 단계 이전에, e) 상기 웨이퍼의 일면에 보호 필름을 부착하는

단계;를 더 포함할 수 있다.

- <22> 상기 웨이퍼 레벨 반도체 패키지 제조 방법에서 상기 전기적 연결 수단은 솔더볼일 수 있다.
- <23> 상기 웨이퍼 레벨 반도체 패키지 제조 방법의 상기 b) 단계는 상기 반도체 칩의 하나 이상의 접촉 패드에 대응하도록 하나 이상의 솔더볼 안착홈을 가지는 전달 판을 준비하는 단계; 상기 전달 판의 안착 홈에 솔더볼을 위치시키는 단계; 상기 전달판의 안착 홈에 위치한 상기 솔더볼이 상기 웨이퍼의 반도체 칩의 접촉 패드에 대응하도록, 상기 웨이퍼를 위치시키는 단계; 및 상기 웨이퍼를 상기 전달 판에 밀착시켜, 상기 솔더볼을 대응하는 상기 접촉 패드에 부착시키는 단계;를 포함할 수 있다.
- <24> 상기 웨이퍼 레벨 반도체 패키지 제조 방법은 f) 제조된 반도체 패키지의 상기 전기적 연결 수단에 대응하는 하나 이상의 상면 단자가 상부에 구비된 기판을 준비하는 단계; 및 g) 상기 전기적 연결수단이 상기 기판의 상면 단자에 전기적으로 연결되도록 상기 반도체 패키지를 상기 기판에 부착하는 단계;를 더 포함할 수 있다.
- <25> 상기 웨이퍼 레벨 반도체 패키지 제조 방법은 h) 상기 연결부를 절연성 보호 물질로 감싸는 보호 물질층을 형성하는 단계;를 더 포함할 수 있다.

효 과

- <26> 본 발명에서는 앞서 개시한 몰딩 층을 웨이퍼의 일면에 형성함으로써, 단결정 실리콘 구조의 웨이퍼를 보호할 수 있으므로, 웨이퍼 레벨 반도체 패키지 제조 공정 도중에서 웨이퍼의 파손을 방지할 수 있으며, 제조된 웨이퍼 레벨 반도체 패키지의 기계적 강도도 개선시킬 수 있다.
- <27> 또한, 본 발명에서는 웨이퍼의 일면이 몰딩층으로 보호되고 있기 때문에, 제조 공정이나 실장 공정에서 웨이퍼에 크랙이 발생하더라도 그 크랙은 몰딩 층으로 인해 제조 공정 또는 실장 공정 도중에 더 진행되지 않아, 종래의 웨이퍼 레벨 반도체 패키지 제조 방법에 비해 불량 발생률을 감소시킬 수 있으며, 그에 따라 생산성 향상 및 원가 절감을 기대할 수 있다.

발명의 실시를 위한 구체적인 내용

- <28> 이하, 본 발명을 바람직한 실시예와 첨부한 도면을 참고로 하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되는 것은 아니다.
- <29> 이하, 도 1 내지 3을 참조하여 본 발명의 한 실시예에 따른 웨이퍼 레벨 반도체 패키지 제조 방법에 대하여 구체적으로 살펴본다.
- <30> 이러한 본 발명의 한 실시예에 따른 웨이퍼 레벨 반도체 패키지 제조 방법은 크게 웨이퍼의 배면을 몰딩하는 웨이퍼 몰딩 단계, 상기 웨이퍼에 형성된 반도체 칩의 패드에 솔더볼을 공급하여 반도체 패키지를 형성하는 솔더볼 공급 단계; 및 상기 웨이퍼를 개별 반도체 패키지로 절단하여 반도체 패키지를 수득하는 패키지 분리 단계;를 포함한다.
- <31> 이하, 도 2a 내지 2e를 참조하여 웨이퍼 몰딩 단계에 대하여 구체적으로 살펴본다.
- <32> 먼저, 도 2a에 도시된 바와 같이, 준비된 웨이퍼(100)에 반도체 칩이 형성된 면(이하, '전면'이라고도 한다)에 보호 테이프(200)를 부착한다. 이러한 보호 테이프(200)는 추후 공정에서 웨이퍼(100)의 배면을 연마하거나 몰딩하는 공정에서 반도체 칩을 보호하게 된다.
- <33> 이러한 보호 테이프(200)는 본 발명의 목적을 달성할 수 있는 것이면 특별한 제한 없이 사용될 수 있는 바, 여기서의 구체적인 설명은 생략하기로 한다.
- <34> 다음으로, 웨이퍼(100)에서 반도체 칩이 형성되어 있지 않아 보호 테이프(200)가 부착되지 않은 면(이하, '배면'이라고도 한다)을 연마하여, 도 2b에 도시된 바와 같이 웨이퍼(100)의 두께를 적절하게 조절한다.
- <35> 본 발명에서는 웨이퍼(100)의 배면을 몰딩하여 그 기계적 강도를 증가시키게 되므로, 제조된 반도체 패키지의 두께가 증가할 수 있다. 따라서, 몰딩의 두께에 대응하는 만큼을 웨이퍼(100)의 배면을 연마하게 제거한다. 이러한 연마 방법은 특별한 제한이 없으며 바람직하게는 화학 기계 연마(CMP)를 이용할 수 있다.
- <36> 한편, 반도체 패키지의 두께를 증가시킬 필요가 있는 경우에는, 웨이퍼(100)의 배면에 다른 웨이퍼들을 추가 적층하여 웨이퍼의 두께를 증가시키는 것도 가능하다.

- <37> 이와 같은 웨이퍼(100)의 배면의 연마를 통해, 웨이퍼(100)의 두께를 목적하는 두께로 적절하게 조절하면, 도 2c 에 도시된 바와 같이 웨이퍼(100)의 배면을 몰딩 재료를 이용하여 몰딩한 후, 이를 용융시켜 몰딩층(300)을 형성한다. 이러한 몰딩 방법으로는 웨이퍼의 배면의 일부 이상을 몰딩할 수 있는 것이면 특별한 제한이 없다.
- <38> 이와 같이 웨이퍼(100)의 배면의 몰딩이 완료되면, 도 2d에 도시된 바와 같이, 웨이퍼(100)의 전면에 부착되어 있는 보호 필름(200)을 제거한다.
- <39> 만일, 앞서 설명한 바와 같이, 웨이퍼(100)의 배면에 웨이퍼들을 적층하였다면, 도 2e와 같이 몰딩층(300)과 웨이퍼 적층층(100')을 갖게 된다.
- <40> 도 2a 내지 도 2e에서는 설명의 편의상 웨이퍼(100)의 전면에 형성된 각 반도체 칩 및 그에 구비된 접촉 패드를 도시하지 않았으나, 상기 각 반도체 칩은 접촉 패드를 구비하고 있으며, 각 반도체 칩은 이러한 접촉 패드를 통해 전기적으로 연결되게 된다.
- <41> 이와 같이, 웨이퍼(100)가 몰딩되면, 상기 몰딩된 웨이퍼(100)에 형성된 각 반도체 칩의 접촉 패드에 솔더볼을 공급하게 된다.
- <42> 이하, 도 3a 내지 3c를 참조하여 배면에 몰딩층(300)이 부착되어 있는 웨이퍼(100)의 전면에 형성된 반도체 칩의 접촉 패드에 솔더볼을 공급하는 단계를 구체적으로 살펴본다. 반도체 칩의 접촉 패드는 상기 반도체 칩을 외부의 전기 신호와 연통되도록 구비되며, 바람직하게는 개별 반도체 칩에 대하여 하나 이상 구비된다.
- <43> 이러한 솔더볼은 도 3a 에 도시된 바와 같이, 대상 반도체 칩의 접촉 패드의 위치에 각각 대응하는 위치에 솔더볼(410)을 유지시키는 전달판(400)에 의해 공급된다.
- <44> 이러한 전달판(400)은 제조하고자 하는 반도체 패키지의 반도체 칩의 접촉 패드에 대응하는 위치에 솔더볼 안착홈을 가지도록 준비된다. 이러한 전달판(400)은 통상의 방법에 따라 제조될 수 있으므로, 본 발명의 명세서에서는 그 구체적인 설명은 생략하기로 한다.
- <45> 이와 같이 솔더볼(410)을 운반하는 전달판(400)이 준비되면, 상기 전달판(400)의 상부에 상기 솔더볼(410)이 웨이퍼(100)의 전면에 형성된 반도체 칩의 접촉 패드(110)에 대응하도록 상기 웨이퍼(100)를 위치시키고, 도 3b에 도시된 바와 같이, 상기 웨이퍼(100)를 상기 전달판(400)에 밀착시켜, 상기 솔더볼(410)이 대응하는 접촉 패드(110)에 접촉하게 한다.
- <46> 그에 따라, 도 3c에 도시된 바와 같이, 전달판(400)에 운반되는 솔더볼(410)은 각각 대응하는 접촉 패드(110)에 부착되어, 웨이퍼(100)의 전면에 형성된 반도체 칩에 전달되게 된다.
- <47> 이러한 솔더볼(410)의 웨이퍼(100)의 반도체 칩의 접촉 패드(110)로의 전달은 다양한 방법으로 이루어질 수 있으며, 바람직하게는 C4NP(controlled collapse chip connection new process)가 이용된다.
- <48> 본 실시예에서는 웨이퍼(100)의 반도체 칩의 접촉 패드(110)에 솔더 볼(410)을 부착하는 것만을 개시하고 있으나, 이는 반도체 칩의 접촉 패드(110)에 전기적 연결 수단을 부여하는 방법 중 하나에 불과하며, 본 발명이 속하는 당업자라면 필요에 따라 다양한 방법을 적용할 수 있음은 당연하다.
- <49> 본 발명에서 웨이퍼(100)의 전면에 형성된 반도체 칩은 그 양부를 프로브를 통해 테스트되어야 하는데, 그 테스트는 본 실시예의 웨이퍼 레벨 반도체 패키지 공정 이전에 이루어질 수 있으며, 웨이퍼(100)의 배면의 몰딩 후, 또는 솔더볼(410)의 부착 이후에 이루어질 수도 있다.
- <50> 한편, 이와 같이 솔더볼(410)이 공급되어 패키징된 웨이퍼(100)는 개별 반도체 패키지(120)로 절단된다. 이러한 절단 방법으로는 통상적으로 사용되는 방법이 이용될 수 있으므로, 본 발명의 명세서에서는 그 구체적인 설명은 생략하기로 한다.
- <51> 그에 따라, 이와 같은 본 발명의 한 실시예에 따른 웨이퍼 레벨 반도체 패키지 제조 방법에 의해 제조된 반도체 패키지는 일면에 하나 이상의 접촉 패드(110)가 구비된 반도체 칩(120), 상기 반도체 칩(120)의 상기 접촉 패드(110)에 부착되어 전기적 신호의 통로 역할을 수행하는 하나 이상의 전기적 연결 수단, 상기 반도체 칩(120)의 타면에 형성된 몰딩층(300)을 포함하여 구성된다.
- <52> 이러한 몰딩층(300)은 상기 반도체 칩(120)에 기계적 강도를 부여하여, 제조 공정이나 실장 공정에서 발생할 수 있는 크랙으로부터 반도체 칩(120)을 보호한다.
- <53> 이렇게 제조된 반도체 패키지는 추후 별도의 기판에 재차 실장될 수 있다.

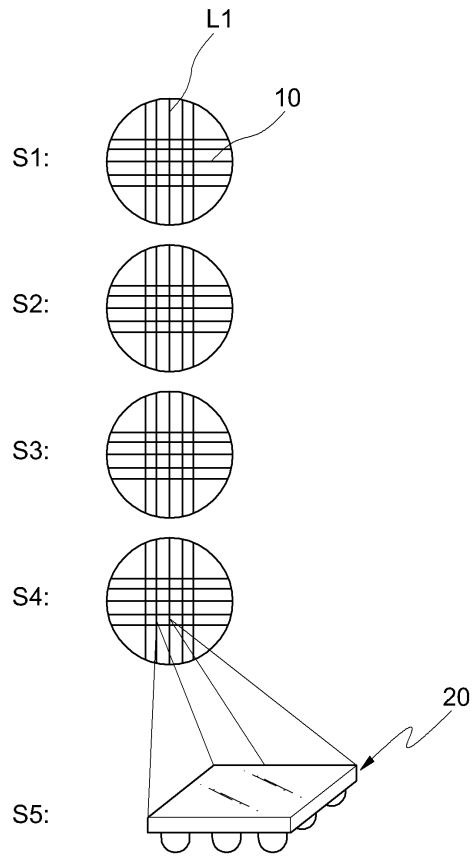
- <54> 이 하, 도 4a 및 도 4b를 참조하여 상기 반도체 패키지를 기판(500)에 실장하는 단계를 구체적으로 살펴본다.
- <55> 먼저, 상기 반도체 패키지가 실장될 기판(500)을 준비한다.
- <56> 이러한 기판(500)은 상부에 상기 반도체 패키지의 전기적 연결 수단(본 실시예에서는 솔더볼(410)로 한다)과 전기적으로 연결될 상부 단자(510)와 상기 상부 단자(510)와 내부 배선을 통해 전기적으로 연결되는 하부 단자(520)를 가지는 것이면 특별한 제한 없이 사용된다.
- <57> 이러한 기판(500)의 준비는 도 4a에 도시된 바와 같이, 상부 단자(510)가 위치한 기판(500)의 상부 면에 보호 물질 층(600)을 도포하여 이루어진다.
- <58> 이러한 보호 물질 층(600)은 반도체 패키지의 솔더볼(410)이 하강하여, 상기 기판(500)의 상면 단자(510)와 전기적으로 연결되어 연결부를 구성할 때, 이러한 연결부의 주위를 감싸 보호하는 역할을 수행한다. 이렇나 보호 물질로는 비도전성인 폴리머가 바람직하게 사용된다.
- <59> 그 후, 도 4b에 도시된 바와 같이, 반도체 패키지의 솔더볼(410)이 상기 기판(500)의 상면 단자(510)에 접촉하도록, 상기 반도체 패키지를 상기 기판(500)에 실장시키고, 상기 기판(500)의 하면 단자(520)에 솔더볼(700)을 부착시켜 목적하는 반도체 제품을 완성한다.
- <60> 여기서, 연결부는 보호 물질층(600)에 의해 보호되도록 구성된다.
- <61> 여기서는 보호 물질층(600)을 형성한 후, 반도체 패키지를 기판(500)에 부착하는 방법을 개시하였으나, 본 발명은 이에 한정되는 것은 아니며, 필요에 따라 반도체 패키지를 기판(500)에 부착한 후, 상기 반도체 패키지와 기판(500) 사이의 공간에 절연물질을 충전하여 보호 물질층(600)을 형성할 수도 있다.
- <62> 이러한 반도체 패키지의 기판(500) 실장 단계에 따라, 앞서 본 발명의 한 실시예에 따른 반도체 패키지는 그 전기적 연결 수단과 각각 전기적으로 연결되는 상면 단자(510)를 가지는 기판(500)을 더 포함할 수 있다. 그 경우, 전기적 연결 수단과 상면단자(510)로 이루어진 연결부의 주위를 보호 물질로 충전할 수 있다.
- <63> 상기에서는 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 본 발명의 기술 사상 범위 내에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 첨부된 특허 청구 범위에 속하는 것은 당연하다.

도면의 간단한 설명

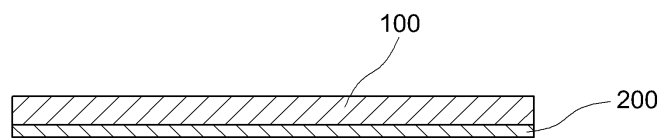
- <64> 도 1은 종래의 웨이퍼 레벨 반도체 패키지의 제조 공정을 도시한 도면이다.
- <65> 도 2a 내지 도 2e는 본 발명의 한 실시예에 따른 웨이퍼 몰딩 단계를 구체적으로 보여준다.
- <66> 도 3a 내지 도 3c는 본 발명의 한 실시예에 따른 솔더볼 전달 단계를 구체적으로 도시한다.
- <67> 도 4a 및 도 4b는 본 발명의 한 실시예에 따른 기판 실장 단계를 구체적으로 도시한다.

도면

도면1



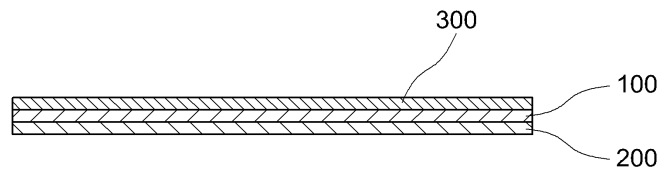
도면2a



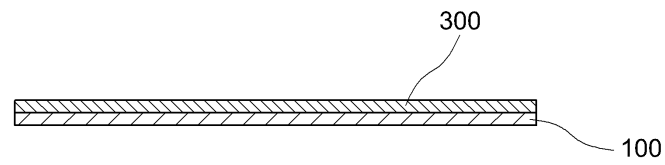
도면2b



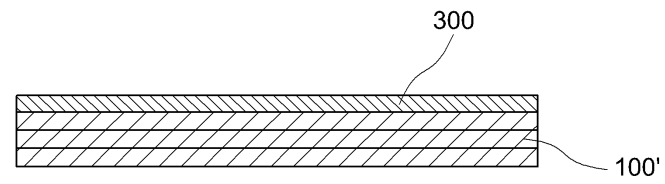
도면2c



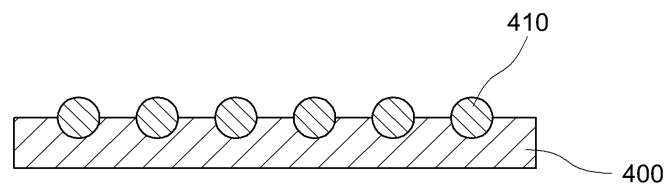
도면2d



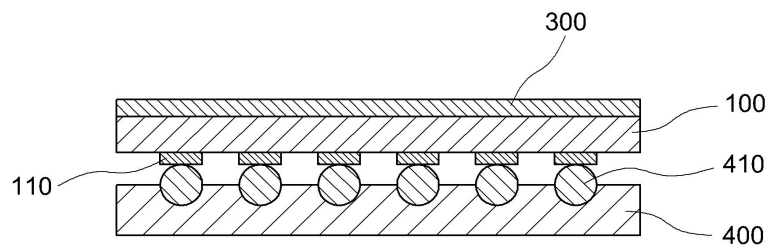
도면2e



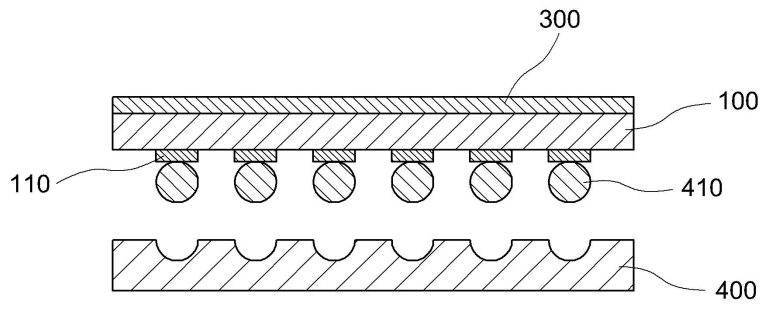
도면3a



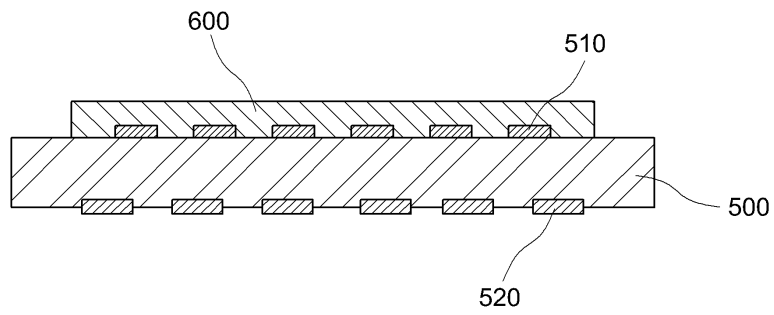
도면3b



도면3c



도면4a



도면4b

