

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4288066号  
(P4288066)

(45) 発行日 平成21年7月1日(2009.7.1)

(24) 登録日 平成21年4月3日(2009.4.3)

(51) Int.Cl.		F I			
<b>H03K</b>	<b>5/19</b>	<b>(2006.01)</b>	H03K	5/19	P
<b>G06F</b>	<b>1/04</b>	<b>(2006.01)</b>	G06F	1/04	301C
<b>H04L</b>	<b>7/00</b>	<b>(2006.01)</b>	H04L	7/00	Z

請求項の数 7 (全 21 頁)

(21) 出願番号	特願2002-382481 (P2002-382481)	(73) 特許権者	507219491
(22) 出願日	平成14年12月27日(2002.12.27)		エヌエックスピー ビー ヴィ
(65) 公開番号	特開2004-214981 (P2004-214981A)		オランダ国 5656エイジー アインド
(43) 公開日	平成16年7月29日(2004.7.29)		ーフェン ハイ テク キャンパス 60
審査請求日	平成17年12月26日(2005.12.26)	(74) 代理人	100147485
			弁理士 杉村 憲司
		(74) 代理人	100072051
			弁理士 杉村 興作
		(74) 代理人	100107227
			弁理士 藤谷 史朗
		(74) 代理人	100134005
			弁理士 澤田 達也

最終頁に続く

(54) 【発明の名称】 回路装置

(57) 【特許請求の範囲】

【請求項1】

クロック信号のパルスが入力されることによって、前記パルスに同期してデータを内部に取り込み該取り込んだデータを出力する第1の遅延回路と、

前記第1の遅延回路が出力したデータを処理する信号処理回路であって、前記クロック信号のパルスが入力されることによって、前記パルスに同期してデータを内部に取り込み該取り込んだデータを出力する第2の遅延回路を有する信号処理回路とを備えた回路装置であって、

前記回路装置が、前記クロック信号のパルスに同期して前記第1の遅延回路が出力したデータと前記パルスの1つ後のパルスに同期して前記第1の遅延回路に取り込まれるべきデータとが等しいか否かに基づいて、前記第2の遅延回路に前記クロック信号のパルスを入力するか否かを制御する制御回路を有し、

前記制御回路が、前記クロック信号のパルスの各々に同期して前記第1の遅延回路から出力された前記データと1つ後のパルスに同期して前記第1の遅延回路に取り込まれるべき前記データとが等しいか否かに基づいて、前記第2の遅延回路に前記クロック信号のパルスを供給するか否かを決定する決定回路と、

前記決定回路の決定に従って、前記第2の遅延回路への前記クロック信号のパルスの供給又は供給停止を行うクロックドライバと、を有し、

前記決定回路が、前記クロック信号のパルスの各々に同期して前記第1の遅延回路から

出力された前記データと1つ後のパルスに同期して前記第1の遅延回路に取り込まれるべき前記データとが等しいか否かを判定する判定部と、

前記判定部が等しいと判定した場合カウント値をインクリメントし、前記判定部が等しくない  
と判定した場合カウント値をリセットするカウンタと、

前記カウント値と比較値とを比較することによって比較結果を得、前記比較結果に基づいて、前記第2の遅延回路に前記クロック信号のパルスを供給するか否かを表すパルス供給制御信号を前記クロックドライバに出力するパルス供給信号生成部と、

を有することを特徴とする回路装置。

【請求項2】

前記信号処理回路が、前記第2の遅延回路を複数有し、

前記複数の第2の遅延回路のうちの少なくとも2つの第2の遅延回路が縦続接続されていることを特徴とする請求項1に記載の回路装置。

10

【請求項3】

前記少なくとも2つの第2の遅延回路の各々が、データが入力される複数のデータ入力部と、データを出力する複数のデータ出力部とを有することを特徴とする請求項2に記載の回路装置。

【請求項4】

前記信号処理回路が、前記第2の遅延回路を複数有し、

前記複数の第2の遅延回路のうちの1つの第2の遅延回路が出力したデータが入力される入力部と、前記複数の第2の遅延回路のうちの他の第2の遅延回路にデータを出力する出力部とを有する論理回路を有することを特徴とする請求項1に記載の回路装置。

20

【請求項5】

前記1つの第2の遅延回路が複数のデータ出力部を有し、

前記他の第2の遅延回路が複数のデータ入力部を有し、

前記論理回路が、前記1つの第2の遅延回路の複数のデータ出力部から出力されたデータが入力される複数の入力部と、前記他の第2の遅延回路の複数のデータ入力部にデータを出力する複数の出力部とを有することを特徴とする請求項4に記載の回路装置。

【請求項6】

前記比較値が、前記第2の遅延回路の総数に対応した値であることを特徴とする請求項1乃至5のうちのいずれか1項に記載の回路装置。

30

【請求項7】

前記第1の遅延回路及び前記第2の遅延回路の各々が1つ以上のDフリップフロップから構成されたことを特徴とする請求項1乃至6のうちのいずれか1項に記載の回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック信号のパルスが入力されることによって、上記パルスに同期してデータを内部に取り込み該取り込んだデータを出力する第1の遅延回路と、上記第1の遅延回路が出力したデータを処理する信号処理回路であって、上記クロック信号のパルスが入力されることによって、上記パルスに同期してデータを内部に取り込み該取り込んだデータを出力する第2の遅延回路を有する信号処理回路とを備えた回路装置に関する。

40

【0002】

【従来の技術】

従来より、縦続接続された複数のDフリップフロップを有する回路装置や、交互に縦続接続された論理回路とDフリップフロップとを有する回路装置が知られている。このような回路装置では、複数のDフリップフロップの各々にクロック信号が入力され、各Dフリップフロップはクロック信号のパルスに同期してデータを取り込み、この取り込んだデータを出力している。

【0003】

【発明が解決しようとする課題】

50

近年、回路の処理速度の高速化に伴いクロック周波数が増加しており、このため、回路装置の消費電力が増大している。また、回路装置が有する全てのDフリップフロップにはクロック信号が供給されるため、Dフリップフロップの数が増加すると、これに伴って消費電力も増加する。そこで、回路装置の消費電力を低減させるために、フリップフロップへのクロック信号の供給、供給停止を制御することができる制御回路を構成することが考えられる。しかしながら、このような制御回路を単純に構成すると、回路装置で処理されるべきデータ信号とは別に、上記の制御回路を動作させるための専用の信号が必要になるという問題がある。

【0004】

本発明は、上記の事情に鑑み、専用の信号を用いずに消費電力を低減できる回路装置を提供することを目的とする。

10

【0005】

【課題を解決するための手段】

上記目的を達成する本発明の回路装置は、クロック信号のパルスが入力されることによって、上記パルスに同期してデータを内部に取り込み該取り込んだデータを出力する第1の遅延回路と、上記第1の遅延回路が出力したデータを処理する信号処理回路であって、上記クロック信号のパルスが入力されることによって、上記パルスに同期してデータを内部に取り込み該取り込んだデータを出力する第2の遅延回路を有する信号処理回路とを備えた回路装置であって、上記回路装置が、上記クロック信号のパルスに同期して上記第1の遅延回路が出力したデータと上記パルスの1つ後のパルスに同期して上記第1の遅延回路

20

【0006】

本発明の回路装置は、上記第2の遅延回路に上記クロック信号のパルスを入力するか否かを制御する制御回路を備えている。このような制御回路を備えることによって、信号処理回路が処理する処理結果の同一性を保持したまま、パルスの供給を停止することができ、回路装置の消費電力の低減が図られる。

【0007】

また、この制御回路は、上記第2の遅延回路に上記クロック信号のパルスを入力するか否かの制御を、上記第1の遅延回路が出力したデータと上記第1の遅延回路に取り込まれるべきデータとが等しいか否かに基づいて行っている。従って、上記第2の遅延回路に上記クロック信号のパルスを入力するか否かの制御をするための専用の信号は不要となり、回路装置の構成を簡略化することができる。

30

【0008】

また、本発明の回路装置は、上記信号処理回路が、上記第2の遅延回路を複数有し、上記複数の第2の遅延回路のうちの少なくとも2つの第2の遅延回路が縦続接続されていてもよく、この場合、上記少なくとも2つの第2の遅延回路の各々が、データが入力される複数のデータ入力部と、データを出力する複数のデータ出力部とを有していてもよい。

【0009】

また、本発明の回路装置は、上記信号処理回路が、上記第2の遅延回路を複数有し、上記複数の第2の遅延回路のうちの1つの第2の遅延回路が出力したデータが入力される入力部と、上記複数の第2の遅延回路のうちの他の第2の遅延回路にデータを出力する出力部とを有する論理回路を有していてもよく、この場合、上記1つの第2の遅延回路が複数のデータ出力部を有し、上記他の第2の遅延回路が複数のデータ入力部を有し、上記論理回路が、上記1つの第2の遅延回路の複数のデータ出力部から出力されたデータが入力される複数の入力部と、上記他の第2の遅延回路の複数のデータ入力部にデータを出力する複数の出力部とを有していてもよい。

40

【0010】

また、本発明の回路装置は、上記制御回路が、上記クロック信号のパルスの各々に同期して上記第1の遅延回路から出力された上記データと1つ後のパルスに同期して上記第1の

50

遅延回路に取り込まれるべき上記データとが等しいか否かに基づいて、上記第2の遅延回路に上記クロック信号のパルスを供給するか否かを決定する決定回路と、上記決定回路の決定に従って、上記第2の遅延回路への上記クロック信号のパルスの供給又は供給停止を行うクロックドライバとを有することが好ましい。

【0011】

このような構成の制御装置を備えることによって、上記第2の遅延回路への上記クロック信号のパルスの供給又は供給停止を行うことができる。

【0012】

ここで、上記決定回路が、上記クロック信号のパルスの各々に同期して上記第1の遅延回路から出力された上記データと1つ後のパルスに同期して上記第1の遅延回路に取り込まれるべき上記データとが等しいか否かを判定する判定部と、上記判定部が等しいと判定した場合カウント値をインクリメントし、上記判定部が等しくないと判定した場合カウント値をリセットするカウンタと、上記カウント値と比較値とを比較することによって比較結果を得、上記比較結果に基づいて、上記第2の遅延回路に上記クロック信号のパルスを供給するか否かを表すパルス供給制御信号を上記クロックドライバに出力するパルス供給信号生成部とを有することができる。ここで、上記比較値は、上記第2の遅延回路の総数に対応した値とすることができる。

10

【0013】

さらに、本発明の回路装置では、上記第1の遅延回路及び上記第2の遅延回路の各々は、例えば、1つ以上のDフリップフロップから構成することができる。

20

【0014】

【発明の実施の形態】

以下、本発明の実施形態について説明する。

【0015】

図1は、本発明の第1実施形態の回路装置を示すブロック図である。

【0016】

図1に示す回路装置1は、2ビットのデータ( $d_a$ ,  $d_b$ )からなるデータ信号 $D(n-1)$ が入力される。この回路装置1は、入力されたデータ信号 $D(n-1)$ を、8パルス期間(8クロック期間)だけ遅れたデータ信号 $D(n+7) = (Out)$ として出力するように動作する。

【0017】

回路装置1は、Dフリップフロップ $f_{0a}$ 及び $f_{0b}$ を有している。Dフリップフロップ $f_{0a}$ の後段には、縦続接続された7個のDフリップフロップ $f_{1a}$ 乃至 $f_{7a}$ のグループ $G_a$ が接続されている。また、Dフリップフロップ $f_{0b}$ の後段には、縦続接続された7個のDフリップフロップ $f_{1b}$ 乃至 $f_{7b}$ のグループ $G_b$ が接続されている。グループ $G_a$ 及び $G_b$ によりシフトレジスタ2(本発明にいう「信号処理回路」に相当する)が構成されている。これらのDフリップフロップ $f_{0a}$ 乃至 $f_{7a}$ 及び $f_{0b}$ 乃至 $f_{7b}$ の各々は、データが入力されるデータ入力端 $D$ と、当該データ入力端 $D$ から入力されたデータを出力するデータ出力端 $Q$ と、クロック信号 $CK$ が入力されるクロック信号入力端 $CP$ とを有している。この回路装置1では、2ビットのデータ( $d_a$ ,  $d_b$ )のうち、データ $d_a$ はDフリップフロップ $f_{0a}$ 乃至 $f_{7a}$ によって処理され、一方、データ $d_b$ はDフリップフロップ $f_{0b}$ 乃至 $f_{7b}$ によって処理される。尚、本実施形態では、グループ $G_a$ 及び $G_b$ の各々は7個のDフリップフロップが縦続接続された構成を有しているが、縦続接続されるDフリップフロップの数は、適宜変更可能である。尚、以下では、Dフリップフロップ $f_{0a}$ 及び $f_{0b}$ のペアを単にDフリップフロップ $F_0$ と呼ぶ。同様にして、Dフリップフロップ $f_{1a}$ 及び $f_{1b}$ のペア, ..., Dフリップフロップ $f_{7a}$ 及び $f_{7b}$ のペアを、単にDフリップフロップ $F_1$ , ...,  $F_7$ と呼ぶ。

30

40

【0018】

また、この回路装置1は制御回路3を備えている。回路装置1が制御回路3を備えることによって、シフトレジスタ2の消費電力の低減を図ることができる。以下に、図1に示す回路装置1が、どのようにしてシフトレジスタ2の消費電力を低減することができるのか

50

について、制御回路 3 を備えていない回路装置と比較しながら説明する。

【 0 0 1 9 】

図 2 は、制御回路 3 を備えていない回路装置 1 0 0 の回路図を示す。

【 0 0 2 0 】

最前段の D フリップフロップ F 0 のうちの D フリップフロップ f 0 a は、クロック信号 C K のパルス P<sub>x</sub> の立上りエッジに同期して、データ入力端 D に入力されるデータ d<sub>a</sub> を取り込み、この取り込んだデータ d<sub>a</sub> を次のパルス P ( x + 1 ) が発生するまでデータ出力端 Q から次段の D フリップフロップ f 1 a に出力し続ける。従って、D フリップフロップ f 0 a は、入力されたデータ d<sub>a</sub> を 1 パルス期間 ( 1 クロック期間 ) 遅れて出力する。また、D フリップフロップ f 0 b も、D フリップフロップ f 0 a と同様に動作し、入力されたデータ d<sub>b</sub> を 1 パルス期間遅れて出力する。従って、D フリップフロップ F 0 は、入力されたデータ信号 D ( n - 1 ) を、1 パルス期間遅れたデータ信号 D ( n ) として次段の D フリップフロップ F 1 に出力する。

10

【 0 0 2 1 】

また、D フリップフロップ F 1 のうちの D フリップフロップ f 1 a は、クロック信号 C K のパルス P<sub>x</sub> の立上りエッジに同期して、前段の D フリップフロップ f 0 a から出力されたデータ d<sub>a</sub> を取り込み、この取り込んだデータ d<sub>a</sub> を次のパルス P ( x + 1 ) が発生するまで次段の D フリップフロップ f 2 a ( 図示せず ) に出力し続ける。従って、D フリップフロップ f 1 a は、前段の D フリップフロップ f 0 a が出力したデータ d<sub>a</sub> を 1 パルス期間遅れて出力する。また、D フリップフロップ f 1 b も、前段の D フリップフロップ f 0 b が出力したデータ d<sub>b</sub> を 1 パルス期間遅れて出力する。従って、D フリップフロップ F 1 は、前段の D フリップフロップ F 0 が出力したデータ信号 D ( n ) を、1 パルス期間遅れたデータ信号 D ( n + 1 ) として出力する。

20

【 0 0 2 2 】

以下、同様にして、D フリップフロップ F 2 乃至 F 7 は、前段のフリップフロップが出力したデータ信号を、1 パルス期間遅れたデータ信号として出力する。従って、最前段の D フリップフロップ F 0 に入力されたデータ信号 D ( n - 1 ) は、最後段の D フリップフロップ F 7 から 8 パルス期間遅れたデータ信号 D ( n + 7 ) = ( Out ) として出力される。

【 0 0 2 3 】

図 3 は、図 2 に示す制御回路 3 を備えていない回路装置 1 0 0 のタイミングチャートを示す。

30

【 0 0 2 4 】

データ d<sub>a</sub> 及び d<sub>b</sub> は論理 ' 0 ' 又は論理 ' 1 ' であるため、D ( n - 1 ) = ( d<sub>a</sub> , d<sub>b</sub> ) は、図 3 に示すように、4 つの値 D 0 = ( 0 , 0 )、D 1 = ( 0 , 1 )、D 2 = ( 1 , 0 ) 及び D 3 = ( 1 , 1 ) を取り得る。例えば、D ( n - 1 ) = D 1 = ( 0 , 1 ) であれば、クロック信号 C K のパルス P に同期して、D フリップフロップ f 0 a は ' 0 ' を取り込み、D フリップフロップ f 0 b は ' 1 ' を取り込む。この取り込まれたデータ信号 D ( n - 1 ) は、次段の D フリップフロップ F 1 に出力される。以下、同様にして、D 1 = ( 0 , 1 ) は、クロック信号のパルスに同期して、D フリップフロップ F 2 , ... , F 7 に順次に出され、最終的にはデータ信号 D ( n + 7 ) ( = Out ) として出力される。

40

【 0 0 2 5 】

図 4 は、図 3 に示すタイミングチャートのパルス P1 からパルス P12 までの一部拡大図である。

【 0 0 2 6 】

D フリップフロップ F 0 は、クロック信号 C K のパルス P1 の立ち上がりエッジに同期して、データ信号 D ( n - 1 ) のデータ d1 を取り込み、この取り込んだデータ d1 をデータ信号 D ( n ) として出力する。更に、D フリップフロップ F 0 は、次のパルス P2 が発生するとデータ信号 D ( n - 1 ) のデータ d2 を取り込み、データ d1 に代えてデータ d2 をデータ信号 D ( n ) として出力する。

【 0 0 2 7 】

50

以下、同様にして、DフリップフロップF 0は、各パルスP3, P4, ...に同期して、クロック信号CKのパルスP3, P4, ...におけるデータ信号D (n-1)のデータd3, d4, ...を取り込み、該取り込んだデータを、次のパルスが発生するまでデータ信号D (n)として出力し続ける。つまり、DフリップフロップF 0は、取り込んだデータd1, d2, ..., dxを、パルスP1, P2, ..., Pxのパルス期間(クロック期間)h1, h2, ..., hxの間出力し続ける。従って、DフリップフロップF 0は、入力されたデータ信号D (n-1)のデータd1, d2, ..., dxを、1パルス期間だけ遅れたデータ信号D (n)のデータd1, d2, ..., dxとして出力する。

【0028】

また、DフリップフロップF 0が出力したデータ信号D (n)のデータd1, d2, ..., dxは、次段のDフリップフロップF 1に入力される。DフリップフロップF 1は、入力されたデータ信号D (n)のデータd1, d2, ..., dxを、1パルス期間だけ遅れたデータ信号D (n+1)のデータd1, d2, ..., dxとして出力する。

【0029】

以下、同様に考えて、その他のDフリップフロップF 2乃至F 7も、入力されたデータ信号のデータを、1パルス期間遅れたデータ信号のデータとして出力する。このように、DフリップフロップF 1乃至F 7の各々が、入力されたデータを1パルス期間だけ遅らせて出力することにより、図3に示す回路装置100は、データ信号D (n-1)に対して8パルス期間だけ遅れたデータ信号D (n+7)を出力することができる。しかしながら、図3に示す回路装置100は、DフリップフロップF 0乃至F 7の各々に、クロック信号CKのパルスPが連続的に供給されているため、消費電力が大きいという問題がある。この消費電力が大きいという問題は、図3に示す回路装置100が備えるDフリップフロップの数が増えるにつれて顕著に現れる。そこで、本願発明者は、このような問題を解決するために、消費電力を低減することができる図1の回路装置1を考え出した。この回路装置1は、DフリップフロップF 0に入力されるデータ信号D (n-1)とDフリップフロップF 0から出力されるデータ信号D (n)とに基づいて、シフトレジスタ2にクロック信号のパルスを供給するか否かを制御している。このような制御によって、図1に示す回路装置1は、図3に示す回路装置100が出力するデータ信号D (n+7) = (Out)と同一のデータ信号を出力しながらも、シフトレジスタ2の消費電力の低減を図ることができる。以下に、本願発明者が考え出した回路装置の原理について説明する。

【0030】

DフリップフロップF 0はパルスP 1が供給されるとデータ信号D (n-1)のデータd1を取り込み、次のパルスP2が供給されるまで、この取り込んだデータd1をデータ信号D (n)のデータd1として出力し続ける。更に、DフリップフロップF 0はパルスP2が供給されるとデータ信号D (n-1)のデータd2を取り込み、データd1に代えて新たに取り込んだd2を次のパルスP3が供給されるまでデータ信号D (n)のデータd2として出力し続ける。従って、DフリップフロップF 0は、パルスP1が発生するパルス期間h1にはデータd1を出力し、パルスP2が発生するパルス期間h2にはデータd2を出力する。このように、Dフリップフロップは、各パルスPxに同期して取り込んだデータを、次のパルスが供給されるまで出力し続けるという性質を有する。本願発明では、Dフリップフロップのこの性質に着目している。例えば、DフリップフロップF 0にパルスP1を供給した後、次のパルスP2を供給しないと仮定すると、DフリップフロップF 0は、パルス期間h1だけでなく次のパルス期間h2も、データ信号D (n-1)のデータd1をデータ信号D (n)のデータとして出力し続ける。即ち、DフリップフロップF 0は、パルスP2が供給されなくても、前のパルスP1のパルス期間h1に出力したデータd1を次のパルス期間h2にも出力し続け、この結果、データ信号D (n)のパルス期間h2のデータはパルス期間h1のデータと同じ値(=d1)となる。従って、もしデータ信号D (n-1)においてd2=d1(=d)であれば、DフリップフロップF 0にパルスP1を供給した後次のパルスP2を供給するか否かに関わらず、データ信号D (n)のパルス期間h1及びh2のデータは同一の値(=d)である。

【0031】

10

20

30

40

50

以上の説明から、もしデータ信号  $D(n-1)$  のデータ  $d_x$  が前のデータ  $d_{x-1}$  に等しい ( $d_x = d_{x-1} = d$ ) ののであれば、 $D$  フリップフロップ  $F_0$  にパルス  $P_{x-1}$  を供給した後次のパルス  $P_x$  を供給するか否かに関わらず、データ信号  $D(n)$  のパルス期間  $h_{x-1}$  及び  $h_x$  のデータは同一の値 ( $= d$ ) となることがわかる。

【0032】

これまでは、 $D$  フリップフロップ  $F_0$  が出力するデータ信号  $D(n)$  について説明したが、この他の  $D$  フリップフロップ  $F_1$  乃至  $F_7$  が出力するデータ信号  $D(n+1)$  乃至  $D(n+7)$  ( $= Out$ ) も同様に説明できる。

【0033】

従って、例えば、最終段の  $D$  フリップフロップ  $F_7$  が出力するデータ信号  $D(n+7)$  ( $= Out$ ) において、パルス期間  $h_x$  のデータが前のパルス期間  $h_{x-1}$  のデータに等しい場合、回路装置 1 は、最終段の  $D$  フリップフロップ  $F_7$  へのパルス  $P_x$  の供給を停止することにより、データ信号  $D(n+7)$  ( $= Out$ ) の同一性を保持したまま、シフトレジスタ 2 の消費電力を削減できることがわかる。そこで、図 4 を参照すると、データ信号  $D(n+7)$  ( $= Out$ ) において、例えば、パルス期間  $h_9$  のデータ  $d_2$  は  $D_1 = (0, 1)$  であり、1 つ前のパルス期間  $h_8$  のデータ  $d_1$  も  $D_1 = (0, 1)$  である。従って、データ信号  $D(n+7)$  ( $= Out$ ) において、パルス期間  $h_9$  のデータが 1 つ前のパルス期間  $h_8$  のデータに等しいことがわかる。従って、回路装置 1 は、最終段の  $D$  フリップフロップ  $F_7$  へのパルス  $P_9$  の供給を停止することにより、最終段の  $D$  フリップフロップ  $F_7$  が出力するデータ信号  $D(n+7)$  ( $= Out$ ) の同一性を保持したまま、シフトレジスタ 2 の消費電力を低減することができる。

【0034】

同様に考えると、 $D$  フリップフロップ  $F_6$  が出力するデータ信号  $D(n+6)$  において、例えば、パルス期間  $h_9$  のデータ  $d_3$  は  $D_1 = (0, 1)$  であり、1 つ前のパルス期間  $h_8$  のデータ  $d_2$  も  $D_1 = (0, 1)$  である。従って、データ信号  $D(n+6)$  において、パルス期間  $h_9$  のデータが 1 つ前のパルス期間  $h_8$  のデータに等しいことがわかる。従って、回路装置 1 は、 $D$  フリップフロップ  $F_6$  へのパルス  $P_9$  の供給を停止することにより、 $D$  フリップフロップ  $F_6$  が出力するデータ信号  $D(n+6)$  の同一性を保持したまま、シフトレジスタ 2 の消費電力を低減することができる。その他の  $D$  フリップフロップが出力するデータ信号においても、当該  $D$  フリップフロップへのパルス  $P_9$  の供給を停止することによって、当該  $D$  フリップフロップが出力するデータ信号の同一性を保持したまま、シフトレジスタ 2 の消費電力を低減することができる。

【0035】

ここで注意しておきたいことは、回路装置 1 がパルス  $P_9$  の供給を停止することができるのは、「パルス  $P_9$  の供給を停止しても、 $D$  フリップフロップが、パルス  $P_9$  が供給されたときに出力するデータ信号と同一のデータ信号を出力する」場合のみである。従って、図 1 に示す回路装置 1 は、パルス  $P_9$  の供給停止を実行する場合、パルス  $P_9$  の供給開始時刻  $t_9$  の前に、「パルス  $P_9$  の供給を停止しても、 $D$  フリップフロップが、パルス  $P_9$  が供給されたときに出力するデータ信号と同一のデータ信号を出力する」ことを認識できなければならない。以下に、回路装置 1 は、どのようにしてこのことを認識しているのかについて考察する。

【0036】

上記のように、「パルス  $P_9$  の供給を停止しても、 $D$  フリップフロップが、パルス  $P_9$  が供給されたときに出力するデータ信号と同一のデータ信号を出力する」のは、「各データ信号について、パルス期間  $h_9$  のデータが、1 つ前のパルス期間  $h_8$  のデータに等しい」場合である。従って、図 1 に示す回路装置 1 が、パルス  $P_9$  の供給開始時刻  $t_9$  の前に、「各データ信号について、パルス期間  $h_9$  のデータが、1 つ前のパルス期間  $h_8$  のデータに等しい」ことが認識できれば、データ信号の同一性を保持したままパルス  $P_9$  の供給を停止することができる。以下に、図 1 に示す回路装置 1 が、パルス  $P_9$  の供給開始時刻  $t_9$  の前に、「各データ信号について、パルス期間  $h_9$  のデータが、1 つ前のパルス期間  $h_8$  のデータに等しい」ことをどのように認識するかについて説明する。

## 【 0 0 3 7 】

先ず、データ信号 D (n+7) ( = Out ) について考える。

## 【 0 0 3 8 】

データ信号 D (n+7) のパルス期間 h9 におけるデータ d2 は、最前段の D フリップフロップ F 0 に入力されるデータ信号 D (n-1) のパルス期間 h1 のデータ d2 が、8 パルス期間だけ遅れて最終段の D フリップフロップ F 7 から出力されるデータである。また、このデータ信号 D (n+7) ( = Out ) のパルス期間 h8 におけるデータ d1 は、最前段の D フリップフロップ F 0 から出力された (つまり、D フリップフロップ F 1 に入力される) データ信号 D (n) のパルス期間 h1 のデータ d1 が 7 パルス期間だけ遅れて最終段の D フリップフロップ F 7 から出力されるデータである。従って、パルス期間 h1 のデータ信号 D (n-1) のデータ d2 と、パルス期間 h1 のデータ信号 D (n) のデータ d1 とが等しいことを認識できれば、データ信号 D (n+7) ( = Out ) のパルス期間 h9 のデータが 1 つ前のパルス期間 h8 のデータに等しいことを認識できる。

10

## 【 0 0 3 9 】

次に、データ信号 D (n+6) について考える。

## 【 0 0 4 0 】

データ信号 D (n+6) のパルス期間 h9 におけるデータ d3 は、最前段の D フリップフロップ F 0 に入力されるデータ信号 D (n-1) のパルス期間 h2 のデータ d3 が、7 パルス期間だけ遅れて最終段の D フリップフロップ F 7 から出力されるデータである。また、このデータ信号 D (n+6) のパルス期間 h8 におけるデータ d2 は、最前段の D フリップフロップ F 0 から出力された (つまり、D フリップフロップ F 1 に入力される) データ信号 D (n) のパルス期間 h2 のデータ d2 が 6 パルス期間 D だけ遅れて最終段の D フリップフロップ F 7 から出力されるデータである。従って、パルス期間 h2 のデータ信号 D (n-1) のデータ d3 とパルス期間 h2 のデータ信号 D (n) のデータ d2 とが等しいことが認識できれば、データ信号 D (n+6) のパルス期間 h9 のデータは 1 つ前のパルス期間 h8 のデータに等しいことが認識できる。その他のデータ信号についても同様に考えることができ、例えば、パルス期間 h7 のデータ信号 D (n-1) のデータ d8 とパルス期間 h7 のデータ信号 D (n) のデータ d7 とが等しいことが認識できれば、データ信号 D (n+1) のパルス期間 h9 のデータは 1 つ前のパルス期間 h8 のデータに等しいことが認識できる。

20

## 【 0 0 4 1 】

以上のことから、連続する 7 つのパルス期間 h1 乃至 h7 に渡ってデータ信号 D (n-1) と D (n) とが等しいことを認識できれば、データ信号 D (n+1) 乃至 D (n+7) ( = Out ) の各々について、パルス期間 h9 のデータが 1 つ前のパルス期間 h8 のデータに等しいことを認識できる。

30

## 【 0 0 4 2 】

上記の説明では、データ信号 D (n+1) 乃至 D (n+7) ( = Out ) のパルス期間 h9 及び h8 のデータについて説明したが、同様にして、データ信号 D (n+1) 乃至 D (n+7) ( = Out ) のパルス期間 h10 及び h9 のデータについて考えると、連続する 7 つのパルス期間 h2 乃至 h8 に渡ってデータ信号 D (n-1) と D (n) とが等しいことを認識できれば、データ信号 D (n+1) 乃至 D (n+7) ( = Out ) の各々について、パルス期間 h10 のデータが 1 つ前のパルス期間 h9 のデータに等しいことを認識できる。

40

## 【 0 0 4 3 】

従って、回路装置 1 が、連続する 7 つのパルス期間に渡ってデータ信号 D (n-1) と D (n) とが等しい場合、7 個の D フリップフロップ F 1 乃至 F 7 へのパルスの供給を停止しても、データ信号 D (n+1) 乃至 D (n+7) ( = Out ) の同一性が保持されるので、この結果、データ信号 D (n+1) 乃至 D (n+7) ( = Out ) の同一性を保持したままこの回路装置 1 の消費電力を大幅に削減することが可能となる。

## 【 0 0 4 4 】

この消費電力の大幅な削減を実現するためには、回路装置 1 が、パルスの供給を停止する前に、連続する 7 つのパルス期間に渡ってデータ信号 D (n-1) と D (n) とが等しいか否かを認識し、等しい場合は D フリップフロップ F 1 乃至 F 7 へのパルス P9 の供給を停止すると

50



いう動作を行う必要がある。

【 0 0 4 5 】

そこで、回路装置 1 は、このような動作を実現する制御回路 3 を備えている。

【 0 0 4 6 】

図 5 は、制御回路 3 の状態遷移図を示す。

【 0 0 4 7 】

この制御回路 3 は、データ信号  $D(n-1)$  と  $D(n)$  とが等しいか否かを各パルス期間  $h$  毎に判定し、 $D(n-1) = D(n)$  の場合は、ステップ  $S_2$  において、カウント値  $nc$  を 1 つインクリメントし、 $D(n-1) \neq D(n)$  の場合は、ステップ  $S_1$  に戻り、カウント値  $nc$  をリセットする。制御回路 3 がステップ  $S_1$  又は  $S_2$  の状態である場合は、7 個の  $D$  フリップフロップ  $F_1$  乃至  $F_7$  にパルスが供給される。一方、ステップ  $S_2$  において、インクリメントされたカウント値が  $nc = 7$  に到達した場合、 $nc = 7$  は、連続する 7 つのパルス期間に渡ってデータ信号  $D(n-1) = D(n)$  であることを意味するので、制御回路 3 はステップ  $S_2$  からステップ  $S_3$  に進み、7 個の  $D$  フリップフロップ  $F_1$  乃至  $F_7$  へのパルスの供給を停止する。ステップ  $S_3$  において、 $D(n-1) \neq D(n)$  になった場合は、ステップ  $S_1$  に戻ってカウント値  $nc$  がリセットされる。制御回路 3 をこのように動作させることによって、7 個の  $D$  フリップフロップ  $F_1$  乃至  $F_7$  へのパルスの供給を停止しても、データ信号  $D(n+1)$  乃至  $D(n+7)$  ( $= Out$ ) の同一性を保持したまま、回路装置 1 の消費電力を大幅に削減することができる。

【 0 0 4 8 】

以下、このような制御回路 3 を備えた回路装置 1 の回路動作について具体的に説明する。

【 0 0 4 9 】

図 6 は、制御回路 3 の詳細図、図 7 は、図 1 の回路装置の動作に関連する信号のタイミングチャートを示す図である。

【 0 0 5 0 】

制御回路 3 は決定回路 4 を有している。この決定回路 4 は、データ信号  $D(n-1)$  と  $D(n)$  とが等しいか否かの判定を行い、この判定に基づいて、 $D$  フリップフロップ  $F_1$  乃至  $F_7$  (本発明にいう「複数の第 2 の遅延回路」に相当する) にクロック信号  $CK$  を供給するか否かを表す信号  $Sk$  を出力するように構成されている。この決定回路 4 は判定部 4 a を有している。この判定部 4 a には、 $D$  フリップフロップ  $F_0$  (本発明にいう「第 1 の遅延回路」に相当する) に入力されるデータ信号  $D(n-1)$  と、 $D$  フリップフロップ  $F_0$  が出力したデータ信号  $D(n)$  とが入力される。この判定部 4 a は、データ信号  $D(n-1)$  と  $D(n)$  とが等しいか否かの判定を行う。判定部 4 a は、データ信号  $D(n-1)$  と  $D(n)$  とが等しい場合論理 ' 1 ' の判定信号  $Sd$  を出力し、一方、データ信号  $D(n-1)$  と  $D(n)$  とが異なる場合論理 ' 0 ' の判定信号  $Sd$  を出力する。判定部 4 a から出力された判定信号  $Sd$  はカウンタ 4 b に入力される。

【 0 0 5 1 】

このカウンタ 4 b は、判定信号  $Sd$  が論理 ' 1 ' (即ち、データ信号  $D(n-1)$  と  $D(n)$  とが等しい) であれば、クロック信号  $CK$  のパルス  $P$  に同期してカウント値  $nc$  をインクリメントし、このインクリメントされたカウント値  $nc$  を表すカウント信号  $Sc$  を出力する。一方、判定信号  $Sd$  が論理 ' 0 ' であれば (即ち、データ信号  $D(n-1)$  と  $D(n)$  とが異なる)、クロック信号  $CK$  のパルス  $P$  に同期してカウント値  $nc$  をリセットし、リセット値 ( $n = 0$ ) を表すカウント信号  $Sc$  を出力する。カウンタ 4 b から出力されたカウント信号  $Sc$  は比較器 4 c に入力される。

【 0 0 5 2 】

比較器 4 c には、カウンタ 4 b が出力したカウント信号  $Sc$  の他に、比較信号  $Sref$  が入力される。この比較信号  $Sref$  は、カウント値  $nc$  と比較される比較値  $nr = 6$  を表す。比較器 4 c は、カウント値  $nc$  が比較値  $nr = 6$  以下 ( $nc \leq nr$ ) である場合、論理 ' 0 ' の結果信号  $So$  を出力し、カウント値  $nc$  が比較値  $nr = 6$  より大きい ( $nc > nr$ ) 場合、論理 ' 1 ' の結果信号  $So$  を出力する。

10

20

30

40

50

## 【 0 0 5 3 】

また、決定回路 4 は、遅延部 4 d を有している。この遅延部 4 d は、比較器 4 c から出力された結果信号 So を半パルス期間だけ遅延させる。遅延部 4 d は、この半パルス期間だけ遅延した結果信号 So を、クロックドライバ 5 の動作を制御するための制御信号 Sk として出力する。

## 【 0 0 5 4 】

クロックドライバ 5 は、制御信号 Sk が論理 ' 0 ' (即ち、 $nc < nr$ ) の場合、クロック信号 CK のパルスを内部クロック信号 CK i のパルスとして D フリップフロップ F 1 乃至 F 7 に供給するが、結果信号 So が論理 ' 1 ' (即ち、 $nc > nr$ ) の場合、クロック信号 CK のパルスの D フリップフロップ F 1 乃至 F 7 への供給を停止する。

10

## 【 0 0 5 5 】

以下、このような制御回路 3 が備えられた回路装置 1 の回路動作について、図 1、図 6 及び図 7 を参照しながら詳細に説明する。

## 【 0 0 5 6 】

まず、データ信号 D (n-1) のデータ d1 が D フリップフロップ F 0 のデータ入力端 D に入力される。このデータ信号 D (n-1) のデータ d1 はクロック信号 CK のパルス P1 に同期して D フリップフロップ F 0 の内部に取り込まれ、この取り込まれたデータ d1 が次段のフリップフロップ F 1 に出力される。D フリップフロップ F 0 がデータ d1 を次段のフリップフロップ F 1 に出力する一方で、この D フリップフロップ F 0 には、データ信号 D (n-1) の次のデータ d2 が入力される。また、この D フリップフロップ F 0 が出力したデータ d1 及びこの D フリップフロップ F 0 に入力される次のデータ d2 は、決定回路 4 の判定部 4 a にも入力される。従って、判定部 4 a には、パルス期間 h1 (図 7 参照) に、データ信号 D (n-1) のデータ d2 とデータ信号 D (n) のデータ d1 とが入力される。判定部 4 a はデータ d2 と d1 とが等しいか否かを判断する。データ d2 及び d1 は、いずれも  $D_1 = (0, 1)$  であるので、データ d2 はデータ d1 に等しい。従って、判定部 4 a は、パルス期間 h1 に、 $D(n-1) = D(n)$  を表す論理 ' 1 ' の判定信号 Sd をカウンタ 4 b に出力する。尚、パルス期間 h1 において、カウンタ 4 b のカウント値 nc は  $n = 0$  であり、制御信号 Sk は論理 ' 0 ' であるとする。従って、クロックドライバ 5 は、クロック信号 CK のパルスを内部クロック信号 CK i のパルスとして各 D フリップフロップ F 1 乃至 F 7 に供給していることに注意されたい。

20

## 【 0 0 5 7 】

回路装置 1 にパルス P1 が供給された場合、回路装置 1 は上記のような回路動作を行う。

30

## 【 0 0 5 8 】

次に、回路装置 1 にクロック信号 CK のパルス P2 が入力された場合を考える。

## 【 0 0 5 9 】

このパルス P2 は、D フリップフロップ F 0 及びクロックドライバ 5 に入力される。パルス P2 の立上りエッジの時刻 t2 において、クロックドライバ 5 には、論理 ' 0 ' の制御信号 Sk が入力されているため、クロックドライバ 5 は、パルス P2 を、内部クロック信号 CK i のパルス P2 として D フリップフロップ F 1 乃至 F 7 に供給する。従って、D フリップフロップ F 0 だけでなく、D フリップフロップ F 1 乃至 F 7 にもパルス P2 が供給される。D フリップフロップ F 0 はパルス P2 の立上りエッジに同期して、データ信号 D (n-1) のデータ d2 を取り込み、この取り込んだデータ d2 を出力する。また、次段の D フリップフロップ F 1 は、パルス P2 の立上りエッジに同期して、前段の D フリップフロップ F 0 が出力したデータ信号 D (n) のデータ d1 を取り込み、この取り込んだデータ d1 を出力する。その他の D フリップフロップ F 2 乃至 F 7 の各々も、パルス P2 の立上りエッジに同期して、前段の D フリップフロップが出力したデータを取り込み、この取り込んだデータを出力する。

40

## 【 0 0 6 0 】

また、パルス P2 は決定回路 4 のカウンタ 4 b にも入力される。カウンタ 4 b は、パルス P2 の立上りエッジに同期して、カウンタ 4 b に入力されている判定信号 Sd が論理 ' 0 ' であるか論理 ' 1 ' であるかに応じて、カウント値 nc をリセット又はインクリメントする。パルス P2 の立上りエッジの時刻 t2 において、判定信号 Sd は論理 ' 1 ' である (即ち、 $d_2 = d$

50

1) ため、カウンタ 4 b は、パルス P2 の立上りエッジに同期して、カウント値  $nc$  を  $nc = 1$  にインクリメントする。カウント値  $nc = 1$  は、パルス期間  $h1$  において  $D(n-1)$  と  $D(n)$  とが等しい (即ち、データ信号  $D(n+7)$  において、パルス期間  $h9$  のデータがパルス期間  $h8$  のデータに等しい) ことを意味する。カウンタ 4 b は、このカウント値  $nc = 1$  を表すカウント信号  $Sc$  を比較器 4 c に出力する。

【 0 0 6 1 】

カウント値  $nc$  が  $nc = 1$  であるため、 $nc < nr$  である。従って、比較器 4 c は、パルス期間  $h2$  に、カウント値  $nc$  が比較値  $nr = 6$  以下である旨を表す論理 ' 0 ' の結果信号  $So$  を遅延部 4 d に出力する。

【 0 0 6 2 】

遅延部 4 d は、結果信号  $So$  を半パルス期間だけ遅延させ、この半パルス期間だけ遅延した結果信号  $So$  を、制御信号  $Sk$  としてクロックドライバ 5 に出力する。

【 0 0 6 3 】

また、D フリップフロップ  $F 0$  がデータ  $d2$  を次段のフリップフロップ  $F 1$  に出力する一方で、この D フリップフロップ  $F 0$  には、データ信号  $D(n-1)$  の次のデータ  $d3$  が入力される。この D フリップフロップ  $F 0$  が出力したデータ  $d2$  及びこの D フリップフロップ  $F 0$  に入力される次のデータ  $d3$  は、決定回路 4 の判定部 4 a にも入力される。従って、判定部 4 a には、パルス期間  $h2$  (図 7 参照) に、データ信号  $D(n-1)$  のデータ  $d3$  とデータ信号  $D(n)$  のデータ  $d2$  とが入力される。判定部 4 a は、データ  $d3$  が  $d2$  に等しいか否かを判定する。データ  $d3$  及び  $d2$  は、いずれも  $D 1 = (0, 1)$  であるので、データ  $d3$  はデータ  $d2$  に等しい。従って、判定部 4 a は、パルス期間  $h2$  に、 $D(n-1) = D(n)$  を表す論理 ' 1 ' の判定信号  $Sd$  をカウンタ 4 b に出力する。

【 0 0 6 4 】

回路装置 1 にパルス P2 が供給された場合、回路装置 1 は上記のような回路動作を行う。

【 0 0 6 5 】

次に、回路装置 1 にクロック信号  $CK$  のパルス P3 が入力された場合を考える。

【 0 0 6 6 】

このパルス P3 は、D フリップフロップ  $F 0$  及びクロックドライバ 5 に入力される。パルス P3 の立上りエッジの時刻  $t3$  において、クロックドライバ 5 には、論理 ' 0 ' の制御信号  $Sk$  が入力されているため、クロックドライバ 5 は、パルス P3 を、内部クロック信号  $CK i$  のパルス P3 として D フリップフロップ  $F 1$  乃至  $F 7$  に供給する。従って、D フリップフロップ  $F 0$  だけでなく、D フリップフロップ  $F 1$  乃至  $F 7$  にもパルス P3 が供給される。D フリップフロップ  $F 0$  は、パルス P3 に同期して、データ信号  $D(n-1)$  のデータ  $d3$  を取り込み、この取り込んだデータ  $d3$  を次段のフリップフロップ  $F 1$  に出力する。その他の D フリップフロップ  $F 1$  乃至  $F 7$  の各々も、パルス P3 の立上りエッジに同期して、前段の D フリップフロップが出力したデータを取り込み、この取り込んだデータを出力する。

【 0 0 6 7 】

また、パルス P3 は決定回路 4 のカウンタ 4 b にも入力される。カウンタ 4 b は、パルス P3 の立上りエッジに同期して、カウンタ 4 b に入力されている判定信号  $Sd$  が論理 ' 0 ' であるか論理 ' 1 ' であるかに応じて、カウント値  $nc$  をリセット又はインクリメントする。パルス P3 の立上りエッジの時刻  $t3$  において、判定信号  $Sd$  は論理 ' 1 ' である (即ち、 $d3 = d2$ ) ため、カウンタ 4 b は、パルス P3 の立上りエッジに同期して、カウント値  $nc$  を  $n = 2$  にインクリメントする。カウント値  $nc = 2$  は、連続する 2 つのパルス期間  $h1$  及び  $h2$  において  $D(n-1)$  と  $D(n)$  とが等しい (即ち、データ信号  $D(n+6)$  及び  $D(n+7)$  において、パルス期間  $h9$  のデータがパルス期間  $h8$  のデータに等しい) ことを意味する。カウンタ 4 b は、このカウント値  $nc = 2$  を表すカウント信号  $Sc$  を比較器 4 c に出力する。

【 0 0 6 8 】

カウント値  $nc$  が  $nc = 2$  であるため、 $nc < nr$  である。従って、比較器 4 c は、パルス期間  $h2$  に、カウント値  $nc$  が比較値  $nr = 6$  以下である旨を表す論理 ' 0 ' の結果信号  $So$  を遅延部 4 d に出力する。

10

20

30

40

50

## 【 0 0 6 9 】

遅延部 4 d は、結果信号 So を半パルス期間だけ遅延させ、この半パルス期間だけ遅延した結果信号 So を、制御信号 Sk としてクロックドライバ 5 に出力する。

## 【 0 0 7 0 】

また、D フリップフロップ F 0 がパルス P3 に同期してデータ d3 を次段のフリップフロップ F 1 に出力する一方で、この D フリップフロップ F 0 には、データ信号 D (n-1) の次のデータ d4 が入力される。また、この D フリップフロップ F 0 が出力したデータ d3 及びこの D フリップフロップ F 0 に入力される次のデータ d4 は、決定回路 4 の判定部 4 a にも入力される。従って、判定部 4 a には、パルス期間 h3 ( 図 7 参照 ) に、データ信号 D (n-1) のデータ d4 とデータ信号 D (n) のデータ d3 とが入力される。判定部 4 a は、データ d4 が d3 に等しいか否かを判定する。データ d4 及び d3 は、いずれも  $D = ( 0, 1 )$  であるので、データ d4 はデータ d3 に等しい。従って、判定部 4 a は、パルス期間 h3 に、 $D (n-1) = D (n)$  を表す論理 ' 1 ' の判定信号 Sd をカウンタ 4 b に出力する。

10

## 【 0 0 7 1 】

これまでは、回路装置 1 にクロック信号 C K のパルス P1 乃至 P3 が供給された場合の回路動作について説明したが、回路装置 1 にクロック信号 C K のパルス P4 乃至 P7 が入力された場合も、同様に動作する。従って、カウンタ 4 b は、パルス P4 に同期してカウント値 nc を  $n = 3$  にインクリメントし、パルス P5、P6 及び P7 に同期して、それぞれカウント値 nc を  $nc = 4, 5$  及び  $6$  にインクリメントする。尚、カウント値 nc が  $nr = 6$  にインクリメントされたということは、連続する 6 つのパルス期間 h1 及び h6 において D (n-1) と D (n) とが等しい ( 即ち、データ信号 D (n+2) 乃至 D (n+7) において、パルス期間 h9 のデータがパルス期間 h8 のデータに等しい ) ことを意味する。

20

## 【 0 0 7 2 】

次に、回路装置 1 にクロック信号 C K のパルス P8 が入力された場合を考える。

## 【 0 0 7 3 】

このパルス P8 は、D フリップフロップ F 0 及びクロックドライバ 5 に入力される。パルス P8 の立上りエッジの時刻 t8 において、クロックドライバ 5 には、論理 ' 0 ' の制御信号 Sk が入力されているため、クロックドライバ 5 は、パルス P8 を、内部クロック信号 C K i のパルス P8 として D フリップフロップ F 1 乃至 F 7 に供給する。従って、D フリップフロップ F 0 だけでなく、D フリップフロップ F 1 乃至 F 7 にもパルス P8 が供給される。D フリップフロップ F 0 は、パルス P8 に同期して、データ信号 D (n-1) のデータ d8 を取り込み、この取り込んだデータ d8 を次段のフリップフロップ F 1 に出力する。その他の D フリップフロップ F 1 乃至 F 7 の各々も、パルス P8 の立上りエッジに同期して、前段の D フリップフロップが出力したデータを取り込み、この取り込んだデータを出力する。

30

## 【 0 0 7 4 】

また、パルス P8 は決定回路 4 のカウンタ 4 b にも入力される。カウンタ 4 b は、パルス P8 の立上りエッジに同期して、カウンタ 4 b に入力されている判定信号 Sd が論理 ' 0 ' であるか論理 ' 1 ' であるかに応じて、カウント値 nc をリセット又はインクリメントする。パルス P8 の立上りエッジの時刻 t8 において、判定信号 Sd は論理 ' 1 ' である ( 即ち、 $d8 = d7$  ) ため、カウンタ 4 b は、パルス P8 の立上りエッジに同期して、カウント値 nc を  $nc = 7$  にインクリメントする。カウント値  $nc = 7$  は、連続する 7 つのパルス期間 h1 乃至 h7 において D (n-1) と D (n) とが等しい ( 即ち、データ信号 D (n+1) 乃至 D (n+7) において、パルス期間 h9 のデータがパルス期間 h8 のデータに等しい ) ことを意味する。カウンタ 4 b は、このカウント値  $nc = 7$  を表すカウント信号 Sc を比較器 4 c に出力する。

40

## 【 0 0 7 5 】

カウント値 nc が  $nc = 7$  であるため、 $nc > nr$  である。従って、比較器 4 c は、パルス期間 h8 に、カウント値 nc が比較値  $nr = 6$  よりも大きい旨を表す論理 ' 1 ' の結果信号 So を遅延部 4 d に出力する。

## 【 0 0 7 6 】

遅延部 4 d は、結果信号 So を半パルス期間だけ遅延させ、この半パルス期間だけ遅延した

50

結果信号Soを、制御信号Skとしてクロックドライバ5に出力する。

【0077】

また、DフリップフロップF0がパルスP8に同期してデータd8を次段のフリップフロップF1に出力する一方で、このDフリップフロップF0には、データ信号D(n-1)の次のデータd9が入力される。また、このDフリップフロップF0が出力したデータd8及びこのDフリップフロップF0に入力される次のデータd9は、決定回路4の判定部4aにも入力される。従って、判定部4aには、パルス期間h8(図7参照)に、データ信号D(n-1)のデータd9とデータ信号D(n)のデータd8とが入力される。判定部4aは、データd9がd8に等しいか否かを判定する。データd9及びd8は、いずれもD1=(0,1)であるので、データd9はデータd8に等しい。従って、判定部4aは、パルス期間h8に、D(n-1)=D(n)を表す論理'1'の判定信号Sdをカウンタ4bに出力する。

10

【0078】

回路装置1にパルスP8が供給された場合、回路装置1は上記のような回路動作を行う。

【0079】

次に、回路装置1にクロック信号CKのパルスP9が入力された場合を考える。

【0080】

このパルスP9は、DフリップフロップF0及びクロックドライバ5に入力される。ここで、パルスP9の立上りエッジの時刻t9において、クロックドライバ5には、論理'1'の制御信号Skが入力されていることに注意されたい。論理'1'の制御信号Skは、パルスの供給を停止することを意味するので、クロックドライバ5はDフリップフロップF1乃至F7へのパルスP9の供給を停止する。即ち、DフリップフロップF0にはパルスP9が供給されるが、DフリップフロップF1乃至F7の各々にはパルスP9は供給されない。従って、DフリップフロップF0は、パルスP9に同期して、データ信号D(n-1)のデータd9を取り込み、この取り込んだデータd9を次段のフリップフロップF1に出力するが、DフリップフロップF1乃至F7は、パルス期間h8に出力していたデータをそのままパルス期間h9においても出力する。例えば、データ信号D(n+1)を出力するDフリップフロップF1は、パルス期間h8のデータd7をパルス期間h9においても出力する。また、データ信号D(n+2)を出力するDフリップフロップF2は、パルス期間h8のデータd6をパルス期間h9においても出力する。その他のDフリップフロップF3乃至F7も同様に考えることができ、例えば、データ信号D(n+7)(=Out)を出力する最終段のDフリップフロップF7は、パルス期間h8のデータd1をパルス期間h9においても出力する。つまり、DフリップフロップF1乃至F7が出力するデータ信号D(n+1)乃至D(n+7)の各々は、パルスP9の供給が停止されることによって、パルス期間h9に、パルス期間h8と同一のデータを出力している。ここで、図7に示すデータ信号D(n+1)乃至D(n+7)を、パルスP9が供給された場合のデータ信号D(n+1)乃至D(n+7)と比較してみる。パルスP9が供給された場合のデータ信号D(n+1)乃至D(n+7)は、図4に示されている。図4と図7とを比較すると、パルスP9が供給されているか否かに関わらず、データ信号D(n+1)乃至D(n+7)のパルス期間t9のデータはD1=(0,1)であり、データの同一性が保持されていることがわかる。従って、データの同一性を保持したままパルスP9の供給を停止でき、回路装置1の消費電力の削減が図られることがわかる。

20

30

40

【0081】

上記のようにパルスP9はDフリップフロップF1乃至F7には供給されないが、その一方で、パルスP9は決定回路4のカウンタ4bに供給される。カウンタ4bのカウント値ncは、パルスP9が供給された時点では、nc=7に到達している。カウンタ4bはnc=7に到達している場合、判定信号Sdが論理'0'であるか論理'1'であるかに応じて、カウント値nc=7をリセット又は保持する。パルスP9の立上りエッジの時刻t9において、判定信号Sdは論理'1'(即ち、d9=d8)であるため、カウンタ4bは、カウント値nc=7をそのまま保持する。パルス期間h9のカウント値がnc=7であるということは、連続する7つのパルス期間h2及びh8においてD(n-1)とD(n)とが等しい(即ち、データ信号D(n+1)乃至D(n+7)において、パルス期間h10のデータがパルス期間h9のデータに等しい)ことを意

50

味する。カウンタ 4 b は、このカウント値  $nc = 7$  を表すカウント信号  $Sc$  を比較器 4 c に出力する。

【 0 0 8 2 】

カウント値  $nc$  が  $nc = 7$  であるため、 $nc > nr$  である。従って、比較器 4 c は、パルス期間  $h9$  に、カウント値  $nc$  が比較値  $nr = 6$  よりも大きい旨を表す論理 ' 1 ' の結果信号  $So$  を遅延部 4 d に出力する。

【 0 0 8 3 】

遅延部 4 d は、結果信号  $So$  を半パルス期間だけ遅延させ、この半パルス期間だけ遅延した結果信号  $So$  を、制御信号  $Sk$  としてクロックドライバ 5 に出力する。

【 0 0 8 4 】

また、D フリップフロップ  $F 0$  はパルス  $P9$  に同期してデータ  $d9$  を次段のフリップフロップ  $F 1$  に出力する一方で、この D フリップフロップ  $F 0$  には、データ信号  $D (n-1)$  の次のデータ  $d10$  が入力される。また、この D フリップフロップ  $F 0$  が出力したデータ  $d9$  及びこの D フリップフロップ  $F 0$  に入力される次のデータ  $d10$  は、決定回路 4 の判定部 4 a にも入力される。従って、判定部 4 a には、パルス期間  $h9$  ( 図 7 参照 ) に、データ信号  $D (n-1)$  のデータ  $d10$  とデータ信号  $D (n)$  のデータ  $d9$  とが入力される。判定部 4 a は、データ  $d10$  が  $d9$  に等しいか否かを判定する。データ  $d10$  及び  $d9$  は、いずれも  $D 1 = ( 0 , 1 )$  であるので、データ  $d10$  はデータ  $d9$  に等しい。従って、判定部 4 a は、パルス期間  $h9$  に、 $D (n-1) = D (n)$  を表す論理 ' 1 ' の判定信号  $Sd$  をカウンタ 4 b に出力する。

【 0 0 8 5 】

回路装置 1 にパルス  $P9$  が供給された場合、回路装置 1 は上記のような回路動作を行う。

【 0 0 8 6 】

次に、回路装置 1 にクロック信号  $CK$  のパルス  $P10$  が入力された場合を考える。

【 0 0 8 7 】

このパルス  $P10$  は、D フリップフロップ  $F 0$  及びクロックドライバ 5 に入力される。ここで、パルス  $P10$  の立上りエッジの時刻  $t10$  において、クロックドライバ 5 には、論理 ' 1 ' の制御信号  $Sk$  が入力されていることに注意されたい。論理 ' 1 ' の制御信号  $Sk$  は、パルスの供給を停止することを意味するので、クロックドライバ 5 は D フリップフロップ  $F 1$  乃至  $F 7$  へのパルス  $P10$  の供給を停止する。即ち、D フリップフロップ  $F 0$  にはパルス  $P10$  が供給されるが、D フリップフロップ  $F 1$  乃至  $F 7$  の各々にはパルス  $P10$  は供給されない。従って、D フリップフロップ  $F 0$  は、パルス  $P10$  に同期して、データ信号  $D (n-1)$  のデータ  $d10$  を取り込み、この取り込んだデータ  $d10$  を次段のフリップフロップ  $F 1$  に出力するが、D フリップフロップ  $F 1$  乃至  $F 7$  は、パルス期間  $h9$  に出力していたデータをそのままパルス期間  $h10$  においても出力する。例えば、データ信号  $D (n+1)$  を出力する D フリップフロップ  $F 1$  は、パルス期間  $h9$  のデータ  $d7$  をパルス期間  $h10$  においても出力する。また、データ信号  $D (n+2)$  を出力する D フリップフロップ  $F 2$  は、パルス期間  $h9$  のデータ  $d6$  をパルス期間  $h10$  においても出力する。その他の D フリップフロップ  $F 3$  乃至  $F 7$  も同様に考えることができ、例えば、データ信号  $D (n+7) (= Out)$  を出力する最終段の D フリップフロップ  $F 7$  は、パルス期間  $h9$  のデータ  $d1$  をパルス期間  $h10$  においても出力する。つまり、D フリップフロップ  $F 1$  乃至  $F 7$  が出力するデータ信号  $D (n+1)$  乃至  $D (n+7)$  の各々は、パルス  $P10$  の供給が停止されることによって、パルス期間  $h10$  に、パルス期間  $h9$  と同一のデータを出力している。ここで、再度、図 7 と図 4 とを比較すると、パルス  $P10$  が供給されているか否かに関わらず、データ信号  $D (n+1)$  乃至  $D (n+7)$  のパルス期間  $t10$  のデータは  $D 1 = ( 0 , 1 )$  であり、データの同一性が保持されていることがわかる。従って、データの同一性を保持したままパルス  $P10$  の供給を停止でき、回路装置 1 の消費電力の削減が図られることがわかる。

【 0 0 8 8 】

上記のようにパルス  $P10$  は D フリップフロップ  $F 1$  乃至  $F 7$  には供給されないが、その一方で、パルス  $P10$  は決定回路 4 のカウンタ 4 b に供給される。カウンタ 4 b のカウント値  $nc$  は、パルス  $P10$  が供給された時点では、 $nc = 7$  に到達している。カウンタ 4 b は  $nc = 7$  に

10

20

30

40

50

到達している場合、判定信号Sdが論理‘0’であるか論理‘1’であるかに応じて、カウンタ値 $nc = 7$ をリセット又は保持する。パルスP10の立上りエッジの時刻 $t_{10}$ において、判定信号Sdは論理‘1’（即ち、 $d_{10} = d_9$ ）であるため、カウンタ4bは、カウンタ値 $nc = 7$ をそのまま保持する。パルス期間 $h_{10}$ のカウンタ値が $nc = 7$ であるということは、連続する7つのパルス期間 $h_3$ 及び $h_9$ においてD(n-1)とD(n)とが等しい（即ち、データ信号D(n+1)乃至D(n+7)において、パルス期間 $h_{11}$ のデータがパルス期間 $h_{10}$ のデータに等しい）ことを意味する。カウンタ4bは、このカウンタ値 $nc = 7$ を表すカウンタ信号Scを比較器4cに出力する。

【0089】

カウンタ値 $nc$ が $nc = 7$ であるため、 $nc > nr$ である。従って、比較器4cは、パルス期間 $h_0$ に、カウンタ値 $nc$ が比較値 $nr = 6$ よりも大きい旨を表す論理‘1’の結果信号Soを遅延部4dに出力する。

【0090】

遅延部4dは、結果信号Soを半パルス期間だけ遅延させ、この半パルス期間だけ遅延した結果信号Soを、制御信号Skとしてクロックドライバ5に出力する。

【0091】

また、DフリップフロップF0がパルスP10に同期してデータ $d_{10}$ を次段のフリップフロップF1に出力する一方で、このDフリップフロップF0には、データ信号D(n-1)の次のデータ $d_{11}$ が入力される。このDフリップフロップF0が出力したデータ $d_{10}$ 及びこのDフリップフロップF0に入力される次のデータ $d_{11}$ は、決定回路4の判定部4aにも入力される。従って、判定部4aには、パルス期間 $h_{10}$ （図7参照）に、データ信号D(n-1)のデータ $d_{11}$ とデータ信号D(n)のデータ $d_{10}$ とが入力される。判定部4aは、データ $d_{11}$ が $d_{10}$ に等しいか否かを判定する。データ $d_{11}$ は $D_2 = (1, 1)$ 、データ $d_{10}$ は $D_1 = (0, 1)$ であるため、データ $d_{11}$ はデータ $d_{10}$ とは異なる。従って、判定部4aは、パルス期間 $h_0$ に、D(n-1) D(n)を表す論理‘0’の判定信号Sdをカウンタ4bに出力する。

【0092】

回路装置1にパルスP10が供給された場合、回路装置1は上記のような回路動作が行われる。

【0093】

次に、回路装置1にクロック信号CKのパルスP11が入力された場合を考える。

【0094】

このパルスP11は、DフリップフロップF0及びクロックドライバ5に入力される。ここで、パルスP11の立上りエッジの時刻 $t_{11}$ において、クロックドライバ5には、論理‘1’の制御信号Skが入力されていることに注意されたい。論理‘1’の制御信号Skは、パルスの供給を停止することを意味するので、クロックドライバ5はDフリップフロップF1乃至F7へのパルスP11の供給を停止する。即ち、DフリップフロップF0にはパルスP11が供給されるが、DフリップフロップF1乃至F7の各々にはパルスP11は供給されない。従って、DフリップフロップF0は、パルスP11に同期して、データ信号D(n-1)のデータ $d_{11}$ を取り込み、この取り込んだデータ $d_{10}$ を次段のフリップフロップF1に出力するが、DフリップフロップF1乃至F7は、パルス期間 $h_{10}$ に出力していたデータをそのままパルス期間 $h_{11}$ においても出力する。例えば、データ信号D(n+1)を出力するDフリップフロップF1は、パルス期間 $h_{10}$ のデータ $d_7$ をパルス期間 $h_{11}$ においても出力する。また、データ信号D(n+2)を出力するDフリップフロップF2は、パルス期間 $h_{10}$ のデータ $d_6$ をパルス期間 $h_{11}$ においても出力する。その他のDフリップフロップF3乃至F7も同様に考えることができ、例えば、データ信号D(n+7) (= Out) を出力する最終段のDフリップフロップF7は、パルス期間 $h_{10}$ のデータ $d_1$ をパルス期間 $h_{11}$ においても出力する。つまり、DフリップフロップF1乃至F7が出力するデータ信号D(n+1)乃至D(n+7)の各々は、パルスP11の供給が停止されることによって、パルス期間 $h_{11}$ に、パルス期間 $h_{10}$ と同一のデータを出力している。ここで、再度、図7と図4とを比較すると、パルスP11が供給されているか否かに関わらず、データ信号D(n+1)乃至D(n+7)のパルス期間 $t_{11}$ のデータは $D_1 =$

10

20

30

40

50

(0, 1)であり、データの同一性が保持されていることがわかる。従って、データの同一性を保持したままパルスP11の供給を停止でき、回路装置1の消費電力の削減が図られることがわかる。

【0095】

上記のようにパルスP11はDフリップフロップF1乃至F7には供給されないが、その一方で、決定回路4のカウンタ4bには供給される。カウンタ4bのカウント値ncは、パルスP11が供給された時点では、nc = 7に到達している。カウンタ4bはnc = 7に到達している場合、判定信号Sdが論理'0'であるか論理'1'であるかに応じて、カウント値nc = 7をリセット又は保持する。パルスP11の立上りエッジの時刻t11において、判定信号Sdは論理'0'であり、これは、データ信号D(n+1)において、次のパルス期間h12に出力されるべきデータがパルス期間h11に出力されているデータとは異なることを意味する。従って、もし、DフリップフロップF1への次のパルスP12の供給を停止すると仮定すると、DフリップフロップF1はパルス期間h11に出力されたデータを次のパルス期間h12にも出力してしまい、本来出力すべきデータと異なるデータがパルス期間h12に出力されてしまう。そこで、カウンタ4bは判定信号Sdが論理'0'である場合はカウント値をリセットする。カウンタ4bは、このリセットされたカウント値nc = 0を表すカウント信号Scを比較器4cに出力する。

10

【0096】

カウント値ncがnc = 0であるため、nc < nrである。従って、比較器4cは、パルス期間h11に、カウント値ncが比較値nr = 6以下である旨を表す論理'0'の結果信号Soを遅延部4dに出力する。

20

【0097】

遅延部4dは、結果信号Soを半パルス期間だけ遅延させ、この半パルス期間だけ遅延した結果信号Soを、制御信号Skとしてクロックドライバ5に出力する。

【0098】

また、DフリップフロップF0がパルスP11に同期してデータd11を次段のフリップフロップF1に出力する一方で、このDフリップフロップF0には、データ信号D(n-1)の次のデータd12が入力される。このDフリップフロップF0が出力したデータd11及びこのDフリップフロップF0に入力される次のデータd12は、決定回路4の判定部4aにも入力される。従って、判定部4aには、パルス期間h11(図7参照)に、データ信号D(n-1)のデータd12とデータ信号D(n)のデータd11とが入力される。判定部4aは、データd12がd11に等しいか否かを判定する。データd12及びd11はD2 = (1, 1)であるため、データd12はデータd11に等しい。従って、判定部4aは、パルス期間h11に、D(n-1) = D(n)を表す論理'1'の判定信号Sdをカウンタ4bに出力する。

30

【0099】

回路装置1にパルスP11が供給された場合、回路装置1は上記のような回路動作を行う。

【0100】

次に、回路装置1にクロック信号CKのパルスP12が入力された場合を考える。

【0101】

このパルスP12は、DフリップフロップF0及びクロックドライバ5に入力される。パルスP12の立上りエッジの時刻t12において、クロックドライバ5には、論理'0'の制御信号Skが入力されているため、クロックドライバ5は、パルスP12を、内部クロック信号CKiのパルスP12としてDフリップフロップF1乃至F7に供給する。従って、DフリップフロップF0だけでなく、DフリップフロップF1乃至F7にもパルスP12が供給される。DフリップフロップF0は、パルスP12に同期して、データ信号D(n-1)のデータd12を取り込み、この取り込んだデータd12を次段のフリップフロップF1に出力する。その他のDフリップフロップF1乃至F7の各々も、パルスP12の立上りエッジに同期して、前段のDフリップフロップが出力したデータを取り込み、この取り込んだデータを出力する。

40

【0102】

50



また、パルスP12は決定回路4のカウンタ4bにも入力される。カウンタ4bは、パルスP12の立上りエッジに同期して、カウンタ4bに入力されている判定信号Sdが論理‘0’であるか論理‘1’であるかに応じて、カウント値ncをリセット又はインクリメントする。パルスP12の立上りエッジの時刻t12において、カウンタ4bに入力されている判定信号Sdは論理‘1’である(即ち、d12=d11)ため、カウンタ4bは、パルスP12の立上りエッジに同期して、カウント値ncをnc=1にインクリメントする。このカウント値nc=1を表すカウント信号Scを比較器4cに出力する。

【0103】

カウント値ncはnc=1であるため、nc<nrである。従って、比較器4cは、パルス期間h12に、カウント値ncが比較値nr=6以下である旨を表す論理‘0’の結果信号Soを遅延部4dに出力する。

10

【0104】

遅延部4dは、結果信号Soを半パルス期間だけ遅延させ、この半パルス期間だけ遅延した結果信号Soを、制御信号Skとしてクロックドライバ5に出力する。

【0105】

以下、同様にして、回路装置1は、判定部4aに入力された2つのデータが等しいか否かに応じて、カウンタ4bがカウント値ncをインクリメント又はリセットし、カウント値ncがnc=7に到達したら、次のパルスの供給を停止する動作を繰り返す。

【0106】

以上のようにして構成された回路装置1によれば、データ信号Outの同一性を保持したままパルスの供給を停止することができ、回路装置1の消費電力の削減が図られる。

20

【0107】

また、制御回路3は、DフリップフロップF1乃至F7にクロック信号CKのパルスPを入力するか否かの制御を、最前段のDフリップフロップF0が出力するデータ信号D(n)と最前段のDフリップフロップF0に入力されるデータ信号D(n-1)とに基づいて行っている。従って、DフリップフロップF1乃至F7にクロック信号CKのパルスPを入力するか否かの制御をするための専用の信号は不要となり、回路装置1の構成を簡略化することができる。

【0108】

尚、制御回路3は、図6に示すように、遅延部4dを比較器4cの後段に備えているが、この遅延部4dは、例えばカウンタ4bと比較器4cとの間に備えてもよい。

30

【0109】

図8は、本発明の第2実施形態の回路装置100を示す概略構成図である。

【0110】

図8の回路装置100の説明に当たっては、図1の回路装置1との相違点について主に説明する。

【0111】

図8の回路装置100と図1の回路装置1との相違点は、図8の回路装置100が、前段のDフリップフロップと後段のDフリップフロップとの間に、論理回路Logicを備えている点のみである。このように、回路装置100がDフリップフロップの間に論理回路Logicを備えても、データ信号D(n)とD(n-1)とが等しいか否かの判定に基づいて、第1実施形態の回路装置1と同様に、DフリップフロップF1乃至F7へのパルスPの供給又は供給停止を制御することができる。従って、データ信号Outの同一性を保持したままパルスの供給を停止することができ、回路装置100の消費電力の削減が図られる。

40

【0112】

また、回路装置100の制御回路3も、図1の回路装置100の制御回路3と同様に、DフリップフロップF1乃至F7にクロック信号CKのパルスPを入力するか否かの制御をするための専用の信号は不要であるため、回路装置100の構成を簡略化することができる。

【0113】

50

【発明の効果】

以上説明したように、本発明の回路装置によれば、専用の信号を用いずに消費電力を低減できる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態の回路装置を示すブロック図である。

【図2】 制御回路3を備えていない回路装置100の回路図を示す。

【図3】 図2に示す制御回路3を備えていない回路装置100のタイミングチャートを示す。

【図4】 図3に示すタイミングチャートのパルスP1からパルスP12までの一部拡大図である。

【図5】 制御回路3の状態遷移図を示す。

【図6】 制御回路3の詳細図を示す。

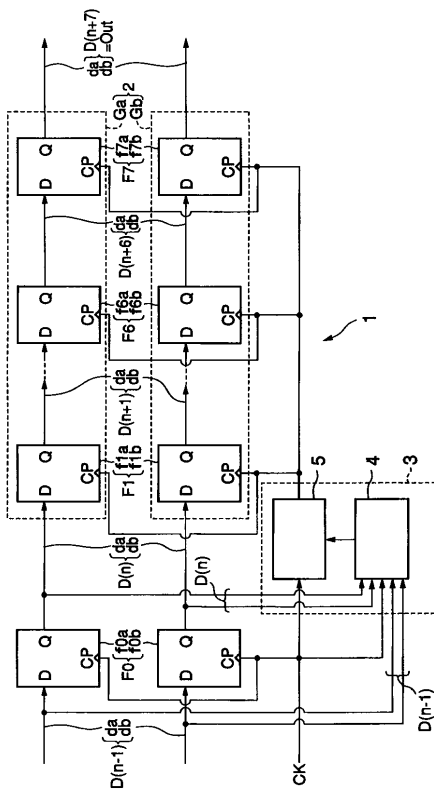
【図7】 図1の回路装置の動作に関連する信号のタイミングチャートを示す図である。

【図8】 本発明の第2実施形態の回路装置100を示す概略構成図である。

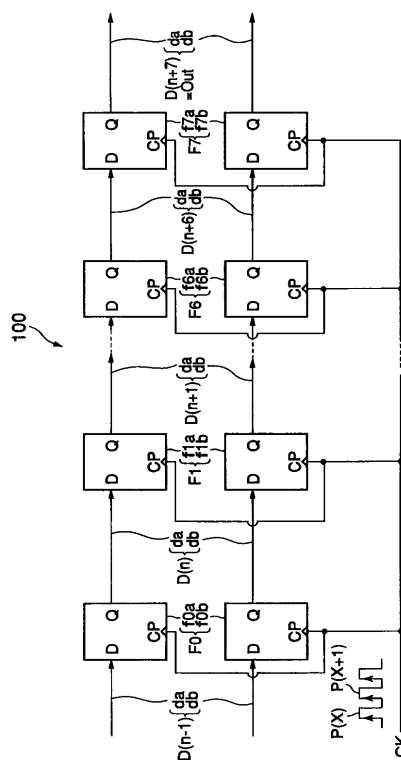
【符号の説明】

- 1 回路装置
- 2 シフトレジスタ
- 3 制御回路

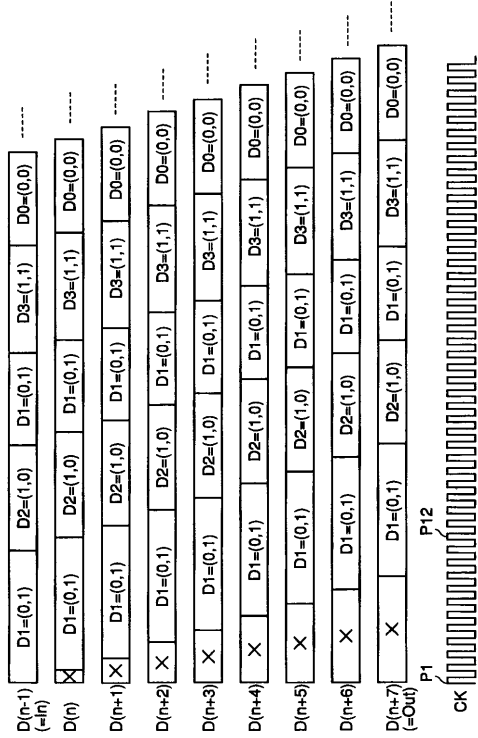
【図1】



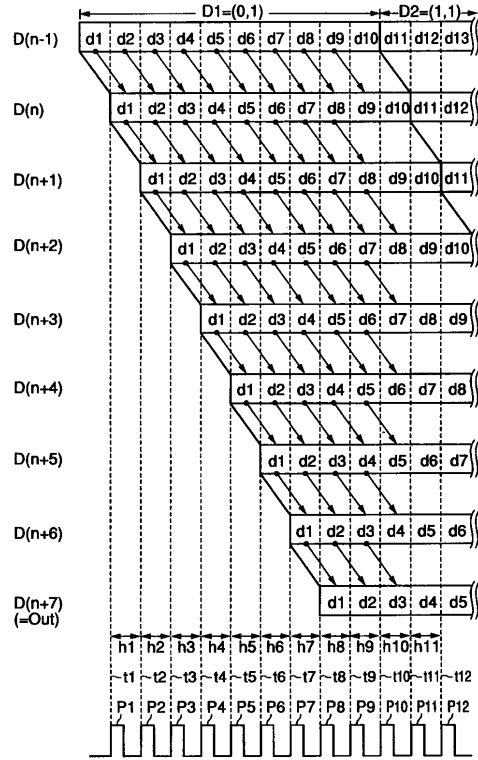
【図2】



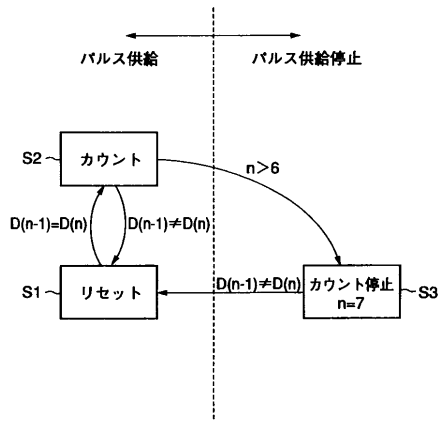
【 図 3 】



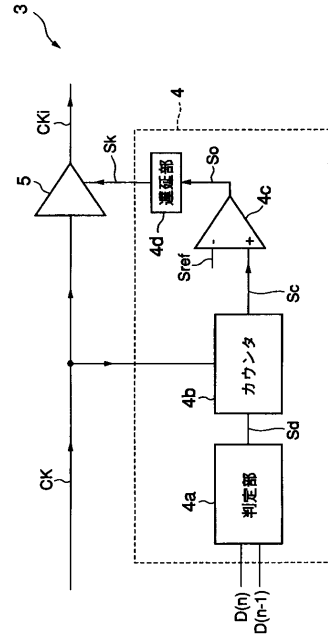
【 図 4 】



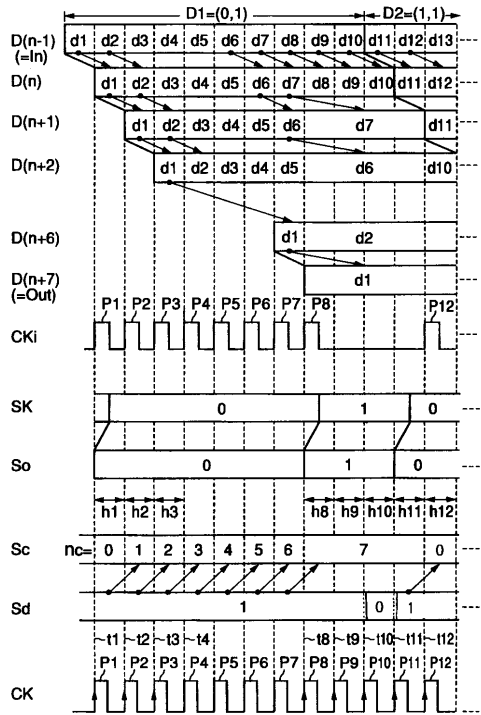
【 図 5 】



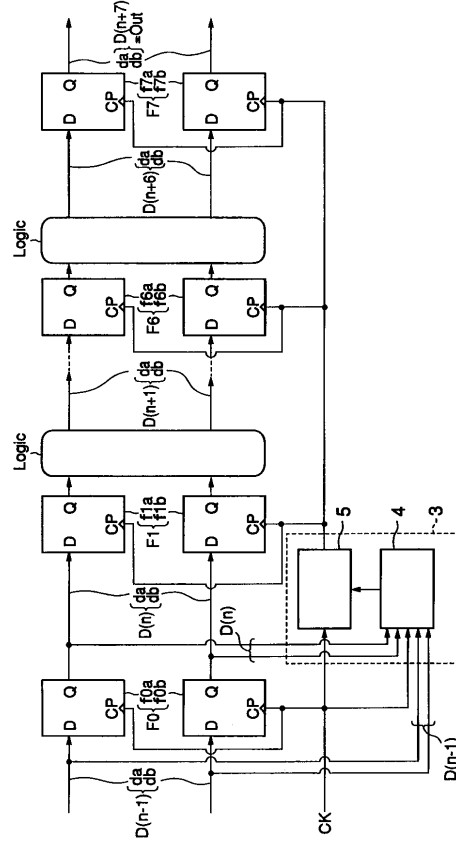
【 図 6 】



【 図 7 】



【 図 8 】



---

フロントページの続き

- (72)発明者 根岸 伸次  
東京都港区港南2丁目13番37号 フィリップスビル 日本フィリップス株式会社内
- (72)発明者 岸田 雅也  
東京都港区港南2丁目13番37号 フィリップスビル 日本フィリップス株式会社内

審査官 石田 勝

- (56)参考文献 特開平11-340795(JP,A)  
特開2000-13195(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 5/19  
G06F 1/04  
H04L 7/00