



(12) 发明专利

(10) 授权公告号 CN 114677965 B

(45) 授权公告日 2023. 12. 26

(21) 申请号 202210458671.7
 (22) 申请日 2018.05.31
 (65) 同一申请的已公布的文献号
 申请公布号 CN 114677965 A
 (43) 申请公布日 2022.06.28
 (62) 分案原申请数据
 201810553294.9 2018.05.31
 (73) 专利权人 京东方科技集团股份有限公司
 地址 100015 北京市朝阳区酒仙桥路10号
 专利权人 合肥鑫晟光电科技有限公司
 (72) 发明人 冯雪欢 李永谦
 (74) 专利代理机构 北京市柳沈律师事务所
 11105
 专利代理师 彭久云 侯鉴玻

(51) Int.Cl.
 G09G 3/3208 (2016.01)
 G09G 3/3266 (2016.01)
 G11C 19/28 (2006.01)
 (56) 对比文件
 CN 102346999 A, 2012.02.08
 CN 106205490 A, 2016.12.07
 KR 20140064319 A, 2014.05.28
 KR 20170078978 A, 2017.07.10
 US 2005006702 A1, 2005.01.13
 审查员 戚林锋

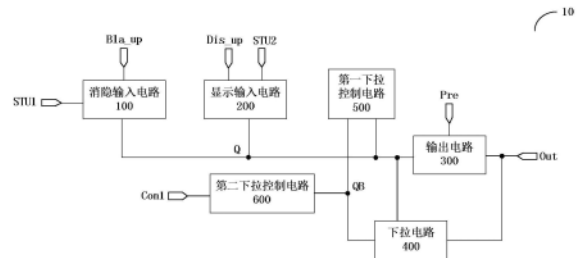
权利要求书4页 说明书22页 附图13页

(54) 发明名称

移位寄存器单元、栅极驱动电路及显示装置

(57) 摘要

一种移位寄存器单元、栅极驱动电路及显示装置,在该移位寄存器单元中,消隐输入电路将消隐上拉信号输入到上拉节点;显示输入电路将显示上拉信号输入到上拉节点;输出电路将复合输出信号输出至输出端;下拉电路对上拉节点和输出端降噪;第一下拉控制电路对下拉节点的电平进行控制;第二下拉控制电路对下拉节点的电平进行控制。消隐输入电路的隔离子电路将消隐上拉信号输入到上拉节点。在隔离子电路中,第一隔离晶体管的栅极和上拉控制节点连接,第二极和第二隔离晶体管的第二极连接,栅极和第一时钟信号端连接;第二隔离晶体管的第二极和上拉节点连接。预设防漏电电路包括第一预设防漏电晶体管。该移位寄存器单元防止阈值电压漂移影响输出信号。



1. 一种移位寄存器单元,包括消隐输入电路、显示输入电路、输出电路、下拉电路、第一下拉控制电路、第二下拉控制电路和预设防漏电电路;其中,

所述消隐输入电路配置为根据消隐输入信号在一帧的消隐时段将消隐上拉信号输入到上拉节点;

所述显示输入电路配置为响应于显示输入信号在一帧的显示时段将显示上拉信号输入到所述上拉节点;

所述输出电路配置为在所述上拉节点的电平的控制下,将复合输出信号输出至输出端;

所述下拉电路配置为在下拉节点的电平的控制下,对所述上拉节点和所述输出端进行降噪;

所述第一下拉控制电路配置为在所述上拉节点的电平的控制下,对所述下拉节点的电平进行控制;

所述第二下拉控制电路配置为响应于消隐下拉控制信号对所述下拉节点的电平进行控制;

所述消隐输入电路包括隔离子电路,所述隔离子电路配置为在上拉控制节点的电平和第一时钟信号的控制下,将所述消隐上拉信号输入到所述上拉节点;

所述预设防漏电电路包括第一预设防漏电晶体管和第二预设防漏电晶体管;

所述隔离子电路包括第一隔离晶体管和第二隔离晶体管,所述第一隔离晶体管的栅极配置为和所述上拉控制节点电连接,所述第一隔离晶体管的第二极配置为和所述第二隔离晶体管的第一极电连接,所述第二隔离晶体管的栅极配置为和第一时钟信号端电连接以接收所述第一时钟信号,所述第二隔离晶体管的第二极配置为和所述第一预设防漏电晶体管的第一极以及所述第二预设防漏电晶体管的第二极电连接;

其中,所述第一预设防漏电晶体管的第二极电连接所述上拉节点,所述第一预设防漏电晶体管的栅极电连接所述第一时钟信号端;

所述第二预设防漏电晶体管的栅极电连接所述上拉节点,所述第二预设防漏电晶体管的第二极电连接预设电压端。

2. 根据权利要求1所述的移位寄存器单元,还包括:第一防漏电电路;

其中,所述第一防漏电电路包括第一防漏电晶体管和第二防漏电晶体管;所述第一防漏电电路被配置为在消隐上拉控制节点为有效电平时,防止所述消隐上拉控制节点处的电荷经由所述消隐输入电路包括的消隐晶体管漏电到消隐输入信号端,所述消隐输入信号端用于传输所述消隐输入信号;

所述第一防漏电晶体管的栅极电连接到所述消隐晶体管的栅极,所述第一防漏电晶体管的第一极电连接到所述消隐晶体管的第二极,所述第一防漏电晶体管的第二极电连接到所述消隐上拉控制节点;

所述第二防漏电晶体管的栅极电连接到所述消隐上拉控制节点,所述第二防漏电晶体管的第一极电连接到预设电压端,所述第二防漏电晶体管的第二极电连接到所述第一防漏电晶体管的第一极。

3. 根据权利要求1所述的移位寄存器单元,还包括第三下拉控制电路,其中,所述第三下拉控制电路配置为响应于显示下拉控制信号对所述下拉节点的电平进行控制。

4. 根据权利要求1-3任一项所述的移位寄存器单元,其中,所述第二下拉控制电路包括第一晶体管,所述消隐下拉控制信号包括所述第一时钟信号;

所述第一晶体管的栅极配置为和所述第一时钟信号端电连接以接收所述第一时钟信号,所述第一晶体管的第一极配置为和所述下拉节点电连接,所述第一晶体管的第二极配置为接收第一电压端的第一电压。

5. 根据权利要求4所述的移位寄存器单元,其中,所述第二下拉控制电路还包括第二晶体管,所述消隐下拉控制信号还包括第一控制信号;

所述第二晶体管的栅极配置为和第一控制信号端电连接以接收所述第一控制信号,所述第二晶体管的第一极配置为和所述第一晶体管的第二极电连接,所述第二晶体管的第二极配置为和所述第一电压端电连接以接收所述第一电压。

6. 根据权利要求3所述的移位寄存器单元,其中,所述第三下拉控制电路包括第三晶体管;

所述第三晶体管的栅极配置为和显示下拉控制信号端电连接以接收所述显示下拉控制信号,所述第三晶体管的第一极配置为和所述下拉节点电连接,所述第三晶体管的第二极配置为和第一电压端电连接以接收第一电压。

7. 根据权利要求2所述的移位寄存器单元,其中,所述消隐输入电路还包括:

充电电子电路,配置为响应于第二时钟信号将所述消隐输入信号输入到所述上拉控制节点;

存储子电路,配置为存储所述充电电子电路输入的所述消隐输入信号。

8. 根据权利要求7所述的移位寄存器单元,其中,

所述充电电子电路包括第四晶体管,所述第四晶体管为所述消隐晶体管,所述第四晶体管的栅极配置为和第二时钟信号端电连接以接收所述第二时钟信号,所述第四晶体管的第一极配置为和所述消隐输入信号端电连接以接收所述消隐输入信号,所述第四晶体管的第二极配置为和所述上拉控制节点电连接;

所述存储子电路包括第一电容,所述第一电容的第一极配置为和所述上拉控制节点电连接,所述第一电容的第二极配置为和第一电压端电连接以接收第一电压;

所述第一隔离晶体管为第五晶体管,所述第二隔离晶体管为第六晶体管,所述第五晶体管的第一极配置为和第三时钟信号端电连接以接收第三时钟信号作为所述消隐上拉信号。

9. 根据权利要求1-3任一项所述的移位寄存器单元,其中,所述显示输入电路包括第七晶体管;

所述第七晶体管的栅极配置为和显示输入信号端电连接以接收所述显示输入信号,所述第七晶体管的第一极配置为和第二电压端电连接以接收第二电压作为所述显示上拉信号,所述第七晶体管的第二极配置为和所述上拉节点电连接。

10. 根据权利要求1-3任一项所述的移位寄存器单元,其中,所述输出电路包括至少一个移位信号输出端和至少一个像素信号输出端。

11. 根据权利要求10所述的移位寄存器单元,其中,所述输出电路包括第八晶体管、第九晶体管和第二电容;

所述第八晶体管的栅极配置为和所述上拉节点电连接,所述第八晶体管的第一极配置

为和第四时钟信号端电连接以接收第四时钟信号作为所述复合输出信号,所述第八晶体管的第二极配置为和所述移位信号输出端电连接;

所述第九晶体管的栅极配置为和所述上拉节点电连接,所述第九晶体管的第一极配置为和所述第四时钟信号端电连接以接收所述第四时钟信号作为所述复合输出信号,所述第九晶体管的第二极配置为和所述像素信号输出端电连接;

所述第二电容的第一极配置为和所述上拉节点电连接,所述第二电容的第二极配置为和所述第八晶体管的第二极电连接。

12. 根据权利要求10所述的移位寄存器单元,其中,所述下拉电路包括第十晶体管、第十一晶体管和第十二晶体管;

所述第十晶体管的栅极配置为和所述下拉节点电连接,所述第十晶体管的第一极配置为和所述上拉节点电连接,所述第十晶体管的第二极配置为和第一电压端电连接以接收第一电压;

所述第十一晶体管的栅极配置为和所述下拉节点电连接,所述第十一晶体管的第一极配置为和所述移位信号输出端电连接,所述第十一晶体管的第二极配置为和所述第一电压端电连接以接收所述第一电压;

所述第十二晶体管的栅极配置为和所述下拉节点电连接,所述第十二晶体管的第一极配置为和所述像素信号输出端电连接,所述第十二晶体管的第二极配置为和第三电压端电连接以接收第三电压。

13. 根据权利要求1-3任一项所述的移位寄存器单元,其中,所述第一下拉控制电路包括第十三晶体管、第十四晶体管和第十五晶体管;

所述第十三晶体管的栅极和第一极电连接且配置为和第四电压端电连接以接收第四电压,所述第十三晶体管的第二极配置为和所述下拉节点电连接;

所述第十四晶体管的栅极和第一极电连接且配置为和第五电压端电连接以接收第五电压,所述第十四晶体管的第二极配置为和所述下拉节点电连接;

所述第十五晶体管的栅极配置为和所述上拉节点电连接,所述第十五晶体管的第一极配置为和所述下拉节点电连接,所述第十五晶体管的第二极配置为和第一电压端电连接以接收第一电压。

14. 根据权利要求1-3任一项所述的移位寄存器单元,还包括消隐复位电路,其中,所述消隐复位电路配置为响应于消隐复位信号对所述上拉节点进行复位。

15. 根据权利要求14所述的移位寄存器单元,其中,所述消隐复位电路包括第十六晶体管;

所述第十六晶体管的栅极配置为和第二时钟信号端电连接以接收第二时钟信号并作为所述消隐复位信号,所述第十六晶体管的第一极配置为和所述上拉节点电连接,所述第十六晶体管的第二极配置为和第一电压端电连接以接收第一电压。

16. 根据权利要求1-3任一项所述的移位寄存器单元,还包括显示复位电路,其中,所述显示复位电路配置为响应于显示复位信号对所述上拉节点进行复位。

17. 根据权利要求16所述的移位寄存器单元,其中,所述显示复位电路包括第十七晶体管;

所述第十七晶体管的栅极配置为和显示复位信号端电连接以接收所述显示复位信号,

所述第十七晶体管的第一极配置为和所述上拉节点电连接,所述第十七晶体管的第二极配置为和第一电压端电连接以接收第一电压。

18. 一种栅极驱动电路,包括如权利要求1-17任一所述的移位寄存器单元。

19. 一种显示装置,包括如权利要求18所述的栅极驱动电路。

移位寄存器单元、栅极驱动电路及显示装置

技术领域

[0001] 本公开的实施例涉及一种移位寄存器单元、栅极驱动电路及显示装置。

背景技术

[0002] 在显示技术领域,例如液晶显示面板或有机发光二极管(Organic Light Emitting Diode,OLED)显示面板的像素阵列通常包括多行栅线和与之交错的多列数据线。对栅线的驱动可以通过栅极驱动电路实现。栅极驱动电路通常集成在栅极驱动芯片(Gate IC)中。在IC设计中芯片的面积是影响芯片成本的主要因素,如何有效地减小芯片面积是技术人员需要着重考虑的问题。

发明内容

[0003] 本公开至少一个实施例提供一种移位寄存器单元,包括消隐输入电路、显示输入电路、输出电路、下拉电路、第一下拉控制电路和第二下拉控制电路;其中,所述消隐输入电路配置为根据消隐输入信号在一帧的消隐时段将消隐上拉信号输入到上拉节点;所述显示输入电路配置为响应于显示输入信号在一帧的显示时段将显示上拉信号输入到所述上拉节点;所述输出电路配置为在所述上拉节点的电平的控制下,将复合输出信号输出至输出端;所述下拉电路配置为在下拉节点的电平的控制下,对所述上拉节点和所述输出端进行降噪;所述第一下拉控制电路配置为在所述上拉节点的电平的控制下,对所述下拉节点的电平进行控制;所述第二下拉控制电路配置为响应于消隐下拉控制信号对所述下拉节点的电平进行控制。

[0004] 例如,在本公开一实施例提供的移位寄存器单元包括第三下拉控制电路,其中,所述第三下拉控制电路配置为响应于显示下拉控制信号对所述下拉节点的电平进行控制。

[0005] 例如,在本公开一实施例提供的移位寄存器单元中,所述第二下拉控制电路包括第一晶体管,所述消隐下拉控制信号包括第一时钟信号;所述第一晶体管的栅极配置为和第一时钟信号端连接以接收所述第一时钟信号,所述第一晶体管的第一极配置为和所述下拉节点连接,所述第一晶体管的第二极配置为接收第一电压端的第一电压。

[0006] 例如,在本公开一实施例提供的移位寄存器单元中,所述第二下拉控制电路还包括第二晶体管,所述消隐下拉控制信号还包括第一控制信号;所述第二晶体管的栅极配置为和第一控制信号端连接以接收所述第一控制信号,所述第二晶体管的第一极配置为和所述第一晶体管的第二极连接,所述第二晶体管的第二极配置为和所述第一电压端连接以接收所述第一电压。

[0007] 例如,在本公开一实施例提供的移位寄存器单元中,所述第三下拉控制电路包括第三晶体管;所述第三晶体管的栅极配置为和显示下拉控制信号端连接以接收所述显示下拉控制信号,所述第三晶体管的第一极配置为和所述下拉节点连接,所述第三晶体管的第二极配置为和第一电压端连接以接收第一电压。

[0008] 例如,在本公开一实施例提供的移位寄存器单元中,所述消隐输入电路包括:充电

子电路,配置为响应于第二时钟信号将所述消隐输入信号输入到上拉控制节点;存储子电路,配置为存储所述充电子电路输入的所述消隐输入信号;隔离子电路,配置为在所述上拉控制节点的电平和第一时钟信号的控制下,将所述消隐上拉信号输入到所述上拉节点。

[0009] 例如,在本公开一实施例提供的移位寄存器单元中,所述充电子电路包括第四晶体管,所述第四晶体管的栅极配置为和第二时钟信号端连接以接收所述第二时钟信号,所述第四晶体管的第一极配置为和消隐输入信号端连接以接收所述消隐输入信号,所述第四晶体管的第二极配置为和所述上拉控制节点连接;所述存储子电路包括第一电容,所述第一电容的第一极配置为和所述上拉控制节点连接,所述第一电容的第二极配置为和第一电压端连接以接收第一电压;所述隔离子电路包括第五晶体管和第六晶体管,所述第五晶体管的栅极配置为和所述上拉控制节点连接,所述第五晶体管的第一极配置为和第三时钟信号端连接以接收第三时钟信号作为所述消隐上拉信号,所述第五晶体管的第二极配置为和所述第六晶体管的第一极连接,所述第六晶体管的栅极配置为和第一时钟信号端连接以接收所述第一时钟信号,所述第六晶体管的第二极配置为和所述上拉节点连接。

[0010] 例如,在本公开一实施例提供的移位寄存器单元中,所述显示输入电路包括第七晶体管;所述第七晶体管的栅极配置为和显示输入信号端连接以接收所述显示输入信号,所述第七晶体管的第一极配置为和第二电压端连接以接收第二电压作为所述显示上拉信号,所述第七晶体管的第二极配置为和所述上拉节点连接。

[0011] 例如,在本公开一实施例提供的移位寄存器单元中,所述输出电路包括至少一个移位信号输出端和至少一个像素信号输出端。

[0012] 例如,在本公开一实施例提供的移位寄存器单元中,所述输出电路包括第八晶体管、第九晶体管和第三电容;所述第八晶体管的栅极配置为和所述上拉节点连接,所述第八晶体管的第一极配置为和第四时钟信号端连接以接收第四时钟信号作为所述复合输出信号,所述第八晶体管的第二极配置为和所述移位信号输出端连接;所述第九晶体管的栅极配置为和所述上拉节点连接,所述第九晶体管的第一极配置为和所述第四时钟信号端连接以接收所述第四时钟信号作为所述复合输出信号,所述第九晶体管的第二极配置为和所述像素信号输出端连接;所述第三电容的第一极配置为和所述上拉节点连接,所述第三电容的第二极配置为和所述第八晶体管的第二极连接。

[0013] 例如,在本公开一实施例提供的移位寄存器单元中,所述下拉电路包括第十晶体管、第十一晶体管和第十二晶体管;所述第十晶体管的栅极配置为和所述下拉节点连接,所述第十晶体管的第一极配置为和所述上拉节点连接,所述第十晶体管的第二极配置为和第一电压端连接以接收第一电压;所述第十一晶体管的栅极配置为和所述下拉节点连接,所述第十一晶体管的第一极配置为和所述移位信号输出端连接,所述第十一晶体管的第二极配置为和所述第一电压端连接以接收所述第一电压;所述第十二晶体管的栅极配置为和所述下拉节点连接,所述第十二晶体管的第一极配置为和所述像素信号输出端连接,所述第十二晶体管的第二极配置为和第三电压端连接以接收第三电压。

[0014] 例如,在本公开一实施例提供的移位寄存器单元中,所述第一下拉控制电路包括第十三晶体管、第十四晶体管和第十五晶体管;所述第十三晶体管的栅极和第一极连接且配置为和第四电压端连接以接收第四电压,所述第十三晶体管的第二极配置为和所述下拉节点连接;所述第十四晶体管的栅极和第一极连接且配置为和第五电压端连接以接收第五

电压,所述第十四晶体管的第二极配置为和所述下拉节点连接;所述第十五晶体管的栅极配置为和所述上拉节点连接,所述第十五晶体管的栅极配置为和所述上拉节点连接,所述第十五晶体管的第二极配置为和所述下拉节点连接,所述第十五晶体管的第二极配置为和第一电压端连接以接收第一电压。

[0015] 例如,在本公开一实施例提供的移位寄存器单元包括消隐复位电路,其中,所述消隐复位电路配置为响应于消隐复位信号对所述上拉节点进行复位。

[0016] 例如,在本公开一实施例提供的移位寄存器单元中,所述消隐复位电路包括第十六晶体管;所述第十六晶体管的栅极配置为和第二时钟信号端连接以接收第二时钟信号并作为所述消隐复位信号,所述第十六晶体管的栅极配置为和所述上拉节点连接,所述第十六晶体管的第二极配置为和第一电压端连接以接收第一电压。

[0017] 例如,在本公开一实施例提供的移位寄存器单元包括显示复位电路,其中,所述显示复位电路配置为响应于显示复位信号对所述上拉节点进行复位。

[0018] 例如,在本公开一实施例提供的移位寄存器单元中,所述显示复位电路包括第十七晶体管;所述第十七晶体管的栅极配置为和显示复位信号端连接以接收所述显示复位信号,所述第十七晶体管的栅极配置为和所述上拉节点连接,所述第十七晶体管的第二极配置为和第一电压端连接以接收第一电压。

[0019] 本公开至少一个实施例还提供一种栅极驱动电路,包括本公开任一实施例所述的移位寄存器单元。

[0020] 例如,在本公开一实施例提供的栅极驱动电路包括第一子时钟信号线、第二子时钟信号线、第三子时钟信号线和第四子时钟信号线;其中,在所述移位寄存器单元包括第四时钟信号端的情形下,第 $4n-3$ 级移位寄存器单元的第四时钟信号端和所述第一子时钟信号线连接;第 $4n-2$ 级移位寄存器单元的第四时钟信号端和所述第二子时钟信号线连接;第 $4n-1$ 级移位寄存器单元的第四时钟信号端和所述第三子时钟信号线连接;第 $4n$ 级移位寄存器单元的第四时钟信号端和所述第四子时钟信号线连接; n 为大于0的整数。

[0021] 例如,在本公开一实施例提供的栅极驱动电路包括第五子时钟信号线和第六子时钟信号线;其中,在所述移位寄存器单元包括第二时钟信号端和第三时钟信号端的情形下,第 $2n-1$ 级移位寄存器单元的第二时钟信号端和所述第五子时钟信号线连接,第三时钟信号端和所述第六子时钟信号线连接;第 $2n$ 级移位寄存器单元的第二时钟信号端和所述第六子时钟信号线连接,第三时钟信号端和所述第五子时钟信号线连接; n 为大于0的整数。

[0022] 例如,在本公开一实施例提供的栅极驱动电路中,在所述移位寄存器单元包括消隐输入信号端和移位信号输出端的情形下,第 $n+1$ 级移位寄存器单元的消隐输入信号端和第 n 级移位寄存器单元的移位信号输出端连接, n 为大于0的整数。

[0023] 本公开至少一个实施例还提供一种显示装置,包括本公开任一实施例所述的栅极驱动电路。

[0024] 本公开至少一个实施例还提供一种本公开任一实施例所述的移位寄存器单元的驱动方法,包括:在一帧的显示时段,包括:第一上拉阶段,所述显示输入电路响应于所述显示输入信号将所述显示上拉信号输入到所述上拉节点;第一输出阶段,所述输出电路在所述上拉节点的电平的控制下,将所述复合输出信号输出至所述输出端;在一帧的消隐时段,包括:第二上拉阶段,所述消隐输入电路根据所述消隐输入信号将所述消隐上拉信号输入到所述上拉节点,所述第二下拉控制电路响应于所述消隐下拉控制信号对所述下拉节点的

电平进行控制；第二输出阶段，所述输出电路在所述上拉节点的电平的控制下，将所述复合输出信号输出至所述输出端。

[0025] 例如，在本公开一实施例提供的移位寄存器单元的驱动方法中，在所述移位寄存器单元包括第三下拉控制电路的情形下，所述驱动方法的第一上拉阶段还包括：所述第三下拉控制电路响应于所述显示下拉控制信号对所述下拉节点的电平进行控制。

附图说明

[0026] 为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

[0027] 图1为本公开一实施例提供的一种移位寄存器单元的示意框图；

[0028] 图2为本公开一实施例提供的另一种移位寄存器单元的示意框图；

[0029] 图3为本公开一实施例提供的一种移位寄存器单元的消隐输入电路的示意框图；

[0030] 图4A为本公开一实施例提供的另一种移位寄存器单元的示意框图；

[0031] 图4B为本公开一实施例提供的另一种移位寄存器单元的示意框图；

[0032] 图5为图4A中所示的移位寄存器单元的一种具体实现示例的电路图；

[0033] 图6为图4A中所示的移位寄存器单元的另一种具体实现示例的电路图；

[0034] 图7为图4B中所示的移位寄存器单元的一种具体实现示例的电路图；

[0035] 图8为图4B中所示的移位寄存器单元的另一种具体实现示例的电路图；

[0036] 图9为图4B中所示的移位寄存器单元的另一种具体实现示例的电路图；

[0037] 图10为图9中所示的移位寄存器单元的消隐输入电路的具体实现示例的电路图；

[0038] 图11为本公开一实施例提供的一种移位寄存器单元的信号时序图；

[0039] 图12为一种移位寄存器单元的信号仿真时序图；

[0040] 图13为图7中所示的移位寄存器单元的信号仿真时序图；

[0041] 图14为图4B中所示的移位寄存器单元的一种具体实现示例的电路图；

[0042] 图15为本公开一实施例提供的另一种移位寄存器单元的信号时序图；

[0043] 图16为本公开一实施例提供的一种移位寄存器单元的一种具体实现示例的电路图；

[0044] 图17为本公开一实施例提供的一种栅极驱动电路的示意框图；

[0045] 图18为本公开一实施例提供的一种栅极驱动电路的信号时序图；

[0046] 图19为本公开一实施例提供的另一种栅极驱动电路的信号时序图；以及

[0047] 图20为本公开一实施例提供的一种显示装置的示意框图。

具体实施方式

[0048] 为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

[0049] 除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并

不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。同样,“一个”、“一”或者“该”等类似词语也不表示数量限制,而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

[0050] 在通常的OLED显示面板中,需要通过补偿技术来提高显示质量。在对OLED显示面板中的子像素单元进行补偿时,除了在子像素单元中设置像素补偿电路进行内部补偿外,还可以通过设置感测晶体管进行外部补偿。在进行外部补偿时,由移位寄存器单元构成的栅极驱动电路需要向显示面板中的子像素单元分别提供用于扫描晶体管和感测晶体管的驱动信号,例如,在一帧的显示时段(Display)提供用于扫描晶体管的扫描驱动信号(即显示输出信号),在一帧的消隐时段(Blank)提供用于感测晶体管的感测驱动信号(即消隐输出信号)。

[0051] 在OLED显示面板中,栅极驱动电路的移位寄存器单元一般包括检测单元(sense unit)、显示单元(scan unit)和输出两者复合脉冲的连接单元(或门电路或Hiz电路)。利用包括上述三个部分的电路结构,移位寄存器单元可以输出具有不同宽度和时序的两个波形组成的复合波形的输出脉冲,从而为扫描晶体管和感测晶体管分别提供显示输出信号和消隐输出信号。但是,上述移位寄存器单元的电路结构复杂,且尺寸较大,不利于实现高分辨率和窄边框,也不利于减小芯片面积以降低成本。

[0052] 为了进一步减小移位寄存器单元以及包括移位寄存器单元的栅极驱动电路的尺寸,例如,可以将检测单元、显示单元和连接单元整合,使一帧画面的消隐时段的消隐输出信号和显示时段的显示输出信号通过同一个输出电路输出,从而简化电路结构。然而,在整合后的电路中,晶体管长时间工作后其阈值电压容易漂移(例如正漂),使得输出信号易受影响,信号稳定性差。

[0053] 本公开至少一实施例提供一种移位寄存器单元及其驱动方法、栅极驱动电路及显示装置,该移位寄存器单元的电路结构简单,可防止晶体管阈值电压漂移后影响输出信号,增强了电路的信赖性。

[0054] 下面,将参考附图详细地说明本公开的实施例。应当注意的是,不同的附图中相同的附图标记将用于指代已描述的相同的元件。

[0055] 本公开至少一实施例提供一种移位寄存器单元,该移位寄存器单元包括消隐输入电路、显示输入电路、输出电路、下拉电路、第一下拉控制电路和第二下拉控制电路。所述消隐输入电路配置为根据消隐输入信号在一帧的消隐时段将消隐上拉信号输入到上拉节点。所述显示输入电路配置为响应于显示输入信号在一帧的显示时段将显示上拉信号输入到所述上拉节点。所述输出电路配置为在所述上拉节点的电平的控制下,将复合输出信号输出至输出端。所述下拉电路配置为在下拉节点的电平的控制下,对所述上拉节点和所述输出端进行降噪。所述第一下拉控制电路配置为在所述上拉节点的电平的控制下,对所述下拉节点的电平进行控制。所述第二下拉控制电路配置为响应于消隐下拉控制信号对所述下拉节点的电平进行控制。

[0056] 图1为本公开一实施例提供的一种移位寄存器单元的示意框图。参考图1,该移位寄存器单元10包括消隐输入电路100、显示输入电路200、输出电路300、下拉电路400、第一下拉控制电路500和第二下拉控制电路600。

[0057] 消隐输入电路100配置为根据消隐输入信号在一帧的消隐时段将消隐上拉信号输入到上拉节点Q。例如,消隐输入电路100与消隐输入信号端STU1、消隐上拉信号端B1a_up和上拉节点Q电连接,配置为接收并存储消隐输入信号端STU1提供的消隐输入信号(消隐输入信号端STU1用于传输消隐输入信号),并在一帧的消隐时段,根据消隐输入信号向上拉节点Q输出消隐上拉信号端B1a_up提供的消隐上拉信号,从而将上拉节点Q的电位上拉到工作电位。

[0058] 例如,在一个示例中,消隐输入电路100可以在一帧的显示时段接收并存储消隐输入信号,并在这一帧的消隐时段根据存储的消隐输入信号向上拉节点Q输出消隐上拉信号,从而将上拉节点Q的电位上拉到工作电位。例如,在另一个示例中,消隐输入电路100可以在一帧的消隐时段接收并存储消隐输入信号,并在下一帧的消隐时段根据存储的消隐输入信号向上拉节点Q输出消隐上拉信号,从而将上拉节点Q的电位上拉到工作电位。

[0059] 显示输入电路200配置为响应于显示输入信号在一帧的显示时段将显示上拉信号输入到上拉节点Q。例如,显示输入电路200与显示输入信号端STU2、显示上拉信号端Dis_up和上拉节点Q电连接,配置为在显示输入信号端STU2提供的显示输入信号的控制下导通,使显示上拉信号端Dis_up和上拉节点Q电连接,从而使显示上拉信号端Dis_up提供的显示上拉信号输入到上拉节点Q,将上拉节点Q的电位上拉到工作电位。

[0060] 输出电路300配置为在上拉节点Q的电平的控制下,将复合输出信号输出至输出端Out。例如,输出电路300与上拉节点Q、复合输出信号端Pre和输出端Out连接,配置为在上拉节点Q的电平的控制下导通,使复合输出信号端Pre提供的复合输出信号输出至输出端Out。例如,输出端Out的输出信号可以包括显示输出信号和消隐输出信号,其中显示输出信号和消隐输出信号可以是具有不同宽度和时序的相互独立的两个波形。例如,在一帧的显示时段,输出电路300在上拉节点Q的电平的控制下经由输出端Out输出显示输出信号,以驱动像素单元中的扫描晶体管,从而进行显示;在一帧的消隐时段,输出电路300在上拉节点Q的电平的控制下经由输出端Out输出消隐输出信号,以驱动像素单元中的感测晶体管,从而进行补偿检测。

[0061] 下拉电路400配置为在下拉节点QB的电平的控制下,对上拉节点Q和输出端Out进行降噪。例如,下拉电路400与下拉节点QB、上拉节点Q和输出端Out连接,配置为在下拉节点QB的电平的控制下,使上拉节点Q和输出端Out与另行提供的电压端(例如,低电压端)电连接,将上拉节点Q和输出端Out下拉为非工作电位,以实现降噪。

[0062] 第一下拉控制电路500配置为在上拉节点Q的电平的控制下,对下拉节点QB的电平进行控制。例如,第一下拉控制电路500与上拉节点Q和下拉节点QB连接,配置为当上拉节点Q为高电平时将下拉节点QB下拉为低电平,当上拉节点Q为低电平时将下拉节点QB上拉为高电平。例如,第一下拉控制电路500可以为反相电路。

[0063] 第二下拉控制电路600配置为响应于消隐下拉控制信号对下拉节点QB的电平进行控制。例如,第二下拉控制电路600与下拉节点QB和消隐下拉控制端Con1连接,配置为在一帧的消隐时段,在消隐下拉控制端Con1提供的消隐下拉控制信号的控制下导通,使下拉节

点QB与另行提供的电压端(例如,低电压端)电连接,从而将下拉节点QB下拉为非工作电位。

[0064] 在电路结构不包括第二下拉控制电路600的情形下,移位寄存器单元长时间工作后,电路中的晶体管的阈值电压容易漂移,例如正漂,因此通过消隐输入电路100写入到上拉节点Q的高电平会低于预定值,从而难以通过第一下拉控制电路500对下拉节点QB进行下拉,也会进一步影响输出端Out的输出信号。本公开的实施例提供的移位寄存器单元10包括第二下拉控制电路600,第二下拉控制电路600可以在一帧的消隐时段中对下拉节点QB进行下拉,以确保下拉节点QB处于低电平,有助于消隐输入电路100将高电平写入上拉节点Q,使上拉节点Q的高电平达到预定值,因此可防止晶体管阈值电压漂移后影响输出信号,增强了电路的信赖性。

[0065] 图2为本公开一实施例提供的另一种移位寄存器单元的示意框图。参考图2,该实施例中移位寄存器单元10还包括第三下拉控制电路700,其他结构与图1中所示的移位寄存器单元10基本上相同。

[0066] 第三下拉控制电路700配置为响应于显示下拉控制信号对下拉节点QB的电平进行控制。例如,第三下拉控制电路700与下拉节点QB和显示下拉控制端Con2连接,配置为在一帧的显示时段,在显示下拉控制端Con2提供的显示下拉控制信号的控制下导通,使下拉节点QB与另行提供的电压端(例如,低电压端)电连接,从而将下拉节点QB下拉为非工作电位。

[0067] 在电路结构不包括第三下拉控制电路700的情形下,移位寄存器单元长时间工作后,电路中的晶体管的阈值电压容易漂移,例如正漂,因此通过显示输入电路200写入到上拉节点Q的高电平会低于预定值,从而难以通过第一下拉控制电路500对下拉节点QB进行下拉,也会进一步影响输出端Out的输出信号。本公开的实施例提供的移位寄存器单元10包括第三下拉控制电路700,第三下拉控制电路700可以在一帧的显示时段中对下拉节点QB进行下拉,以确保下拉节点QB处于低电平,有助于显示输入电路200将高电平写入上拉节点Q,使上拉节点Q的高电平达到预定值,因此可防止晶体管阈值电压漂移后影响输出信号,增强了电路的信赖性。

[0068] 本公开一实施例提供的另一种移位寄存器单元,相比于图1和图2所示的情形,仅包括第三下拉控制电路700,而不包括第二下拉控制电路600。并且,如上所述该移位寄存器单元同样可以在一帧的显示时段中对下拉节点QB进行下拉,以确保下拉节点QB处于低电平,有助于显示输入电路200将高电平写入上拉节点Q,使上拉节点Q的高电平达到预定值,因此可防止晶体管阈值电压漂移后影响输出信号,增强了电路的信赖性。

[0069] 图3为本公开一实施例提供的一种移位寄存器单元的消隐输入电路的示意框图。参考图3,消隐输入电路100包括充电子电路110、存储子电路120和隔离子电路130。该消隐输入电路100不仅包括消隐输入信号端STU1和消隐上拉信号端B1a_up,还包括第一时钟信号端CLKA和第二时钟信号端CLKB。

[0070] 充电子电路110配置为响应于第二时钟信号将消隐输入信号输入到上拉控制节点H。例如,充电子电路110与消隐输入信号端STU1、第二时钟信号端CLKB和上拉控制节点H连接,配置为在第二时钟信号端CLKB提供的第二时钟信号的控制下导通,使消隐输入信号端STU1和上拉控制节点H电连接,从而将消隐输入信号写入上拉控制节点H。例如,在一个示例中,充电子电路110在第二时钟信号的控制下导通,消隐输入信号此时为高电平,以对上拉控制节点H充电。

[0071] 存储子电路120配置为存储充电子电路110输入的消隐输入信号。例如,存储子电路120与上拉控制节点H连接,配置为存储写入到上拉控制节点H的消隐输入信号。

[0072] 隔离子电路130配置为在上拉控制节点H的电平和第一时钟信号的控制下,将消隐上拉信号输入到上拉节点Q。例如,隔离子电路130与上拉控制节点H、上拉节点Q、消隐上拉信号端B1a_up和第一时钟信号端CLKA连接,配置为在上拉控制节点H的电平和第一时钟信号端CLKA提供的第一时钟信号的共同控制下导通,使消隐上拉信号端B1a_up和上拉节点Q电连接,从而将消隐上拉信号输入到上拉节点Q。例如,在一个示例中,隔离子电路130在上拉控制节点H的电平和第一时钟信号的共同控制下导通,消隐上拉信号此时为高电平,可以对上拉节点Q充电。

[0073] 需要说明的是,本公开的各实施例中,消隐输入电路100可以包括任意适用的子电路,不局限于上述充电子电路110、存储子电路120和隔离子电路130,只要能实现相应功能即可。

[0074] 图4A为本公开一实施例提供的另一种移位寄存器单元的示意框图。参考图4A,该实施例中移位寄存器单元10还包括消隐复位电路800和显示复位电路900,其他结构与图1中描述的移位寄存器单元10基本上相同。

[0075] 消隐复位电路800配置为响应于消隐复位信号对上拉节点Q进行复位。例如,消隐复位电路800与消隐复位信号端Re和上拉节点Q连接,配置为在消隐复位信号端Re提供的消隐复位信号的控制下导通,使上拉节点Q与另行提供的电压端(例如,低电压端)电连接,从而对上拉节点Q复位。例如,在一帧的消隐时段,当输出电路300完成信号输出后,通过消隐复位电路800对上拉节点Q复位。

[0076] 显示复位电路900配置为响应于显示复位信号对上拉节点Q进行复位。例如,显示复位电路900与显示复位信号端STD和上拉节点Q连接,配置为在显示复位信号端STD提供的显示复位信号的控制下导通,使上拉节点Q与另行提供的电压端(例如,低电压端)电连接,从而对上拉节点Q复位。例如,在一帧的显示时段,当输出电路300完成信号输出后,通过显示复位电路900对上拉节点Q复位。

[0077] 图4B为本公开一实施例提供的另一种移位寄存器单元的示意框图。参考图4B,该实施例中移位寄存器单元10还包括消隐复位电路800和显示复位电路900,其他结构与图2中描述的移位寄存器单元10基本上相同。在该实施例中,消隐复位电路800和显示复位电路900与图4A中描述的消隐复位电路800和显示复位电路900基本上相同,此处不再赘述。

[0078] 同样,本公开一实施例提供的另一种移位寄存器单元,相比于图4A和图4B所示的情形,仅包括第三下拉控制电路700,而不包括第二下拉控制电路600,可以实现相应的技术效果。

[0079] 图5为图4A中所示的移位寄存器单元的一种具体实现示例的电路图。在下面的说明中以各晶体管为N型晶体管为例进行说明,但这并不构成对本公开实施例的限制。

[0080] 参考图5,该移位寄存器单元10包括第一晶体管M1、第四至第十七晶体管M4-M17,以及还包括第一电容C1和第二电容C2。

[0081] 第二下拉控制电路600可以实现为第一晶体管M1。消隐下拉控制信号包括第一时钟信号,即在该示例中,用于提供第一时钟信号的第一时钟信号端CLKA等同于前述的消隐下拉控制端Con1。第一晶体管M1的栅极配置为和第一时钟信号端CLKA连接以接收第一时钟

信号,第一晶体管M1的第一极配置为和下拉节点QB连接,第一晶体管M1的第二极配置为接收第一电压端VGL1的第一电压。例如,第一电压端VGL1配置为提供直流低电平信号(例如低于或等于时钟信号的低电平部分),例如接地,这里将该直流低电平信号称为第一电压,以下各实施例与此相同,不再赘述。在一帧的消隐时段,当第一时钟信号为有效电平(例如,高电平)时,第一晶体管M1导通,使下拉节点QB与第一电压端VGL1电连接,从而将下拉节点QB下拉为低电平。

[0082] 消隐输入电路100包括充电子电路110、存储子电路120和隔离子电路130。充电子电路110可以实现为第四晶体管M4,第四晶体管M4也称为消隐晶体管。第四晶体管M4的栅极配置为和第二时钟信号端CLKB连接以接收第二时钟信号,第四晶体管M4的第一极配置为和消隐输入信号端STU1连接以接收消隐输入信号,第四晶体管M4的第二极配置为和上拉控制节点H连接。当第二时钟信号为有效电平(例如,高电平)时,第四晶体管M4导通,使消隐输入信号端STU1与上拉控制节点H电连接,从而将消隐输入信号写入上拉控制节点H。例如,此时消隐输入信号为高电平,以对上拉控制节点H充电。

[0083] 存储子电路120可以实现为第一电容C1。第一电容C1的第一极配置为和上拉控制节点H连接,第一电容C1的第二极配置为和第一电压端VGL1连接以接收第一电压。当消隐输入信号写入到上拉控制节点H后,上拉控制节点H被充电至高电平,第一电容C1存储该高电平并将上拉控制节点H维持在高电平,以在后续阶段使用。

[0084] 需要说明的是,本公开的各实施例中,第一电容C1可以通过工艺制程制作的电容器件,例如通过制作专门的电容电极来实现电容器件,该电容的各个电极可以通过金属层、半导体层(例如掺杂多晶硅)等实现,并且,第一电容C1也可以是各个器件之间的寄生电容,可以通过晶体管本身与其他器件、线路来实现。第一电容C1的连接方式不局限于上面描述的方式,也可以为其他适用的连接方式,只要能存储写入到上拉控制节点H的电平即可。例如,在其他示例中,第一电容C1的第一极连接到上拉控制节点H,第二极连接到隔离子电路130的一端(例如下述的第三时钟信号端CLKC);或者,第一电容C1的第一极连接到上拉控制节点H,第二极连接到隔离子电路130中的某个位置(例如下述的第五晶体管M5和第六晶体管M6的连接点N)。

[0085] 隔离子电路130可以实现为第五晶体管M5和第六晶体管M6。第五晶体管M5也称为第一隔离晶体管,第六晶体管M6也称为第二隔离晶体管。第五晶体管M5的栅极配置为和上拉控制节点H连接,第五晶体管M5的第一极配置为和第三时钟信号端CLKC连接以接收第三时钟信号作为消隐上拉信号,第五晶体管M5的第二极配置为和第六晶体管M6的第一极连接。第六晶体管M6的栅极配置为和第一时钟信号端CLKA连接以接收第一时钟信号,第六晶体管M6的第二极配置为和上拉节点Q连接。当上拉控制节点H为高电平且第一时钟信号也同时为高电平时,第五晶体管M5和第六晶体管M6均导通,使第三时钟信号端CLKC与上拉节点Q电连接,从而将第三时钟信号写入到上拉节点Q,将上拉节点Q的电位上拉到工作电位。

[0086] 显示输入电路200可以实现为第七晶体管M7。第七晶体管M7的栅极配置为和显示输入信号端STU2连接以接收显示输入信号,第七晶体管M7的第一极配置为和第二电压端VDD连接以接收第二电压作为显示上拉信号,第七晶体管M7的第二极配置为和上拉节点Q连接。例如,第二电压端VDD配置为提供直流高电平信号(例如高于或等于时钟信号的高电平部分),将该直流高电平信号称为第二电压,以下各实施例与此相同,不再赘述。例如,第二

电压端VDD也称为预设电压端。当显示输入信号为有效电平(例如,高电平)时,第七晶体管M7导通,使第二电压端VDD与上拉节点Q电连接,从而将第二电压写入上拉节点Q,将上拉节点Q的电位上拉到工作电位。

[0087] 例如,在一个示例中,输出电路300包括至少一个移位信号输出端CR和至少一个像素信号输出端Out(例如上述的输出端Out),以提高该移位寄存器单元10的驱动能力。移位信号输出端CR用于为下一级移位寄存器单元10提供消隐输入信号,像素信号输出端Out用于为像素电路提供驱动信号。例如,移位信号输出端CR和像素信号输出端Out的输出信号相同。

[0088] 输出电路300可以实现为第八晶体管M8、第九晶体管M9和第二电容C2。第八晶体管M8的栅极配置为和上拉节点Q连接,第八晶体管M8的第一极配置为和第四时钟信号端CLKD连接以接收第四时钟信号作为复合输出信号(即第四时钟信号端CLKD等同于前述的复合输出信号端Pre),第八晶体管M8的第二极配置为和移位信号输出端CR连接。第九晶体管M9的栅极配置为和上拉节点Q连接,第九晶体管M9的第一极配置为和第四时钟信号端CLKD连接以接收第四时钟信号作为复合输出信号,第九晶体管M9的第二极配置为和像素信号输出端Out连接。第二电容C2的第一极配置为和上拉节点Q连接,第二电容C2的第二极配置为和第八晶体管M8的第二极(或第九晶体管M9的第二极)电连接。当上拉节点Q处于工作电位(例如,高电平)时,第八晶体管M8和第九晶体管M9均导通,从而分别将第四时钟信号输出到移位信号输出端CR和像素信号输出端Out。

[0089] 需要说明的是,本公开的各实施例中,第二电容C2可以通过工艺制程制作的电容器件,例如通过制作专门的电容电极来实现电容器件,该电容的各个电极可以通过金属层、半导体层(例如掺杂多晶硅)等实现,并且,第二电容C2也可以是晶体管之间的寄生电容,可以通过晶体管本身与其他器件、线路来实现,只要能维持上拉节点Q的电平且在移位信号输出端CR或像素信号输出端Out输出信号时实现自举作用即可。

[0090] 下拉电路400可以实现为第十晶体管M10、第十一晶体管M11和第十二晶体管M12。第十晶体管M10的栅极配置为和下拉节点QB连接,第十晶体管M10的第一极配置为和上拉节点Q连接,第十晶体管M10的第二极配置为和第一电压端VGL1连接以接收第一电压。第十一晶体管M11的栅极配置为和下拉节点QB连接,第十一晶体管M11的第一极配置为和移位信号输出端CR连接,第十一晶体管M11的第二极配置为和第一电压端VGL1连接以接收第一电压。第十二晶体管M12的栅极配置为和下拉节点QB连接,第十二晶体管M12的第一极配置为和像素信号输出端Out连接,第十二晶体管M12的第二极配置为和第三电压端VGL2连接以接收第三电压。

[0091] 例如,第三电压端VGL2配置为提供直流低电平信号(例如低于或等于时钟信号的低电平部分),例如接地,将该直流低电平信号称为第三电压,以下各实施例与此相同,不再赘述。例如,在一个示例中,第三电压端VGL2的第三电压高于第一电压端VGL1的第一电压;在另一个示例中,第三电压端VGL2的第三电压等于第一电压端VGL1的第一电压。第三电压和第一电压可以相同也可以不同,这可以根据实际需求而定。

[0092] 当下拉节点QB为有效电平(例如,高电平)时,第十晶体管M10、第十一晶体管M11和第十二晶体管M12均导通,使上拉节点Q和移位信号输出端CR与第一电压端VGL1电连接,使像素信号输出端Out与第二电压端VGL2电连接,从而对上拉节点Q、移位信号输出端CR和像

素信号输出端Out降噪。需要说明的是,本公开的各实施例中,当移位信号输出端CR和/或像素信号输出端Out为多个时,下拉电路400也相应地包括多个与移位信号输出端CR和/或像素信号输出端Out对应连接的晶体管,以对多个移位信号输出端CR和/或像素信号输出端Out进行降噪。

[0093] 第一下拉控制电路500可以实现为第十三晶体管M13、第十四晶体管M14和第十五晶体管M15。第十三晶体管M13的栅极和第一极连接且配置为和第四电压端VDD_A连接以接收第四电压,第十三晶体管M13的第二极配置为和下拉节点QB连接。第十四晶体管M14的栅极和第一极连接且配置为和第五电压端VDD_B连接以接收第五电压,第十四晶体管M14的第二极配置为和下拉节点QB连接。第十五晶体管M15的栅极配置为和上拉节点Q连接,第十五晶体管M15的第一极配置为和下拉节点QB连接,第十五晶体管M15的第二极配置为和第一电压端VGL1连接以接收第一电压。

[0094] 例如,在一个示例中,第四电压端VDD_A配置为提供直流低电平信号,第五电压端VDD_B配置为提供直流高电平信号,因此第十三晶体管M13始终截止,第十四晶体管M14始终导通。例如,在另一个示例中,第四电压端VDD_A和第五电压端VDD_B配置为交替提供直流高电平信号,从而使第十三晶体管M13和第十四晶体管M14交替导通,以避免晶体管长期导通引起的性能漂移。例如,当第四电压端VDD_A提供高电平信号时,第五电压端VDD_B提供低电平信号,此时第十三晶体管M13导通,第十四晶体管M14截止;当第五电压端VDD_B提供高电平信号时,第四电压端VDD_A提供低电平信号,此时第十四晶体管M14导通,第十三晶体管M13截止。例如,将第四电压端VDD_A提供的信号称为第四电压,将第五电压端VDD_B提供的信号称为第五电压,以下各实施例与此相同,不再赘述。

[0095] 当上拉节点Q为有效电平(例如,高电平)时,第十五晶体管M15导通,通过设计第十五晶体管M15与导通的第十三晶体管M13或第十四晶体管M14的沟道宽长比,可以将下拉节点QB的电位下拉到低电平。当上拉节点Q为低电平时,第十五晶体管M15截止,此时,导通的第十三晶体管M13或第十四晶体管M14将第四电压端VDD_A或第五电压端VDD_B提供的高电平信号写入下拉节点QB,以将下拉节点QB的电位上拉至高电平。

[0096] 消隐复位电路800可以实现为第十六晶体管M16。第十六晶体管M16的栅极配置为和第二时钟信号端CLKB连接以接收第二时钟信号并作为消隐复位信号,第十六晶体管M16的第一极配置为和上拉节点Q连接,第十六晶体管M16的第二极配置为和第一电压端VGL1连接以接收第一电压。例如,在一帧的消隐时段,当第二时钟信号为有效电平(例如,高电平)时,第十六晶体管M16导通,使上拉节点Q与第一电压端VGL1电连接,从而对上拉节点Q复位。

[0097] 显示复位电路900可以实现为第十七晶体管M17。第十七晶体管M17的栅极配置为和显示复位信号端STD连接以接收显示复位信号,第十七晶体管M17的第一极配置为和上拉节点Q连接,第十七晶体管M17的第二极配置为和第一电压端VGL1连接以接收第一电压。例如,在一帧的显示时段,当显示复位信号为有效电平(例如,高电平)时,第十七晶体管M17导通,使上拉节点Q与第一电压端VGL1电连接,从而对上拉节点Q复位。

[0098] 例如,在一个示例中,在多个移位寄存器单元10级联的情形下,第n+2级移位寄存器单元10的移位信号输出端CR与第n级移位寄存器单元10的显示复位信号端STD连接,以将第n+2级移位寄存器单元10的移位信号输出端CR的输出信号作为第n级移位寄存器单元10的显示复位信号。这里,n为大于0的整数。当然,本公开的实施例不限于此,显示复位信号端

STD也可以与另行设置的信号线连接以接收显示复位信号。

[0099] 需要说明的是,本公开的各实施例中,消隐输入电路100、显示输入电路200、输出电路300、下拉电路400、第一下拉控制电路500、第二下拉控制电路600、消隐复位电路800和显示复位电路900的具体实现方式不局限于上面描述的方式,可以为任意适用的实现方式,例如为本领域技术人员熟知的常规连接方式,只需保证实现相应功能即可。

[0100] 图6为图4A中所示的移位寄存器单元的另一种具体实现示例的电路图。参考图6,除了第二下拉控制电路600的具体实现方式不同外,该移位寄存器单元10与图5中描述的移位寄存器单元10基本上相同。在该实施例中,第二下拉控制电路600可以实现为彼此串联的第一晶体管M1和第二晶体管M2。消隐下拉控制信号包括第一时钟信号和第一控制信号,第一时钟信号由第一时钟信号端CLKA提供,第一控制信号由第一控制信号端VH提供,也即是,在该示例中,前述的消隐下拉控制端Con1包括第一时钟信号端CLKA和第一控制信号端VH。第一晶体管M1的栅极配置为和第一时钟信号端CLKA连接以接收第一时钟信号,第一晶体管M1的第一极配置为和下拉节点QB连接。第二晶体管M2的栅极配置为和第一控制信号端VH连接以接收第一控制信号,第二晶体管M2的第一极配置为和第一晶体管M1的第二极连接,第二晶体管M2的第二极配置为和第一电压端VGL1连接以接收第一电压。该电路中的其他结构与图5中描述的移位寄存器单元10基本上相同,此处不再赘述。

[0101] 在一帧的消隐时段,当第一控制信号和第一时钟信号均为有效电平(例如,高电平)时,第一晶体管M1和第二晶体管M2均导通,使下拉节点QB与第一电压端VGL1电连接,从而将下拉节点QB下拉为低电平。

[0102] 例如,在多个移位寄存器单元10级联的情形下,当某一行的移位寄存器单元10进行输出时,使该行的移位寄存器单元10的第一控制信号端VH提供高电平信号,使位于其他行的移位寄存器单元10的第一控制信号端VH提供低电平信号,从而使该行的移位寄存器单元10的下拉节点QB被拉低,而位于其他行的移位寄存器单元10的下拉节点QB不会被拉低,以避免位于其他行的移位寄存器单元10的移位信号输出端CR和像素信号输出端Out处于浮置状态,从而减小移位信号输出端CR和像素信号输出端Out的噪声。

[0103] 例如,在一个示例中,将第一控制信号端VH连接到上拉控制节点H,将上拉控制节点H的电平作为第一控制信号,这种方式可以简化电路结构。当然,本公开的实施例不限于此,第一控制信号端VH也可以与另行设置的信号线连接。

[0104] 图7为图4B中所示的移位寄存器单元的一种具体实现示例的电路图。参考图7,除了还进一步包括第三晶体管M3外,该实施例的移位寄存器单元10与图5中描述的移位寄存器单元10基本相同。在该实施例中,移位寄存器单元10包括第三下拉控制电路700。第三下拉控制电路700可以实现为第三晶体管M3。第三晶体管M3的栅极配置为和显示下拉控制信号端Con2连接以接收显示下拉控制信号,第三晶体管M3的第一极配置为和下拉节点QB连接,第三晶体管M3的第二极配置为和第一电压端VGL1连接以接收第一电压。该电路中的其他结构与图5中描述的移位寄存器单元10基本上相同,此处不再赘述。

[0105] 在一帧的显示时段,当显示下拉控制信号为有效电平(例如,高电平)时,第三晶体管M3导通,使下拉节点QB与第一电压端VGL1电连接,从而将下拉节点QB下拉为低电平。

[0106] 例如,在一个示例中,在多个移位寄存器单元10级联的情形下,第m-2级移位寄存器单元10的移位信号输出端CR与第m级移位寄存器单元10的显示下拉控制信号端Con2连

接,以将第m-2级移位寄存器单元10的移位信号输出端CR的输出信号作为第m级移位寄存器单元10的显示下拉控制信号。这里,m为大于2的整数。当然,本公开的实施例不限于此,显示下拉控制信号端Con2也可以与另行设置的信号线连接。

[0107] 需要说明的是,本公开的各实施例中,第三下拉控制电路700的具体实现方式不局限于上面描述的方式,可以为任意适用的实现方式,例如为本领域技术人员熟知的常规连接方式,只需保证实现相应功能即可。

[0108] 图8为图4B中所示的移位寄存器单元的另一种具体实现示例的电路图。参考图8,第二下拉控制电路600可以实现为彼此串联的第一晶体管M1和第二晶体管M2,第一晶体管M1和第二晶体管M2的连接方式与图6中描述的移位寄存器单元10基本上相同;第三下拉控制电路700可以实现为第三晶体管M3,第三晶体管M3的连接方式与图7中描述的移位寄存器单元10基本上相同。该电路的具体结构可参考上述关于移位寄存器单元10的描述,此处不再赘述。

[0109] 图9为图4B中所示的移位寄存器单元的另一种具体实现示例的电路图。参考图9,除了进一步包括多个防漏电电路外,该实施例的移位寄存器单元10与图7中描述的移位寄存器单元10基本上相同。在图7所示的移位寄存器单元10中,可以利用第一电容C1维持消隐上拉控制节点H的电位,利用第二电容C2维持上拉节点Q的电位。当上拉节点Q和/或消隐上拉控制节点H的电位维持在高电平时,存在一些晶体管其第一极连接上拉节点Q和/或消隐上拉控制节点H,第二极连接低电平的信号线。即使当这些晶体管的栅极输入的是非导通信号的情况下,由于其第一极和第二极之间存在电压差,也可能出现漏电的现象,从而使得该电路对上拉节点Q和/或消隐上拉控制节点H的电位的维持效果变差。因此,图9所示的移位寄存器单元10增加了多个防漏电电路,以改善对上拉节点Q和/或消隐上拉控制节点H的电位的维持效果。

[0110] 参考图9,第一防漏电电路可以实现为第一防漏电晶体管M4_b和第二防漏电晶体管M18,配置为在消隐上拉控制节点H为有效电平(例如高电平)时,防止消隐上拉控制节点H处的电荷经由第四晶体管M4漏电到消隐输入信号端STU1。第一防漏电晶体管M4_b的栅极连接到第四晶体管M4的栅极(第二时钟信号端CLKB),第一极连接到第四晶体管M4的第二极,第二极连接到消隐上拉控制节点H。第二防漏电晶体管M18的栅极连接到消隐上拉控制节点H,第一极连接到预设电压端(第二电压端VDD),第二极连接到第一防漏电晶体管M4_b的第一极。

[0111] 当消隐上拉控制节点H为高电平时,第二防漏电晶体管M18在消隐上拉控制节点H的控制下导通,并将第二电压(高电压)写入到第一防漏电晶体管M4_b的第一极,从而使第一防漏电晶体管M4_b的第一极和第二极都处于高电平的状态,以防止消隐上拉控制节点H处的电荷通过第一防漏电晶体管M4_b漏电。此时,由于第四晶体管M4的栅极与第一防漏电晶体管M4_b的栅极连接,因此第一防漏电晶体管M4_b和第四晶体管M4的结合可以实现与前述的第四晶体管M4相同的功能,并同时具有防漏电的效果。

[0112] 类似地,对于连接到上拉节点Q的第六晶体管M6、第十晶体管M10、第十六晶体管M16和第十七晶体管M17,也可以采用与前述原理相同的防漏电电路以实现防漏电的效果。

[0113] 例如,移位寄存器单元还包括预设防漏电电路,预设防漏电电路包括第一预设防漏电晶体管和第二预设防漏电晶体管。预设防漏电电路也称为第二防漏电电路。例如,第二

防漏电电路可以实现为第三防漏电晶体管M6_b、第四防漏电晶体管M10_b、第五防漏电晶体管M16_b、第六防漏电晶体管M17_b和第七防漏电晶体管M19。第三防漏电晶体管M6_b为上述第一预设防漏电晶体管，第七防漏电晶体管M19为上述第二预设防漏电晶体管。

[0114] 第一预设防漏电晶体管(也即第三防漏电晶体管M6_b)的第一极连接第二隔离晶体管(也即第六晶体管M6)的第二极，第一预设防漏电晶体管的第二极连接上拉节点Q，第一预设防漏电晶体管的栅极连接第一时钟信号端CLKA。第二预设防漏电晶体管(也即第七防漏电晶体管M19)的栅极连接上拉节点Q，第二预设防漏电晶体管的第一极连接预设电压端(也即第二电压端VDD)，第二预设防漏电晶体管的第二极连接第一预设防漏电晶体管的第一极。

[0115] 第二防漏电电路的连接方式和工作原理与上述第一防漏电电路类似，此处不再赘述。

[0116] 当上拉节点Q为高电平时，第七防漏电晶体管M19导通，使防漏电节点OFF为高电平，从而使第三防漏电晶体管M6_b、第四防漏电晶体管M10_b、第五防漏电晶体管M16_b、第六防漏电晶体管M17_b各自的第一极和第二极都处于高电平状态，以防止上拉节点Q处的电荷漏电。此时，第六晶体管M6、第十晶体管M10、第十六晶体管M16和第十七晶体管M17与第二防漏电电路的结合可以实现与前述的第六晶体管M6、第十晶体管M10、第十六晶体管M16和第十七晶体管M17相同的功能，且具有防漏电效果。

[0117] 需要说明的是，本领域技术人员可以理解，根据本公开的实施例提供的具有防漏电功能的电路的实施例，可以根据实际情况选择移位寄存器单元10中的一个或多个晶体管增加防漏电的电路结构。图9仅示出了包括防漏电电路的一种示例性的电路结构，而不构成对本公开实施例的限制。

[0118] 图10为图9中所示的移位寄存器单元的消隐输入电路的具体实现示例的电路图。参考图10(1)，在一个示例中，第一电容C1的第一极连接到上拉控制节点H，第二极连接到第五晶体管M5和第六晶体管M6的连接点N。参考图10(2)，在另一个示例中，第一电容C1的第一极连接到上拉控制节点H，第二极连接到第三时钟信号端CLKC。当然，本公开的实施例不限于此，第一电容C1也可以采用其他常规的连接方式，只要能实现相应功能即可。例如，第四晶体管M4可以与防漏电的电路结构结合，也可以不采用防漏电的电路结构，这并不影响第一电容C1的连接方式。该电路中其他晶体管的连接方式与图9中所示的移位寄存器单元10基本上相同，此处不再赘述。

[0119] 需要注意的是，在本公开的各个实施例的说明中，上拉节点Q、下拉节点QB、上拉控制节点H和防漏电节点OFF并非表示实际存在的部件，而是表示电路图中相关电连接的汇合点。

[0120] 需要说明的是，本公开的实施例中采用的晶体管均可以为薄膜晶体管、场效应晶体管或其他特性相同的开关器件，本公开的实施例中均以薄膜晶体管为例进行说明。这里采用的晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中，为了区分晶体管除栅极之外的两极，直接描述了其中一极为第一极，另一极为第二极。

[0121] 另外，本公开的实施例中的晶体管均以N型晶体管为例进行说明，此时，晶体管的第一极是漏极，第二极是源极。需要说明的是，本公开包括但不限于此。例如，本公开的实施例

例提供的移位寄存器单元10中的一个或多个晶体管也可以采用P型晶体管,此时,晶体管第一极是源极,第二极是漏极,只需将选定类型的晶体管的各极参照本公开的实施例中的相应晶体管的各极相应连接,并且使相应的电压端提供对应的高电压或低电压即可。当采用N型晶体管时,可以采用氧化铟镓锌(Indium Gallium Zinc Oxide,IGZO)作为薄膜晶体管的有源层,相对于采用低温多晶硅(Low Temperature Poly Silicon,LTPS)或非晶硅(例如氢化非晶硅)作为薄膜晶体管的有源层,可以有效减小晶体管的尺寸以及防止漏电流。

[0122] 图11为本公开一实施例提供的一种移位寄存器单元的信号时序图。下面结合图11所示的信号时序图,对图7所示的移位寄存器单元10的工作原理进行说明,并且这里以各个晶体管为N型晶体管为例进行说明,但是本公开的实施例不限于此。

[0123] 在图11中以及下面的描述中,1F、2F、3F和4F分别表示第一帧、第二帧、第三帧和第四帧的时序。Display表示一帧的显示时段,Blank表示一帧的消隐时段。STU1、STU2、VDD_A、VDD_B、CLKA、CLKB、CLKC、CLKD、Out、CR等既用于表示相应的信号端,也用于表示相应的信号。以下各实施例与此相同,不再赘述。

[0124] 在初始阶段0,第二时钟信号CLKB为高电平,第十六晶体管M16导通以对上拉节点Q进行复位,第四晶体管M4导通,此时消隐输入信号STU1为低电平,从而对上拉控制节点H进行复位。

[0125] 在显示时段Display,在第一阶段1,消隐输入信号STU1、显示输入信号STU2、第二时钟信号CLKB、第五电压VDD_B均为高电平。第四晶体管M4和第七晶体管M7均导通,上拉控制节点H被写入高电平并被第一电容C1存储,上拉节点Q被写入高电平。例如,将显示输入信号STU2输入到显示下拉控制端Con2以作为显示下拉信号。第三晶体管M3导通,将下拉节点QB下拉为低电平。第十四晶体管M14和第十五晶体管M15均导通,也将下拉节点QB下拉为低电平。例如,该电路长时间工作后,电路中的晶体管的阈值电压容易漂移,例如正漂,当第十五晶体管M15的正漂较大时,通过第十五晶体管M15拉低下拉节点QB会比较困难,而通过第三晶体管M3则可以快速拉低下拉节点QB,从而提高上拉节点Q的高电平写入能力。第八晶体管M8和第九晶体管M9在上拉节点Q的高电平的作用下导通,将第四时钟信号CLKD输出至移位信号输出端CR和像素信号输出端Out。由于此时第四时钟信号CLKD为低电平,因此移位信号输出端CR和像素信号输出端Out均输出低电平。在该阶段中,第一电容C1存储了高电平信号并保持到一帧的显示时段结束,以用于在消隐时段使用。

[0126] 在第二阶段2,上拉节点Q保持为高电平,第八晶体管M8和第九晶体管M9保持导通。第四时钟信号CLKD变为高电平,由于第二电容C2的耦合作用(或自举作用),上拉节点Q的电位进一步升高,第八晶体管M8和第九晶体管M9充分导通,第四时钟信号CLKD的高电平输出至移位信号输出端CR和像素信号输出端Out。

[0127] 在第三阶段3,第四时钟信号CLKD变为低电平,由于第二电容C2的耦合作用,上拉节点Q的电位有所降低但仍然保持高电平,第八晶体管M8和第九晶体管M9保持导通,第四时钟信号CLKD的低电平输出至移位信号输出端CR和像素信号输出端Out以完成输出信号的复位。

[0128] 在第四阶段4,显示复位信号STD(图中未示出)为高电平,第十七晶体管M17导通,从而对上拉节点Q进行复位,使上拉节点Q变为低电平。第十五晶体管M15截止,下拉节点QB被导通的第十四晶体管M14上拉为高电平。第十晶体管M10在下拉节点QB的高电平的作用下

导通,以进一步对下拉节点Q降噪。第十一晶体管M11和第十二晶体管M12也在下拉节点QB的高电平的作用下导通,从而对移位信号输出端CR和像素信号输出端Out降噪。

[0129] 在上述各个阶段,第六晶体管M6由于第一时钟信号CLKA一直保持低电平而处于截止状态,从而隔离了上拉控制节点H和上拉节点Q,以避免上拉控制节点H的电平影响显示时段的输出信号。上拉节点Q的电平呈塔状波形,移位信号输出端CR的输出信号的上拉和复位都通过第八晶体管M8实现,像素信号输出端Out的输出信号的上拉和复位都通过第九晶体管M9实现,第十一晶体管M11和第十二晶体管M12对移位信号输出端CR和像素信号输出端Out的输出信号起辅助下拉的作用,因此可以减小第十一晶体管M11和第十二晶体管M12的体积,有利于减小电路版图的面积。

[0130] 在消隐时段Blank,在第五阶段5,第一时钟信号CLKA、第三时钟信号CLKC和第五电压VDD_B为高电平。上拉控制节点H保持在显示时段写入的高电平,第五晶体管M5导通。第六晶体管M6在第一时钟信号CLKA的高电平的作用下导通,使第三时钟信号CLKC写入上拉节点Q,以使上拉节点Q为高电平。第一晶体管M1在第一时钟信号CLKA的高电平的作用下导通,将下拉节点QB下拉为低电平。第十四晶体管M14和第十五晶体管M15均导通,也将下拉节点QB下拉为低电平。例如,该电路长时间工作后,电路中的晶体管的阈值电压容易漂移,例如正漂,当第十五晶体管M15的正漂较大时,通过第十五晶体管M15拉低下拉节点QB会比较困难,而通过第一晶体管M1则可以快速拉低下拉节点QB,从而提高上拉节点Q的高电平写入能力。第八晶体管M8和第九晶体管M9在上拉节点Q的高电平的作用下导通,将第四时钟信号CLKD输出至移位信号输出端CR和像素信号输出端Out。由于此时第四时钟信号CLKD为低电平,因此移位信号输出端CR和像素信号输出端Out均输出低电平。

[0131] 在第六阶段6,第一时钟信号CLKA变为低电平,第六晶体管M6截止,使得上拉节点Q不会通过第六晶体管M6漏电。此时第一晶体管M1也截止。第八晶体管M8和第九晶体管M9保持导通,当第四时钟信号CLKD变为高电平时,由于第二电容C2的耦合作用,上拉节点Q的电位进一步升高,第八晶体管M8和第九晶体管M9充分导通,第四时钟信号CLKD的高电平输出至移位信号输出端CR和像素信号输出端Out。

[0132] 在第七阶段7,第四时钟信号CLKD变为低电平,由于第二电容C2的耦合作用,上拉节点Q的电位有所降低但仍然保持高电平,第八晶体管M8和第九晶体管M9保持导通,第四时钟信号CLKD的低电平输出至移位信号输出端CR和像素信号输出端Out以完成输出信号的复位。

[0133] 在第八阶段8(消隐时段Blank的末段),第二时钟信号CLKB为高电平,第四晶体管M4和第十六晶体管M16导通,从而对上拉控制节点H和上拉节点Q复位。这样可以使上拉控制节点H保持为高电平的时间较短,以降低与上拉控制节点H连接的晶体管阈值电压漂移(例如正漂)的风险,有助于提高该电路的信赖性。

[0134] 在该实施例中,第一晶体管M1可以在消隐时段Blank提高上拉节点Q的高电平写入能力,第三晶体管M3可以在显示时段Display提高上拉节点Q的高电平写入能力,从而可防止电路中的晶体管阈值电压漂移(例如正漂)后影响输出信号,增强了电路的信赖性。在每一帧的时序中,第一晶体管M1和第三晶体管M3各有一次导通的时间段,在该导通时间段内,可以缓解与下拉节点QB连接的晶体管的正漂现象。

[0135] 图12为不包括第一晶体管M1和第三晶体管M3的移位寄存器单元的信号仿真时序

图,图13为图7中所示的移位寄存器单元10的信号仿真时序图。仿真时,将电路中的晶体管的阈值电压都设置为9V。由图12可知,当移位寄存器单元不包括第一晶体管M1和第三晶体管M3时,上拉节点Q无法正常写入高电平。由图13可知,当包括第一晶体管M1和第三晶体管M3时,图7所示的移位寄存器单元10可以正常工作,上拉节点Q可以写入高电平。

[0136] 图14为图4B中所示的移位寄存器单元的一种具体实现示例的电路图。参考图14,除了进一步包括更多的防漏电电路以及包括2个像素信号输出端外,该实施例的移位寄存器单元10与图9中描述的移位寄存器单元10基本上相同。与图9中所示的移位寄存器单元10相比,图14中的移位寄存器单元10还包括多个防漏电晶体管M20、M21_a、M21_b、M22、M23、M11_b、M12_b、M24_a、M24_b等,上述各个防漏电晶体管的连接方式和工作原理与图9中描述的防漏电晶体管类似,本领域技术人员可以理解,此处不再赘述。

[0137] 该实施例的移位寄存器单元10包括2个像素信号输出端(第一像素信号输出端Out1和第二像素信号输出端Out2)。第一像素信号输出端Out1的连接方式与前述的像素信号输出端Out类似。第二像素信号输出端Out2与第二十五晶体管M25的第二极连接,第二十五晶体管M25的栅极与上拉节点Q连接,第二十五晶体管M25的第一极与第五时钟信号端CLKE连接。

[0138] 当上拉节点Q为高电平时,第九晶体管M9和第二十五晶体管M25导通,第四时钟信号端CLKD的第四时钟信号输出到第一像素信号输出端Out1,第五时钟信号端CLKE的第五时钟信号输出到第二像素信号输出端Out2。例如,在一个示例中,第四时钟信号端CLKD和第五时钟信号端CLKE提供的时钟信号相同,因此第一像素信号输出端Out1和第二像素信号输出端Out2输出的信号相同,以进一步提高驱动能力。例如,在另一个示例中,第四时钟信号端CLKD和第五时钟信号端CLKE提供的信号不同,其时序图如图15所示,从而使得第一像素信号输出端Out1和第二像素信号输出端Out2输出的信号不同,以便为像素单元提供多种驱动信号。该移位寄存器单元10的工作原理与前述的移位寄存器单元10的工作原理类似,本领域技术人员可以理解,此处不再赘述。

[0139] 本公开至少一实施例提供一种移位寄存器单元,该移位寄存器单元包括消隐输入电路、显示输入电路、输出电路、下拉电路、第一下拉控制电路和第三下拉控制电路。所述消隐输入电路配置为根据消隐输入信号在一帧的消隐时段将消隐上拉信号输入到上拉节点。所述显示输入电路配置为响应于显示输入信号在一帧的显示时段将显示上拉信号输入到所述上拉节点。所述输出电路配置为在所述上拉节点的电平的控制下,将复合输出信号输出至输出端。所述下拉电路配置为在下拉节点的电平的控制下,对所述上拉节点和所述输出端进行降噪。所述第一下拉控制电路配置为在所述上拉节点的电平的控制下,对所述下拉节点的电平进行控制。所述第三下拉控制电路配置为响应于显示下拉控制信号对所述下拉节点的电平进行控制。

[0140] 图16为本公开一实施例提供一种移位寄存器单元的一种具体实现示例的电路图。参考图16,除了不包括第二下拉控制电路600(第一晶体管M1)外,该实施例的移位寄存器单元10与图7中描述的移位寄存器单元10基本上相同。该电路不包括第一晶体管M1,也即是,在消隐时段,该电路仅通过第一下拉控制电路500(第十三晶体管M13、第十四晶体管M14和第十五晶体管M15)对下拉节点QB进行下拉,而不再通过其他晶体管对下拉节点QB进行下拉。该电路在显示时段通过第三下拉控制电路700(第三晶体管M3)和第一下拉控制电路500

共同对下拉节点QB进行下拉,可以防止晶体管阈值电压漂移(例如正漂)后影响显示时段的输出信号,增强了电路的信赖性,且有助于提高显示质量。该移位寄存器单元10的工作原理与图7中描述的移位寄存器单元10基本上相同,此处不再赘述。

[0141] 本公开至少一实施例还提供一种栅极驱动电路。该栅极驱动电路包括本公开任一实施例所述的移位寄存器单元。该栅极驱动电路的电路结构简单,可防止晶体管阈值电压漂移后影响输出信号,增强了电路的信赖性。

[0142] 图17为本公开一实施例提供的一种栅极驱动电路的示意框图。参考图17,该栅极驱动电路20包括多个级联的移位寄存器单元(A1、A2、A3、A4等)。多个移位寄存器单元的数量不受限制,可以根据实际需求而定。例如,移位寄存器单元采用本公开任一实施例所述的移位寄存器单元10。例如,在栅极驱动电路20中,可以部分或全部移位寄存器单元采用本公开任一实施例所述的移位寄存器单元10。例如,该栅极驱动电路20可以采用与薄膜晶体管同样制程的工艺直接集成在显示装置的阵列基板上,以实现逐行扫描驱动功能。

[0143] 例如,每个移位寄存器单元具有消隐输入信号端STU1、显示输入信号端STU2、第一至第四时钟信号端CLKA-CLKD、显示复位信号端STD、移位信号输出端CR和像素信号输出端Out等。例如,除第一级以外,每一级移位寄存器单元的消隐输入信号端STU1与上一级移位寄存器单元的移位信号输出端CR连接。例如,除第一级和第二级以外,每一级移位寄存器单元的显示输入信号端STU2与上两级移位寄存器单元的移位信号输出端CR连接。例如,除最后两级以外,每一级移位寄存器单元的显示复位信号端STD与下两级移位寄存器单元的移位信号输出端CR连接。例如,第一级移位寄存器单元A1的消隐输入信号端STU1和显示输入信号端STU2与触发信号线STU连接,第二级移位寄存器单元A2的显示输入信号端STU2也与触发信号线STU连接。最后两级移位寄存器单元A3-A4的显示复位信号端STD与另行提供的复位信号线连接。每个移位寄存器单元的像素信号输出端Out与对应行的像素单元连接,以向该行像素单元输出驱动信号。

[0144] 例如,该栅极驱动电路20还包括第一子时钟信号线CLK_1、第二子时钟信号线CLK_2、第三子时钟信号线CLK_3和第四子时钟信号线CLK_4。各级移位寄存器单元与上述各子时钟信号线的连接方式如下并以此类推。

[0145] 第 $4n-3$ 级移位寄存器单元(例如,第一级移位寄存器单元A1)的第四时钟信号端CLKD和第一子时钟信号线CLK_1连接,第 $4n-2$ 级移位寄存器单元(例如,第二级移位寄存器单元A2)的第四时钟信号端CLKD和第二子时钟信号线CLK_2连接,第 $4n-1$ 级移位寄存器单元(例如,第三级移位寄存器单元A3)的第四时钟信号端CLKD和第三子时钟信号线CLK_3连接,第 $4n$ 级移位寄存器单元(例如,第四级移位寄存器单元A4)的第四时钟信号端CLKD和第四子时钟信号线CLK_4连接。这里, n 为大于0的整数。

[0146] 例如,该栅极驱动电路20还包括第五子时钟信号线CLK_5和第六子时钟信号线CLK_6。各级移位寄存器单元与上述各子时钟信号线的连接方式如下并以此类推。

[0147] 第 $2n-1$ 级移位寄存器单元(例如,第一级移位寄存器单元A1和第三级移位寄存器单元A3)的第二时钟信号端CLKB和第五子时钟信号线CLK_5连接,第三时钟信号端CLKC和第六子时钟信号线CLK_6连接。第 $2n$ 级移位寄存器单元(例如,第二级移位寄存器单元A2和第四级移位寄存器单元A4)的第二时钟信号端CLKB和第六子时钟信号线CLK_6连接,第三时钟信号端CLKC和第五子时钟信号线CLK_5连接。这里, n 为大于0的整数。

[0148] 例如,该栅极驱动电路20还包括第七子时钟信号线CLK_7,配置为与各级移位寄存器单元的第一时钟信号端CLKA连接。

[0149] 例如,在该栅极驱动电路20中,第n+1级移位寄存器单元的消隐输入信号端STU1和第n级移位寄存器单元的移位信号输出端CR连接。这里,n为大于0的整数。

[0150] 例如,该栅极驱动电路20还可以包括时序控制器T-CON,时序控制器T-CON例如配置为向各级移位寄存器单元提供上述各个时钟信号,时序控制器T-CON还可以配置为提供触发信号和复位信号。需要说明的是,时序控制器T-CON提供的多个时钟信号彼此之间的相位关系可以根据实际需求而定。在不同的示例中,根据不同的配置,还可以提供更多的时钟信号。例如,该栅极驱动电路20还包括多条电压线,以向各级移位寄存器单元提供多个电压信号。

[0151] 例如,当采用该栅极驱动电路20驱动一显示面板时,可以将该栅极驱动电路20设置于显示面板的一侧。例如,该显示面板包括多行栅线,栅极驱动电路20中的各级移位寄存器单元的像素信号输出端Out可以配置为依序和多行栅线连接,以用于输出驱动信号。当然,还可以分别在显示面板的两侧设置该栅极驱动电路20,以实现双边驱动,本公开的实施例对栅极驱动电路20的设置方式不作限制。例如,可以在显示面板的一侧设置栅极驱动电路20以用于驱动奇数行栅线,而在显示面板的另一侧设置栅极驱动电路20以用于驱动偶数行栅线。

[0152] 图18为本公开一实施例提供的一种栅极驱动电路的信号时序图,该信号时序图为图17中所示的栅极驱动电路20的时序,该栅极驱动电路20中的移位寄存器单元为图7中所示的移位寄存器单元10。栅极驱动电路20的工作原理可参考本公开的实施例中对于移位寄存器单元10的相应描述,这里不再赘述。

[0153] 移位寄存器单元10在显示时段逐行输出,直至最后一行输出后完成一帧的显示。在消隐时段,第n级移位寄存器单元10的移位信号输出端CR输出高电平信号(移位信号输出端CR与像素信号输出端Out的输出信号相同),该高电平信号作为第n+1级移位寄存器单元10的消隐输入信号输入到消隐输入信号端STU1,以对第n+1级移位寄存器单元10的上拉控制节点H充电,使第n+1级移位寄存器单元10的移位信号输出端CR在下一帧的消隐时段输出高电平信号。

[0154] 奇数行的移位寄存器单元10的第二时钟信号端CLKB和第五子时钟信号线CLK_5连接,偶数行的移位寄存器单元10的第二时钟信号端CLKB和第六子时钟信号线CLK_6连接。参考图18,第五子时钟信号CLK_5和第六子时钟信号CLK_6在每一帧的消隐时段的末段交替为高电平,从而向奇数行和偶数行的移位寄存器单元10的第二时钟信号端CLKB交替输入高电平,以交替对奇数行和偶数行的移位寄存器单元10的上拉控制节点H和上拉节点Q进行复位。在第n行移位寄存器单元10的第二时钟信号端CLKB为高电平时,第n+1行移位寄存器单元10的第三时钟信号端CLKC为高电平,此时第一时钟信号端CLKA为低电平,使第六晶体管M6截止,使得第n+1行移位寄存器单元10的上拉节点Q不会因为第三时钟信号端CLKC的高电平而误写入高电平进而产生异常输出。

[0155] 参考图18,第一子时钟信号CLK_1、第二子时钟信号CLK_2、第三子时钟信号CLK_3和第四子时钟信号CLK_4在一帧的显示时段内的波形依次重叠有效脉宽的50%,在各帧的消隐时段内的波形依次移位。第一至第四级移位寄存器单元A1-A4的像素信号输出端Out的

输出信号Out<1>、Out<2>、Out<3>和Out<4>在一帧的显示时段内的波形依次重叠有效脉宽的50%，在各帧的消隐时段内的波形依次移位。该栅极驱动电路20在显示时段内的输出信号有重叠，因此可以实现预充电功能，可缩短像素电路的充电时间，有利于实现高刷新率。

[0156] 需要说明的是，本公开的各实施例中，栅极驱动电路20不局限于图17中描述的级联方式，可以为任意适用的级联方式。当级联方式或时钟信号改变时，第一至第四级移位寄存器单元A1-A4的像素信号输出端Out的输出信号Out<1>、Out<2>、Out<3>和Out<4>在显示时段内的波形重叠部分也会相应变化，例如重叠33%或0%（即不重叠），以满足多种应用需求。

[0157] 图19为本公开一实施例提供的另一种栅极驱动电路的信号时序图，该信号时序图为图17中所示的栅极驱动电路20的时序，该栅极驱动电路20中的移位寄存器单元为图14中所示的移位寄存器单元10。栅极驱动电路20的工作原理可参考前述内容，此处不再赘述。

[0158] 该栅极驱动电路20还包括第八子时钟信号线CLK_8、第九子时钟信号线CLK_9、第十子时钟信号线CLK_10和第十一子时钟信号线CLK_11（图17中未示出）。第4n-3级移位寄存器单元（例如，第一级移位寄存器单元A1）的第五时钟信号端CLKE和第八子时钟信号线CLK_8连接，第4n-2级移位寄存器单元（例如，第二级移位寄存器单元A2）的第五时钟信号端CLKE和第九子时钟信号线CLK_9连接，第4n-1级移位寄存器单元（例如，第三级移位寄存器单元A3）的第五时钟信号端CLKE和第十子时钟信号线CLK_10连接，第4n级移位寄存器单元（例如，第四级移位寄存器单元A4）的第五时钟信号端CLKE和第十一子时钟信号线CLK_11连接。这里，n为大于0的整数。

[0159] 第一至第四级移位寄存器单元A1-A4的第二像素信号输出端Out2的输出信号Out2<1>、Out2<2>、Out2<3>和Out2<4>在一帧的显示时段内的波形与第一像素信号输出端Out1的输出信号Out1<1>、Out1<2>、Out1<3>和Out1<4>的波形相同，在各帧的消隐时段内依次移位且与第一像素信号输出端Out1的输出信号Out1<1>、Out1<2>、Out1<3>和Out1<4>的波形不同，以满足多种应用需求。

[0160] 本公开至少一实施例还提供一种显示装置。该显示装置包括本公开任一实施例所述的栅极驱动电路。该显示装置中的栅极驱动电路的电路结构简单，可防止晶体管阈值电压漂移后影响输出信号，增强了电路的信赖性。

[0161] 图20为本公开一实施例提供的一种显示装置的示意框图。参考图20，显示装置30包括栅极驱动电路20，栅极驱动电路20为本公开任一实施例所述的栅极驱动电路。例如，显示装置30可以为OLED显示面板、OLED电视、OLED显示器等，也可以为其他适用的具有显示功能的产品或部件，本公开的实施例对此不作限制。显示装置30的技术效果可以参考上述实施例中关于移位寄存器单元10和栅极驱动电路20的相应描述，这里不再赘述。

[0162] 例如，在一个示例中，显示装置30包括显示面板3000、栅极驱动器3010、定时控制器3020和数据驱动器3030。显示面板3000包括根据多条扫描线GL和多条数据线DL交叉限定的多个像素单元P；栅极驱动器3010用于驱动多条扫描线GL；数据驱动器3030用于驱动多条数据线DL；定时控制器3020用于处理从显示装置30外部输入的图像数据RGB，向数据驱动器3030提供处理的图像数据RGB以及向栅极驱动器3010和数据驱动器3030输出扫描控制信号GCS和数据控制信号DCS，以对栅极驱动器3010和数据驱动器3030进行控制。

[0163] 例如，栅极驱动器3010包括上述任一实施例中提供的栅极驱动电路20。栅极驱动

电路20中的多个移位寄存器单元10的像素信号输出端Out与多条扫描线GL对应连接。多条扫描线GL与排列为多行的像素单元P对应连接。栅极驱动电路20中的各级移位寄存器单元10的像素信号输出端Out依序输出信号到多条扫描线GL,以使显示面板3000中的多行像素单元P在显示时段实现逐行扫描,并在消隐时段实现补偿检测。例如,栅极驱动器3010可以实现为半导体芯片,也可以集成在显示面板3000中以构成GOA电路。

[0164] 例如,数据驱动器3030使用参考伽玛电压根据源自定时控制器3020的多个数据控制信号DCS将从定时控制器3020输入的数字图像数据RGB转换成数据信号。数据驱动器3030向多条数据线DL提供转换的数据信号。例如,数据驱动器3030可以实现为半导体芯片。

[0165] 例如,定时控制器3020对外部输入的图像数据RGB进行处理以匹配显示面板3000的大小和分辨率,然后向数据驱动器3030提供处理后的图像数据。定时控制器3020使用从显示装置30外部输入的同步信号(例如点时钟DCLK、数据使能信号DE、水平同步信号Hsync以及垂直同步信号Vsync)产生多条扫描控制信号GCS和多条数据控制信号DCS。定时控制器3020分别向栅极驱动器3010和数据驱动器3030提供产生的扫描控制信号GCS和数据控制信号DCS,以用于栅极驱动器3010和数据驱动器3030的控制。

[0166] 该显示装置30还可以包括其他部件,例如信号解码电路、电压转换电路等,这些部件例如可以采用已有的常规部件,这里不再详述。

[0167] 本公开至少一实施例还提供一种移位寄存器单元的驱动方法,可以用于驱动本公开任一实施例提供的移位寄存器单元。利用该驱动方法,可防止晶体管阈值电压漂移后影响输出信号,增强电路的信赖性。

[0168] 例如,在一个示例中,该移位寄存器单元10的驱动方法包括如下操作:

[0169] 在一帧(即一帧画面)的显示时段,包括:

[0170] 第一上拉阶段,显示输入电路200响应于显示输入信号将显示上拉信号输入到上拉节点Q;

[0171] 第一输出阶段,输出电路300在上拉节点Q的电平的控制下,将复合输出信号输出至输出端Out;

[0172] 在一帧的消隐时段,包括:

[0173] 第二上拉阶段,消隐输入电路100根据消隐输入信号将消隐上拉信号输入到上拉节点Q,第二下拉控制电路600响应于消隐下拉控制信号对下拉节点QB的电平进行控制;

[0174] 第二输出阶段,输出电路300在上拉节点Q的电平的控制下,将复合输出信号输出至输出端Out。

[0175] 例如,在另一个示例中,在移位寄存器单元10包括第三下拉控制电路700的情形下,该移位寄存器单元10的驱动方法的第一上拉阶段还包括:

[0176] 第三下拉控制电路700响应于显示下拉控制信号对下拉节点QB的电平进行控制。

[0177] 需要说明的是,关于该驱动方法的详细描述以及技术效果可以参考本公开的实施例中对于移位寄存器单元10和栅极驱动电路20的相应描述,这里不再赘述。

[0178] 有以下几点需要说明:

[0179] (1) 本公开实施例附图只涉及到本公开实施例涉及到的结构,其他结构可参考通常设计。

[0180] (2) 在不冲突的情况下,本公开的实施例及实施例中的特征可以相互组合以得到

新的实施例。

[0181] 以上所述,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,本公开的保护范围应以所述权利要求的保护范围为准。

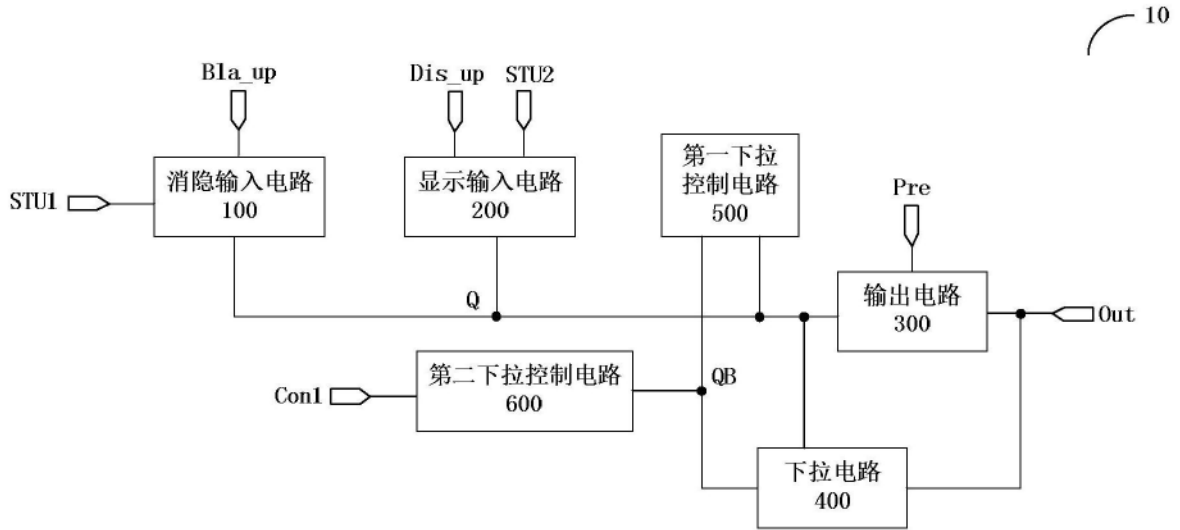


图1

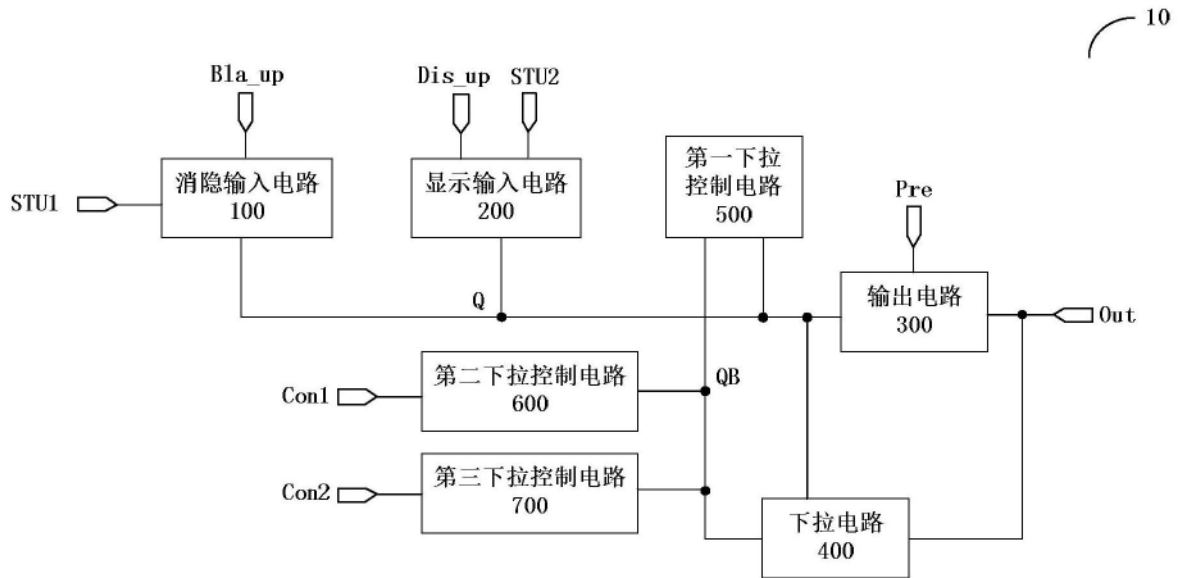


图2

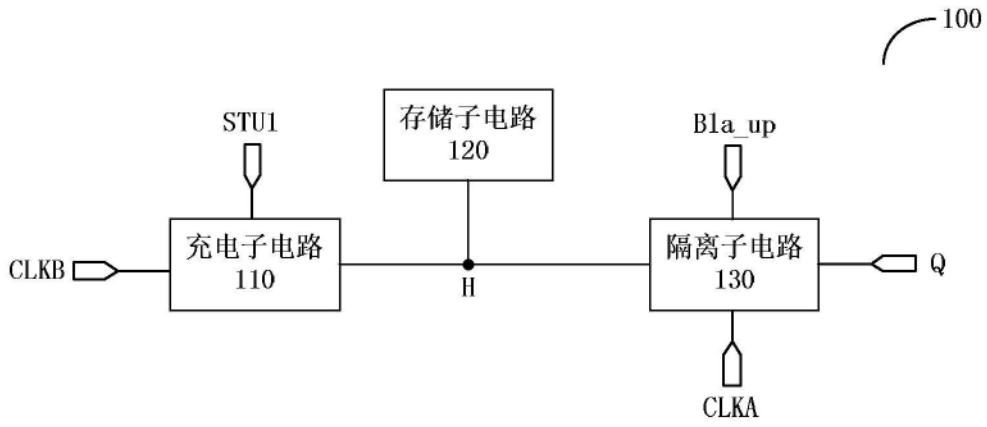


图3

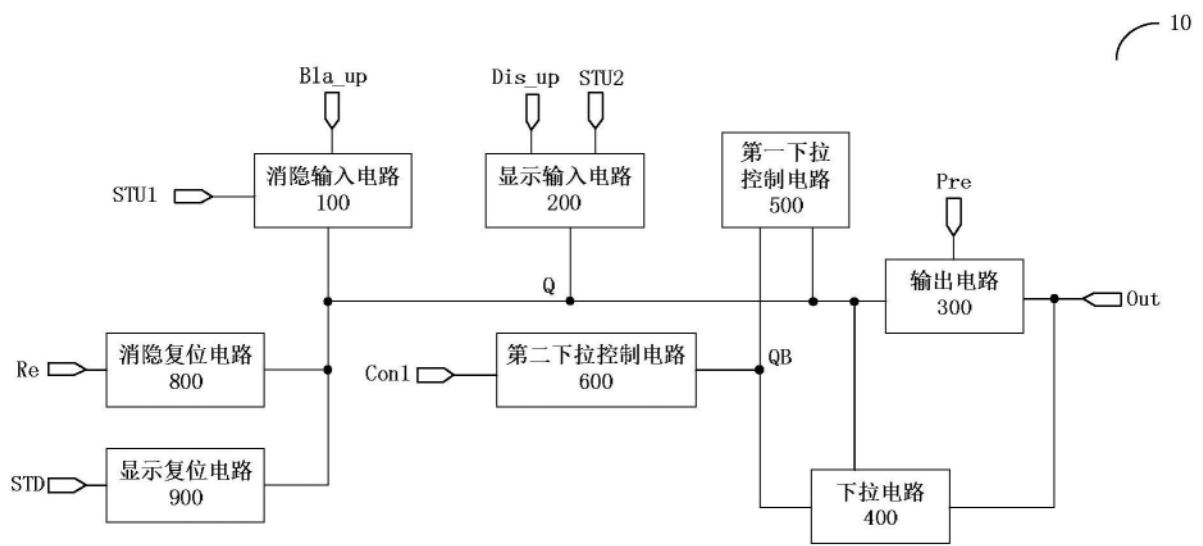


图4A

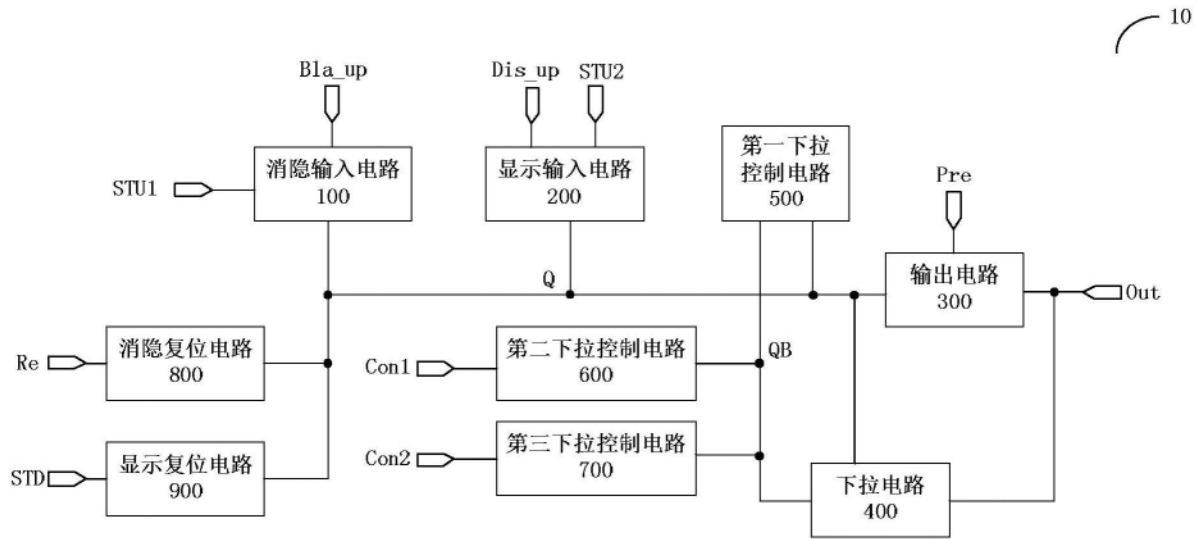


图4B

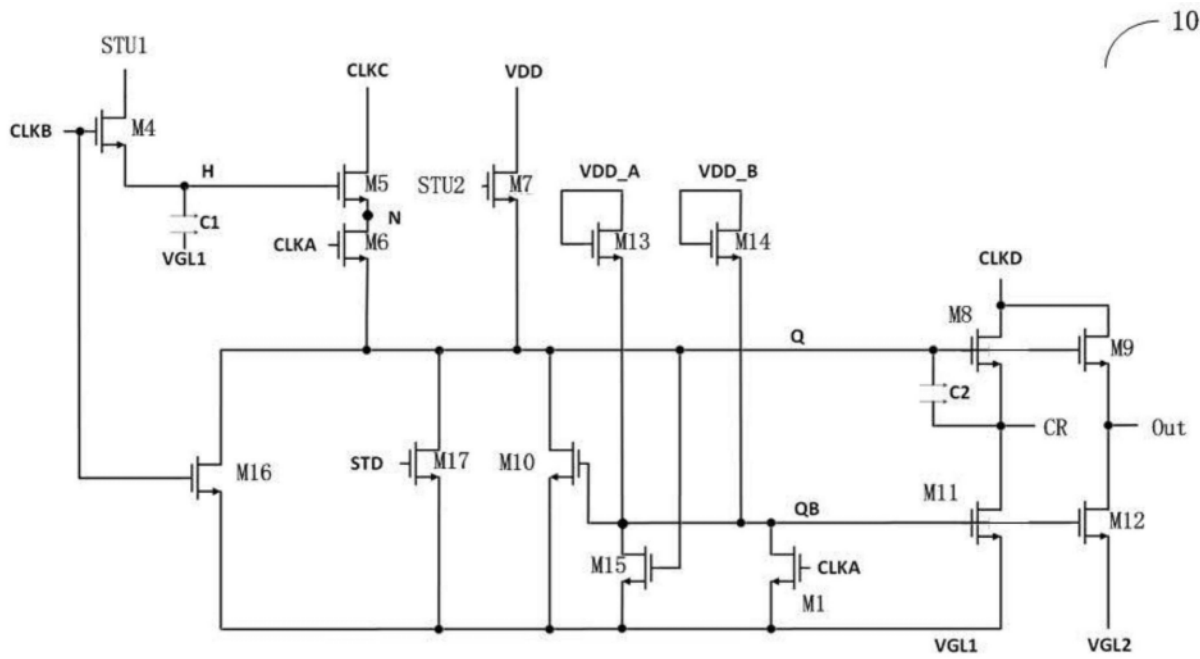


图5

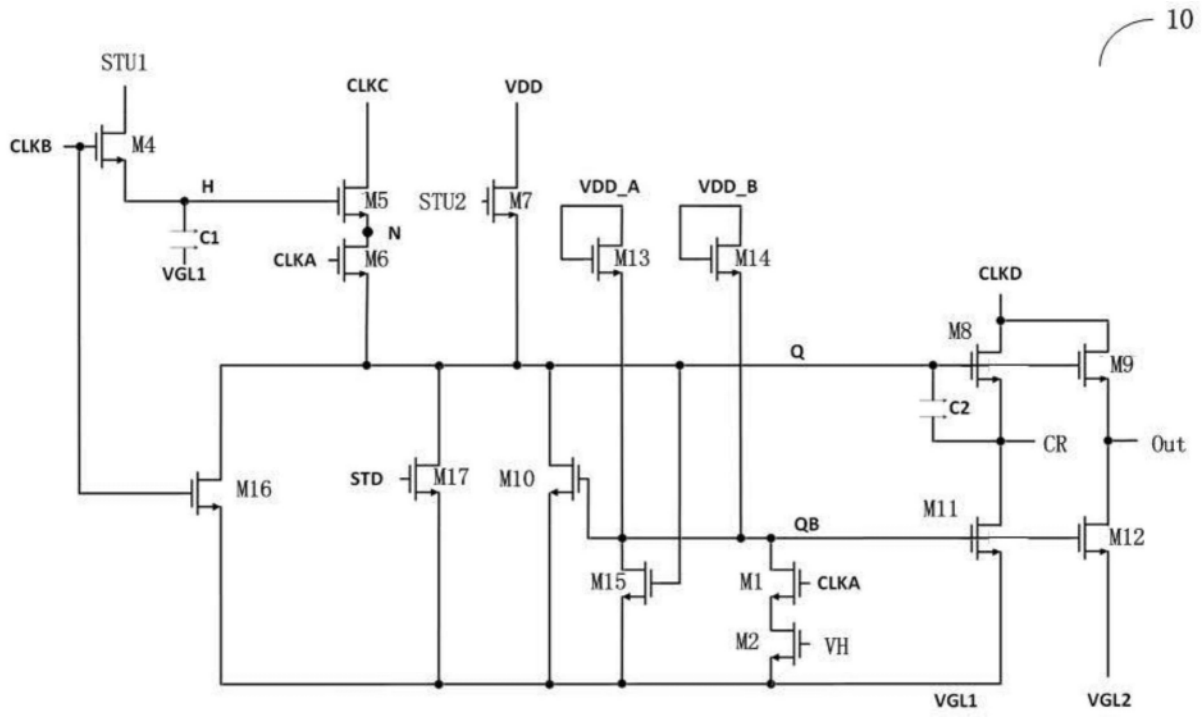


图6

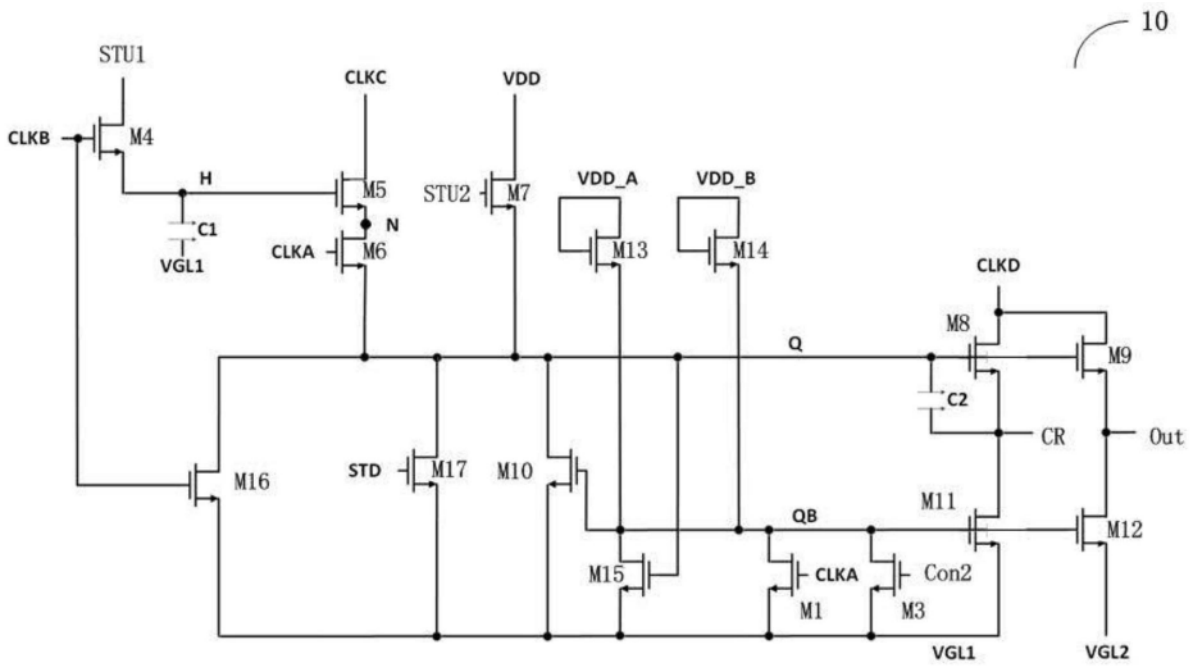


图7

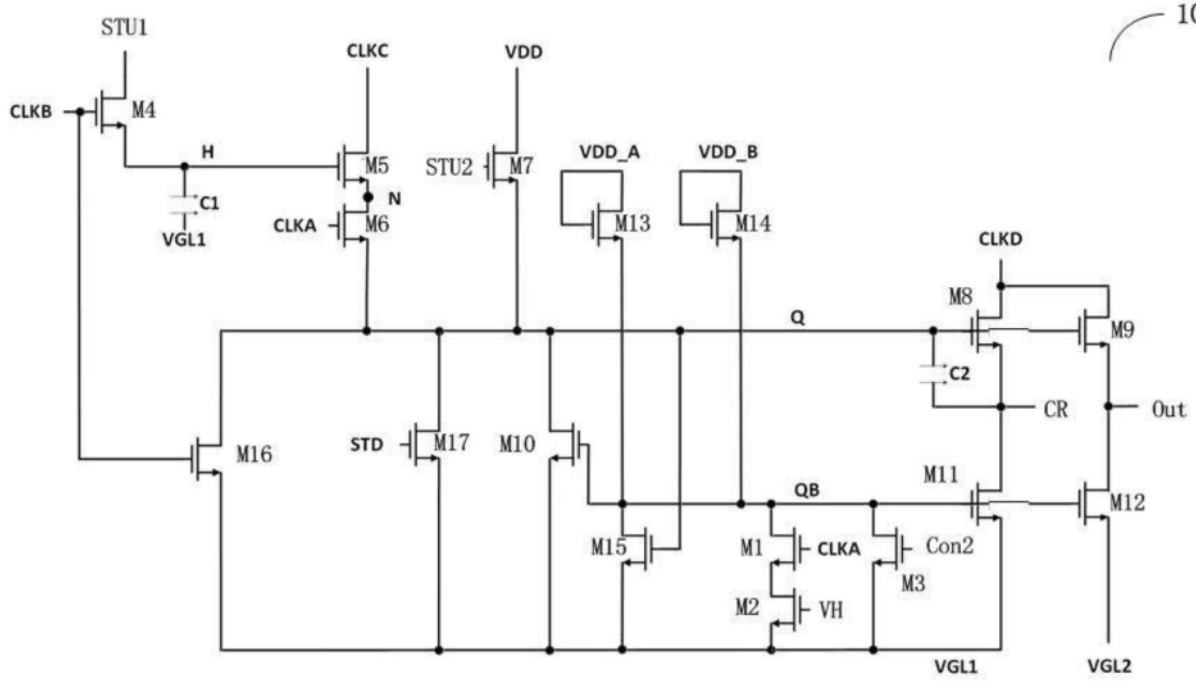


图8

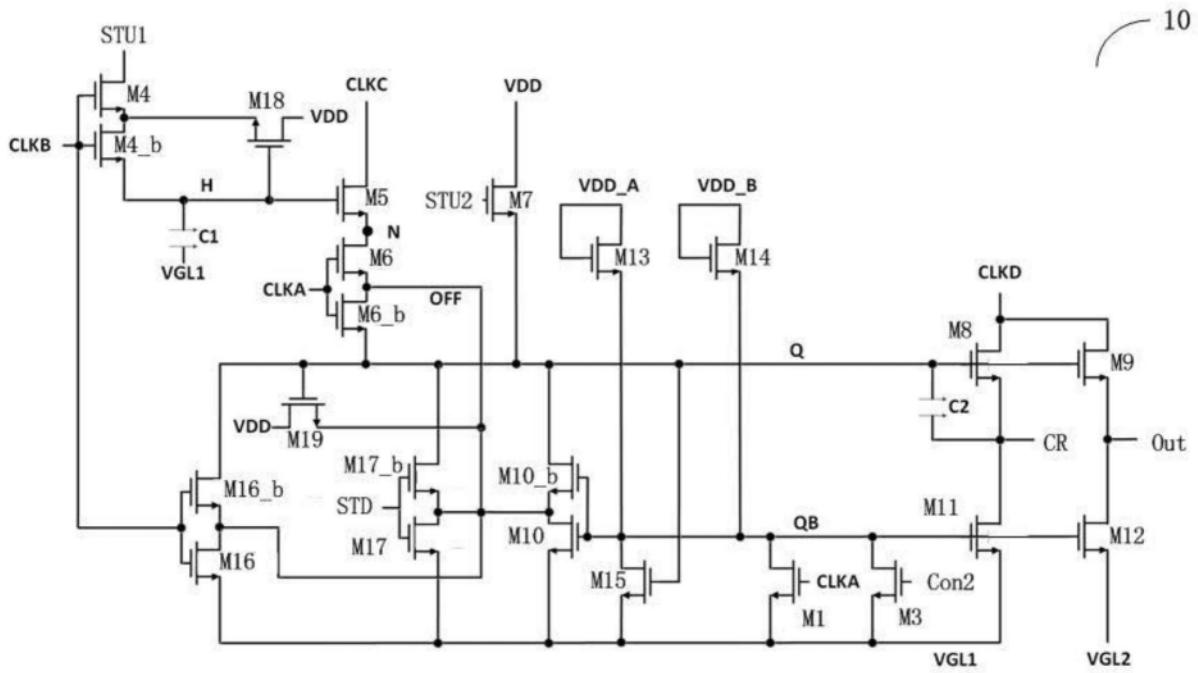


图9

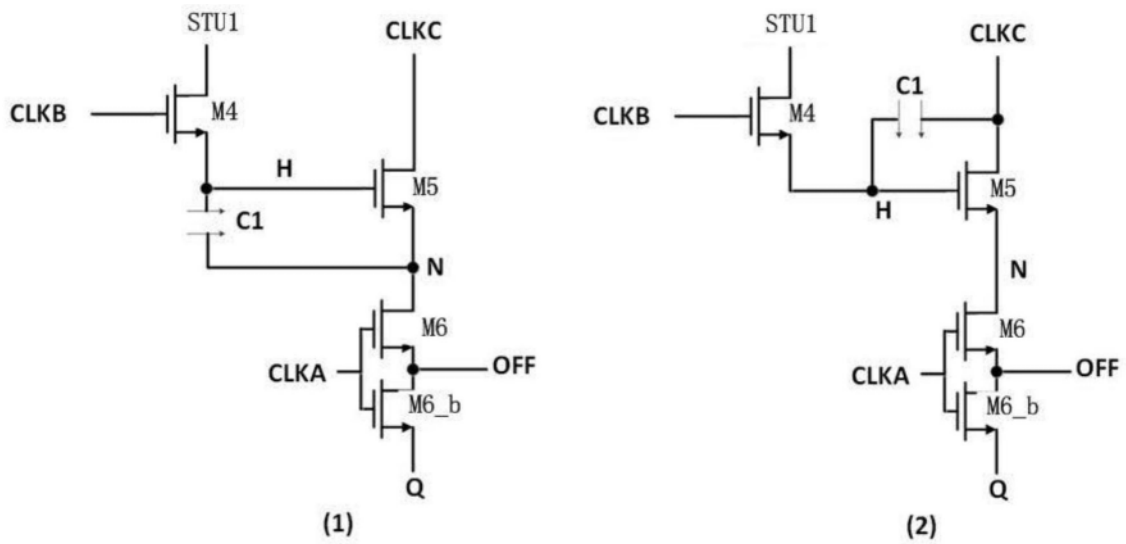


图10

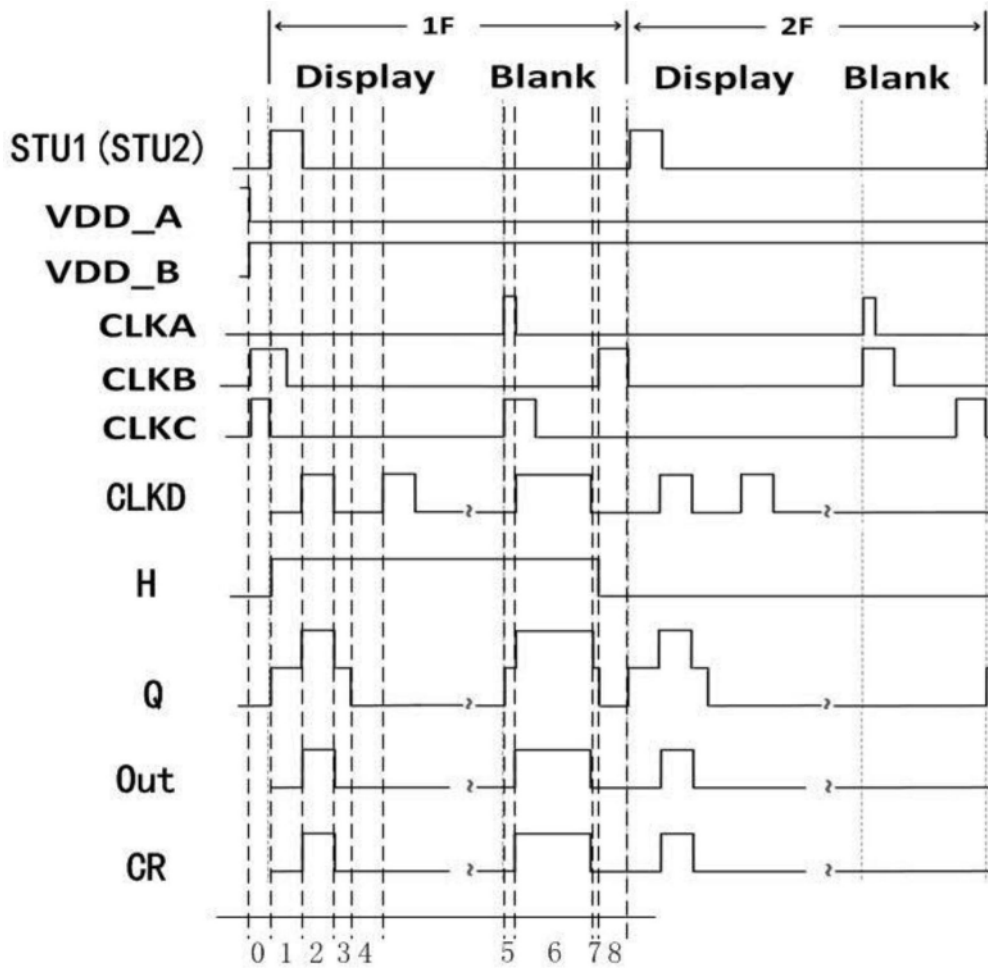


图11

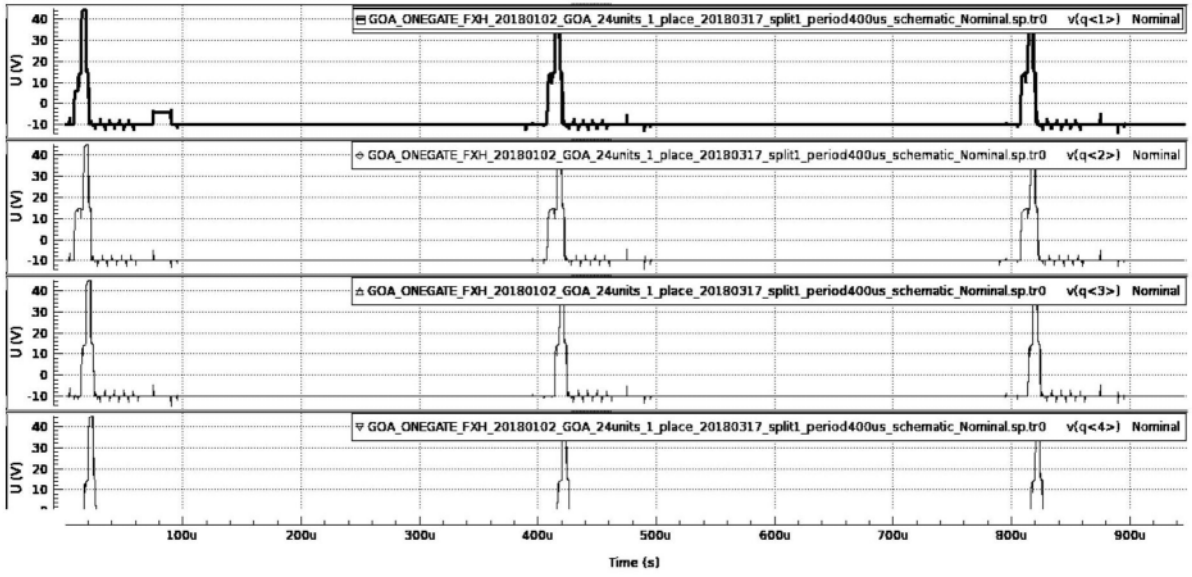


图12

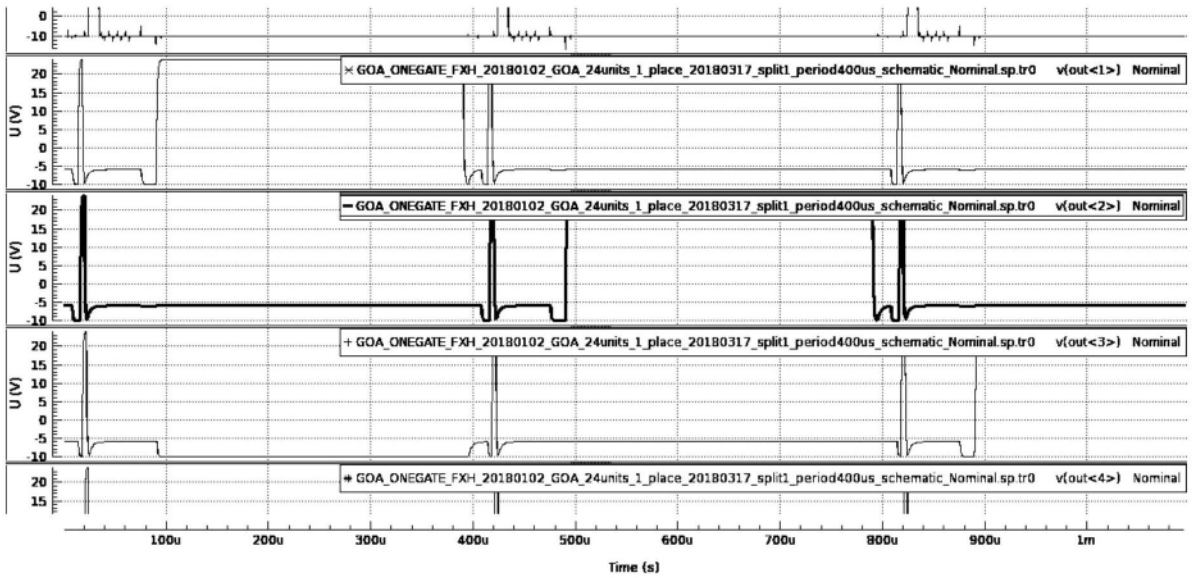


图13

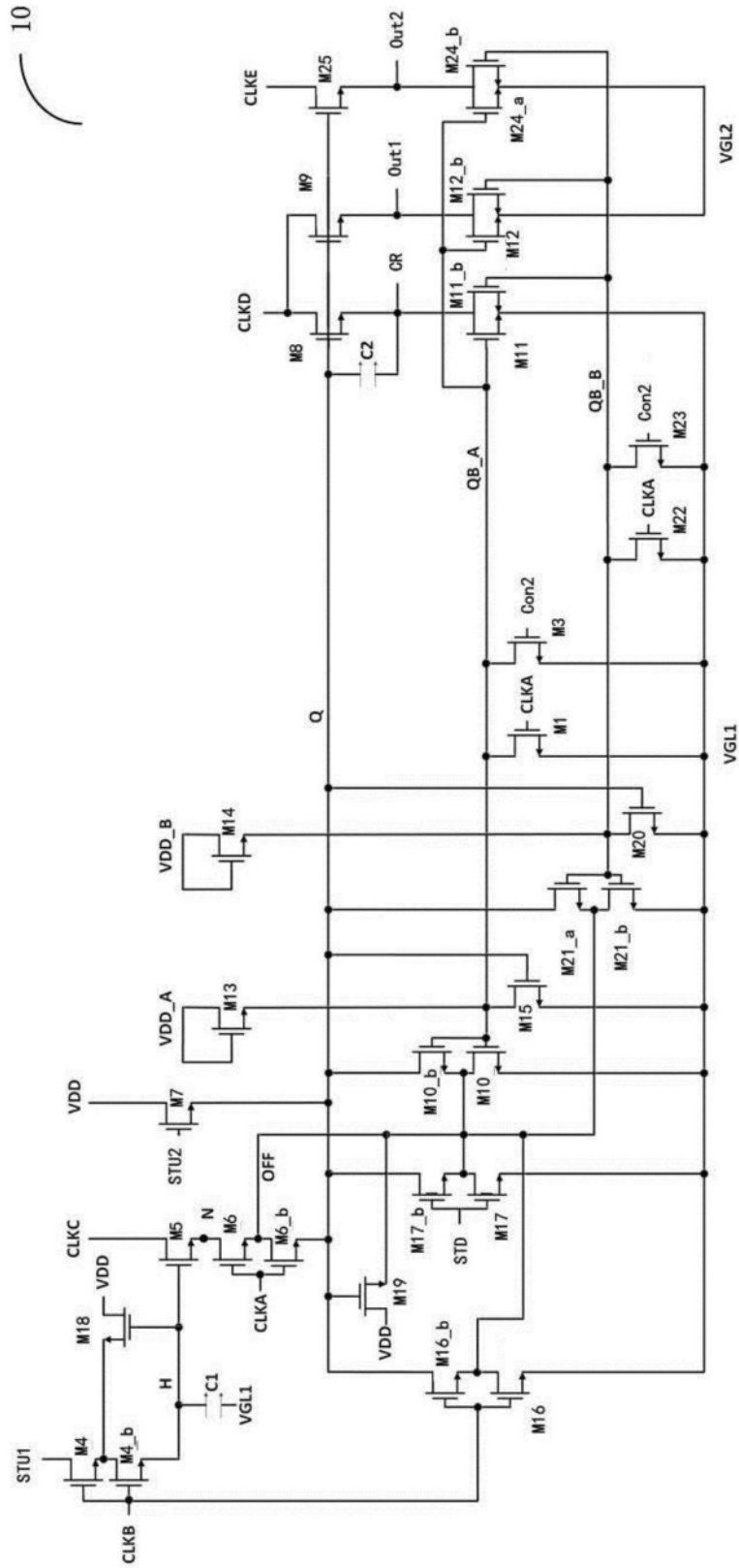


图14

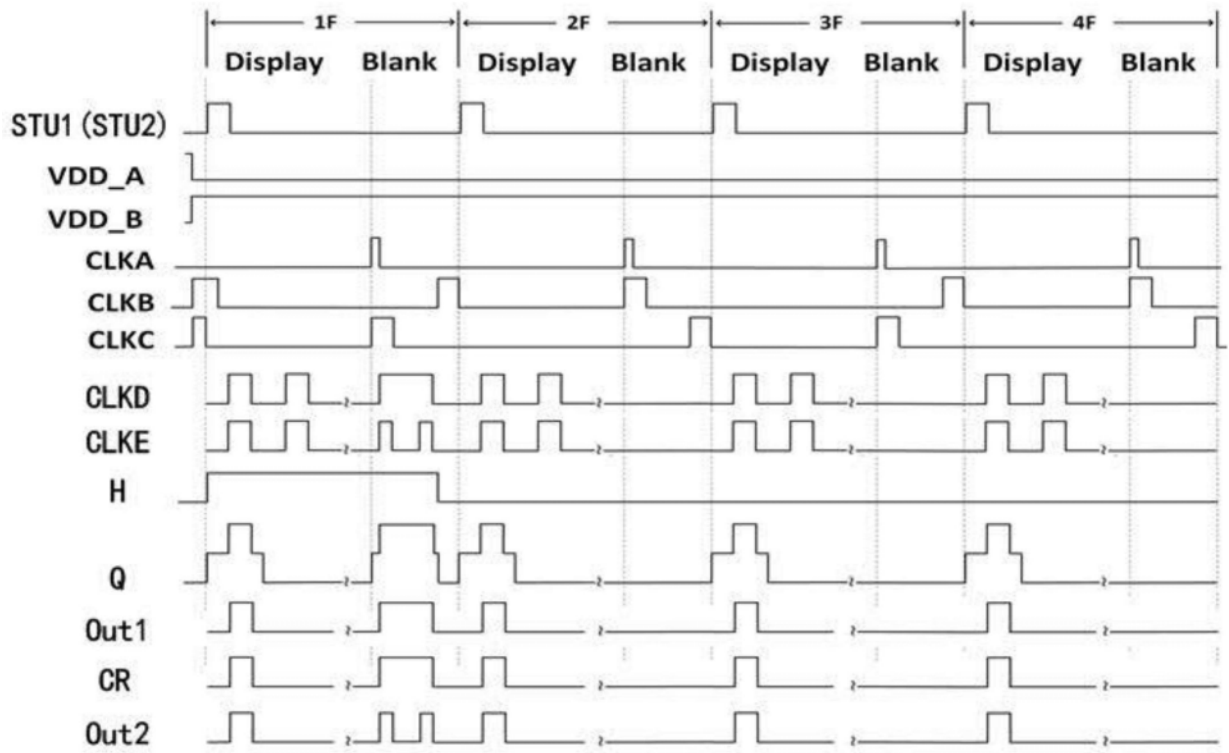


图15

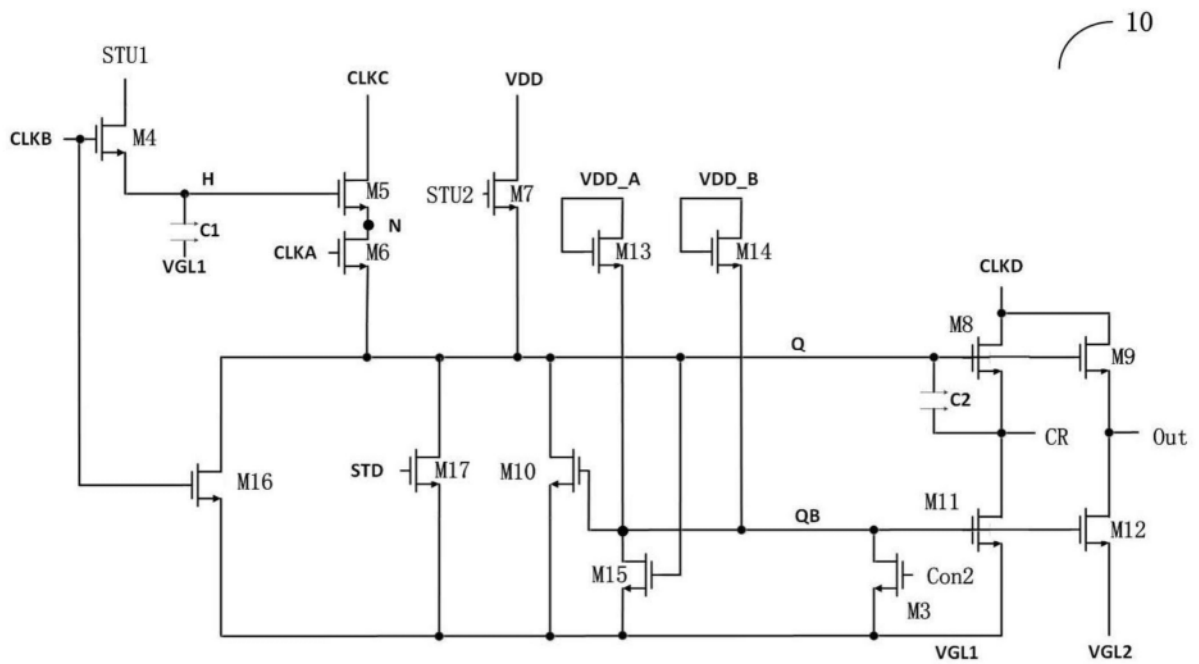
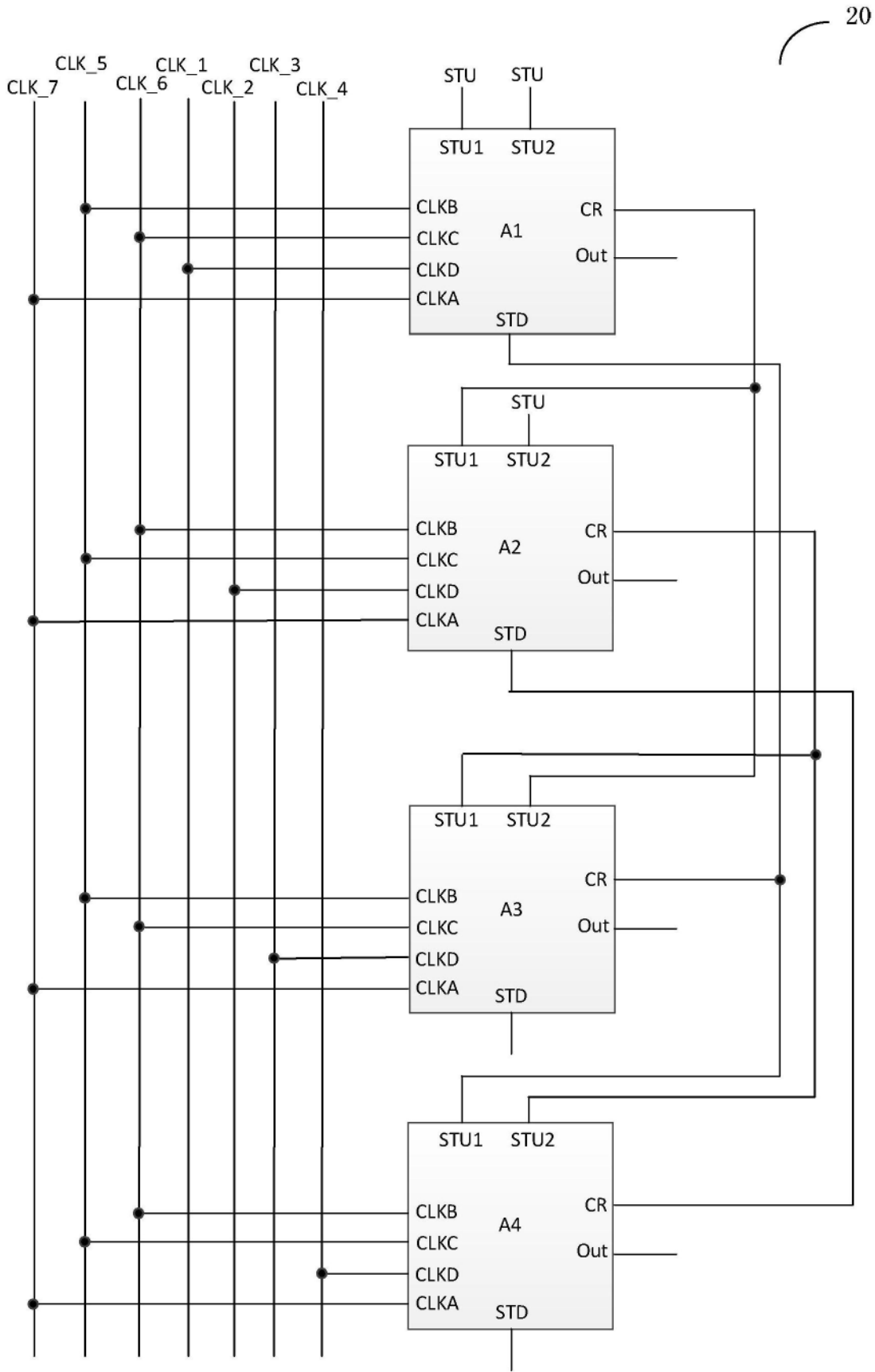


图16



20

图17

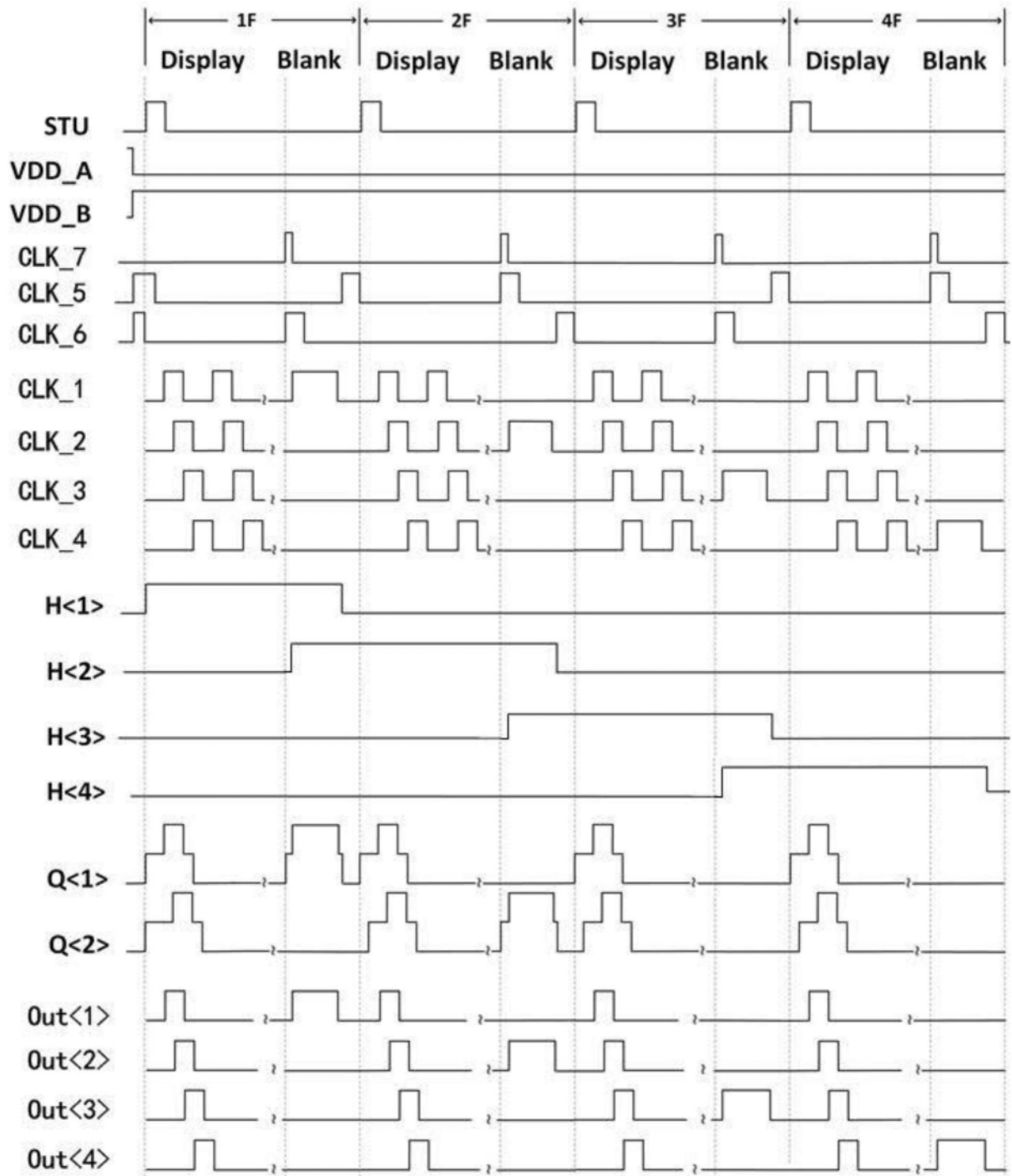


图18

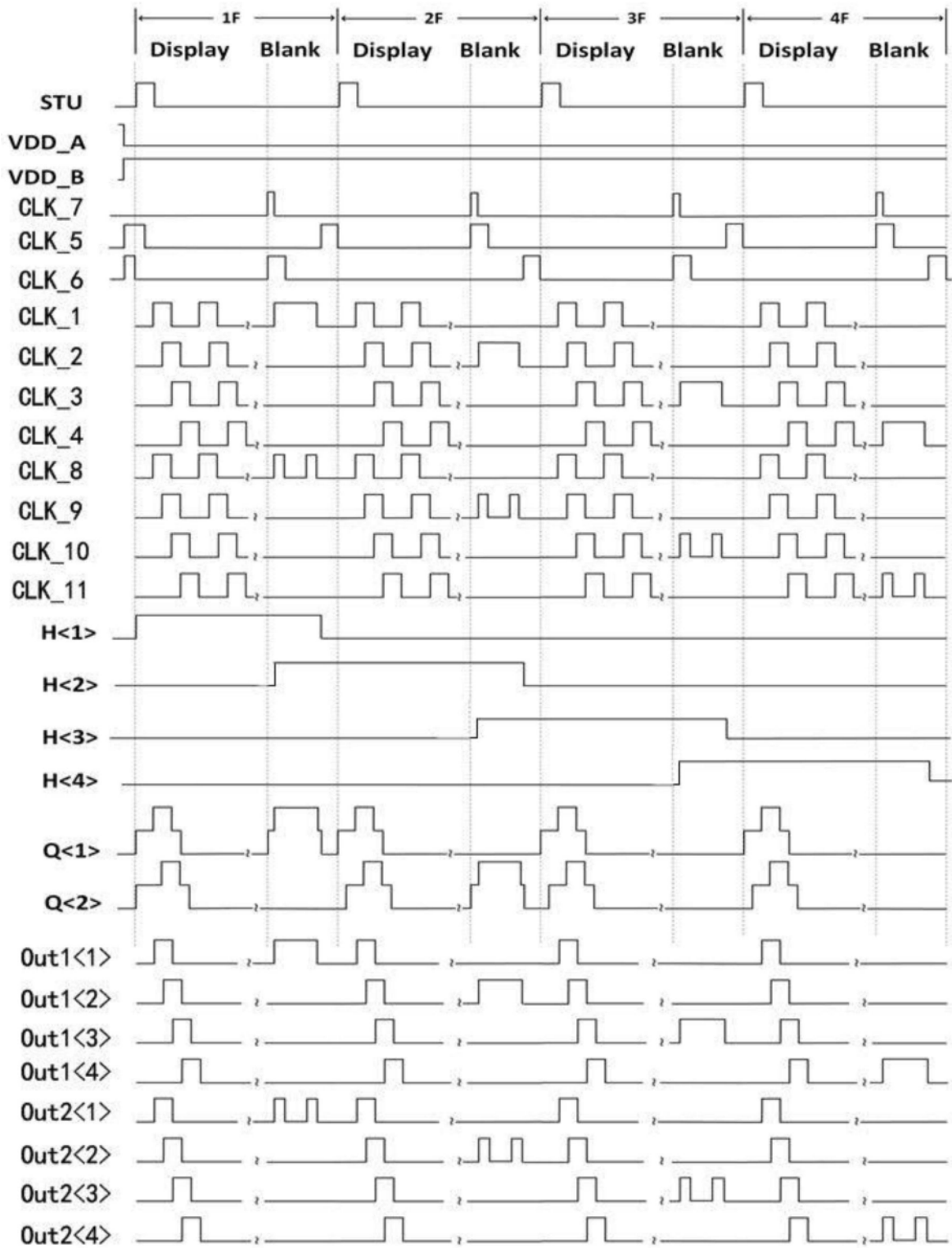


图19

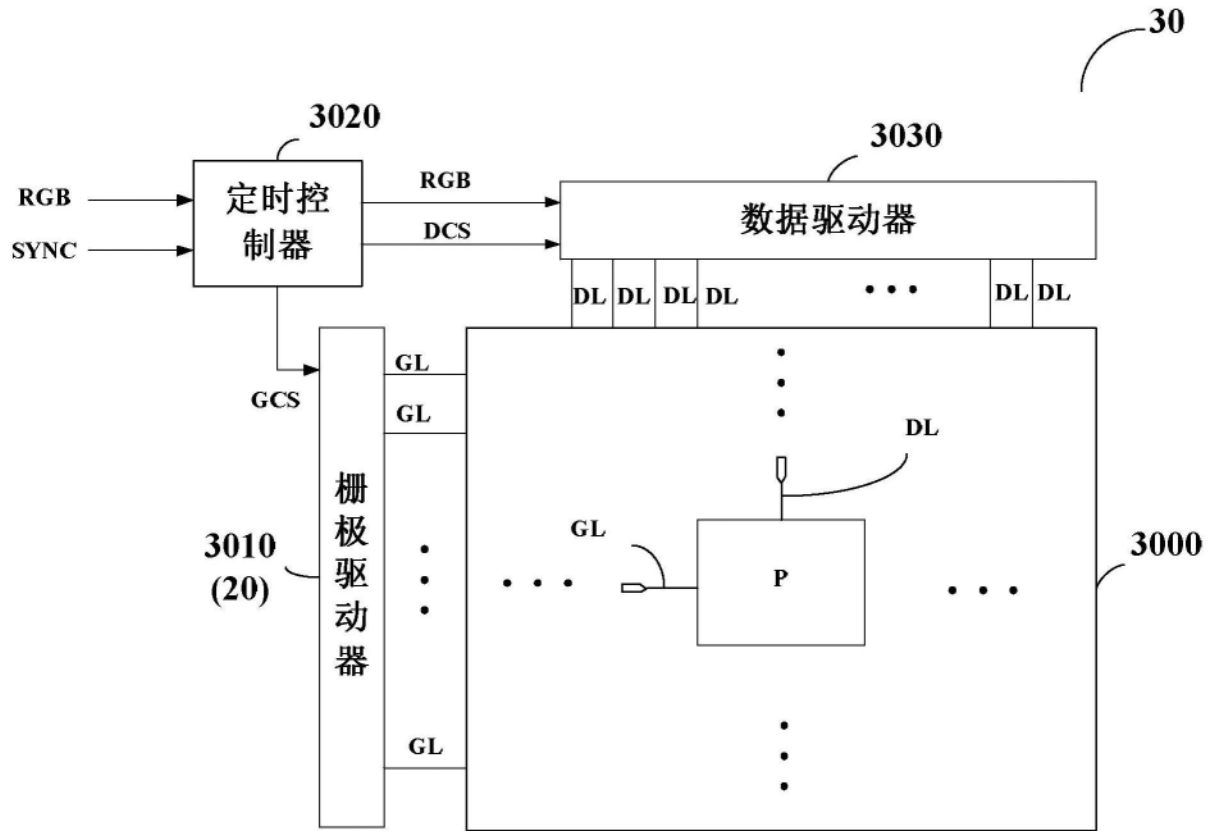


图20