



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0015140  
(43) 공개일자 2016년02월12일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1343 (2006.01)  
(52) CPC특허분류(Coo. Cl.)  
G02F 1/134363 (2013.01)  
G02F 2001/134372 (2013.01)  
(21) 출원번호 10-2015-0033793  
(22) 출원일자 2015년03월11일  
심사청구일자 2015년03월11일  
(30) 우선권주장  
103126098 2014년07월30일 대만(TW)

(71) 출원인  
이노릭스 코퍼레이션  
중화민국 타이완 미아오리 카운티 350 주난 신주  
사이언스 파크 주난 사이트 캐슈 로드 넘버 160  
(72) 발명자  
슈-바이 리우  
중화민국 타이완 미아오리 카운티 350 주난 신주  
사이언스 파크 주난 사이트 캐슈 로드 넘버 160  
시에-평 창  
중화민국 타이완 미아오리 카운티 350 주난 신주  
사이언스 파크 주난 사이트 캐슈 로드 넘버 160  
(뒷면에 계속)  
(74) 대리인  
김경희

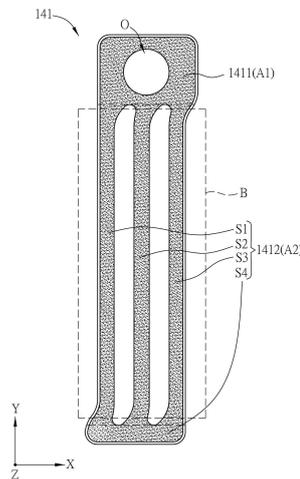
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 디스플레이 패널 및 디스플레이 장치

(57) 요약

본 발명은 디스플레이 패널 및 디스플레이 장치를 개시한다. 상기 디스플레이 패널은 제1 기관, 상기 제1 기관에 대향하게 배치된 제2 기관, 및 화소 어레이를 포함한다. 상기 화소 어레이는 상기 제1 기관 상에 배치되고 또 적어도 화소를 포함한다. 상기 화소는 제1 전극층을 갖는다. 상기 제1 전극층은 보조 전극부 및 상기 보조 전극부에 연결되는 구동 전극부를 갖는다. 상기 구동 전극부는 서로 이격되어 있고 또 제1 방향을 따라 배열된 복수의 스트립 전극을 갖는다. 상기 보조 전극부의 면적은 A1으로 표시된다. 상기 화소는 광이 화소를 통하여 통과할 때 발광 대역을 갖는다. 상기 발광 대역의 면적은 B로 표시된다. A1 및 B는 다음 방정식:  $0.11xB \leq A1 \leq 0.27xB$ 를 만족하고, 또 A1 및 B의 단위는 동일하다.

대표도 - 도1b



(72) 발명자

**잉-치에 차이**

중화민국 타이완 미아오리 카운티 350 주난 신추  
사이언스 파크 주난 사이트 케슈 로드 넘버 160

**이-칭 첸**

중화민국 타이완 미아오리 카운티 350 주난 신추  
사이언스 파크 주난 사이트 케슈 로드 넘버 160

**차오-시양 왕**

중화민국 타이완 미아오리 카운티 350 주난 신추  
사이언스 파크 주난 사이트 케슈 로드 넘버 160

**특허청구의 범위**

**청구항 1**

제1 기관;

상기 제1 기관과 대향하게 배치된 제2 기관; 및

상기 제1 기관과 제2 기관 사이에 배치되고, 제1 전극층을 포함하는 적어도 하나의 화소를 포함하는 화소 어레이를 포함하며,

상기 제1 전극층은 보조 전극부 및 상기 보조 전극부에 연결되는 구동 전극부를 포함하고, 상기 구동 전극부는 서로 이격되어 있고 제1 방향을 따라 배열된 복수의 스트립 전극을 가지며, 상기 보조 전극부의 면적은 A1으로 표시되고, 광이 화소를 통하여 통과할 때, 상기 화소는 B로 표시되는 영역을 갖는 발광 대역(light-emitting zone)을 갖고, A1 및 B는 다음 방정식:  $0.11xB \leq A1 \leq 0.27xB$ 를 만족하고, A1 및 B의 단위는 동일한, 디스플레이 패널.

**청구항 2**

제1항에 있어서, A1 및 B는 다음 부등식:  $0.13xB \leq A1 \leq 0.25xB$ 를 더 만족하는, 디스플레이 패널.

**청구항 3**

제1항에 있어서, 상기 발광 대역은 상기 제1 방향을 따라 제1 휘도 곡선을 갖고, 제2 방향을 따라 제2 휘도 곡선을 가지며, 상기 발광 대역의 면적 B는 상기 제2 방향을 따라 제2 휘도 곡선의 반치전폭(full width at half maximum: FWHM)이 곱해진 상기 제1 방향을 따른 상기 제1 휘도 곡선의 FWHM이고, 상기 제1 방향은 상기 제2 방향과 수직하는, 디스플레이 패널.

**청구항 4**

제1항에 있어서, 상기 보조 전극부는 적어도 하나의 관통공을 갖고, 상기 제1 전극층은 상기 관통공에 의해 박막 트랜지스터에 전기적으로 접속되는, 디스플레이 패널.

**청구항 5**

제1항에 있어서, 상기 구동 전극부는 상기 보조 전극부로부터 이격되어 배치되고 스트립 전극에 접속된 접속 전극을 더 포함하는, 디스플레이 패널.

**청구항 6**

제1 기관, 제2 기관 및 화소 어레이를 포함하는 디스플레이 패널을 포함하는 디스플레이 장치로서,

상기 제2 기관은 제1 기관과 대향하게 배치되고, 상기 화소 어레이는 상기 제1 기관과 제2 기관 사이에 배치되며 제1 전극층을 포함하는 적어도 하나의 화소를 포함하며, 상기 제1 전극층은 보조 전극부 및 상기 보조 전극부에 연결되는 구동 전극부를 포함하고, 상기 구동 전극부는 서로 이격되어 있고 제1 방향을 따라 배열된 복수의 스트립 전극을 가지며, 상기 보조 전극부의 면적은 A1으로 표시되고, 광이 화소를 통하여 통과할 때, 상기 화소는 B로 표시되는 영역을 갖는 발광 대역(light-emitting zone)을 갖고, A1 및 B는 다음 방정식:  $0.11xB \leq A1 \leq 0.27xB$ 를 만족하고, A1 및 B의 단위는 동일한, 디스플레이 장치.

**청구항 7**

제6항에 있어서, A1 및 B가 다음 부등식:  $0.13xB \leq A1 \leq 0.25xB$ 를 더 만족하는 디스플레이 장치.

**청구항 8**

제6항에 있어서, 상기 발광 대역은 상기 제1 방향을 따라 제1 휘도 곡선을 갖고, 제2 방향을 따라 제2 휘도 곡선을 가지며, 상기 발광 대역의 면적 B는 상기 제2 방향을 따라 제2 휘도 곡선의 반치전폭(full width at half maximum: FWHM)이 곱해진 상기 제1 방향을 따른 상기 제1 휘도 곡선의 FWHM이고, 상기 제1 방향은 상기 제2 방

향과 수직하는, 디스플레이 장치.

**청구항 9**

제6항에 있어서, 상기 보조 전극부는 적어도 하나의 관통공을 갖고, 상기 제1 전극층은 상기 관통공에 의해 박막 트랜지스터에 전기적으로 접속되는, 디스플레이 장치.

**청구항 10**

제6항에 있어서, 상기 구동 전극부는 상기 보조 전극부로부터 이격되어 배치되고 스트립 전극에 접속된 접속 전극을 더 포함하는, 디스플레이 장치.

**명세서**

**기술분야**

[0001] 본 발명은 디스플레이 패널 및 디스플레이 장치에 관한 것이고, 특히, 더 높은 투과율을 갖는 디스플레이 패널 및 디스플레이 장치에 관한 것이다.

**배경기술**

[0002] 기술이 진보함에 따라서, 평면 디스플레이 장치가 다양한 종류의 분야에서 널리 이용되고 있다. 특히, 콤팩트한 구조, 낮은 전력소비, 경량 및 적은 방사선과 같은 이점을 갖는 액정 디스플레이(LCD) 장치는 점점 음극선관(CRT) 디스플레이 장치를 대체하고 있고, 또 휴대전화, 휴대용 멀티미디어 장치, 노트북, LCD TV 및 LCD 스크린과 같은 다양한 전자 제품에 널리 적용되고 있다.

[0003] 통상의 LCD 장치는 주로 LCD 패널 및 상기 LCD 패널에 대하여 배치된 백라이트 모듈을 포함한다. 상기 LCD 패널은 박막 트랜지스터 (TFT) 기관, 컬러 필터(CF) 기관 및 상기 2개 기관 사이에 배치된 액정(LC)층을 주로 포함한다. 상기 CF 기관, TFT 기관 및 LC 층은 어레이(array)로 배치된 복수의 화소 단위를 형성할 수 있다. 상기 백라이트 모듈은 상기 LCD 패널을 통과하는 광을 방출할 수 있고, 또 상기 LCD 패널의 화소 단위는 컬러를 나타낼 수 있어 그에 따라 화상을 형성한다.

[0004] 동일 휘도의 경우, 더 높은 투과율을 갖는 디스플레이 패널이 디스플레이 장치에 대하여 더 많은 에너지를 절약할 수 있다. 따라서, 당해 산업은 더 많은 에너지를 절감하고 또 제품 경쟁력을 향상시키기 위하여 디스플레이 패널이 투과율을 증가시키기 위해 애쓰고 있다.

**발명의 내용**

[0005] 본 발명의 목적은 제품 경쟁력을 향상시키기 위하여 더 높은 투과율을 가질 수 있는 디스플레이 패널 및 디스플레이 장치를 제공하는 것이다.

[0006] 상기 목적을 달성하기 위하여, 본 발명에 따른 디스플레이 패널은 제1 기관, 제2 기관 및 화소 어레이를 포함한다. 상기 제2 기관은 상기 제1 기관과 대향하게 배치된다. 상기 화소 어레이는 상기 제1 기관 상에 배치되고 또 제1 전극층을 포함하는 화소를 적어도 포함한다. 상기 제1 전극층은 보조 전극부 및 상기 보조 전극부에 연결되는 구동 전극부를 포함한다. 상기 구동 전극부는 서로 이격되어 있고 또 제1 방향을 따라 배열된 복수의 스트립 전극을 갖는다. 상기 보조 전극부의 면적은 A1으로 표시되고, 광이 화소를 통하여 통과할 때, 상기 화소는 B로 표시되는 영역을 갖는 발광 대역(light-emitting zone)을 갖는다. A1 및 B는 다음 방정식:  $0.11xB \leq A1 \leq 0.27xB$  를 만족하고, 또 A1 및 B의 단위는 동일하다.

[0007] 상기 목적을 달성하기 위하여, 본 발명에 따른 디스플레이 장치는 디스플레이 패널을 포함한다. 상기 디스플레이 패널은 제1 기관, 제2 기관 및 화소 어레이를 포함한다. 상기 제2 기관은 상기 제1 기관과 대향하게 배치된다. 상기 화소 어레이는 상기 제1 기관 상에 배치되고 또 제1 전극층을 포함하는 화소를 적어도 포함한다. 상기 제1 전극층은 보조 전극부 및 상기 보조 전극부에 연결되는 구동 전극부를 갖는다. 상기 구동 전극부는 서로 이격되어 있고 또 제1 방향을 따라 배열된 복수의 스트립 전극을 갖는다. 상기 보조 전극부의 면적은 A1으로 표시되고, 광이 화소를 통하여 통과할 때, 상기 화소는 B로 표시되는 영역을 갖는 발광 대역을 갖는다. A1 및 B는 다음 방정식:  $0.11xB \leq A1 \leq 0.27xB$  를 만족하고, 또 A1 및 B의 단위는 동일하다.

[0008] 일 실시양태에서, A1 및 B는 또한 다음 부등식을 만족한다:  $0.13xB \leq A1 \leq 0.25xB$ .

- [0009] 일 실시양태에서, 상기 발광 대역은 상기 제1 방향을 따라 제1 휘도 곡선을 갖고, 또 상기 제2 방향을 따라 제2 휘도 곡선을 갖는다. 상기 발광 대역의 면적 B는 상기 제2 방향을 따라 제2 휘도 곡선의 반치전폭(full width at half maximum: FWHM)이 곱해진 상기 제1 방향을 따른 상기 제1 휘도 곡선의 FWHM이고, 또 상기 제1 방향은 상기 제2 방향과 수직한다.
- [0010] 일 실시양태에서, 상기 보조 전극부는 적어도 하나의 관통공을 갖고, 또 상기 제1 전극층은 상기 관통공에 의해 박막 트랜지스터에 전기적으로 접속된다.
- [0011] 일 실시양태에서, 상기 구동 전극부는 상기 보조 전극부로부터 이격되어 배치되고 또 상기 스트립 전극에 접속된 접속 전극을 더 포함한다.
- [0012] 상기 언급한 바와 같이, 본 발명의 디스플레이 패널 및 디스플레이 장치에서, 상기 화소의 제1 전극층의 구동 전극부는 제1 방향을 따라 서로 이격된 복수의 스트립 전극을 갖고, 또 상기 보조 전극부의 면적은 A1으로 표시되며. 광이 화소를 통하여 통과할 때, 상기 화소의 발광 대역의 면적은 B로 표시된다. A1 및 B는 다음 방정식:  $0.11xB \leq A1 \leq 0.27xB$  를 만족한다. 그러므로, 상기 보조 전극부의 면적 A1 및 상기 화소의 발광 대역의 면적 B가 상기 방정식을 만족할 때, 상기 디스플레이 패널 및 장치는 전기적 특성 및 광학 요건을 충족시킬 수 있으므로, 상기 화소의 투과율은 최대화된다. 따라서, 본 발명의 디스플레이 패널 및 장치는 더 높은 투과율을 가질 수 있고 또 제품 경쟁력이 향상될 수 있다.

**도면의 간단한 설명**

- [0013] 본 발명은 이하의 상세한 설명과 첨부한 도면으로부터 충분히 이해될 것이며, 이들은 예시적 목적으로 주어진 것이므로 본 발명을 제한하지 않는다.
  - 도 1a는 본 발명의 일 실시양태의 디스플레이 패널의 개략적 단면도이고;
  - 도 1b는 도 1a의 디스플레이 패널의 제1 전극층의 개략도이며;
  - 도 1c는 본 발명의 일 실시양태에서 광이 화소를 통하여 통과할 때 화소의 발광 대역의 개략도이고;
  - 도 1d 및 도 1e는 각기 상기 제1 방향을 따른 및 상기 제2 방향을 따른 화소의 발광 대역의 휘도 분포 곡선의 개략도이며;
  - 도 2는 충전오차와 용량성 커플링 전압의 합 및 상기 발광 대역의 면적에 대한 상기 보조 전극부의 면적비 간의 관계를 도시하는 개략도이고;
  - 도 3a 내지 도 3d는 본 발명의 상이한 실시양태의 제1 전극층의 개략도이고;
  - 도 4는 본 발명의 실시양태의 디스플레이 장치의 개략도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0014] 본 발명은 첨부한 도면을 참조하여 진행되는 이하의 상세한 설명으로부터 분명해질 것이며, 동일 참조 부호는 동일 요소에 관한 것이다.
- [0015] 도 1a는 본 발명의 일 실시양태의 디스플레이 패널(1)의 개략적 단면도이고, 또 도 1b는 디스플레이 패널(1)의 제1 전극층(141)의 개략도이다. 본 실시양태의 상기 디스플레이 패널(1)은, 비제한적으로, 예를 들어 프린지 필드 스위칭(FFS: fringe field switching) LCD 패널 또는 다른 종류의 수평 구동 LCD 패널이다. 이 실시양태에서, 제1 방향(X)(수평방향), 제2 방향(Y)(수직방향) 및 제3 방향(Z)이 도 1a 및 도 1b에 도시되어 있고, 또 이들의 2개는 서로에 대하여 수직한다. 상기 제1 방향(X)은 스캔 라인의 연장 방향에 실질적으로 평행할 수 있고, 상기 제2 방향(Y)은 데이터 라인의 연장 방향에 실질적으로 평행할 수 있으며, 또 상기 제3 방향(Z)은 상기 제1 및 제2 방향(X, Y)에 수직한다.
- [0016] 상기 디스플레이 패널(1)은 제1 기관(11), 제2 기관(12) 및 액정층(13)을 포함한다. 상기 제1 기관(11) 및 제2 기관(12)은 서로 대향하게 배치되고 또 상기 액정층(13)은 상기 제1 기관(11)과 제2 기관(12) 사이에 배치된다. 상기 제1 기관(11) 및 제2 기관(12)은 투명 물질, 예컨대 비제한적으로, 글래스 기관, 석영 기관 또는 플라스틱 기관으로 제조된다. 상기 디스플레이 패널(1)은 상기 제1 기관(11) 상에 배치된 화소 어레이를 더 포함한다. 상기 화소 어레이는 적어도 하나의 화소(또는 소위 서브-화소)(P)를 포함하고, 또 본 실시양태의 디스플레이 패널(1)에는 복수의 화소(P)가 존재한다. 상기 화소(P)는 상기 제1 기관(11)과 제2 기관(12) 사이에 배치되고 또 매

트릭스로 배열된다. 또한, 본 실시양태의 디스플레이 패널(1)은 복수의 스캔 라인(도시되지 않음) 및 복수의 데이터 라인(D)을 더 포함할 수 있다. 상기 스캔 라인 및 데이터 라인(D)은 서로 교차하고 또 서로에 대하여 수직하여 화소 어레이의 영역을 형성한다.

[0017] 상기 화소(P)는 제1 전극층(141), 절연층(142) 및 제2 전극층(143)을 포함한다. 이 실시양태에서, 상기 제2 전극층(143), 절연층(142) 및 제1 전극층(141)은 상기 제1 기판(11)의 측면 상에 순차적으로 배치된다. 상기 데이터 라인(D)은 상기 제1 기판(11) 상에 배치된다. 상기 화소(P)는 상기 데이터 라인(D)을 덮는 다른 절연층(145)을 더 포함할 수 있고, 또 상기 제2 전극층(143)은 상기 다른 절연층(145) 상에 배치된다. 상기 절연층(142)은 상기 제2 전극층(143)을 덮고 또 상기 제1 전극층(141)은 상기 절연층(142) 상에 배치된다. 따라서, 상기 제2 전극층(143)은 상기 절연층(142)과 다른 절연층(145) 사이에 배치되고, 또 상기 제2 전극층(143), 상기 데이터 라인(D) 및 상기 제1 전극층(141)은 서로 단락(short-circuited)되지 않을 것이다. 상기 절연층(142)과 다른 절연층(145)의 재료는 예를 들어 SiO<sub>x</sub>, SiN<sub>x</sub> 또는 기타 절연 물질을 포함할 수 있지만, 본 발명은 이들에 한정되지 않는다. 또한, 상기 제1 전극층(141) 및 상기 제2 전극층(143)은 투명 도전층이고, 또 그의 재료는 예를 들어 비제한적으로, 인듐-주석 산화물(ITO) 또는 인듐-아연 산화물(IZO)이다. 이 실시양태에서, 상기 제1 전극층(141)은 화소전극인 상기 데이터 라인(D)에 전기적으로 접속되고, 또 상기 제2 전극층(143)은 공통 전극이다. 그러나, 다른 실시양태에서, 상기 제1 전극층(141)은 공통 전극일 수 있는 반면에, 상기 제2 전극층(143)은 화소 전극일 수 있다.

[0018] 상기 디스플레이 패널(1)은 블랙 매트릭스(BM) 및 컬러 필터층(도시되지 않음)을 더 포함할 수 있다. 상기 블랙 매트릭스(BM)는 상기 제1 기판(11) 또는 제2 기판(12)에 배치되고 또 상기 데이터 라인(D)에 상응한다. 상기 블랙 매트릭스(BM)는 금속(예를 들어 Cr, 산화 크롬, 또는 Cr-O-N 화합물) 또는 수지와 같은 불투명 물질로 제조된다. 이 실시양태에서, 상기 블랙 매트릭스(BM)는 상기 제2 기판(12) 상에 배치되고 또 상기 제1 기판(11)과 면하여 상기 제3 방향(Z)을 따라 상기 데이터 라인(D)을 덮는다. 따라서, 상기 블랙 매트릭스(BM)는 상기 디스플레이 패널(1)의 상면에서 데이터 라인(D)을 덮는다. 상기 컬러 필터층(도시되지 않음)은 상기 제2 기판(12) 및 블랙 매트릭스(BM) 상에 배치되거나, 또는 상기 컬러 필터층은 다른 실시양태에서 제1 기판(11) 상에 배치된다. 상기 블랙 매트릭스(BM)는 불투명하기 때문에, 상응하는 불투명 면적이 상기 제2 기판(12) 상에 형성될 수 있고 또 따라서 투명 면적이 정의될 수 있다. 상기 블랙 매트릭스(BM)는 상기 컬러 필터층의 2개의 인접한 컬러 필터부 사이에 배치된 복수의 광 차단 세그먼트(light-blocking segments)를 포함한다. 이 실시양태에서, 상기 블랙 매트릭스(BM) 및 상기 컬러 필터층은 상기 제2 기판(12) 상에 배치된다. 다른 실시양태에서, 그러나, 상기 블랙 매트릭스(BM) 또는 상기 컬러 필터층은 BOA(BM on array) 기판 또는 COA(컬러 필터 온 어레이(color filter on array)) 기판을 제조하기 위하여 제1 기판(11) 상에 배치될 수 있다. 지적되어야 하는 것은, 상기 기판의 상술한 구조는 예시적 목적으로 제시된 것일 뿐 본 발명의 범위를 제한하지 않는다. 또한, 상기 디스플레이 패널(1)은 상기 블랙 매트릭스(BM) 및 상기 컬러 필터층을 덮을 수 있는, 보호층(예를 들어 오버-코팅층, 도시되지 않음)을 더 포함할 수 있다. 상기 보호층은 포토레지스트 물질, 수지 물질 또는 무기 물질(예를 들어 SiO<sub>x</sub>/SiN<sub>x</sub>)을 포함할 수 있다. 상기 보호층은 상기 블랙 매트릭스(BM) 및 상기 컬러 필터층을 후속 공정에 의한 손상으로부터 보호하고, 또 상기 제2 기판(12) 상에 매끈한 표면을 형성한다.

[0019] 도 1b에 도시된 바와 같이, 상기 제1 전극층(141)은 보조 전극부(1411) 및 상기 보조 전극부(1411)에 접속되는 구동 전극부(1412)를 포함한다. 상기 보조 전극부(1411)는 적어도 하나의 관통공(0)을 갖고, 또 상기 제1 전극층(141)은 상기 관통공(0)을 통하여 상기 화소(P)의 박막 트랜지스터(도시되지 않음)에 전기적으로 접속된다. 여기서, 상기 박막 트랜지스터는 상기 화소(P)의 구동 트랜지스터이고, 또 상기 박막 트랜지스터가 턴온(turn on)되면, 상기 화소(P)의 그레이 레벨 전압(gray-level voltage)은 상기 박막 트랜지스터의 소스 및 드레인을 통하여 상기 제1 전극층(141)으로 전달될 것이다. 상기 보조 전극부(1411)의 면적은 A1으로 표시된다.

[0020] 상기 구동 전극부(1412)는 상기 제1 방향(X)을 따라 서로 이격되어 있는 복수의 스트립 전극을 포함하고 또 상기 보조 전극부(1411)에 접속된다. 이 실시양태에서, 도 1b에 도시된 바와 같이, 3개의 스트립 전극(S1, S2, S3으로 표시)이 존재하고 또 상기 보조 전극부(1411)는 상기 스트립 전극(S1, S2, S3)의 각각의 일단(one end)에 접속된다. 상기 스트립 전극(S1, S2, S3)은 간격을 두고 서로 떨어져 있고 또 상기 제1 방향(X)을 따라 평행하게 배열된다. 그러나, 다른 실시양태에서는, 2개, 4개 또는 기타와 같이 상이한 갯수의 스트립 전극이 존재한다. 또한, 본 실시양태의 상기 구동 전극부(1412)는 접속 전극(S4)을 더 포함하며, 이는 상기 보조 전극부(1411)로부터 떨어진 측면 상에 배치되고 또 상기 스트립 전극(S1, S2, S3)의 각각의 다른 단부에 접속된다. 여기서, 상기 구동 전극부(1412)의 면적은 A2로 표시된다.

[0021] 도 1c는 본 발명의 일 실시양태에서 화소(P)를 통하여 광이 통과할 때 화소(P)의 발광 대역의 개략도이고, 도

1d는 상기 제1 방향(X)을 따른 화소(P)의 발광 대역의 휘도 분포 곡선의 개략도이며, 또 도 1e는 상기 제2 방향(Y)을 따른 상기 화소(P)의 발광 대역의 휘도 분포 곡선의 개략도이다.

[0022]

도 1c에 도시된 바와 같이, 광이 상기 화소(P)를 통하여 통과할 때, 상기 화소(P)는 발광 대역(상기 발광 대역의 면적은 상기 제1 전극층과 구동 전압의 패턴 디자인에 관련된다)을 가질 것이다. 광이 상기 화소(P)를 통하여 가장 큰 그레이 레벨(통상 255 그레이 레벨)로 통과할 때, 도 1d에 도시된 바와 같이, 상기 발광 대역은 상기 제1 방향(X)을 따라 제1 휘도 곡선(C1)을 갖는다(휘도는 정규화되어 있음). 또한, 도 1e에 도시된 바와 같이, 광이 상기 화소(P)를 통과할 때, 상기 발광 대역은 상기 제2 방향(Y)을 따라 제2 휘도 곡선(C2)을 갖는다(휘도는 또한 정규화되어 있음). 따라서, 이 실시양태에서, 상기 발광 대역의 면적(B)은 상기 제2 방향(Y)을 따른 제2 휘도 곡선(C2)의 FWHM  $A_y$ 이 곱해진 제1 방향(X)을 따른 상기 제1 휘도 곡선(C1)의 반치전폭(FWHM)  $A_x$ (FWHM은 휘도 분포 곡선의 절반 휘도에서 x 좌표의 폭임)으로서 정의될 수 있다(일반적인 디자인에서,  $A_y \approx 3A_x$ , 또 상기 제1 방향(X)은 상기 제2 방향(Y)과 수직한다).

[0023]

따라서, 상기 스캔 라인이 스캔 신호를 받으면, 상기 화소(P)의 상응하는 박막 트랜지스터가 턴온되고 또 상응하는 데이터 신호는 상기 데이터 라인(D)을 통하여 상응하는 화소 전극으로 전송될 수 있으며 또 따라서 상기 디스플레이 패널(1)은 화상을 표시할 수 있다. 이 실시양태에서, 상기 그레이 레벨 전압은 데이터 라인(D)을 통하여 화소(P)의 제1 전극층(141)(화소 전극)으로 전송될 수 있으므로, 상기 제1 전극층(141)과 상기 제2 전극층(143) 사이에 전계가 형성되어 액정층(13)의 액정 분자를 구동하여 제1 방향 및 제2 방향(X, Y)의 평면 상에서 회전하며, 또 따라서 광이 변조될 수 있어 상기 디스플레이 패널(1)은 그에 따라 화상을 표시할 수 있다.

[0024]

도 1b에 도시된 바와 같이, 화소(P)의 디자인의 경우, 상기 구동 전극부(1412)가 큰 면적( $A_2$ )를 가지면, 상기 화소(P)의 발광 대역의 면적(B)은 증가할 것이고(상기 2개 면적은 서로에 대하여 비례하기 때문) 또 상기 화소(P)의 투과율 또한 증가할 것이다. 그러나, 상기 화소(P)의 크기 및 상기 박막 트랜지스터의 디자인이 고정되면, 상기 구동 전극부(1412)의 면적( $A_2$ )은 또한 제한된다. 즉, 상기 구동 전극부(1412)의 면적( $A_2$ )은 디스플레이 패널(1)의 투과율을 증가시키기 위하여 증가될 수 있지만, 상기 보조 전극부(141)의 면적( $A_1$ )은 감소될 것이다. 그러나, 더 작은 보조 전극부(1411)는 관통공(0)을 통한 배치 배향(disposition alignment)뿐만 아니라 상기 화소(P)의 전기적 특성에 영향을 줄 것이다. 예컨대, 더 작은 보조 전극부(1411)는 상기 화소(P)의 용량(저장 용량 및 액정 용량 포함)을 적게 하여 충전 시간 및 액정 분자의 구동 전압에 영향을 준다. 한편, 충전 시간을 증가시키기 위하여(이는 고-ppi 디스플레이 패널의 경우 결점임) 더 큰 보조 전극부(1411)가 화소(P)의 용량을 증가시킬 것이지만, 화소(P)의 박막 트랜지스터의 전류 누설이 감소되므로 화소의 그레이 레벨 전압은 실제 충전 전압에 더욱 접근할 수 있다. 따라서, 상기 구동 전극부(1412)의 면적( $A_2$ )(또는 상기 발광 대역의 면적(B))에 대한 상기 화소(P)의 보조 전극부(1411)의 면적( $A_1$ ) 비는 전기적 특성 및 광학적 특성 양쪽의 요건을 충족하도록 면밀히 고려될 필요가 있다.

[0025]

일반적으로, 화소의 실제 충전 전압은 데이터 라인(D)으로부터 입력되는 그레이 레벨 전압에서 충전오차( $V_e$ )와 용량성 커플링 전압(피드 쓰루(feed through) 전압이라고도 불림)( $V_{FT}$ )을 뺀 값과 거의 동일하다(즉, 실제 충전 전압 = 그레이 레벨 전압  $-V_e - V_{FT}$ ). 따라서, 화소(P)의 실제 충전 전압을 그레이 레벨 전압에 접근하도록 하여 더 우수한 디스플레이 품질을 얻기 위하여, 충전오차( $V_e$ ) 및 용량성 커플링 전압( $V_{FT}$ )의 합은 더 작을수록 더 우수하다. 충전오차( $V_e$ ) 및 용량성 커플링 전압( $V_{FT}$ )의 방정식은 다음과 같을 수 있다:

[0026]

$$V_e = V_0 - V_0(1 - e^{(-t/RC)}) \quad (\text{방정식 1})$$

[0027]

$$V_{FT} = \frac{C_{gd}}{C}(V_{gH} - V_{gL}) \quad (\text{방정식 2})$$

[0028]

C는 화소(P)의 전체 용량(즉, 저장 용량, 기생 용량 및 액정 용량의 합)을 나타내고,  $C_{gd}$ 는 박막 트랜지스터의 게이트 및 드레인 사이의 기생 용량을 나타내며, R은 박막 트랜지스터의 저항을 나타내고, 또  $V_{gH}$  및  $V_{gL}$ 은 박막 트랜지스터의 제어 전압을 나타낸다.

[0029]

이어, 상기 용량과 전극 면적 사이의 직접적인 비례 관계를 이용하는 것에 의해, 상기 충전오차( $V_e$ ) 및 용량성 커플링 전압( $V_{FT}$ )는 다음과 같이 유도될 수 있다:

$$\begin{aligned}
 V_e &= V_0 - V_0(1 - e^{(-t/RC)}) \\
 &= V_0 \times e^{(-t/RC)} \\
 &= V_0 \times e^{\left(\frac{-t}{R\left(\varepsilon \frac{A1+A2}{d}\right)}\right)} \\
 &= V_0 \times e^{\left(-t/\left[\frac{R\varepsilon A2}{d}\right]\left(\frac{A1}{A2}+1\right)\right)} \\
 &= V_0 \times e^{\left(\left[\frac{-td}{R\varepsilon A2}\left(\frac{A1}{A2}\right)\right] - \frac{td}{R\varepsilon A2}\right)}
 \end{aligned}$$

[0030]

[0031]

일 실시양태에서 상기 구동 전극부(1412)의 면적(A2) 및 상기 발광 대역의 면적(B)는 거의 직접적 비례를 갖게 고안될 것이므로, A2는 (B/a)로 설정되며 또 "a"는 약 0.76이다. 따라서, 다음과 같은 방정식이 얻어질 수 있다:

$$V_e = V_0 \times e^{\left(\left[\frac{-tda^2}{R\varepsilon B}\left(\frac{A1}{B}\right)\right] - \frac{tda}{R\varepsilon B}\right)}$$

[0032]

[0033]

또한,

$$\begin{aligned}
 V_{FT} &= \frac{C_{gd}}{C}(V_{gH} - V_{gL}) \\
 &= \frac{d \times C_{gd}(V_{gH} - V_{gL})}{\left(\varepsilon \times A2\left(\frac{A1}{A2} + 1\right)\right)} = \frac{d \times C_{gd}(V_{gH} - V_{gL})}{\left(\varepsilon \times A2\left(\frac{A1}{A2}\right) + \varepsilon \times A2\right)} \\
 &= \frac{C_{gd}}{\left(\varepsilon \frac{A1 + A2}{d \times C_{gd}}\right)}(V_{gH} - V_{gL}) = \frac{d \times C_{gd}}{\varepsilon(A1 + A2)}(V_{gH} - V_{gL}) \\
 &= \frac{d \times C_{gd}(V_{gH} - V_{gL})}{\left(\varepsilon \times B\left(\frac{A1}{B}\right) + \varepsilon \times \frac{B}{a}\right)}
 \end{aligned}$$

[0034]

[0035]

이어,  $V_e$  및  $V_{FT}$ 의 합은 다음과 같은 함수로 표시될 수 있다:

$$f\left(\frac{A1}{B}\right) = V_e + V_{FT} = V_0 \times e^{\left(\left[\frac{-tda^2}{R\varepsilon B}\left(\frac{A1}{B}\right)\right] - \frac{tda}{R\varepsilon B}\right)} + \frac{d \times C_{gd}(V_{gH} - V_{gL})}{\left(\varepsilon \times B\left(\frac{A1}{B}\right) + \varepsilon \times \frac{B}{a}\right)}$$

[0036]

[0037]

상기 함수(f)가 최소 값을 가질 때, 화소(P)의 실제 충전 전압이 그레이 레벨 전압에 접근함을 의미하는 것이 좋다. 그러나 상기 함수(f)의 미분이 매우 복잡하므로, 본 발명에서는 미분에 의해 직접 해결되지 않고 수치 해법으로 해결된다. 상기 수치 해법에서, 상기 화소(P)의 일부 데이터( $C_{gd}$ , R, C,  $V_{gH}$ ,  $C_{gl}$ )가 상기 방정식 1, 2에 대입된다. 따라서, 상이한 화소 실시양태의 데이터는 도 2에서 상이한 값의 ( $V_e+V_{FT}$ )를 초래할 수 있고, 또 따라서 실제 데이터에 의해 형성된 곡선(F1)이 얻어질 수 있다. 이어, 상기 곡선(F1)을 수학적 방법에 의해 모의실

협하는 것에 의해 (Ve+V<sub>FT</sub>)의 추세 곡선(F2)을 얻을 수 있다. 그래서, 상기 곡선(F2)의 방정식은 다음과 같이 얻어질 수 있다:

$$y = f\left(\frac{A1}{B}\right) = 4.2792 x^2 - 1.628x + 2.296$$

최소의 (Ve+V<sub>FT</sub>)를 얻기 위하여, 상기 방정식은 다음과 같이 미분되어 극한값을 유도한다:

$$y' = f'\left(\frac{A1}{B}\right) = 8.558x - 1.628 = 0$$

$$\frac{A1}{B} = 0.19$$

상술한 결과에 따르면, 상기 발광 대역의 면적(B)에 대한 상기 보조 전극부(1411)의 면적(A1) 비가 0.19이면, 충전오차(Ve)와 용량성 커플링 전압(V<sub>FT</sub>)의 합이 최저이므로, 화소 전극의 실제 충전 전압과 그레이 레벨 전압 사이의 바이어스가 최소화된다. 또한, 충전 효율이 개선되므로 화소(P)의 투과율이 최대화될 수 있다. 따라서, 상기 디스플레이 패널(1)은 더 높은 투과율을 갖도록 구성되어 제품 경쟁력을 향상시킬 수 있다.

그러나, 상기 처리의 변화를 고려하여, 상기 디스플레이 패널(1)은 A1 및 B가 다음 부등식을 만족할 때 이 실시양태에서 더 우수한 투과율을 가질 수 있다:  $0.11xB \leq A1 \leq 0.27xB$ , 이때 A1 및 B는  $\mu m^2$  단위를 갖는다. 바람직하게는, 상기 디스플레이 패널(1)은 A1 및 B가 다음 부등식을 만족할 때 이 실시양태에서 더 우수한 투과율을 가질 수 있다:  $0.13xB \leq A1 \leq 0.25xB$ .

도 3a 내지 도 3d는 본 발명의 상이한 실시양태의 제1 전극층(141a~141d)의 개략도이다. 지적되어야 할 것은, 도 3a 내지 도 3d 중의 제1 전극층(141a~141d)의 패턴은 예시적 목적을 위한 것이고 본 발명의 범위를 제한하지 않는 것이다.

도 3a에 도시된 바와 같이, 도 1b 중의 상기 제1 전극층(141a)과 상기 제1 전극층(141) 사이의 주요 차이는 상기 제1 전극층(141a)이 3개의 스트립 전극(S1, S2, S3)을 갖지만 접속 전극(S4)을 갖지 않는 것이다.

도 3b에 도시된 바와 같이, 도 1b 중의 상기 제1 전극층(141b)과 상기 제1 전극층(141) 사이의 주요 차이는 상기 제1 전극층(141b) 중의 제2 방향(Y)은 상기 데이터 라인(D)의 연장 방향과 여전히 실질적으로 평행하지만, 상기 제1 방향(X) 및 제2 방향(Y)은 직각 대신 예각을 가지므로, 상기 화소는 평행 사변형과 유사한 형상을 갖는다. 또한, 상기 제1 전극층(141b)의 스트립 전극(S1, S2, S3) 각각은 2 턴(turns)을 갖는다. 게다가, 상기 보조 전극부(1411)와 구동 전극부(1412)의 연결부위는 도 1b의 실시양태와와는 약간 상이하다.

도 3c에 도시된 바와 같이, 도 3b 중의 상기 제1 전극층(141c)과 상기 제1 전극층(141b) 사이의 주요 차이는 상기 제1 전극층(141c)의 스트립 전극(S1)이 1개 턴을 갖지만, 상기 제1 전극층(141c)의 스트립 전극(S2, S3) 각각은 2 턴을 갖는 것이다. 또한, 상기 보조 전극부(1411)와 구동 전극부(1412)의 연결부위 및 상기 보조 전극부(1411)의 형상은 도 3b의 실시양태와는 약간 상이하다.

도 3d에 도시된 바와 같이, 도 3b 중의 상기 제1 전극층(141d)과 상기 제1 전극층(141b) 사이의 주요 차이는 상기 제1 전극층(141d)이 4개 스트립 전극(S1, S2, S3, S4)을 가져서, 상기 제1 전극층(141d)의 면적이 상기 제1 전극층(141b)의 면적보다 더 큰 점이다.

상기 제1 전극층(141a~141d)의 다른 기술적 특징은 상기 제1 전극층(141)의 동일 요소를 참조하는 것에 의해 이해될 수 있으므로, 이들의 설명은 편의상 생략된다.

도 4는 본 발명의 실시양태의 디스플레이 장치(2)의 개략도이다.

상기 디스플레이 장치(2)는 디스플레이 패널(3) 및 상기 디스플레이 패널(3)에 대향하게 배치된 백라이트 모듈(4)을 포함한다. 상기 디스플레이 패널(3)은 상술한 디스플레이 패널(1)일 수 있고, 또 상기 디스플레이 패널(1)의 화소의 제1 전극층은 상술한 제1 전극층(141, 141a, 141b, 141c 또는 141d) 또는 이들의 변형일 수 있다. 관련된 구조 및 상세내용은 상술한 실시양태를 참조하여 이해될 수 있으므로 편의상 그 설명을 생략한다.

상기 백라이트 모듈(4)이 상기 디스플레이 패널(3)을 통하여 발광하면, 상기 디스플레이 패널(3)의 화소는 색을 표시하여 화상을 형성할 수 있다.

[0051] 요컨대, 본 발명의 디스플레이 패널 및 디스플레이 장치에서, 상기 화소의 제1 전극층의 구동 전극부는 제1 방향을 따라 서로 이격된 복수의 스트립 전극을 갖고, 또 상기 보조 전극부의 면적은 A1으로 표시된다. 광이 화소를 통하여 통과할 때, 상기 화소의 발광 영역의 면적은 B로 표시된다. A1 및 B는 다음 방정식을 만족한다:  $0.11xB \leq A1 \leq 0.27xB$ . 그러므로, 상기 보조 전극부의 면적(A1) 및 상기 화소의 발광 영역의 면적(B)이 상기 방정식을 만족하면, 상기 디스플레이 패널 및 장치는 전기적 특성 및 광학 요건을 만족할 수 있으므로, 상기 화소의 투과율은 최대화된다. 따라서, 본 발명의 디스플레이 패널 및 장치는 더 높은 투과율을 가질 수 있고 또 제품 경쟁력이 향상될 수 있다.

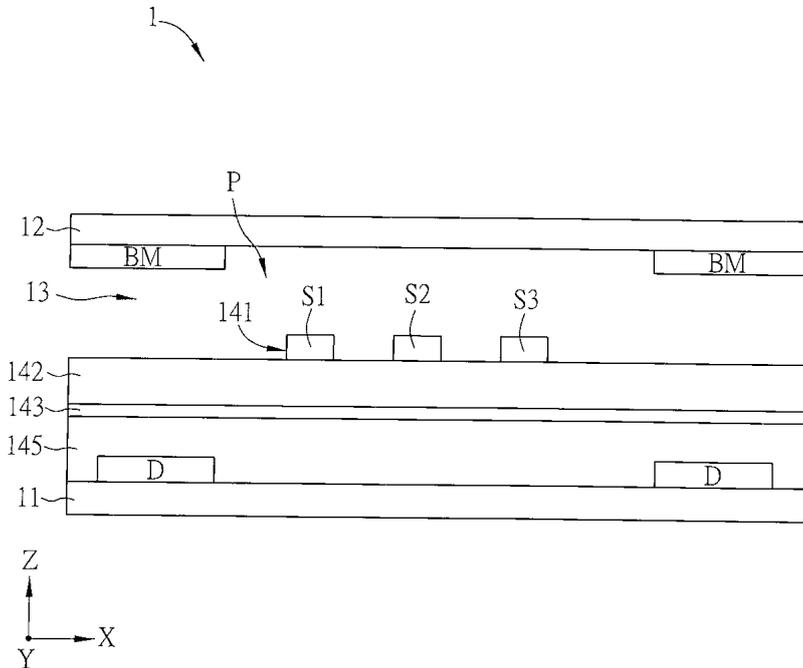
[0052] 본 발명은 특정 실시예를 참조하여 설명하지만, 이 설명은 제한을 의미하지 않는다. 기재된 실시양태뿐만 아니라 대체적 실시양태의 다양한 변형이 당업자에게 명백할 것이다. 따라서, 첨부된 특허청구범위는 본 발명의 진정한 범위 내에 드는 모든 변형을 포괄하는 것으로 이해된다.

**부호의 설명**

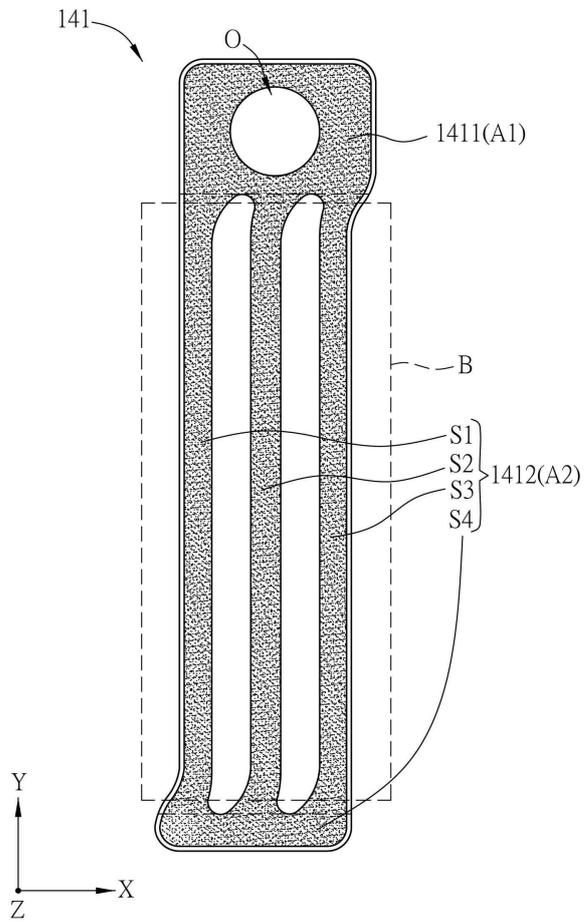
- [0053] 1: 디스플레이 패널  
 11: 제1 기판  
 12: 제2 기판  
 13: 액정층

**도면**

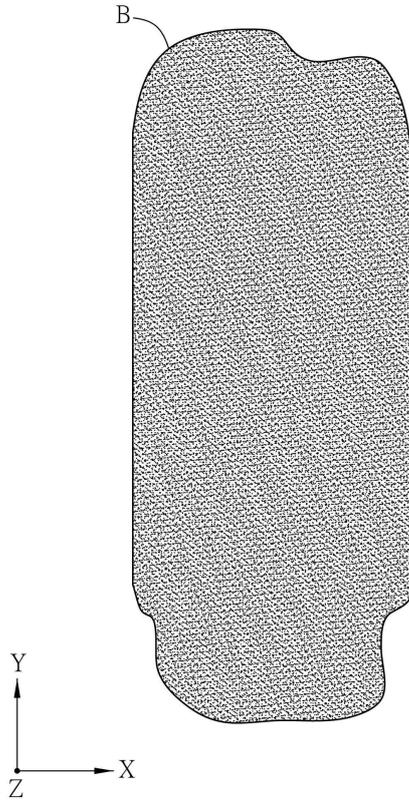
**도면1a**



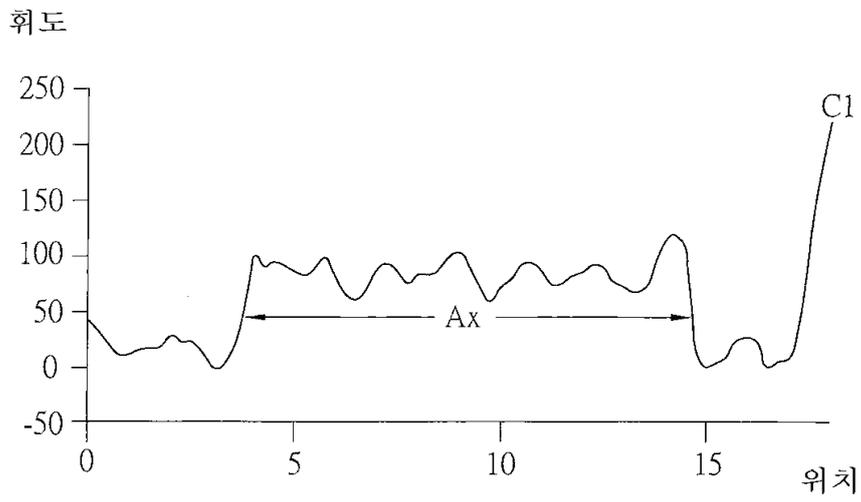
도면1b



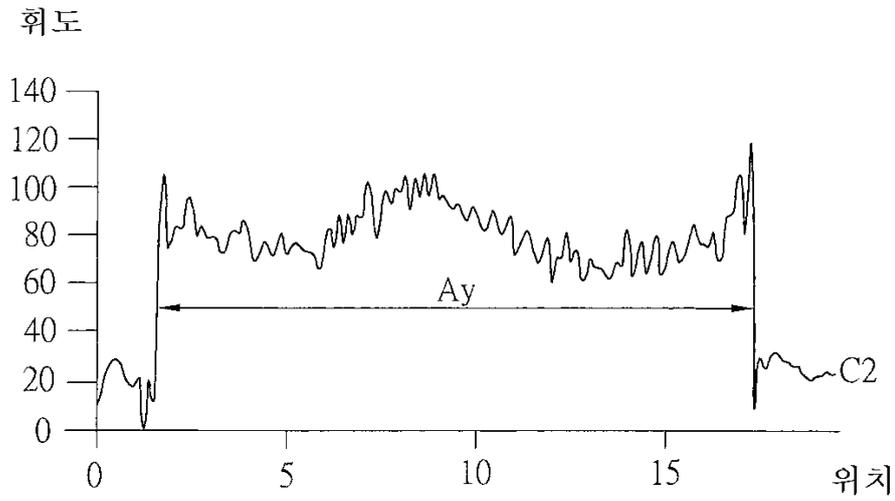
도면1c



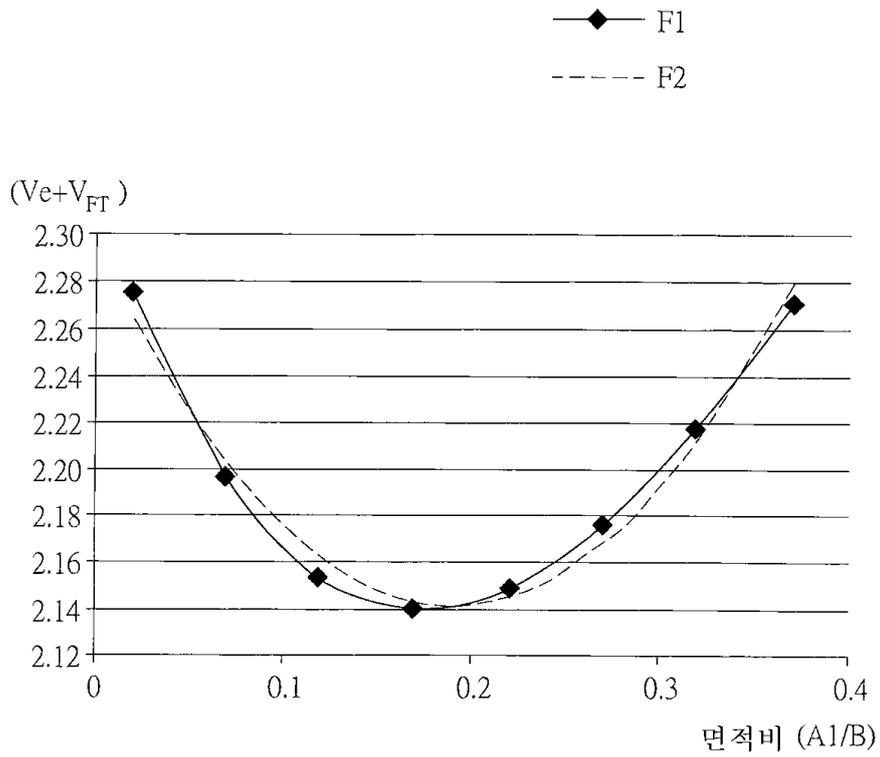
도면1d



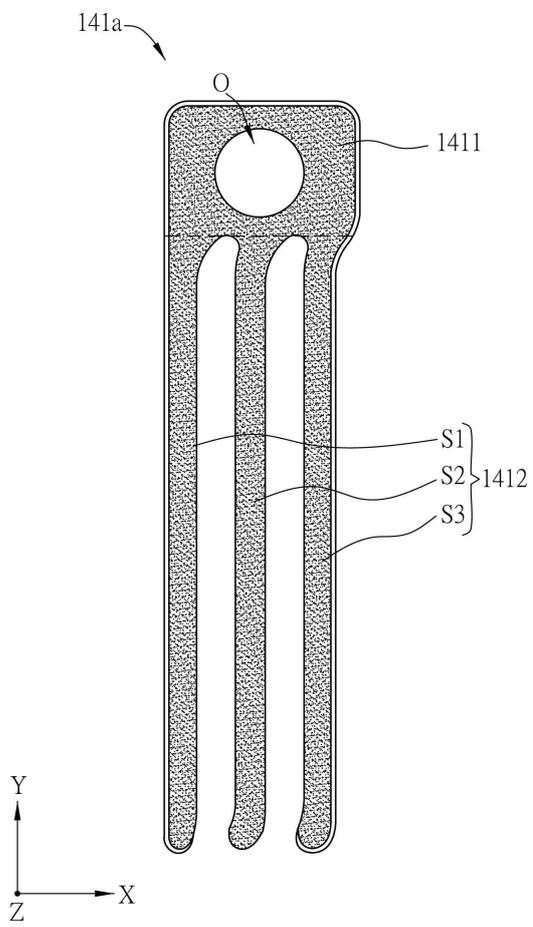
도면1e



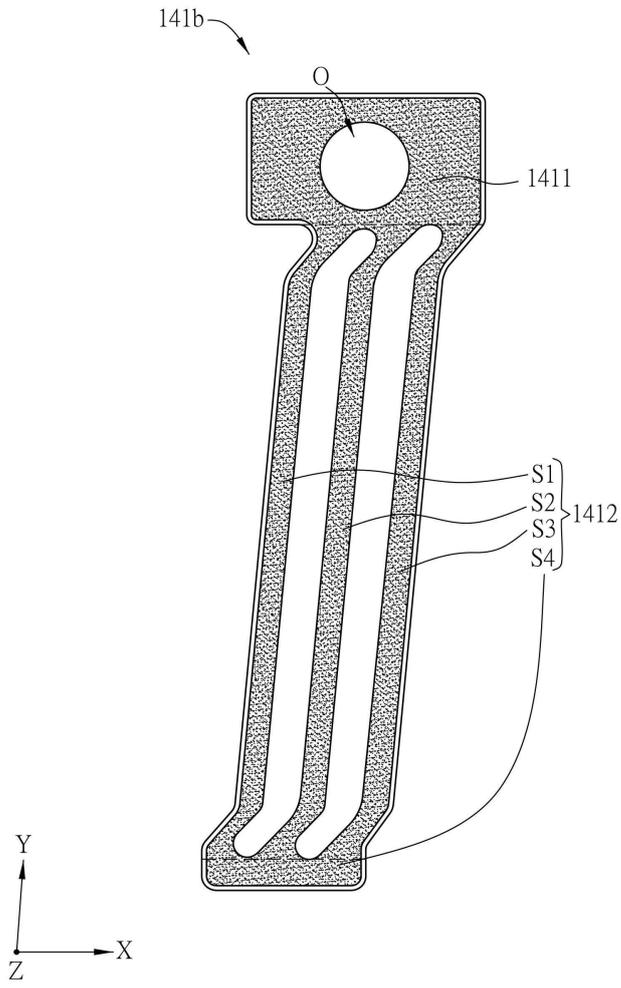
도면2



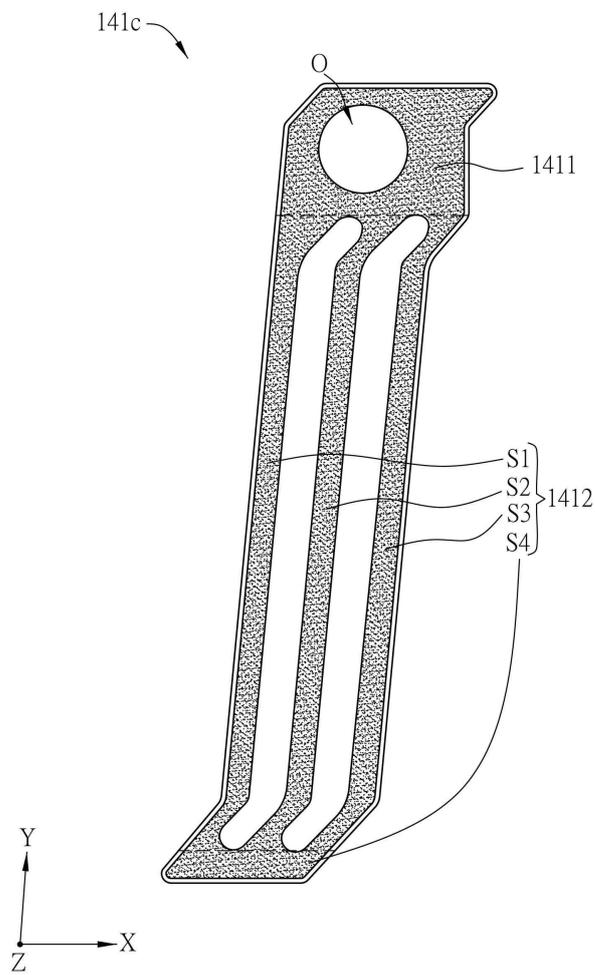
도면3a



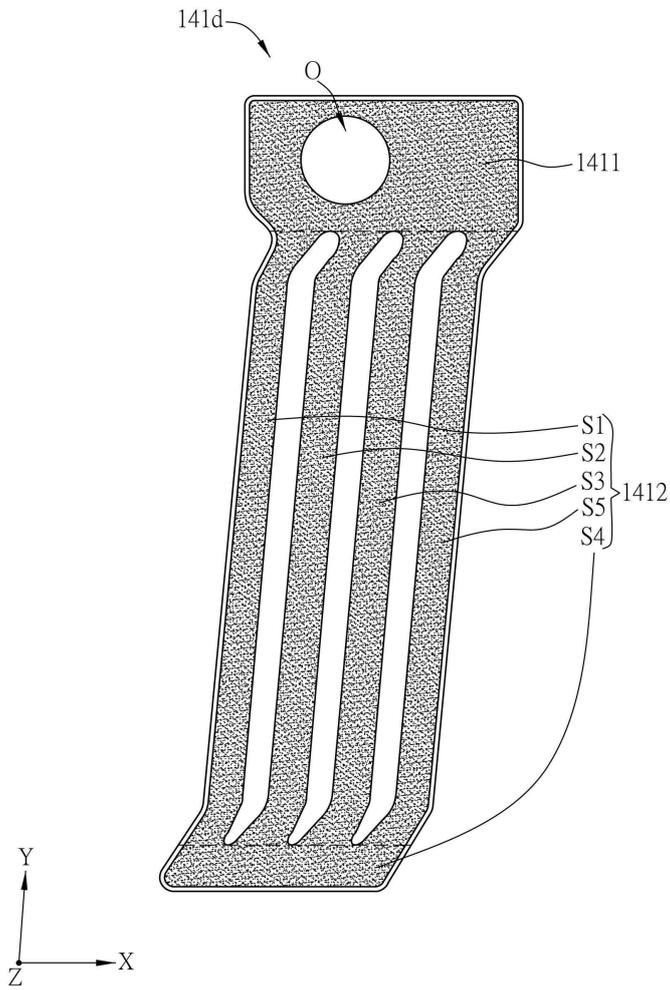
도면3b



도면3c



도면3d



도면4

