



(12) 发明专利

(10) 授权公告号 CN 112117103 B

(45) 授权公告日 2023. 12. 29

(21) 申请号 202010562358.9

(22) 申请日 2020.06.18

(65) 同一申请的已公布的文献号
申请公布号 CN 112117103 A

(43) 申请公布日 2020.12.22

(30) 优先权数据
2019-115626 2019.06.21 JP

(73) 专利权人 TDK株式会社
地址 日本东京都

(72) 发明人 志贺悠人 加藤一 飞田和哉
数田洋一 滨地纪彰 吉野真

(74) 专利代理机构 北京尚诚知识产权代理有限公司 11322
专利代理师 杨琦 黄浩

(51) Int. Cl.

H01F 27/28 (2006.01)

H01F 27/29 (2006.01)

(56) 对比文件

JP 2017073536 A, 2017.04.13

CN 107017083 A, 2017.08.04

US 2019066905 A1, 2019.02.28

JP 2018206922 A, 2018.12.27

CN 102881402 A, 2013.01.16

审查员 杜君

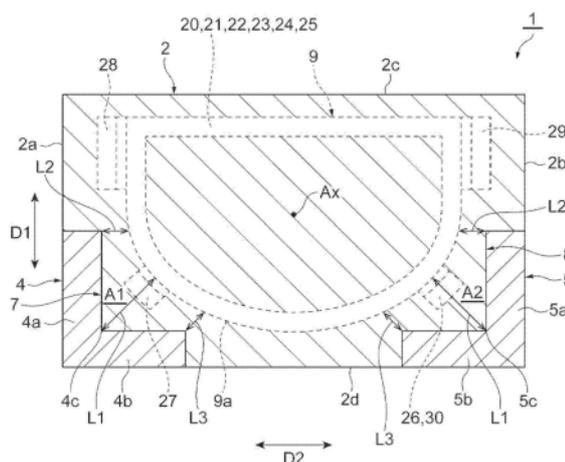
权利要求书2页 说明书17页 附图7页

(54) 发明名称

层叠线圈部件

(57) 摘要

本发明的层叠线圈部件(1)具备素体(2)、配置于素体(2)内并且包含多个线圈导体和多个连接导体的线圈(9)、以及一对端子电极(4、5),一对端子电极(4、5)的各个,当从层叠方向观察时,具有电极部分(4a、5a)和电极部分(4b、5b),多个连接导体,当从层叠方向观察时,配置于与多个线圈导体不重叠的位置,多个连接导体中的至少两个,当从层叠方向观察时,配置于端子电极(4、5)与线圈(9)的外缘(9a)之间的第一区域(A1)或第二区域(A2),第一区域(A1)和第二区域(A2),当从一对端面(2a、2b)的相对方向观察时与电极部分(4a、5a)重叠,当从一对主面(2c、2d)的相对方向观察时与电极部分(4b、5b)重叠。



1. 一种层叠线圈部件,其特征在于,
具备:

素体,其具有层叠的多个电介质层,并具有互相相对的一对端面、互相相对的一对主面、以及在多个所述电介质层的层叠方向上互相相对的一对侧面,并且一个所述主面是安装面;

线圈,其配置于所述素体内,并且包含多个线圈导体、设置于所述多个线圈导体的各个的端的连接部、和连接在所述层叠方向上相邻的所述连接部的多个连接导体,并且线圈轴沿所述层叠方向延伸;以及

一对端子电极,其连接于所述线圈,并且在所述素体的一对所述端面侧的各个中配置于所述素体的凹部,

所述素体的所述凹部的各个横跨所述端面 and 所述安装面而设置,

一对所述端子电极的各个,从所述层叠方向观察时,具有沿一对所述主面的相对方向延伸的第一部分和沿一对所述端面的相对方向延伸的第二部分,

多个所述连接导体,从所述层叠方向观察时,配置于与多个所述线圈导体不重叠的位置,

多个所述连接导体中的至少两个,从所述层叠方向观察时,配置于所述端子电极和所述线圈的外缘之间的区域,

所述区域,从一对所述端面的相对方向观察时与所述第一部分重叠,并且从一对所述主面的相对方向观察时与所述第二部分重叠。

2. 根据权利要求1所述的层叠线圈部件,其特征在于,

所述端子电极在所述层叠方向上层叠有第一电极层和第二电极层而形成,

从所述层叠方向观察时,所述第一电极层中的一对所述端面的相对方向的宽度和一对所述主面的相对方向的宽度比所述第二电极层中的一对所述端面的相对方向的宽度和一对所述主面的相对方向的宽度小,

配置于所述区域的所述连接导体配置于与所述第一电极层相同的层。

3. 根据权利要求1所述的层叠线圈部件,其特征在于,

配置于所述区域的所述连接导体,从所述层叠方向观察时,具有成为与所述线圈的所述外缘平行的部分。

4. 根据权利要求2所述的层叠线圈部件,其特征在于,

配置于所述区域的所述连接导体,从所述层叠方向观察时,具有成为与所述线圈的所述外缘平行的部分。

5. 根据权利要求1~4中的任一项所述的层叠线圈部件,其特征在于,

在所述线圈中从一对所述端面的所述相对方向观察与所述端子电极重叠的部分,从所述层叠方向观察时,呈一对所述端面的所述相对方向上的所述外缘的外形从另一个所述主面朝向所述安装面变小的形状。

6. 根据权利要求1~4中的任一项所述的层叠线圈部件,其特征在于,

从所述层叠方向观察时,作为由所述第一部分和所述第二部分形成的角落部与所述线圈的外缘之间的最短距离的第一距离比作为所述第一部分与所述线圈的外缘之间的最短距离的第二距离以及作为所述第二部分与所述线圈的所述外缘之间的最短距离的第三距

离大。

7. 根据权利要求5所述的层叠线圈部件, 其特征在于,

从所述层叠方向观察时, 作为由所述第一部分和所述第二部分形成的角落部与所述线圈的外缘之间的最短距离的第一距离比作为所述第一部分与所述线圈的外缘之间的最短距离的第二距离以及作为所述第二部分与所述线圈的所述外缘之间的最短距离的第三距离大。

8. 根据权利要求6所述的层叠线圈部件, 其特征在于,

配置于所述区域的所述连接导体, 从所述层叠方向观察时, 配置于连结所述端子电极的所述角落部与所述线圈的所述外缘并且成为所述第一距离的直线上。

9. 根据权利要求7所述的层叠线圈部件, 其特征在于,

配置于所述区域的所述连接导体, 从所述层叠方向观察时, 配置于连结所述端子电极的所述角落部与所述线圈的所述外缘并且成为所述第一距离的直线上。

层叠线圈部件

技术领域

[0001] 本发明涉及一种层叠线圈部件。

背景技术

[0002] 作为现有的层叠线圈部件,例如,已知有一种在专利文献1(日本特开2017-73536号公报)中公开的层叠线圈部件。专利文献1中公开记载的层叠线圈部件具备素体、配置于素体内的线圈、以及埋入于素体并且横跨素体的端面 and 安装面而配置的一对端子电极。

发明内容

[0003] 电子设备内允许的电子部件的安装空间随着电子设备的小型化,具有缩小的倾向。因此,对层叠线圈部件也要求小型化(薄型化)。在层叠线圈部件中,为了实现小型化,并且获得规定的特性,需要增加线圈的匝数。在层叠线圈部件中,由包含多个线圈导体和连接相邻的一对线圈导体的连接导体构成线圈。在该层叠线圈部件中,当谋求小型化并且增加线圈的匝数时,各导体的层叠方向上的导体间的距离必然会缩短。在层叠线圈部件中,在配置有连接导体的部分,由于层叠有线圈导体和连接导体,因此层叠方向上的体积变大。在该结构中,在制造工序等中对素体施加压力的情况下,在体积大的线圈导体与连接导体的层叠部分存在变形的风险,当发生变形时,线圈导体与连接导体之间会发生短路。

[0004] 本发明的一个侧面在于提供一种能够实现小型化并且抑制可靠性的降低的层叠线圈部件。

[0005] 本发明的一个侧面所涉及的层叠线圈部件具备:素体,其具有层叠有多个电介质层并且具有互相相对的一对端面、互相相对的一对主面、以及在多个电介质层的层叠方向上互相相对的一对侧面,并且一个主面是安装面;线圈,其配置于素体内,并且包含多个线圈导体和连接在层叠方向上相邻的多个线圈导体的多个连接导体,线圈轴沿层叠方向延伸;以及一对端子电极,其连接于线圈,并且在素体的一对端面侧的各个中配置于素体的凹部,素体的凹部的各个横跨端面 and 安装面而设置,一对端子电极的各个,当从层叠方向观察时,具有沿一对主面的相对方向延伸的第一部分和沿一对端面的相对方向延伸的第二部分,多个连接导体,当从层叠方向观察时,配置于不与多个线圈导体重叠的位置,多个连接导体中的至少两个,当从层叠方向观察时,配置于端子电极和线圈的外缘之间的区域,区域当从一对端面的相对方向观察时与第一部分重叠,当从一对主面的相对方向观察时与第二部分重叠。

[0006] 在本发明的一个侧面所涉及的层叠线圈部件中,多个连接导体,当从层叠方向观察时,配置于不与多个线圈导体重叠的位置。多个连接导体中的至少两个,当从层叠方向观察时,配置于端子电极与线圈的外缘之间的区域。如上所述,在层叠线圈部件中,将线圈导体和连接导体的位置在层叠方向上偏移。由此,在层叠线圈部件中,可以避免由于层叠有线圈导体和连接导体而体积变大。因此,在层叠线圈部件中,即使在素体施加有压力的情况下,也能够抑制变形产生。因此,在层叠线圈部件中,能够防止在线圈导体与连接导体之间

发生短路。另外,在层叠线圈部件中,配置有连接导体的上述区域从一对端面的相对方向观察与第一部分重叠,并且从一对主面的相对方向观察与第二部分重叠。如上所述,在层叠线圈部件中,由于将连接导体配置于上述区域,因此与将连接导体配置于线圈的内侧的情况相比,能够抑制特性的降低。其结果,在层叠线圈部件中,可以在实现小型化并且抑制可靠性的降低。

[0007] 在一个实施方式中,可以为:端子电极在层叠方向上层叠有第一电极层和第二电极层来形成,当从层叠方向观察时,第一电极层中的一对端面的相对方向的宽度和一对主面的相对方向的宽度比第二电极层中的一对端面的相对方向的宽度和一对主面的相对方向的宽度小,配置于区域的连接导体配置于与第一电极层相同的层。在该结构中,可以增加端子电极与配置于区域的连接导体之间的距离。因此,在层叠线圈部件中,能够减小在端子电极与线圈之间产生的寄生电容(寄生电容)。其结果,在层叠线圈部件中,可以谋求特性的提高。

[0008] 在一个实施方式中,可以为:配置于区域的连接导体,当从层叠方向观察时,具有成为与线圈的外缘平行的部分。在该结构中,可以确保连接导体的面积,并且增加端子电极与配置于区域的连接导体之间的距离。因此,在层叠的线圈部件中,能够可靠地连接线圈导体彼此并且减少在端子电极与线圈之间产生的寄生电容。其结果,在层叠线圈部件中,可以谋求特性的提高。

[0009] 在一个实施方式中,可以为:在线圈中从一对端面的相对方向观察与端子电极重叠的部分,当从层叠方向观察时,呈一对端面的相对方向上的外缘的外形从另一个主面朝向安装面变小的形状。在该结构中,在端子电极与线圈的外缘之间,能够可靠地确保配置有连接导体的所述区域。

[0010] 在一个实施方式中,可以为:当从层叠方向观察时,由第一部分和第二部分形成的角落部与线圈的外缘之间的最短距离即第一距离比第一部分与线圈的外缘之间的最短距离即第二距离以及第二部分与线圈的外缘之间的最短距离即第三距离大。在该结构中,在端子电极与线圈的外缘之间,能够可靠地确保配置有连接导体的所述区域。

[0011] 在一个实施方式中,可以为:配置于区域的连接导体,当从层叠方向观察时,配置于连结端子电极的角落部与线圈的外缘并且成为第一距离的直线上。在该结构中,能够最大化端子电极与配置于区域的连接导体之间的距离。因此,在层叠线圈部件中,能够减少在端子电极与线圈之间产生的寄生电容。其结果,在层叠线圈部件中,可以谋求特性的提高。

[0012] 根据本发明的一个侧面,能够实现小型化并且抑制可靠性的降低。

附图说明

[0013] 图1是第一实施方式所涉及的层叠线圈部件的立体图。

[0014] 图2是图1所示的层叠线圈部件的素体的分解立体图。

[0015] 图3是示出图1所示的层叠线圈部件的结构的截面图。

[0016] 图4是示出第二实施方式所涉及的层叠线圈部件的结构的截面图。

[0017] 图5是图4所示的层叠线圈部件的素体的分解立体图。

[0018] 图6是示出第三实施方式所涉及的层叠线圈部件的结构的截面图。

[0019] 图7是图6所示的层叠线圈部件的素体的分解立体图。

具体实施方式

[0020] 在下文中,将参考附图详细说明本发明的实施方式。在以下说明中,相同的元件或具有相同功能的元件以相同的附图标记来表示,将省略重复的说明。

[0021] [第一实施方式]

[0022] 如图1所示,层叠线圈部件1具备呈现长方体形状的素体2和一对端子电极4、5。一对端子电极4、5分别配置于素体2的两端部。长方体形状包括角部和棱线部被倒角的长方体形状,以及,角部和棱线部被倒圆的长方体形状。

[0023] 素体2具有互相相对的一对端面2a、2b;互相相对的一对主面2c、2d;以及互相相对的一对侧面2e、2f。一对主面2c、2d的相对方向,即,平行于端面2a、2b的方向,是第一方向D1。一对端面2a、2b的相对方向,即,平行于主面2c、2d的方向,是第二方向D2。一对侧面2e、2f的相对方向,是第三方向D3。在本实施方式中,第一方向D1是素体2的高度方向。第二方向D2是素体2的长边方向,并且与第一方向D1正交。第三方向D3是素体2的宽度方向,并且与第一方向D1和第二方向D2正交。

[0024] 一对端面2a、2b以连结一对主面2c、2d之间的方式延伸于第一方向D1。一对端面2a、2b也延伸于第三方向D3,即,一对主面2c、2d的短边方向。一对侧面2e、2f以连结一对主面2c、2d之间的方式延伸于第一方向D1。一对侧面2e、2f也延伸于第二方向D2,即,一对2a、2b的长边方向。层叠线圈部件1,在电子设备(例如,电路基板或电子部件)上,例如,被焊接安装。在层叠线圈部件1中,主面(一个主面)2d构成相对于电子设备的安装面。

[0025] 如图2所示,素体2在第三方向D3上由多个电介质层6层叠而构成。素体2具有层叠的多个电介质层6。在素体2中,多个电介质层6的层叠方向与第三方向D3一致。在实际的素体2中,各个电介质层6一体化成不能在视觉上识别各个电介质层6之间的边界的程度。各个电介质层6由包含玻璃成分的电介质材料形成。即,素体2作为构成素体2的元件的化合物,包含包含玻璃成分的电介质材料。玻璃成分例如是硼硅酸盐玻璃等。电介质材料例如是BaTiO₃系、Ba(Ti,Zr)O₃系、或者(Ba,Ca)TiO₃系等的电介质陶瓷。各个电介质层6由包含玻璃陶瓷材料的陶瓷生片的烧结体构成。此外,各个电介质层6,例如,可以由磁性材料构成。磁性材料包含,例如,Ni-Cu-Zn系铁氧体材料、Ni-Cu-Zn-Mg系铁氧体材料、或Ni-Cu系铁氧体材料。构成各个电介质层6的磁性材料可以包含Fe合金。各个电介质层6可以由非磁性材料构成。非磁性材料,例如,包含玻璃陶瓷材料或者电介质材料。

[0026] 如图3所示,端子电极4配置于素体2的端面2a侧。端子电极5配置于素体2的端面2b附近。一对端子电极4、5在第二方向D2上互相分开。各个端子电极4、5埋设于素体2。各个端子电极4、5配置于形成于素体2的凹部7、8。端子电极4横跨于端面2a和主面2d而配置。端子电极5横跨于端面2b和主面2d而配置。在本实施方式中,端子电极4的表面与端面2a和主面2d中的每一个面大致相同。端子电极5的表面与端面2b和主面2d中的每一个面大致相同。

[0027] 各个端子电极4、5包含导电性材料。导电性材料,例如,含有Ag或Pd。各个端子电极4、5作为含有导电性材料粉末的导电性膏体的烧结体而构成。导电性材料粉末,例如,包含Ag粉末或Pd粉末。镀层可以形成于各个端子电极4、5的表面。镀层,例如,通过电镀或无电镀形成。镀层,例如,包含Ni、Sn或Au。

[0028] 端子电极4,当从第三方向D3观察时,呈现L字形状。端子电极4具有多个电极部分4a、4b。在本实施方式中,端子电极4具有一对电极部分4a、4b。电极部分(第一部分)4a和电

极部分(第二部分)4b在素体2的棱线部连接,并且互相电连接。在本实施方式中,电极部分4a和电极部分4b一体地形成。电极部分4a沿第一方向D1延伸。电极部分4a,当从第二方向D2观察时,呈现长方形形状。电极部分4b沿第二方向D2延伸。电极部分4b,当从第一方向D1观察时,呈现长方形形状。各个电极部分4a、4b,沿第三方向D3延伸。

[0029] 如图2所示,端子电极4由多个电极层10层叠而构成。在本实施方式中,端子电极4具有层叠的多个电极层10。在本实施方式中,电极层10的数量是“13”。各个电极层10设置于形成于相应的电介质层6的欠缺部。电极层10通过烧成位于形成于生片的欠缺部内的导电性膏体而形成。生片和导电性膏体同时地烧成。因此,当从生片得到电介质层6时,从导电性膏体得到电极层10。在实际的端子电极4中,各个电极层10一体化成不能在视觉上识别各个电极层10之间的边界的程度。根据形成于生片的欠缺部,得到烧成后的素体2的、配置有端子电极4的凹部7。

[0030] 各个电极层10,当从第三方向D3观察时,呈现L字形状。电极层10具有多个层部分10a、10b。层部分10a沿第一方向D1延伸。层部分10b沿第二方向D2延伸。电极部分4a通过各个电极层10的层部分10a层叠而构成。在电极部分4a中,层部分10a一体化成视觉上识别不出层部分10a之间的边界的程度。电极部分4b通过各个电极层10的层部分10b层叠而构成。在电极部分4b中,层部分10b一体化成视觉上识别不出层部分10b之间的边界的程度。

[0031] 如图3所示,端子电极5,当从第三方向D3观察时,呈现L字形状。端子电极5具有多个电极部分5a、5b。在本实施方式中,端子电极5具有一对电极部分5a、5b。电极部分(第一部分)5a和电极部分(第二部分)5b在素体2的棱线部连接,并且互相电连接。在本实施方式中,电极部分5a和电极部分5b一体地形成。电极部分5a沿第一方向D1延伸。电极部分5a,当从第二方向D2观察时,呈现长方形形状。电极部分5b沿第二方向D2延伸。电极部分5b,当从第一方向D1观察时,呈现长方形形状。各个电极部分5a、5b,沿第三方向D3延伸。

[0032] 如图2所示,端子电极5由多个电极层11层叠而构成。在本实施方式中,端子电极5具有层叠的多个电极层11。在本实施方式中,电极层11的数量是“13”。各个电极层11设置于形成于相应的电介质层6的欠缺部。电极层11通过烧成位于形成于生片的欠缺部内的导电性膏体而形成。如上所述,生片和导电性膏体同时地烧成。因此,当从生片得到电介质层6时,得到电极层10,并且从导电性膏体得到电极层11。在实际的端子电极5中,各个电极层11一体化成不能在视觉上识别各个电极层11之间的边界的程度。根据形成于生片的欠缺部,得到烧成后的素体2的、配置有端子电极5的凹部8。

[0033] 各个电极层11,当从第三方向D3观察时,呈现L字形状。电极层11具有多个层部分11a、11b。层部分11a沿第一方向D1延伸。层部分11b沿第二方向D2延伸。电极部分5a通过各个电极层11的层部分11a层叠而构成。在电极部分5a中,层部分11a一体化成视觉上识别不出层部分11a之间的边界的程度。电极部分5b通过各个电极层11的层部分11b层叠而构成。在电极部分5b中,层部分11b一体化成视觉上识别不出层部分11b之间的边界的程度。

[0034] 层叠线圈部件1,如图3所示,具备配置于素体2内的线圈9。线圈9的线圈轴AX沿第三方向D3延伸。当从第三方向D3观察时,线圈9呈现大致半圆形形状。具体地,在线圈9中从第二方向D2观察与端子电极4、5重叠的部分,当从第三方向D3观察时,呈现第二方向D2上的外缘9a的外形从主面(另一主面)2c朝向主面2d变小的形状。线圈9中,与端子电极4和端子电极5相对的部分弯曲。当从第三方向D3观察时,线圈9的外缘9a从端子电极4和端子电极5

分离。

[0035] 具体地,当从第三方向D3观察时,作为由端子电极4的电极部分4a和电极部分4b形成的角落部4c与线圈9的外缘9a之间的最短距离的第一距离L1比作为电极部分4a(例如,电极部分4a的角部)与线圈9的外缘9a之间的最短距离的第二距离L2以及作为电极部分4b(例如,电极部分4b的角部)与线圈9的外缘9a之间的最短距离的第三距离L3大。端子电极4和线圈9的外缘9a在端子电极4的角落部4c的位置处最远离。由此,在端子电极4和线圈9之间,形成有第一区域A1。同样地,当从第三方向D3观察时,作为由端子电极5的电极部分5a和电极部分5b形成的角落部5c与线圈9的外缘9a之间的最短距离的第一距离L1比作为电极部分5a与线圈9的外缘9a之间的最短距离的第二距离L2以及作为电极部分5b与线圈9的外缘9a之间的最短距离的第三距离L3大。在端子电极5和线圈9之间,形成有第二区域A2。

[0036] 线圈9,如图2所示,具有第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24和第六线圈导体25。第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24和第六线圈导体25,沿第三方向D3,以第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24和第六线圈导体25的顺序配置。第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24和第六线圈导体25呈现环的一部分被中途切断的形状,具有一端和另一端。第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24和第六线圈导体25以规定的宽度形成。

[0037] 线圈9具有第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30。第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30,沿第三方向D3,以第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30的顺序配置。

[0038] 第一线圈导体20与一个电极层10和一个电极层11位于相同的层。第一线圈导体20经由连结导体20a而连结于电极层11。连结导体20a与第一线圈导体20位于相同的层。第一线圈导体20的一端与连结导体20a连接。连结导体20a与层部分11a连接。连结导体20a连结第一线圈导体20和电极层11。连结导体20a可以与层部分11b连接。在第一线圈导体20的端,设置有连接部20b。连接部20b在第一线圈导体20中,以从线圈9的外缘9a向外侧突出的方式设置。第一线圈导体20与位于相同的层的电极层10分离。在本实施方式中,第一线圈导体20、连结导体20a、连接部20b以及电极层11一体地形成。

[0039] 第一连接导体26配置于第一线圈导体20与第二线圈导体21之间的电介质层6。一个电极层10和一个电极层11位于配置有第一连接导体26的电介质层6。第一连接导体26从位于相同的层中的电极层10、11分开。第一连接导体26与第一线圈导体20的另一端连接,并且与第二线圈导体21的一端连接。具体地,第一连接导体26连接于第一线圈导体20的连接部20b并且连接于第二线圈导体21的连接部21a。即,第一连接导体26,当从第三方向D3观察时,与第一线圈导体20和第二线圈导体21不重叠。第一连接导体26连结第一线圈导体20和第二线圈导体21。

[0040] 如图3所示,第一连接导体26配置于第二区域A2。第二区域A2是当从第三方向D3观察时,在素体2中,端子电极5与线圈9的外缘9a之间的区域。即,第一连接导体26配置于线圈9的外侧。第二区域A2是端子电极5的内侧的区域,是当从第二方向D2观察时,与端子电极5

(电极部分5a)重叠的区域,并且是当从第一方向D1观察时,与端子电极5(电极部分5b)重叠的区域。第一连接导体26与端子电极5分离而配置。第一连接导体26,当从第三方向D3观察时,配置于连结端子电极5的角落部5c和线圈9的外缘9a,并且为第一距离L1的直线上。第一连接导体26具有规定的宽度。

[0041] 第一连接导体26具有平行于线圈9的外缘9a的部分。第一连接导体26具有长边方向和短边方向。第一连接导体26在长边方向上呈现沿线圈9的形状。当从第三方向D3观察时,第一连接导体26的长边方向的边与线圈9的外缘9a平行。第一连接导体26的长边方向的边沿线圈9的外缘9a弯曲。

[0042] 如图2所示,第二线圈导体21与一个电极层10和一个电极层11位于相同的层。第二线圈导体21从位于相同的层的电极层10、11分离。第一线圈导体20和第二线圈导体21以在第一线圈导体20和第二线圈导体21之间介有电介质层6的状态在第三方向D3上互相相邻。在第二线圈导体21的一端设置有连接部21a。在第二线圈导体21的另一端设置有连接部21b。连接部21a和连接部21b在第二线圈导体21中,以突出至比线圈9的外缘9a更外侧的方式设置。当从第三方向D3观察时,第一线圈导体20的连接部20b和第二线圈导体21的连接部21a一端互相重叠。

[0043] 第二连接导体27配置于第二线圈导体21与第三线圈导体22之间的电介质层6。一个电极层10和一个电极层11位于配置有第二连接导体27的电介质层6。第二连接导体27从位于相同的层的电极层10、11分离。第二连接导体27与第二线圈导体21的另一端连接,并且与第三线圈导体22的一端连接。具体地,第二连接导体27连接于第二线圈导体21的连接部21b,并且连接于第三线圈导体22的连接部22a。即,第二连接导体27,当从第三方向D3观察时,不与第二线圈导体21和第三线圈导体22重叠。第二连接导体27连结第二线圈导体21和第三线圈导体22。

[0044] 如图3所示,第二连接导体27配置于第一区域A1。第一区域A1是,当从第三方向D3观察时,在素体2中,端子电极4和线圈9的外缘9a之间的区域。即,第二连接导体27配置于线圈9的外侧。第一区域A1是端子电极4的内侧的区域,当从第二方向D2观察时,与端子电极4(电极部分4a)重叠的区域,并且是当从第一方向D1观察时,与端子电极4(电极部分4b)重叠的区域。第二连接导体27与端子电极4分离地配置。第二连接导体27,当从第三方向D3观察时,配置于连结端子电极4的角落部4c和线圈9的外缘9a并且成为第一距离L1的直线上。第二连接导体27具有规定的宽度。

[0045] 第二连接导体27具有平行于线圈9的外缘9a的部分。第二连接导体27具有长边方向和短边方向。第二连接导体27呈现在长边方向上沿线圈9的形状。当从第三方向D3观察时,第二连接导体27的长边方向的边与线圈9的外缘9a平行。第二连接导体27的长边方向的边沿线圈9的外缘9a弯曲。

[0046] 如图2所示,第三线圈导体22与一个电极层10和一个电极层11位于相同的层。第三线圈导体22从位于相同的层的电极层10、11分离。第二线圈导体21和第三线圈导体22以在第二线圈导体21和第三线圈导体22之间介有电介质层6的状态在第三方向D3上互相相邻。在第三线圈导体22的一端设置有连接部22a。在第三线圈导体22的另一端设置有连接部22b。连接部22a和连接部22b在第三线圈导体22中,以突出至比线圈9的外缘9a更外侧的方式设置。当从第三方向D3观察时,第二线圈导体21的连接部21b和第三线圈导体22的连接部

22a互相重叠。

[0047] 第三连接导体28配置于第三线圈导体22与第四线圈导体23之间的电介质层6。一个电极层10和一个电极层11位于配置有第三连接导体28的电介质层6。第三连接导体28从位于相同的层的电极层10、11分离。第三连接导体28与第三线圈导体22的另一端连接,并且与第四线圈导体23的一端连接。具体地,第三连接导体28连接于第三线圈导体22的连接部22b,并且连接于第四线圈导体23的连接部23a。即,第三连接导体28,当从第三方向D3观察时,不与第三线圈导体22和第四线圈导体23重叠。第三连接导体28连结第三线圈导体22和第四线圈导体23。

[0048] 第三连接导体28配置于线圈9的外侧的区域。第三连接导体28具有规定的宽度。第三连接导体28呈现长方形形状。第三连接导体28沿第一方向D1延伸。

[0049] 如图2所示,第四线圈导体23与一个电极层10和一个电极层11位于相同的层。第四线圈导体23从位于相同的层的电极层10、11分离。第三线圈导体22和第四线圈导体23以在第三线圈导体22和第四线圈导体23之间介有电介质层6的状态在第三方向D3上互相相邻。在第四线圈导体23的一端设置有连接部23a。在第四线圈导体23的另一端设置有连接部23b。连接部23a和连接部23b在第四线圈导体23中,以突出至比线圈9的外缘9a更外侧的方式设置。当从第三方向D3观察时,第三线圈导体22的连接部22b和第四线圈导体23的连接部23a互相重叠。

[0050] 第四连接导体29配置于第四线圈导体23与第五线圈导体24之间的电介质层6。一个电极层10和一个电极层11位于配置有第四连接导体29的电介质层6。第四连接导体29从位于相同的层的电极层10、11分离。第四连接导体29与第四线圈导体23的另一端连接,并且与第五线圈导体24的一端连接。具体地,第四连接导体29连接于第四线圈导体23的连接部23b,并且连接于第五线圈导体24的连接部24a。即,第四连接导体29,当从第三方向D3观察时,与第四线圈导体23和第五线圈导体24不重叠。第四连接导体29连结第四线圈导体23和第五线圈导体24。

[0051] 第四连接导体29配置于线圈9的外侧的区域。第四连接导体29具有规定的宽度。第四连接导体29呈现长方形形状。第四连接导体29沿第一方向D1延伸。

[0052] 第五线圈导体24与一个电极层10和一个电极层11位于相同的层。第五线圈导体24从位于相同的层的电极层10、11分离。第四线圈导体23和第五线圈导体24以在第四线圈导体23和第五线圈导体24之间介有电介质层6的状态在第三方向D3上互相相邻。在第五线圈导体24的一端设置有连接部24a。在第五线圈导体24的另一端设置有连接部24b。连接部24a和连接部24b在第五线圈导体24中,以突出至比线圈9的外缘9a更外侧的方式设置。当从第三方向D3观察时,第四线圈导体23的连接部23b和第五线圈导体24的连接部24a互相重叠。

[0053] 第五连接导体30配置于第五线圈导体24和第六线圈导体25之间的电介质层6。一个电极层10和一个电极层11位于配置有第五连接导体30的电介质层6。第五连接导体30从位于相同的层的电极层10、11分离。第五连接导体30与第五线圈导体24的另一端连接,并且与第六线圈导体25的一端连接。具体地,第五连接导体30连接于第五线圈导体24的连接部24b,并且连接于第六线圈导体25的连接部25b。即,第五连接导体30,当从第三方向D3观察时,不与第五线圈导体24和第六线圈导体25重叠。第五连接导体30连结第五线圈导体24和第六线圈导体25。如图3所示,第五连接导体30配置于第二区域A2。第五连接导体30呈现与

第一连接导体26相同的形状。

[0054] 如图2所示,第六线圈导体25与一个电极层10和一个电极层11位于相同的层。第六线圈导体25经由连结导体25a而连结于电极层10。连结导体25a与第六线圈导体25位于相同的层。第六线圈导体25的另一端与连结导体25a连接。连结导体25a与层部分10a连接。连结导体25a连结第六线圈导体25和电极层10。连结导体25a可以与层部分10b连接。在第六线圈导体25的端,设置有连接部25b。连接部25b在第六线圈导体25中,以从线圈9的外缘9a向外侧突出的方式设置。第六线圈导体25与位于相同的层的电极层11分离。在本实施方式中,第六线圈导体25、连结导体25a、连接部25b以及电极层10一体地形成。

[0055] 第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24和第六线圈导体25通过第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30而电连接。第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24和第六线圈导体25构成线圈9。线圈9通过连结导体20a而与端子电极5电连接。线圈9通过连结导体25a而与端子电极4电连接。

[0056] 第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24、第六线圈导体25、连结导体20a、25a、以及、第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30包含导电性材料。导电性材料包含Ag或Pd。第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24、第六线圈导体25、连结导体20a、25a、以及、第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30构成为包含导电性材料粉末的导电性膏体的烧结体。导电性材料粉末,例如,包含Ag粉末或Pd粉末。

[0057] 在本实施方式中,第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24、第六线圈导体25、连结导体20a、25a、以及、第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30包含与各个端子电极4、5相同的导电性材料。第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24、第六线圈导体25、连结导体20a、25a、以及、第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30也可以包含与各个端子电极4、5不同的导电性材料。

[0058] 第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24、第六线圈导体25、连结导体20a、25a、以及、第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30设置于形成于对应的电介质层6的欠缺部。第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24、第六线圈导体25、连结导体20a、25a、以及、第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30通过烧成有位于形成于生片的欠缺部内的导电性膏体而形成。如上所述同时地烧成生片和导电性膏体。因此,当从生片获得电介质层6时,从导电性膏体获得第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24、第六线圈导体25、连结导体20a、25a、以及、第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30。

[0059] 形成于生片的欠缺部,例如,通过以下的过程形成。首先,通过在基材上赋予含有电介质层6的构成材料以及感光材料的素体膏体,形成生片。基材例如是PET膜。包含于素体

膏体的光敏材料可以是负型或正型中的任何一个,并且可以使用公知的材料。接着,使用对应于欠缺部的掩模,通过光刻法曝光和显影生片,欠缺部形成于基材上的生片。形成欠缺部的生片是素体图形。

[0060] 电极层10、11、第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23和第五线圈导体24、连结导体20a、25a、以及、第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30,例如,通过以下的过程形成。

[0061] 首先,通过在基材上赋予含有光敏材料的导电性膏体,形成导体材料层。包含于导电性膏体的光敏材料可以是负型或正型中的任何一个,并且可以使用公知的材料。接着,使用对应于欠缺部的掩模,通过光刻法曝光和显影导体材料层,从而在基材上形成相应于欠缺部的形状的导体图形。

[0062] 层叠线圈部件1例如接着上述的过程通过以下的过程得到。通过将导体图形组合于素体图形的欠缺部,预备与素体图形和导体图形位于相同的层的薄片。在对层叠已预备的规定片数的薄片所得的层叠体进行热处理之后,从层叠体得到多个生芯片。在本过程中,例如,通过切割机将生层叠体切割成芯片状。由此,可以得到具有规定的大小的多个生芯片。接着,烧成生芯片。通过该烧成,得到层叠线圈部件1。在层叠线圈部件1中,端子电极4、5与线圈9一体地形成。

[0063] 如以上所说明的,在本实施方式所涉及的层叠线圈部件1中,第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30,当从第三方向D3观察时,配置于与第三线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23和第五线圈导体24不重叠的位置。第一连接导体26、第二连接导体27和第五连接导体30,当从第三方向D3观察时,配置于端子电极4与线圈9的外缘9a之间的第一区域A1或端子电极5与线圈与线圈9的外缘9a之间的第二区域A2。如此,在层叠线圈部件1中,将第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23和第五线圈导体24与第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30的位置在层叠方向上偏移。由此,在层叠线圈部件1中,通过层叠有第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23和第五线圈导体24与第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30,可以避免体积变大。因此,在层叠线圈部件中,即使在对素体2施加压力的情况下,也能够抑制变形产生。因此,在层叠线圈部件1中,能够抑制在第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23和第五线圈导体24与第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30之间发生短路。

[0064] 另外,在层叠线圈部件1中,配置有第一连接导体26、第二连接导体27和第五连接导体30的第一区域A1或第二区域A2,从第二方向D2观察与端子电极4、5的电极部分4a、5a重叠,并且从第一方向D1观察与电极部分4b、5b重叠。如上所述,在层叠线圈部件1中,由于将第一连接导体26、第二连接导体27和第五连接导体30配置于端子电极4、5的内侧的第一区域A1或第二区域A2,因此与将第一连接导体26、第二连接导体27和第五连接导体30配置于线圈9的内侧的情况相比,能够抑制特性的降低。其结果,在层叠线圈部件1中,可以实现小型化,并且抑制可靠性的降低。

[0065] 在层叠线圈部件1中,由于第一连接导体26、第二连接导体27和第五连接导体30与

端子电极4或端子电极5相对的面积与第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23和第五线圈导体24相比小,因此在第一连接导体26、第二连接导体27和第五连接导体30与端子电极4或端子电极5几乎不形成寄生电容。因此,在层叠线圈部件1中,即使在第一区域A1或第二区域A配置第一连接导体26、第二连接导体27和第五连接导体30的情况下,也能够抑制由寄生电容引起的特性的降低。

[0066] 在本实施方式所涉及的层叠线圈部件1中,配置于第一区域A1或第二区域A2的第一连接导体26、第二连接导体27和第五连接导体30,当从第三方向D3观察时,具有成为与线圈9的外缘9a平行的部分。例如,在配置于第一区域A1或第二区域A2的连接导体呈现圆形形状的情况下,当增加连接导体的面积时,连接导体与端子电极4和端子电极5之间的距离缩短,并且形成于连接导体与端子电极4或端子电极5之间的寄生电容变大。在本实施方式所涉及的层叠线圈部件1中,通过将第一连接导体26、第二连接导体27和第五连接导体30设定为上述形状,从而能够确保第一连接导体26、第二连接导体27和第五连接导体30的面积,并且增加端子电极4或端子电极5与第一连接导体26、第二连接导体27和第五连接导体30之间的距离。因此,在层叠线圈部件1中,能够可靠地连接线圈导体彼此,并且减小产生于端子电极4和端子电极5与线圈9之间的寄生电容。其结果,在层叠线圈部件1中,可以谋求特性的改善。

[0067] 在本实施方式所涉及的层叠线圈部件1中,在线圈9中沿第二方向D2观察与端子电极4、5重叠的部分,当从第三方向D3观察时,呈现第二方向D2上的外缘9a的外形从主面2c朝向主面2d减小的形状。在该结构中,在端子电极4、5与线圈9的外缘9a之间,能够可靠地确保配置有第一连接导体26、第二连接导体27和第五连接导体30的第一区域A1和第二区域A2。

[0068] 在本实施方式所涉及的层叠线圈部件1中,当从第三方向D3观察时,作为由电极部分4a、5a和电极部分4b、5b形成的角落部4c、5c与线圈9的外缘9a之间的最短距离的第一距离L1比作为电极部分4a、5a与线圈9的外缘9a之间的最短距离的第二距离L2以及作为电极部分4b、5b与线圈9的外缘9a之间的最短距离的第三距离L3大。在该结构中,能够可靠地确保配置有第一连接导体26、第二连接导体27和第五连接导体30的第一区域A1和第二区域A2。

[0069] 在本实施方式所涉及的层叠线圈部件1中,配置于第一区域A1或第二区域A2的第一连接导体26、第二连接导体27和第五连接导体30,当从第三方向D3观察时,配置于连结端子电极4、5的角落部4c、5c和线圈9的外缘9a,并且成为第一距离L1的直线上。在该结构中,能够最大化端子电极4、5与配置于第一区域A1或第二区域A2中的第一连接导体26、第二连接导体27和第五连接导体30之间的距离。因此,在层叠线圈部件1中,能够减小在端子电极4、5与线圈9之间产生的寄生电容。其结果,在层叠线圈部件1中,能够谋求特性的提高。

[0070] [第二实施方式]

[0071] 接下来,对第二实施方式进行说明。如图4所示,层叠线圈部件1A具备呈现长方体形状的素体2和一对端子电极4A、5A。

[0072] 层叠线圈部件1具备配置于素体2内的线圈9A。线圈9A的线圈轴AX沿第三方向D3延伸。当从第三方向D3观察时,线圈9A呈现大致半圆形形状。线圈9A中,与端子电极4和端子电极5相对的部分弯曲。当从第三方向D3观察时,线圈9A的外缘9Aa从端子电极4和端子电极5分离。

[0073] 具体地,当从第三方向D3观察时,作为由端子电极4的电极部分4a和电极部分4b形成的角落部4c与线圈9A的外缘9Aa之间的最短距离的第一距离L1比作为电极部分4a(例如,电极部分4a的角部)与线圈9A的外缘9Aa之间的最短距离的第二距离L2以及作为电极部分4b(例如,电极部分4b的角部)与线圈9A的外缘9Aa之间的最短距离的第三距离L3大。在端子电极4和线圈9A之间,形成有第一区域A1。同样地,当从第三方向D3观察时,作为由端子电极5的电极部分5a和电极部分5b形成的角落部5c与线圈9A的外缘9Aa之间的最短距离的第一距离L1比作为电极部分5a与线圈9A的外缘9Aa之间的最短距离的第二距离L2以及作为电极部分5b与线圈9A的外缘9Aa之间的最短距离的第三距离L3大。在端子电极5和线圈9A之间,形成有第二区域A2。

[0074] 如图5所示,线圈9A具有第一线圈导体31、第二线圈导体32、第三线圈导体33、第四线圈导体34、第五线圈导体35和第六线圈导体36。第一线圈导体31、第二线圈导体32、第三线圈导体33、第四线圈导体34、第五线圈导体35和第六线圈导体36,沿第三方向D3,以第一线圈导体31、第二线圈导体32、第三线圈导体33、第四线圈导体34、第五线圈导体35和第六线圈导体36的顺序配置。第一线圈导体31、第二线圈导体32、第三线圈导体33、第四线圈导体34、第五线圈导体35和第六线圈导体36呈现环的一部分被中途切断的形状,具有一端和另一端。第一线圈导体31、第二线圈导体32、第三线圈导体33、第四线圈导体34、第五线圈导体35和第六线圈导体36以规定的宽度形成。

[0075] 线圈9A具有第一连接导体37、第二连接导体38、第三连接导体39、第四连接导体40和第五连接导体41。第一连接导体37、第二连接导体38、第三连接导体39、第四连接导体40和第五连接导体41,沿第三方向D3,以第一连接导体37、第二连接导体38、第三连接导体39、第四连接导体40和第五连接导体41的顺序配置。

[0076] 第一线圈导体31与一个电极层10和一个电极层11位于相同的层。第一线圈导体31经由连结导体31a而连结于电极层11。连结导体31a与第一线圈导体31位于相同的层。第一线圈导体31的一端与连结导体31a连接。连结导体31a与层部分11a连接。连结导体31a连结第一线圈导体31和电极层11。连结导体31a可以与层部分11b连接。在第一线圈导体31的端,设置有连接部31b。连接部31b在第一线圈导体31中,以从线圈9A的外缘9Aa向外侧突出的方式设置。第一线圈导体31与位于相同的层的电极层10分离。在本实施方式中,第一线圈导体31、连结导体31a、连接部31b以及电极层11一体地形成。

[0077] 第一连接导体37配置于第一线圈导体31与第二线圈导体32之间的电介质层6。一个电极层10和一个电极层11定位于配置有第一连接导体37的电介质层6。第一连接导体37从位于相同的层中的电极层10、11分开。第一连接导体37与第一线圈导体31的另一端连接,并且与第二线圈导体32的一端连接。具体地,第一连接导体37连接于第一线圈导体31的连接部31b并且连接于第二线圈导体32的连接部32a。即,第一连接导体37,当从第三方向D3观察时,与第一线圈导体31和第二线圈导体32不重叠。第一连接导体37连结第一线圈导体31和第二线圈导体32。如图4所示,第一连接导体37配置于第二区域A2。第一连接导体37具有与第一连接导体26相同的结构。

[0078] 如图5所示,第二线圈导体32与一个电极层10和一个电极层11位于相同的层。第二线圈导体32从位于相同的层的电极层10、11分离。第一线圈导体31和第二线圈导体32以在第一线圈导体31和第二线圈导体32之间介有电介质层6的状态在第三方向D3上互相相邻。

在第二线圈导体32的一端设置有连接部32a。在第二线圈导体32的另一端设置有连接部32b。连接部32a和连接部32b在第二线圈导体32中,以突出至比线圈9A的外缘9Aa更外侧的方式设置。当从第三方向D3观察时,第一线圈导体31的连接部31b和第二线圈导体32的连接部32a一端互相重叠。

[0079] 第二连接导体38配置于第二线圈导体32与第三线圈导体33之间的电介质层6。一个电极层10和一个电极层11位于配置有第二连接导体38的电介质层6。第二连接导体38从位于相同的层的电极层10、11分离。第二连接导体38与第二线圈导体32的另一端连接,并且与第三线圈导体33的一端连接。具体地,第二连接导体38连接于第二线圈导体32的连接部32b,并且连接于第三线圈导体33的连接部33a。即,第二连接导体38,当从第三方向D3观察时,与第二线圈导体32和第三线圈导体33不重叠。第二连接导体38连结第二线圈导体32和第三线圈导体33。如图4所示,第二连接导体38配置于第一区域A1。第二连接导体38具有与第二连接导体27相同的结构。

[0080] 如图5所示,第三线圈导体33与一个电极层10和一个电极层11位于相同的层。第三线圈导体33从位于相同的层的电极层10、11分离。第二线圈导体32和第三线圈导体33以在第二线圈导体32和第三线圈导体33之间介有电介质层6的状态在第三方向D3上互相相邻。在第三线圈导体33的一端设置有连接部33a。在第三线圈导体33的另一端设置有连接部33b。连接部33a,在第三线圈导体33中,以突出至比线圈9A的外缘9Aa更外侧的方式设置。连接部33b,在第三线圈导体33中,以突出至比线圈9A的外缘9Aa更外侧的方式设置。当从第三方向D3观察时,第二线圈导体32的连接部32b和第三线圈导体33的连接部33a互相重叠。

[0081] 第三连接导体39配置于第三线圈导体33与第四线圈导体34之间的电介质层6。一个电极层10和一个电极层11位于配置有第三连接导体39的电介质层6。第三连接导体39从位于相同的层的电极层10、11分离。第三连接导体39与第三线圈导体33的另一端连接,并且与第四线圈导体34的一端连接。具体地,第三连接导体39连接于第三线圈导体33的连接部33b,并且连接于第四线圈导体34的连接部34a。即,第三连接导体39,当从第三方向D3观察时,与第三线圈导体33和第四线圈导体34不重叠。第三连接导体39连结第三线圈导体33和第四线圈导体34。

[0082] 第三连接导体39配置于线圈9A的内侧的区域。第三连接导体39位于线圈9A的内缘9Ab的内侧。第三连接导体39具有规定的宽度。第三连接导体39呈现L字状。第三连接导体39具有沿第一方向D1延伸的部分和沿第二方向D2延伸的部分。

[0083] 第四线圈导体34与一个电极层10和一个电极层11位于相同的层。第四线圈导体34从位于相同的层的电极层10、11分离。第三线圈导体33和第四线圈导体34以在第三线圈导体33和第四线圈导体34之间介有电介质层6的状态在第三方向D3上互相相邻。在第四线圈导体34的一端设置有连接部34a。在第四线圈导体34的另一端设置有连接部34b。连接部34a和连接部34b在第四线圈导体34中,以突出至比线圈9A的内缘9Ab更内侧的方式设置。当从第三方向D3观察时,第三线圈导体33的连接部33b和第四线圈导体34的连接部34a互相重叠。

[0084] 第四连接导体40配置于第四线圈导体34与第五线圈导体35之间的电介质层6。一个电极层10和一个电极层11位于配置有第四连接导体40的电介质层6。第四连接导体40从位于相同的层的电极层10、11分离。第四连接导体40与第四线圈导体34的另一端连接,并且

与第五线圈导体35的一端连接。具体地,第四连接导体40连接于第四线圈导体34的连接部34b,并且连接于第五线圈导体35的连接部35a。即,第四连接导体40,当从第三方向D3观察时,与第四线圈导体34和第五线圈导体35不重叠。第四连接导体40连结第四线圈导体34和第五线圈导体35。

[0085] 第四连接导体40配置于线圈9A的内侧的区域。第四连接导体40位于线圈9A的内缘9Ab的内侧。第四连接导体40具有规定的宽度。第四连接导体40呈现L字状。第四连接导体40具有沿第一方向D1延伸的部分和沿第二方向D2延伸的部分。

[0086] 第五线圈导体35与一个电极层10和一个电极层11位于相同的层。第五线圈导体35从位于相同的层的电极层10、11分离。第四线圈导体34和第五线圈导体35以在第四线圈导体34和第五线圈导体35之间介有电介质层6的状态在第三方向D3上互相相邻。在第五线圈导体35的一端设置有连接部35a。在第五线圈导体35的另一端设置有连接部35b。连接部35a在第五线圈导体35中,以突出至比线圈9的外缘9a更外侧的方式设置。连接部35b在第五线圈导体35中,以突出至比线圈9的外缘9a更外侧的方式设置。当从第三方向D3观察时,第四线圈导体34的连接部34b和第五线圈导体35的连接部35a互相重叠。

[0087] 第五连接导体41配置于第五线圈导体35和第六线圈导体36之间的电介质层6。一个电极层10和一个电极层11位于配置有第五连接导体41的电介质层6。第五连接导体41从位于相同的层的电极层10、11分离。第五连接导体41与第五线圈导体35的另一端连接,并且与第六线圈导体36的一端连接。具体地,第五连接导体41连接于第五线圈导体35的连接部35b,并且连接于第六线圈导体36的连接部36b。即,第五连接导体41,当从第三方向D3观察时,与第五线圈导体35和第六线圈导体36不重叠。第五连接导体41连结第五线圈导体35和第六线圈导体36。如图4所示,第五连接导体41配置于第二区域A2。第五连接导体41具有与第一连接导体37相同的结构。

[0088] 如图5所示,第六线圈导体36与一个电极层10和一个电极层11位于相同的层。第六线圈导体36经由连结导体36a而连结于电极层10。连结导体36a与第六线圈导体36位于相同的层。第六线圈导体36的另一端与连结导体36a连接。连结导体36a与层部分10a连接。连结导体36a连结第六线圈导体36和电极层10。连结导体36a可以与层部分10b连接。在第六线圈导体36的端,设置有连接部36b。连接部36b在第六线圈导体36中,以从线圈9A的外缘9Aa向外侧突出的方式设置。第六线圈导体36与位于相同的层的电极层11分离。在本实施方式中,第六线圈导体36、连结导体26a、以及电极层10一体地形成。

[0089] 第一线圈导体31、第二线圈导体32、第三线圈导体33、第四线圈导体34、第五线圈导体35和第六线圈导体36通过第一连接导体37、第二连接导体38、第三连接导体39、第四连接导体40和第五连接导体41而电连接。第一线圈导体31、第二线圈导体32、第三线圈导体33、第四线圈导体34、第五线圈导体35和第六线圈导体36构成线圈9A。线圈9A通过连结导体31a而与端子电极5电连接。线圈9A通过连结导体36a而与端子电极4电连接。

[0090] 如以上所说明的,在本实施方式所涉及的层叠线圈部件1A中,与层叠线圈部件1同样地,能够实现小型化并且抑制可靠性的降低。

[0091] [第三实施方式]

[0092] 接下来,对第三实施方式进行说明。如图6所示,层叠线圈部件1B具备呈现长方体形状的素体2和一对端子电极4A、5A。

[0093] 端子电极4A,当从第三方向D3观察时,呈现L字形状。端子电极4A具有多个电极部分4Aa、4Ab。电极部分4Aa和电极部分4Ab在素体2的棱线部连接,并且互相电连接。在本实施方式中,电极部分4Aa和电极部分4Ab一体地形成。电极部分4Aa沿第一方向D1延伸。电极部分4Aa,当从第二方向D2观察时,呈现长方形形状。电极部分4Ab沿第二方向D2延伸。电极部分4Ab,当从第一方向D1观察时,呈现长方形形状。各个电极部分4Aa、4Ab,沿第三方向D3延伸。端子电极4A在与素体2相对的部分,形成有凹凸4Ad。凹凸4Ad在第三方向D3上连续地形成有凸部分和凹部分。

[0094] 如图7所示,端子电极4A由多个电极层(第二电极层)50和多个电极层(第一电极层)51层叠而构成。在本实施方式中,端子电极4A具有层叠的多个电极层50和多个电极层51。在本实施方式中,电极层50的数量是“8”。电极层51的数量是“5”。各个电极层50、51设置于形成于相应的电介质层6的欠缺部。电极层50、51通过烧成位于形成于生片的欠缺部内的导电性膏体而形成。生片和导电性膏体同时地烧成。因此,当从生片得到电介质层6时,从导电性膏体得到电极层50、51。在实际的端子电极4A中,各个电极层50、51一体化成不能在视觉上识别各个电极层50、51之间的边界的程度。根据形成于生片的欠缺部,得到烧成后的素体2的、配置有端子电极4A的凹部7A。

[0095] 各个电极层50,当从第三方向D3观察时,呈现L字形状。电极层50具有多个层部分50a、50b。在本实施方式中,电极层50具有一对层部分50a、50b。层部分50a沿第一方向D1延伸。层部分50b沿第二方向D2延伸。各个电极层51,当从第三方向D3观察时,呈现L字形状。电极层51具有多个层部分51a、51b。在本实施方式中,电极层51具有一对层部分51a、51b。层部分51a沿第一方向D1延伸。层部分51b沿第二方向D2延伸。

[0096] 层部分50a的第二方向D2上的宽度W1比层部分51a的第二方向D2上的宽度W3大。换句话说,层部分51a的第二方向D2上的宽度W3比层部分50a的第二方向D2上的宽度W1小。层部分50b的第一方向D1上的宽度W2比层部分51b的第一方向D1上的宽度W4大。换句话说,层部分51b的第一方向D1上的宽度W4比层部分50b的第一方向D1上的宽度W2小。端子电极4A通过层叠有电极层50和电极层51,形成有凹凸4Ad。在电极部分4Aa中,层部分50a、51a一体化成视觉上识别不出层部分50a、51a之间的边界的程度。电极部分4Ab通过层叠有各电极层50、51的层部分50b、51b而构成。在电极部分4Ab中,层部分50b、51b一体化成视觉上识别不出层部分50b、51b之间的边界的程度。

[0097] 如图6所示,端子电极5A,当从第三方向D3观察时,呈现L字形状。端子电极5A具有多个电极部分5Aa、5Ab。电极部分5Aa和电极部分5Ab在素体2的棱线部连接,并且互相电连接。在本实施方式中,电极部分5Aa和电极部分5Ab一体地形成。电极部分5Aa沿第一方向D1延伸。电极部分5Aa,当从第二方向D2观察时,呈现长方形形状。电极部分5Ab沿第二方向D2延伸。电极部分5Ab,当从第一方向D1观察时,呈现长方形形状。各个电极部分5Aa、5Ab,沿第三方向D3延伸。端子电极5A在与素体2相对的部分,形成有凹凸5Ad。凹凸5Ad在第三方向D3上连续地形成有凸部分和凹部分。

[0098] 如图7所示,端子电极5A由多个电极层(第二电极层)52和多个电极层(第一电极层)53层叠而构成。在本实施方式中,端子电极5A具有层叠的多个电极层52和多个电极层53。在本实施方式中,电极层52的数量是“8”。电极层53的数量是“5”。各个电极层52、53设置于形成于相应的电介质层6的欠缺部。电极层52、53通过烧成位于形成于生片的欠缺部内的

导电性膏体而形成。生片和导电性膏体同时地烧成。因此,当从生片得到电介质层6时,从导电性膏体得到电极层52、53。在实际的端子电极5A中,各个电极层52、53一体化成不能在视觉上识别各个电极层52、53之间的边界的程度。根据形成于生片的欠缺部,得到烧成后的素体2的、配置有端子电极5A的凹部8A。

[0099] 各个电极层52,当从第三方向D3观察时,呈现L字形状。电极层52具有多个层部分52a、52b。在本实施方式中,电极层52具有一对层部分52a、52b。层部分52a沿第一方向D1延伸。层部分52b沿第二方向D2延伸。各个电极层53,当从第三方向D3观察时,呈现L字形状。电极层53具有多个层部分53a、53b。在本实施方式中,电极层53具有一对层部分53a、53b。层部分53a沿第一方向D1延伸。层部分53b沿第二方向D2延伸。

[0100] 如图6所示,层部分52a的第二方向D2上的宽度W1比层部分53a的第二方向D2上的宽度W3大。换句话说,层部分53a的第二方向D2上的宽度W3比层部分52a的第二方向D2上的宽度W1小。层部分52b的第一方向D1上的宽度W2比层部分53b的第一方向D1上的宽度W4大。换句话说,层部分53b的第一方向D1上的宽度W4比层部分52b的第一方向D1上的宽度W2小。端子电极5A通过层叠有电极层52和电极层53,形成有凹凸5Ad。在电极部分5Aa中,层部分52a、53a一体化成视觉上识别不出层部分52a、53a之间的边界的程度。电极部分5Ab通过层叠有各电极层52、53的层部分52b、53b而构成。在电极部分5Ab中,层部分52b、53b一体化成视觉上识别不出层部分52b、53b之间的边界的程度。

[0101] 层叠线圈部件1B,具备配置于素体2内的线圈9。线圈9的线圈轴AX沿第三方向D3延伸。当从第三方向D3观察时,线圈9呈现大致半圆形形状。线圈9中,与端子电极4A和端子电极5A相对的部分弯曲。当从第三方向D3观察时,线圈9的外缘9a从端子电极4A和端子电极5A分离。

[0102] 具体地,当从第三方向D3观察时,作为由端子电极4A的电极部分4Aa和电极部分4Ab形成的角落部4Ac与线圈9的外缘9a之间的最短距离的第一距离L1比作为电极部分4Aa与线圈9的外缘9a之间的最短距离的第二距离L2以及作为电极部分4Ab与线圈9的外缘9a之间的最短距离的第三距离L3大。在端子电极4A和线圈9之间,形成有第一区域A1。同样地,当从第三方向D3观察时,作为由端子电极5A的电极部分5Aa和电极部分5Ab形成的角落部5Ac与线圈9的外缘9a之间的最短距离的第一距离L1比作为电极部分5Aa与线圈9的外缘9a之间的最短距离的第二距离L2以及作为电极部分5Ab与线圈9的外缘9a之间的最短距离的第三距离L3大。在端子电极5A和线圈9之间,形成有第二区域A2。

[0103] 如图7所示,第一线圈导体20与一个电极层50和一个电极层52位于相同的层。第一线圈导体20经由连结导体20a而连结于电极层52。连结导体20a与层部分52a连接。连结导体20a连结第一线圈导体20和电极层52。连结导体20a可以与层部分52b连接。第一线圈导体20与位于相同的层的电极层50分离。在本实施方式中,第一线圈导体20、连结导体20a、连接部20b以及电极层52一体地形成。

[0104] 第一连接导体26配置于第一线圈导体20与第二线圈导体21之间的电介质层6。一个电极层51和一个电极层53位于配置有第一连接导体26的电介质层6。第一连接导体26从位于相同的层的电极层51、53分离。如图6所示,第一连接导体26配置于第二区域A2。

[0105] 如图7所示,第二线圈导体21与一个电极层50和一个电极层51位于相同的层。第二线圈导体21从位于相同的层的电极层50、51分离。

[0106] 第二连接导体27配置于第二线圈导体21与第三线圈导体22之间的电介质层6。一个电极层51和一个电极层53位于配置有第二连接导体27的电介质层6。第二连接导体27从位于相同的层的电极层51、53分离。如图6所示,第二连接导体27配置于第一区域A1。

[0107] 如图7所示,第三线圈导体22与一个电极层50和一个电极层52位于相同的层。第三线圈导体22从位于相同层的电极层50、52分离。

[0108] 第三连接导体28配置于第三线圈导体22与第四线圈导体23之间的电介质层6。一个电极层51和一个电极层53位于配置有第三连接导体28的电介质层6。第三连接导体28从位于相同的层的电极层51、53分离。

[0109] 第四线圈导体23与一个电极层50和一个电极层52位于相同的层。第四线圈导体23从位于相同的层的电极层50、52分离。

[0110] 第四连接导体29配置于第四线圈导体23和第五线圈导体24之间的电介质层6。一个电极层51和一个电极层53位于配置有第四连接导体29的电介质层6。第四连接导体29从位于相同的层的电极层51、53分离。

[0111] 第五线圈导体24与一个电极层50和一个电极层52位于相同的层。第五线圈导体24从位于相同的层的电极层50、52分离。

[0112] 第五连接导体30配置于第五线圈导体24与第六线圈导体25之间的电介质层6。一个电极层51和一个电极层53位于配置有第五连接导体30的电介质层6。第五连接导体30从位于相同的层的电极层51、53分离。如图6所示,第五连接导体30配置于第二区域A2。

[0113] 如图7所示,第六线圈导体25与一个电极层50和一个电极层52位于相同的层。第六线圈导体25经由连结导体25a而连结于电极层50。连结导体25a与层部分50a连接。连结导体25a连结第六线圈导体25和电极层50。连结导体25a可以与层部分50b连接。第六线圈导体25与位于相同的层的电极层52分离。在本实施方式中,第六线圈导体25、连结导体25a、连接部25b以及电极层50一体地形成。

[0114] 如以上所说明的,在本实施方式所涉及的层叠线圈部件1B中,与层叠线圈部件1同样地,能够实现小型化并且抑制可靠性的降低。

[0115] 在本实施方式所涉及的层叠线圈部件1B中,端子电极4A、5A在第三方向D3上层叠有电极层50、52和电极层51、53而形成。当从第三方向D3观察时,电极层51、53的第二方向D2的宽度W3和第一方向D1的宽度W4比电极层50、52的第二方向D2的宽度W1和第一方向D1的宽度W2小。配置于第一区域A1或第二区域A2的第一连接导体26、第二连接导体27和第五连接导体30配置于与电极层51、53相同的层。在该结构中,可以增加端子电极4A、5A与配置于第一区域A1或第二区域A2的第一连接导体26、第二连接导体27和第五连接导体30之间的距离。因此,在层叠线圈部件1B中,能够减小产生于端子电极4A、5A与线圈9之间的寄生电容。其结果,能够谋求层叠线圈部件1B的特性的提高。

[0116] 在上文中,已经对本发明的实施方式进行了说明,但是本发明不必限于上述实施方式,并且可以在不脱离本发明的主旨的情况下进行各种改变。

[0117] 在上述实施方式中,以线圈9包含第一线圈导体20、第二线圈导体21、第三线圈导体22、第四线圈导体23、第五线圈导体24、第六线圈导体25、第一连接导体26、第二连接导体27、第三连接导体28、第四连接导体29和第五连接导体30的方式作为一例进行说明。然而,构成线圈9的多个线圈导体和多个连接导体的数量不限于上述的值。对线圈9A也是同样的。

[0118] 在上述实施方式中,在层叠线圈部件1中,以在第一区域A1配置有第二连接导体27,并且在第二区域A2配置有第一连接导体26和第五连接导体30的方式作为一例进行说明。然而,在第一区域A1或第二区域A2,可以配置有多个连接导体中的至少两个。对层叠线圈部件1A、1B也是同样的。

[0119] 在上述实施方式中,以当从第三方向D3观察时,线圈9呈现大致半圆形形状作为一例进行说明。然而,线圈9的形状不限于此。线圈9可以呈现例如三角形形状。线圈9,从第二方向D2观察与端子电极4、5重叠的部分,当从第三方向D3观察时,可以呈现第二方向D2上的外缘9a的外形从主面2c朝向主面2d变小的形状。

[0120] 在上述实施方式中,以端子电极4、4A具有电极部分4a、4Aa和电极部分4b、4Ab,端子电极5、5A具有电极部分5a、5Aa和电极部分5b、5Ab,端子电极4、4A和端子电极5、5A的各个当从第三方向D3观察时,呈现L字形形状的方式作为一例进行说明。电极部分4a、4Aa和电极部分5a、5Aa,当从第三方向D3观察时,作为整体可以沿第一方向D1延伸。另外,电极部分4a、4Aa和电极部分5a、5Aa,当从第三方向D3观察时,作为整体可以沿第二方向D2延伸。因此,在电极部分4a、4Aa、电极部分4b、4Ab、电极部分5a、5Aa以及电极部分5b、5Ab中,可以在与素体2接触(相对)的面设置有凹凸。

[0121] 在上述实施方式中,以端子电极4的角落部4c通过成大致直角的电极部分4a和电极部分4b来划定的方式作为一例进行说明。然而,角落部4c可以由从电极部分4a朝向电极部分4b弯曲的面来划定,也可以由从电极部分4a朝向电极部分4b的线性倾斜的面来划定。

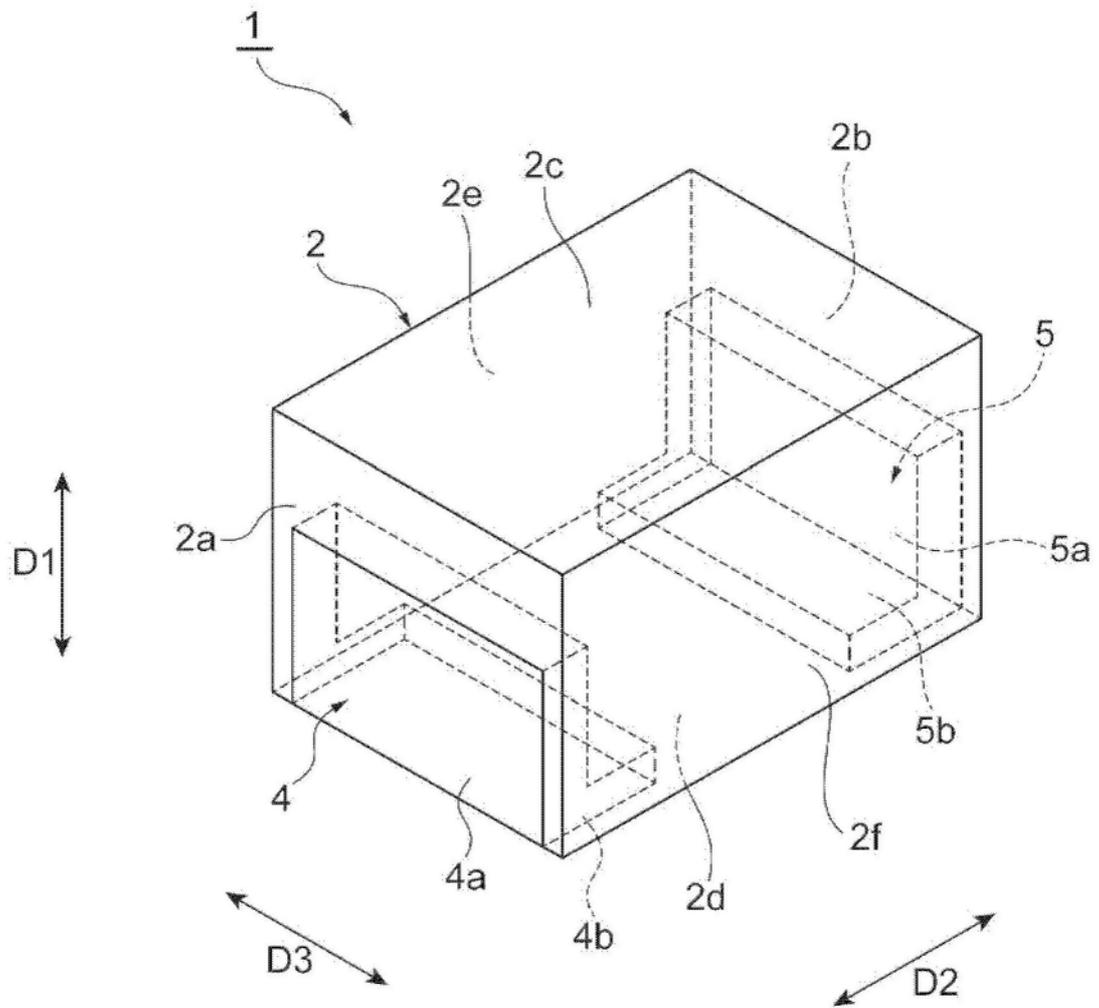


图1

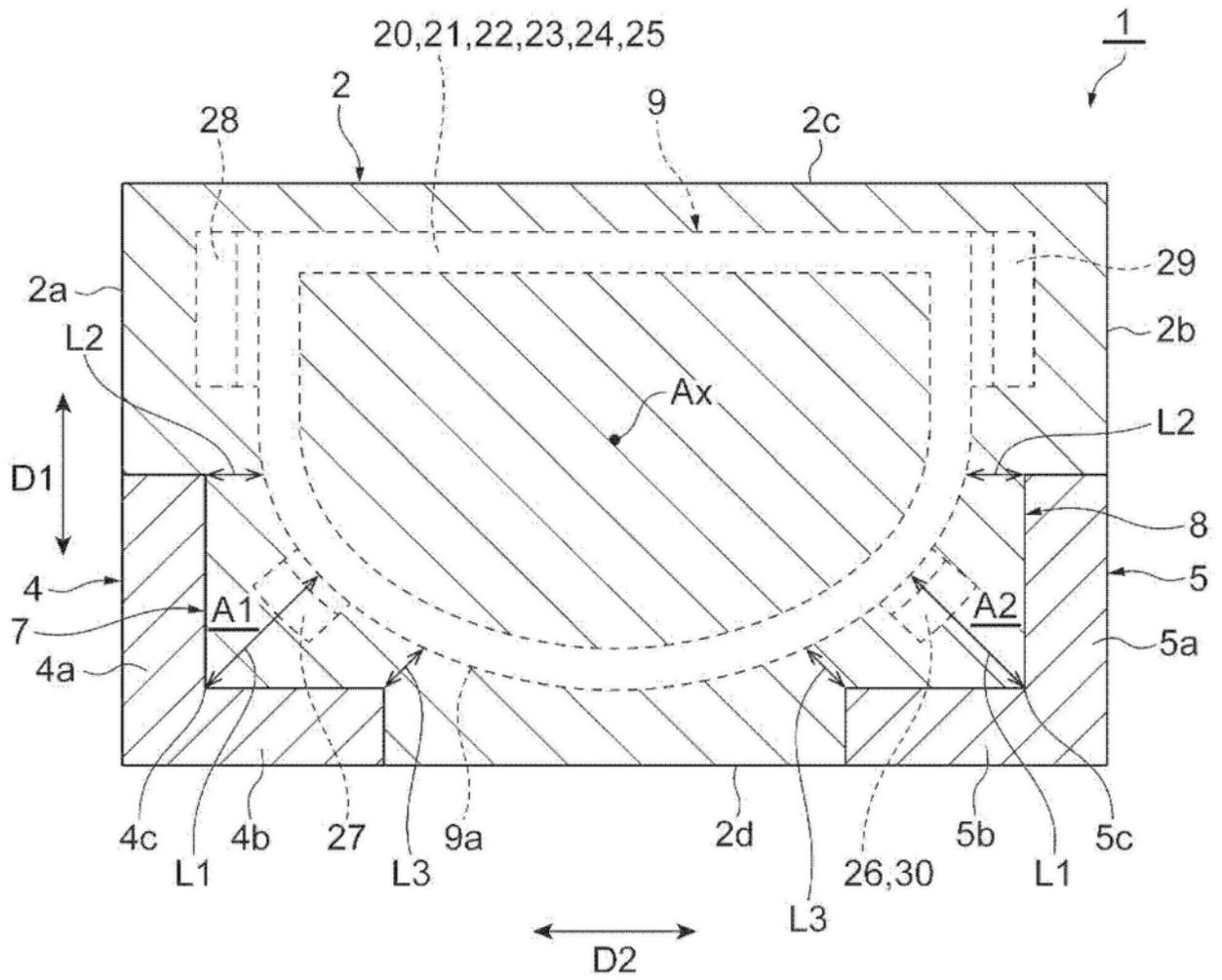


图3

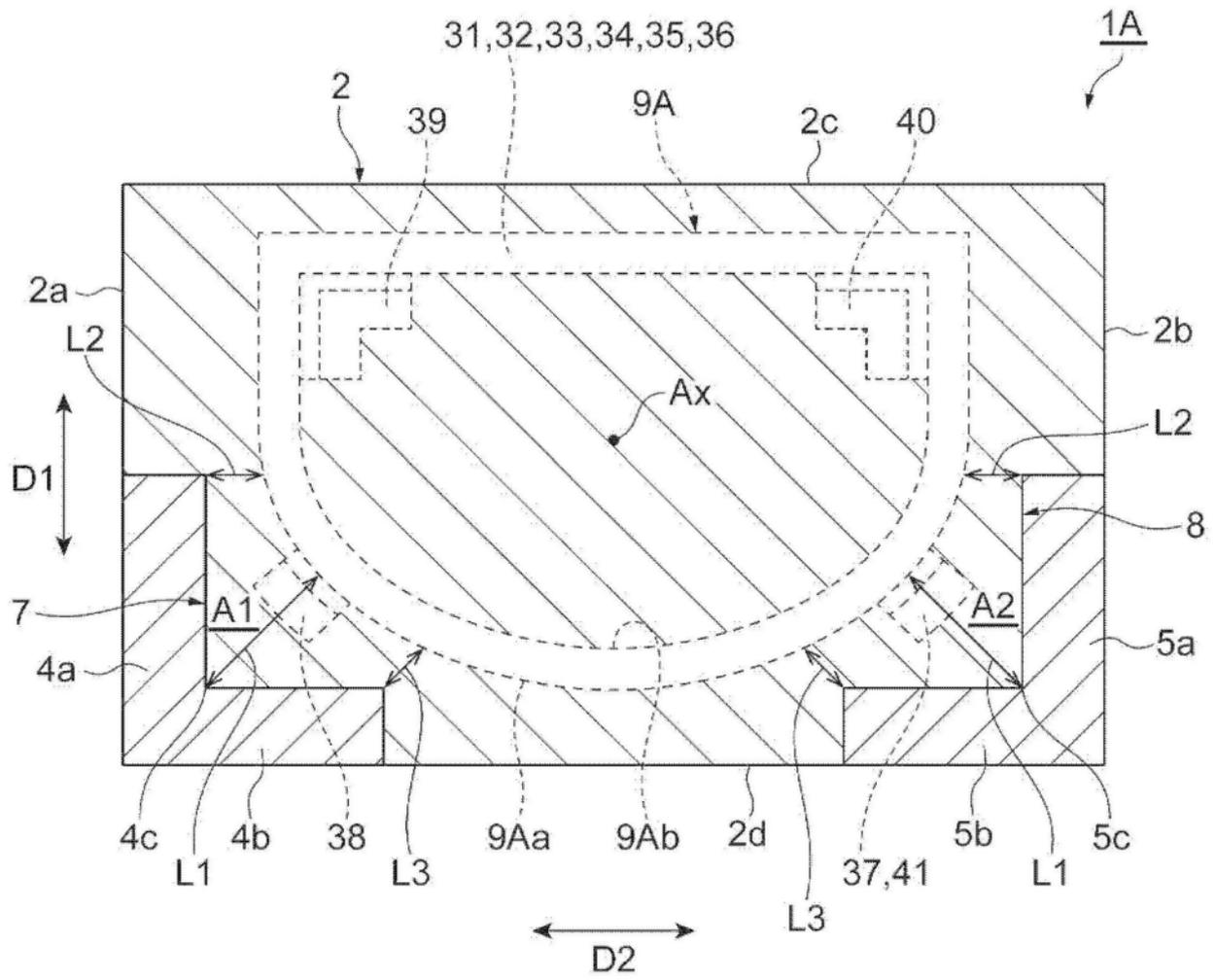


图4

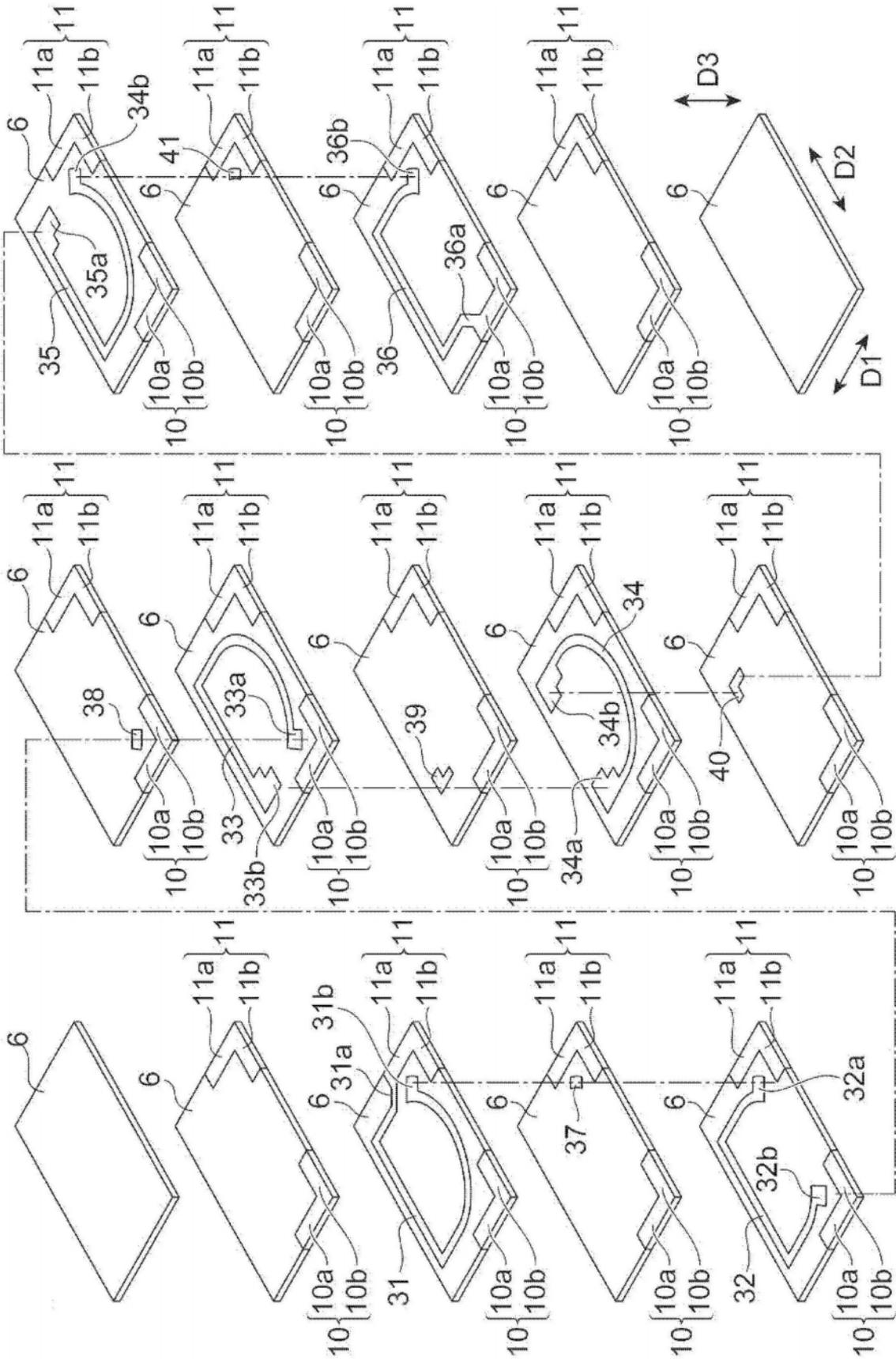


图5

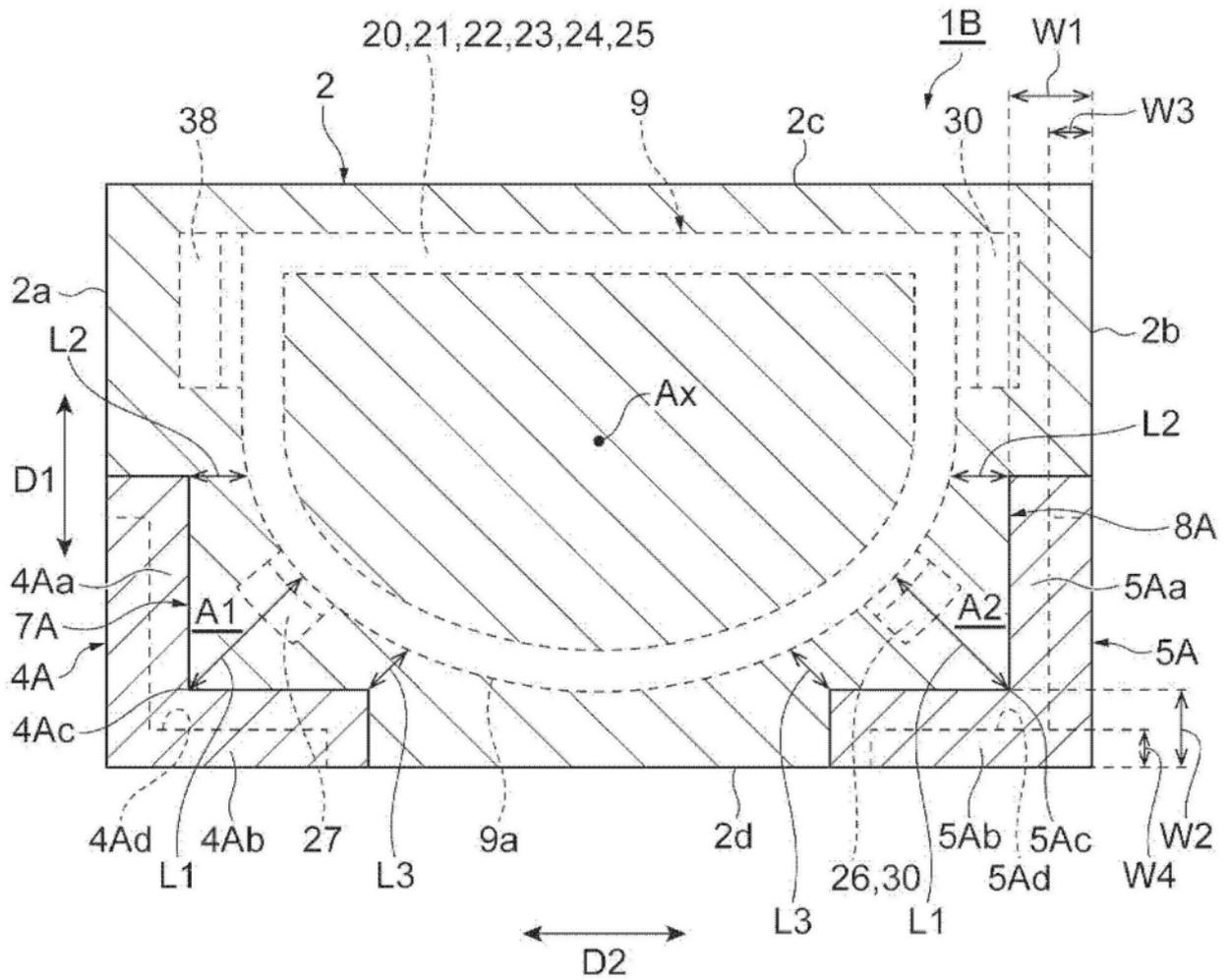


图6

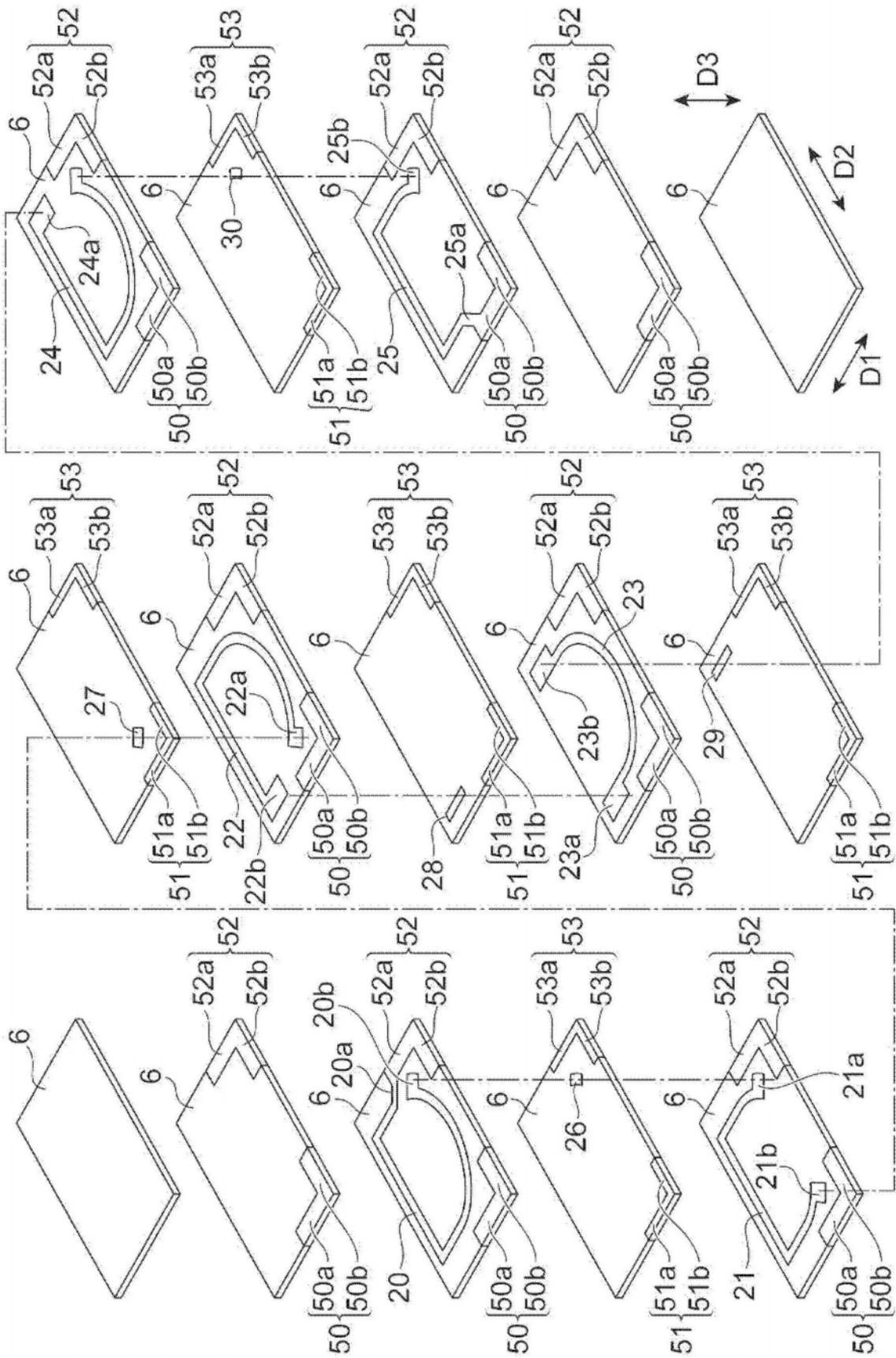


图7