

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4962565号  
(P4962565)

(45) 発行日 平成24年6月27日(2012.6.27)

(24) 登録日 平成24年4月6日(2012.4.6)

(51) Int. Cl.		F I	
HO 1 P 11/00	(2006.01)	HO 1 P 11/00	K
HO 1 P 1/203	(2006.01)	HO 1 P 1/203	
HO 1 P 1/205	(2006.01)	HO 1 P 1/205	A
HO 1 P 7/08	(2006.01)	HO 1 P 7/08	
HO 1 P 5/10	(2006.01)	HO 1 P 5/10	C

請求項の数 7 (全 12 頁)

(21) 出願番号	特願2009-512910 (P2009-512910)	(73) 特許権者	000006231
(86) (22) 出願日	平成20年4月10日(2008.4.10)		株式会社村田製作所
(86) 国際出願番号	PCT/JP2008/057079		京都府長岡京市東神足1丁目10番1号
(87) 国際公開番号	W02008/136249	(74) 代理人	110000970
(87) 国際公開日	平成20年11月13日(2008.11.13)		特許業務法人 楓国際特許事務所
審査請求日	平成21年2月19日(2009.2.19)	(72) 発明者	広嶋 基晴
(31) 優先権主張番号	特願2007-118755 (P2007-118755)		京都府長岡京市東神足1丁目10番1号
(32) 優先日	平成19年4月27日(2007.4.27)		株式会社村田製作所
(33) 優先権主張国	日本国(JP)		内
		(72) 発明者	中村 聡一
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所
			内

最終頁に続く

(54) 【発明の名称】 共振素子および、その製造方法

(57) 【特許請求の範囲】

【請求項1】

誘電体からなる基板と、前記基板の裏主面側に形成した接地電極と、前記基板の表主面に形成した、前記接地電極および前記誘電体とともに共振器を構成する主面電極と、前記基板および前記主面電極の、表主面側の略全面に形成した電極保護層と、前記電極保護層の表主面側に形成した、両端が2つの共振器の主面電極に対向する結合調整用電極と、を備える共振素子の製造方法であって、

前記結合調整用電極の形状を製造ロットごとに設定する設定ステップと、

予め焼結された前記基板および前記電極保護層の表主面側に、製造ロットごとに前記設定ステップで設定された形状で前記結合調整用電極を形成し、前記結合調整用電極を前記電極保護層に焼き付ける形成ステップと、  
を順に含む共振素子の製造方法。

【請求項2】

前記設定ステップは、各製造ロットにおける前記共振器の所定の特性を測定し、その結果に基づいて、前記結合調整用電極の形成サイズを設定する工程である請求項1に記載の共振素子の製造方法。

【請求項3】

前記形成ステップは、フォトリソグラフィプロセスにより前記結合調整用電極を形成するステップであり、

前記設定ステップは、前記フォトリソグラフィプロセスにおける露光時間または、露光

マスクの開口形状を製造ロットごとに設定するステップである請求項 2 に記載の共振素子の製造方法。

【請求項 4】

前記電極保護層は、前記親基板よりも誘電率の低いものである請求項 1 ~ 3 のいずれかに記載の共振素子の製造方法。

【請求項 5】

前記電極保護層は  $\text{SiO}_2$  を主成分とする厚膜ガラスである請求項 4 に記載の共振素子の製造方法。

【請求項 6】

誘電体からなるセラミック基板と、前記セラミック基板の裏主面側に形成した接地電極と、前記セラミック基板の表主面に形成した、前記接地電極および前記誘電体とともに共振器を構成する主面電極と、前記セラミック基板および前記主面電極の、表主面側の略全面に形成した電極保護層と、前記電極保護層の表主面側に形成した、両端が 2 つの共振器の主面電極に対向する結合調整用電極と、を備える共振素子であって、

前記電極保護層は、 $\text{SiO}_2$  を主成分とする焼結された厚膜ガラスであることを特徴とする共振素子。

【請求項 7】

前記結合調整用電極は、予め焼成された前記セラミック基板および前記電極保護層の表主面側にパターン形成されてから、前記電極保護層に焼き付けられてなることを特徴とする請求項 6 に記載の共振素子。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、誘電体基板にストリップライン型の共振器を設けた共振素子と、その製造方法に関する。

【背景技術】

【0002】

誘電体からなる基板にストリップライン型の共振器を設け、フィルタやバランなどを構成した共振素子が利用されている(例えば、特許文献 1, 2 参照。 )。

【0003】

上記文献の共振素子は、複数の誘電体基板層を積層し、誘電体基板層間に主面電極を形成してなる。これらの共振素子には、誘電体基板層を介して複数の主面電極に対向する結合調整用電極が形成されて、共振器間の結合度が高められていた。特許文献 1 の構成では、誘電体基板層それぞれが同一の誘電率であり、結合調整用電極と主面電極との間の容量により結合度の殆どを設定していた。また、特許文献 2 の構成では、積層された複数の誘電体基板層の誘電率を互いに異ならせることがあり、この誘電率の調整により結合度を調整していた。このような共振素子は、複数の誘電体グリーンシートと電極ペーストとが複数回積層され、一度に焼結することにより製造されていた。また、製造ロットごとに、複数の共振素子を一枚の広大な積層シートに形成し、積層シートを焼結した後に各共振素子を切り出していた。

【特許文献 1】特開 2000 - 22404 号公報

【特許文献 2】特開 2004 - 147300 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

上記焼結により誘電体グリーンシート各層の収縮度のばらつきや各層の組成のばらつきが生じ、製造ロットごとの品質がばらついて同一の製造ロットの共振素子全てが所望の周波数特性を満足できないことがあった。特に、複数段の共振器を結合させた共振素子では、共振器間の結合度のばらつきなどにより製造後の周波数特性が、必要とされる周波数特性からばらつく問題があり、上記周波数特性のばらつきを製造ロット間で抑制することが

10

20

30

40

50

望まれていた。

【0005】

そこで本発明は、製造工程における品質安定化と良品率の改善とが可能で、共振器間の周波数特性のばらつきを低減できる共振素子の製造方法と、その製造方法に適した構成の共振素子を提供することを目的とする。

【課題を解決するための手段】

【0006】

この発明の共振素子の製造方法は、設定ステップと形成ステップとを順に含む。共振素子は、基板と接地電極と主面電極と電極保護層と結合調整用電極とを備える。ここで、基板は誘電体からなる。接地電極は、基板の裏主面側に形成されている。主面電極は、基板の表主面側に形成されていて、接地電極および誘電体とともに共振器を構成する。電極保護層は主面電極および基板の、表主面側の略全面に形成されている。結合調整用電極は、電極保護層の表主面側に形成されていて、両端が複数の共振器の主面電極に対向する。

10

【0007】

設定ステップでは、結合調整用電極の形状を製造ロットごとに設定する。形成ステップでは、予め焼結された基板および電極保護層の表主面側に、製造ロットごと設定ステップで設定された形状で結合調整用電極を形成し、結合調整用電極を電極保護層に焼き付ける。したがって、設定ステップの段階では接地電極と主面電極と電極保護層とが予め生成されている基板を用いるので、共振器間結合度を除く特性変数が殆ど定まっていて、結合調整用電極の形状を適切に設定することができる。これにより特性変数の設計値からのばらつきを校正でき、製造ロット間での周波数特性のばらつきを低減できる。

20

【0008】

設定ステップでは、各製造ロットにおける共振器の所定の特性を測定し、その結果に基づいて、結合調整用電極の形成サイズを設定してもよい。

【0009】

形成ステップでは、フォトリソグラフィプロセスにより、結合調整用電極を形成してもよい。その場合、設定ステップでは、フォトリソグラフィプロセスにおける、露光時間または、露光マスクの開口形状を製造ロットごとに設定すると好適である。

【0010】

電極保護層がセラミック親基板よりも誘電率の低いものであると、結合調整用電極の形状精度に対する、共振器間結合度の感度が同誘電率の電極保護層を用いる場合よりも低くなる。したがって、結合調整用電極が大きくてもよくなり、その形状精度のばらつきが問題とならなくなる。電極保護層としてSiO<sub>2</sub>を主成分とすると、一般的なセラミック基板よりも誘電率が低く好適である。

30

【発明の効果】

【0011】

この発明によれば、共振器間の結合度のばらつきを低減して共振素子を製造でき、良品率が高まる。

【図面の簡単な説明】

【0012】

【図1】本発明に係る共振素子の構成例を示す斜視図である。

【図2】同共振素子の製造工程を説明するフローである。

【図3】同共振素子の展開図である。

【図4】他の構成例の共振素子の展開図である。

【図5】他の構成例の共振素子の展開図である。

【図6】シミュレーションを説明する図である。

【符号の説明】

【0013】

1 ... バラン

2 ... 厚膜ガラス層

40

50

3 A , 3 B ... 結合調整用電極

4 A ... はみ出し電極

1 0 ... 基板

1 1 A , 1 1 B , 1 2 A , 1 2 B , 1 2 C , 1 8 ... 側面電極

1 3 A , 1 3 B , 1 4 ... 主面電極

1 5 ... 接地電極

1 6 A , 1 6 B , 1 6 C ... 端子電極

3 1 , 5 1 ... フィルタ

3 2 A , 3 2 B , 5 2 A , 5 2 B , 5 2 C ... 結合調整用電極

3 8 A , 3 3 A , 3 4 , 3 3 B , 3 8 B , 5 3 A , 5 4 A , 5 4 B , 5 3 B ... 主面電極

10

3 9 A , 5 9 A ... はみ出し電極

【発明を実施するための最良の形態】

【0014】

各図に示す直交座標系 ( X - Y - Z 軸 ) は、各共振素子の向きを示す共通のものである。

。

【0015】

まず、共振素子としてバランを構成する例を説明する。このバランは、UWB (Ultra Wide Band) 通信に用いる小型直方体状の共振素子である。バランは、2つの1/4波長共振器と1つの1/2波長共振器とを結合させ、また、各共振器に対して、2つの平衡端子のいずれか、または1つの不平衡端子を結合させて構成している。

20

【0016】

図1(A)は、このバランの表主面側の斜視図である。

【0017】

バラン1は、誘電体からなる矩形平板状の基板10の表主面側に、厚膜ガラス層2を積層した構成である。基板10の厚み(Z軸寸法)は約500 $\mu$ m、厚膜ガラス層2の厚み(Z軸寸法)は15~30 $\mu$ mであり、バラン1の外形寸法はX軸寸法が約2.5mm、Y軸寸法が約2.0mmである。

【0018】

この例での基板10は、比誘電率が約110であり、SiO<sub>2</sub>を含有しない、または1wt%未満のみ含有し、酸化チタン等のセラミックの高誘電率誘電体を主成分とするものを用いている。なお、基板10の組成はこの例に限ることなく、基板10は高誘電率誘電体を主成分としセラミックを50wt%より多く含むならば、SiO<sub>2</sub>が1wt%より多く含有されていてもよい。

30

【0019】

また、この例での厚膜ガラス層2は透光性のある絶縁体で比誘電率が約10のものであり、フィラーとガラスとを含むものである。

【0020】

ガラスはSiO<sub>2</sub>を50wt%より多く含み、B<sub>2</sub>O<sub>3</sub>やBi<sub>2</sub>O<sub>3</sub>などを添加したガラス転移現象を生じることが可能なものである。なお、ガラスは軟化温度が低すぎると、厚膜ガラス層2の焼成時に厚膜ガラス層2の形状保持が十分にできないため、所定量以上にSiO<sub>2</sub>を含有することが望ましい。例えば焼成時の最高温度が850であれば、SiO<sub>2</sub>を55wt%より多く含むと軟化温度が低くなり過ぎず好適である。また軟化温度が高すぎると、厚膜ガラス層2の焼成時に厚膜ガラス層2が緻密に焼けないため、所定量未満にSiO<sub>2</sub>を含有することが望ましい。例えば焼成時の最高温度が850であれば、SiO<sub>2</sub>を75wt%より少なく含むと軟化温度が高くなり過ぎず好適である。

40

【0021】

また、フィラーはクォーツやアルミナなどの、厚膜ガラス層2の焼成時に軟化しにくい結晶質のものであり、フィラーを用いることで、厚膜ガラス層2に形状流動が生じることを抑制している。

【0022】

50

この例では、厚膜ガラス層 2 にこれらの組成を採用することで、厚膜ガラス層 2 の形状流動を抑制し、厚膜ガラス層 2 の表主面側に形成する電極形状を精緻に設定できるようにしている。

**【 0 0 2 3 】**

バラ 1 の表主面、即ち厚膜ガラス層 2 の表主面には、はみ出し電極 4 A ~ 4 F と結合調整用電極 3 A , 3 B とを形成している。結合調整用電極 3 A , 3 B は、各共振器の主面電極に対向するように配置された長方形で電極厚み ( Z 軸寸法 ) 約 6  $\mu$  m の銀電極である。はみ出し電極 4 A ~ 4 F は、側面電極の印刷時に主面に電極ペーストがはみ出すことで形成される電極である。はみ出し電極 4 A ~ 4 F は、印刷条件によっては生じない場合もある。

10

**【 0 0 2 4 】**

厚膜ガラス層 2 により、側面電極の印刷時にはみ出し電極 4 A ~ 4 F が主面電極の接続不要部分に短絡してしまうことが防げる。また、厚膜ガラス層 2 により、基板 1 0 上の回路パターン剥離が防げ、耐環境性能が高まる。なお、図示するバラ 1 の表主面側にさらに、図示しない無機顔料を含有させた遮光性厚膜ガラス層を積層してもよい。遮光性厚膜ガラス層を設ければ、バラ 1 表面への印字を行う際の視認性を高めることができ、さらには内部の回路パターンの機密を保持できる。

**【 0 0 2 5 】**

バラ 1 の側面には、側面電極 1 1 A , 1 1 B , 1 2 A , 1 2 B , 1 2 C , 1 8 を形成している。側面電極 1 1 A , 1 1 B は、各共振器の接地端を構成する。側面電極 1 2 A , 1 2 B , 1 2 C は、各共振器と端子電極 ( 平衡端子または不平衡端子の電極 ) とを接続する。側面電極 1 8 は、平衡不平衡特性の調整用の電極である。各側面電極は、それぞれ基板 1 0 の裏主面から厚膜ガラス層 2 の表主面にかけて Z 軸方向に延びる長方形の銀電極である。各側面電極は、厚み ( X 軸寸法 ) 約 1 5  $\mu$  m の電極である。

20

**【 0 0 2 6 】**

同図 ( B ) は、バラ 1 から厚膜ガラス層 2 を取り除いた状態での表主面側の斜視図である。

**【 0 0 2 7 】**

基板 1 0 と厚膜ガラス層 2 との層間にあたる基板 1 0 の表主面には、3 段のストリップライン共振器を構成する主面電極 1 3 A , 1 3 B , 1 4 を設けている。主面電極 1 3 A , 1 3 B , 1 4 は電極厚み ( Z 軸寸法 ) 約 6  $\mu$  m の銀電極である。

30

**【 0 0 2 8 】**

主面電極 1 3 A と主面電極 1 3 B はそれぞれ I 字形の電極であり、それぞれ接地電極 1 5 と側面電極 1 1 A , 1 1 B とともに一端開放、一端短絡の 1 / 4 波長共振器を構成している。主面電極 1 3 A と主面電極 1 3 B は、それぞれ基板 1 0 の背面側で短絡用側面電極 1 1 A , 1 1 B に接続し、それぞれ短絡用側面電極 1 1 A , 1 1 B を介して接地電極 1 5 に導通している。また、主面電極 1 3 A は正面側でタップ接続用引出電極 1 2 A に接続し、タップ接続用引出電極 1 2 A を介して端子電極 1 6 A に導通する。また、主面電極 1 3 B も正面側でタップ接続用引出電極 1 2 B に接続し、タップ接続用引出電極 1 2 B を介して端子電極 1 6 B に導通している。

40

**【 0 0 2 9 】**

主面電極 1 4 は、背面側の辺が開いた略 C 字形の電極であり、背面中央から左側面側にかけて背面に沿って延びる線路部 1 4 A と、その部位の左側面側の端から正面側に延びる線路部 1 4 B と、その部位の正面側の端から右側面側に延びる線路部 1 4 C と、その右側面側の端から背面側に延びる線路部 1 4 D とにより構成している。線路部 1 4 B は、主面電極 1 3 A と平行に配置されている。また、線路部 1 4 D は、主面電極 1 3 B と平行に配置されていて、その背面側の端で終端している。線路部 1 4 A は、背面中央に設けたタップ接続用引出電極 1 2 C に接続し、タップ接続用引出電極 1 2 C を介して端子電極 1 6 C に導通している。

**【 0 0 3 0 】**

50

同図(C)は、バラン1から厚膜ガラス層2を取り除いた状態での裏主面側の斜視図である。同図(C)は同図(B)からX軸を中心にバラン1を回転させた状態である。

【0031】

基板10の裏主面、即ちバラン1の裏主面には接地電極15と端子電極16A, 16B, 16Cとを設けている。接地電極15はストリップライン共振器の接地電極であり、バラン1を実装基板に実装する電極を兼ねる。これら端子電極16A, 16B, 16Cはバラン1を実装基板に実装する際に高周波信号入出力端子に接続される。端子電極16A, 16Bが平衡端子、端子電極16Cが不平衡端子として用いられる。接地電極15は基板10の裏主面の略全面に設けている。端子電極16A, 16Bは正面側の側面に接する角付近に接地電極15からは分離して配置している。端子電極16Cは背面側の側面に接する中心付近に接地電極15とは分離して配している。接地電極15と端子電極16A, 16B, 16Cとはそれぞれ、厚み(Z軸方向)約15 $\mu$ mの電極である。なお、バラン1の裏主面にも、側面電極印刷時に電極ペーストがはみ出すが、この裏主面のはみ出し電極は、接地電極15や端子電極16A, 16B, 16Cに一体化する。

10

【0032】

次に、このバラン1の製造工程を説明する。

【0033】

図2は、バラン1の製造ロットごとの製造工程を示すフローチャートである。

【0034】

(S1)まず、いずれの面にも電極を形成していない、焼結済みの1枚の広大な親基板を用意する。

20

【0035】

(S2)次に、親基板に対して、裏主面側に電極ペーストをスクリーン印刷し、乾燥、焼成を経て接地電極および端子電極を形成する。

【0036】

(S3)次に、親基板に対して、表主面側に感光性電極ペーストを印刷し、乾燥、露光、現像というフォトリソグラフィプロセスと焼成とにより各主面電極を形成する。

【0037】

(S4)次に、親基板の表主面側にガラスペーストを印刷し、乾燥、焼成を経て厚膜ガラス層を形成する。

30

【0038】

(S5)次に、親基板に対して特性測定用の入出力ループにより、非接触で所定特性の測定を行う。測定する特性は、結合度を観測または推定できるものであれば、どのようなものでも良い。そして、その製造ロットでの結合度を、必要とされる設計結合度の大きさにするために必要な、結合調整用電極の形状を設定する。

【0039】

なお、この工程を厚膜ガラス層の形成前に行っても良い。その場合、例えば主面電極に測定端子を接続して接触式の特性測定を行うことも可能である。

【0040】

(S6)次に、厚膜ガラス層の表主面側に感光性電極ペーストを印刷し、乾燥、露光、現像というフォトリソグラフィプロセスと焼成とにより各結合調整用電極を形成する。この露光に際して、例えば、上記設定した形状を実現するように露光時間の調整がなされたり、露光マスクの選定がなされたりする。

40

【0041】

(S7)次に、上記のようにして構成した親基板からダイシングなどにより多数の素子素体を切り出す。切り出し後に一部の素子素体の上面パターンに対して電気特性の予備測定を行う。

【0042】

(S8)次に、切り出した複数の素子素体に対して、側面に側面電極を印刷し、乾燥、焼成により各側面電極を形成する。

50

## 【0043】

この製造方法により、表主面への主面電極の形成後に、結合調整用電極を適切なサイズで形成して、必要とする共振器間結合度を得た複数のバラン1を製造する。

## 【0044】

図3は、切り出されたバラン1の平面図であり、厚膜ガラス層2の下に配置される主面電極を透過して示している。

## 【0045】

主面電極13Aと主面電極14の線路部14Bとは隣接する。したがって、両主面電極13A, 14間には容量が生じ、この容量により共振器間が電磁界結合する。この両主面電極13A, 14間の容量は、基板10の誘電率による影響を受け易く、仮に製造ロットごとに基板10の誘電率にばらつきがある場合、この容量も製造ロットごとに大きくばらついてしまう。

## 【0046】

ところで、結合調整用電極3Aは、部分的に主面電極13Aに対向するとともに、部分的に主面電極14の線路部14Bにも対向する。したがって、この結合調整用電極3Aは、それぞれが対向する2つの主面電極13A, 14間に容量を備え、2つの共振器間の電磁界結合を強めるように働く。バラン1は、基板10の比誘電率が約110で、厚膜ガラス層2の比誘電率が約10であり、この比が11:1である。したがって、主面電極13A, 14間に生じる容量に比べて、結合調整用電極3Aと主面電極13Aおよび結合調整用電極3Aと主面電極14との間に生じる容量はそれぞれ極めて小さい。

## 【0047】

したがって、この構成では、結合調整用電極3Aの形状を適切に設定することで、主面電極13A, 14間に生じる容量のばらつきを吸収して、2つの共振器間の結合度を校正することが可能である。例えば、結合調整用電極3Aの面積が大きくても、厚膜ガラス層2の比誘電率が極めて低いため付与される容量は小さく、結合調整用電極3Aの面積の調整により、結合度を極めて精緻に設定することが可能になる。以上の関係は、結合調整用電極3Bおよび主面電極13B, 14の間でも成り立ち、結合調整用電極3Bの形状を適切に設定することで、主面電極13A, 14による2つの共振器間の結合度を校正することが可能である。したがって、製造ロットごとの結合調整用電極の形成時に、形状の調整を行うことにより、所望の共振器間結合度を得ることができる。

## 【0048】

なお、結合調整用電極の形状を調整して、各主面電極との対向面積や、結合調整用電極と両主面電極との対向面積の偏りや、結合調整用電極の対向位置を調整すれば、隣接する共振器間の結合度を精緻に設定できる。具体的には、結合調整用電極と各主面電極との対向面積が大きいほど、また、対向面積の偏りが小さいほど、隣接する共振器間の結合度が強まる。

## 【0049】

次に、共振素子として互いにインターディジタル結合する5段の共振器を備えたフィルタを構成する例を説明する。この例は、上述の構成例と電極の形状と配置が主に異なり、その他の構成は略同一である。

## 【0050】

図4は、フィルタ31の平面図であり、厚膜ガラス層の下に配置される主面電極を透過して示している。

## 【0051】

基板と厚膜ガラス層との層間には、5段のストリップライン共振器を構成する主面電極38A, 33A, 34, 33B, 38Bを設けている。フィルタ31の表主面には、はみ出し電極39A~39Fと結合調整用電極32A, 32Bとを形成している。結合調整用電極32Aは、主面電極38Aと主面電極33Aに対向するように配置された矩形の銀電極である。結合調整用電極32Bは、主面電極38Bと主面電極33Bに対向するように配置された矩形の銀電極である。はみ出し電極39A~39Fは、側面電極の印刷時

10

20

30

40

50

に主面に電極ペーストがはみ出すことで形成される電極である。

【0052】

主面電極38Aと主面電極38BはそれぞれI字形の電極であり、それぞれ接地電極と側面電極とともに下端開放、上端短絡の1/4波長共振器を構成している。主面電極33Aと主面電極33Bはそれぞれ、隣接する主面電極38Aまたは主面電極38B側が閉じたC字形の電極であり、それぞれ接地電極と側面電極とともに上端開放、下端短絡の1/4波長共振器を構成している。主面電極34は、下側の辺が開いた略C字形の電極であり、両端開放の1/2波長共振器を構成している。したがって、主面電極38A, 33A, 34, 33B, 38Bそれぞれを含む共振器は互いにインターディジタル結合する。

10

【0053】

ここで、主面電極38Aと主面電極33Aとは隣接する。したがって、両主面電極38A, 33A間には容量が生じ、この容量により共振器間が電磁界結合する。この両主面電極38A, 33A間の容量は、基板の誘電率による影響を受け易く、仮に製造ロットごとに基板の誘電率にばらつきがある場合、この容量も製造ロットごとに大きくばらついてしまう。

【0054】

ところで、結合調整用電極32Aは、部分的に主面電極38Aに対向するとともに、部分的に主面電極33Aにも対向する。したがって、この結合調整用電極32Aは、対向する2つの主面電極38A, 33A間に容量を備え、2つの共振器間の電磁界結合を強めるように働く。

20

【0055】

したがって、このフィルタ31でも、結合調整用電極32Aの形状を適切に設定することで、主面電極38A, 33A間に生じる容量のばらつきを吸収して、2つの共振器間の結合度を校正することが可能である。また、結合調整用電極32Bおよび主面電極38A, 33Aも同様である。したがって、製造ロットごとの結合調整用電極の形成時に、形状の調整を行うことにより、所望の共振器間結合度を得ることができる。

【0056】

次に、共振素子として4段の共振器をコムライン結合させてフィルタを構成する例を説明する。この例は、上述の構成例と電極の形状と配置が主に異なり、その他の構成は略同一である。

30

【0057】

図5(A)は、フィルタ51の平面図であり、厚膜ガラス層の下に配置される主面電極を透過して示している。

【0058】

基板と厚膜ガラス層との層間には、4段のストリップライン共振器を構成する主面電極53A, 54A, 54B, 53Bを設けている。フィルタ51の表主面には、はみ出し電極59A~59Jと結合調整用電極52Aとを形成している。結合調整用電極52Aは、主面電極53Aと主面電極53Bに対向するように配置された下側が開いたC字状の銀電極である。はみ出し電極59A~59Jは、側面電極の印刷時に主面に電極ペーストがはみ出すことで形成される電極である。

40

【0059】

主面電極53A, 54A, 54B, 53Bはそれぞれ略I字形の電極であり、それぞれ接地電極と側面電極とともに下端開放、上端短絡の1/4波長共振器を構成している。したがって、主面電極53A, 54A, 54B, 53Bそれぞれを含む共振器は互いにコムライン結合する。

【0060】

結合調整用電極52Aは、部分的に主面電極53Aに対向するとともに、部分的に主面電極53Bにも対向する。したがって、この結合調整用電極52Aは、対向する2つの主面電極53A, 53B間に容量を備え、2つの共振器間の電磁界結合を強めるように働く

50

。

**【 0 0 6 1 】**

したがって、このフィルタ 5 1 でも、結合調整用電極 5 2 A の形状を適切に設定することで、製造ロットごとの結合調整用電極の形成時に、形状の調整を行うことにより、所望の共振器間結合度を得ることができる。

**【 0 0 6 2 】**

なお、同図 ( B ) に示すようにフィルタ 5 1 の表主面側に、さらに結合調整用電極 5 2 B , 5 2 C を設けても良い。このような構成の場合、結合調整用電極 5 2 B は、主面電極 5 3 A と主面電極 5 4 A に対向するように配置され、結合調整用電極 5 2 C は、主面電極 5 3 B と主面電極 5 4 B に対向するように配置される。

10

**【 0 0 6 3 】**

結合調整用電極 5 2 B , 5 2 C は、それぞれ部分的に主面電極 5 3 A または主面電極 5 3 B に対向するとともに、部分的に主面電極 5 4 A または主面電極 5 4 B にも対向する。したがって、結合調整用電極 5 2 B , 5 2 C は、対向する 2 つの主面電極間に容量を備え、2 つの共振器間の電磁界結合を強めるように働く。

**【 0 0 6 4 】**

したがって、結合調整用電極 5 2 B , 5 2 C の形状を適切に設定することでも、製造ロットごとの結合調整用電極の形成時に、形状の調整を行うことにより、所望の共振器間結合度を得ることができる。

**【 0 0 6 5 】**

ここで、厚膜ガラス層による効果をシミュレーションにて確認した結果を示す。

20

**【 0 0 6 6 】**

図 6 は、シミュレーションの設定を説明する図である。

**【 0 0 6 7 】**

ここでは、セラミック基板 1 0 1 B に厚膜 1 0 1 A を積層している。セラミック基板 1 0 1 B と厚膜 1 0 1 A との長さ寸法は 2 . 0 mm、幅寸法は 2 . 5 mm であり、セラミック基板 1 0 1 B の厚み寸法は 0 . 3 mm、厚膜 1 0 1 A の厚み寸法は 2 0 μ m である。セラミック基板 1 0 1 B の底面全面にはアース電極 1 0 4 を形成している。セラミック基板 1 0 1 B と厚膜 1 0 1 A との層間には主面電極 1 0 2 A , 1 0 2 B を形成している。厚膜 1 0 1 A の天面には結合調整用電極 1 0 3 を形成している。主面電極 1 0 2 A , 1 0 2 B はそれぞれ線路長 1 . 8 mm、線路幅 0 . 3 mm であり、互いに幅方向 0 . 1 5 mm の間隔で配置されている。結合調整用電極 1 0 3 は線路長が 0 . 7 5 mm であり、線路幅を変数 X mm としている。主面電極 1 0 2 A , 1 0 2 B は、図示しない側面電極によりアース電極 1 0 4 に短絡させ、インターディジタル結合する 2 つの共振器を構成している。結合調整用電極 1 0 3 はその 2 つの共振器の結合度を調整する。

30

**【 0 0 6 8 】**

セラミック基板 1 0 1 B の比誘電率が 1 1 0、厚膜 1 0 1 A の比誘電率が  $S i O_2$  を主成分とするガラスに一般的な 7、の場合、2 つの共振器の結合度をシミュレーションした結果、結合調整用電極 1 0 3 を設けなければ結合度 ( 結合係数 ) は約 3 4 % になった。また、結合調整用電極 1 0 3 の線路幅 X を 0 . 2 ~ 0 . 6 mm まで変化させて設けた場合には、結合度は約 4 0 % ~ 約 5 0 % となり、結合度 3 4 % から 6 % ~ 1 6 % 程度、高まることになった。

40

**【 0 0 6 9 】**

このことから、共振器間の結合度設計値は、ある程度低く設定しておき、製造工程における設定ステップ S 4 により結合度の実測値と設定値との差を調べて、その差を校正するように結合調整用電極の形状を設定すれば良いことがわかる。

**【 0 0 7 0 】**

なお、比較例として厚膜 1 0 1 A を比誘電率 1 1 0 のセラミック基板としてシミュレーションした結果、結合調整用電極 1 0 3 を設けなければ結合度 ( 結合係数 ) は約 4 0 % になった。また、結合調整用電極 1 0 3 の線路幅 X を 0 . 2 ~ 0 . 6 mm まで変化させて設

50

けた場合に、結合度は約68%~96%となり、結合度約40%から28%~56%程度、高まることになった。

【0071】

このことから、厚膜101Aの比誘電率が、セラミック基板と同程度まで高い場合には、共振器間の結合度を精緻に設定することが困難であるといえる。例えば、厚膜101Aの比誘電率が、セラミック基板と同程度まで高い上記比較例で、結合度の設計値50%で許容ずれ約1%とする場合、結合度49%~51%とするためには結合調整用電極103の線路幅Xの範囲は、約0.056mm~0.071mmになり、その差である線路幅Xの設定可能範囲が約0.015mmと狭く、極めて高精度に線路幅Xを設定する必要が生じ、調整が困難になる。

10

【0072】

一方、厚膜101Aの比誘電率が7である本発明の対象例では、結合度の設計値50%で許容ずれ約1%とする場合、結合度49%~51%とするためには結合調整用電極103の線路幅Xの範囲は、約0.550mm~0.720mmになり、その差である線路幅Xの設定可能範囲が約0.170mmと広く、線路幅Xに有る程度のばらつきが生じててもよく、調整が容易である。

【0073】

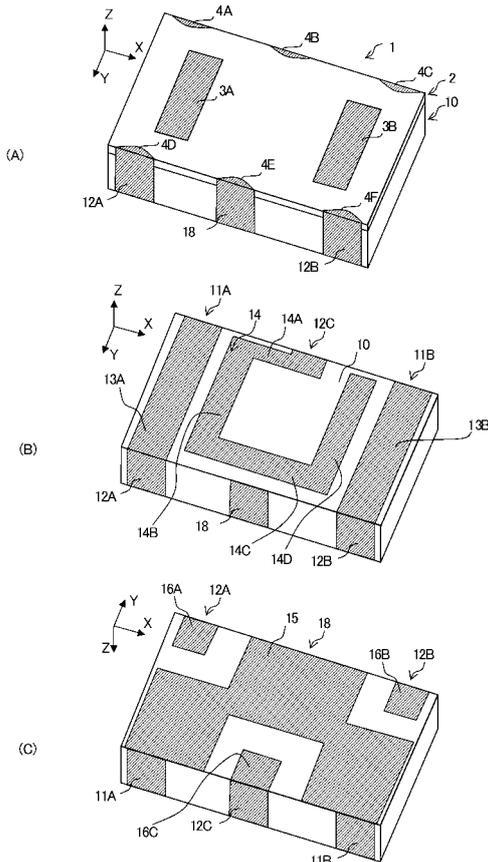
以上のシミュレーション結果から、本発明の製造方法を適用することで、線路幅Xの設定可能範囲が広くなり、容易に結合度を設計範囲内にできることがわかる。したがって、本発明によれば共振器間結合度の調整が高精度に行える。

20

【0074】

なお、上記した各実施形態での主面電極や結合調整用電極の配置形状や位置は製品仕様に応じたものであり、製品仕様に応じたどのような形状であっても良い。本発明は上記構成以外であっても適用でき、多様な共振素子のパターン形状に採用できる。また、この共振素子に、他の構成(高周波回路など)をさらに配しても良い。

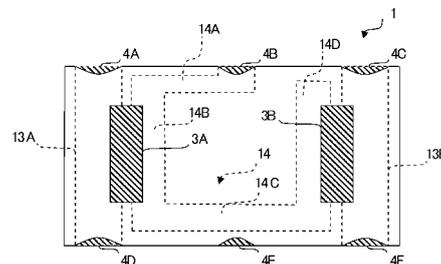
【図1】



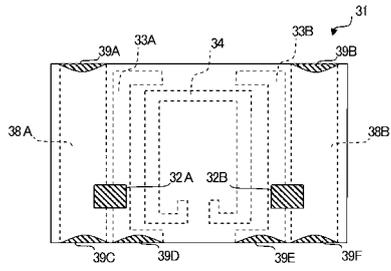
【図2】



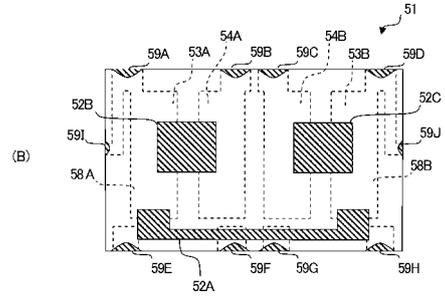
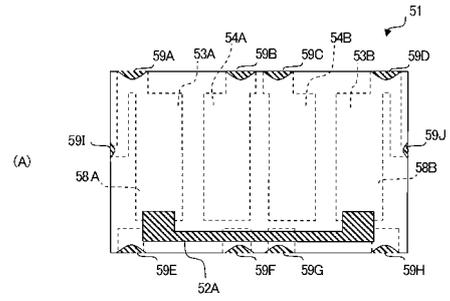
【図3】



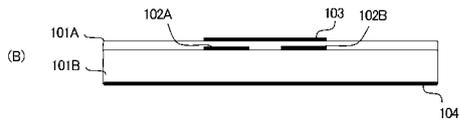
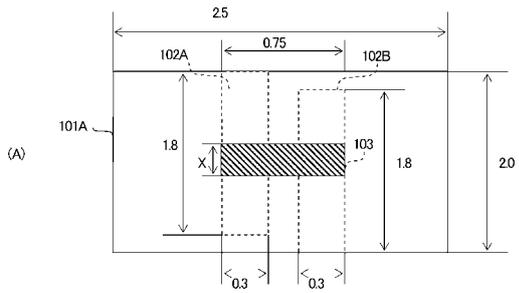
【 図 4 】



【 図 5 】



【 図 6 】



---

フロントページの続き

- (72)発明者 竹井 泰範  
京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
- (72)発明者 森 弘嗣  
京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内

審査官 岸田 伸太郎

- (56)参考文献 特開平10-190311(JP,A)  
特開平3-262303(JP,A)  
特開昭59-191902(JP,A)  
国際公開第2008/041398(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01P 11/00  
H01P 1/203  
H01P 1/205  
H01P 5/10  
H01P 7/08