



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월16일
(11) 등록번호 10-0846678
(24) 등록일자 2008년07월10일

(51) Int. Cl.
H01L 21/027 (2006.01)
(21) 출원번호 10-2006-0092264
(22) 출원일자 2006년09월22일
심사청구일자 2006년09월22일
(65) 공개번호 10-2007-0045090
(43) 공개일자 2007년05월02일
(30) 우선권주장
11/259,589 2005년10월26일 미국(US)
(56) 선행기술조사문헌
JP06202341 A
JP09015872 A
JP2004039697 A
KR1020020097425 A

(73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중국, 타이완 300-77, 신쥬, 사이언스-베이스드
인더스트리얼 파크, 리신 로드. 6, 8호
(72) 발명자
첸 쿠에이-순
대만 신쥬 난 타 로드 레인 634 넘버 22 5플로어
린 친-시앙
대만 신쥬 민후 로드 레인 393 넘버 37
(74) 대리인
강용복, 김용인

전체 청구항 수 : 총 15 항

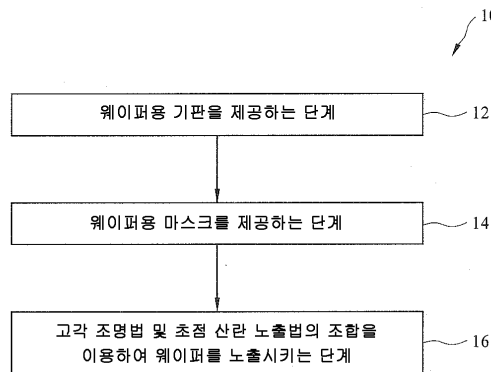
심사관 : 최정식

(54) 반도체 제조에서 포토리소그래피 시스템 및 방법

(57) 요약

반도체 제조에서 포토리소그래피 방법은 웨이퍼용 기판을 제공하는 단계와 상기 웨이퍼를 노출시키기 위한 마스크를 제공하는 단계를 포함한다. 웨이퍼는 고각(高角) 조명법과 초점 산란 노출법의 조합을 이용하여 노출된다.

대표도 - 도1



(72) 발명자

가우 짜이-셴

대만 신추 안 캉 스트리트 레인 4 넘버 35

첸 춘-쿠앙

대만 타오유안 시엔 충리 시티 푸 후아 9 스트리트
넘버 28

루 시아오-츠

대만 신추 차이 치아오 로드 레인 132 넘버 11

리앙 푸-제

대만 카오슝 시티 호 초 로드 넘버 16

특허청구의 범위

청구항 1

기판을 제공하는 단계;

상기 기판 상에 포토레지스트층을 코팅하는 단계; 및

고각 조명법 및 초점 산란 노출법의 조합을 이용하여 상기 기판을 노출시키는 방법을 포함하는 반도체 제조 방법.

청구항 2

제 1 항에 있어서,

상기 초점 산란 노출법은 기판을 기울이는 단계 또는 기판을 노출시키기 위하여 사용되는 마스크를 기울이는 단계를 포함하는 것을 특징으로 하는 반도체 제조 방법.

청구항 3

제 2 항에 있어서,

상기 초점 산란 노출법은 30 내지 250 μ rad 사이의 각도로 상기 기판을 기울이는 단계를 포함하는 것을 특징으로 하는 반도체 제조 방법.

청구항 4

제 2 항에 있어서,

상기 초점 산란 노출법은 120 내지 1000 mrad 사이의 각도로 상기 마스크를 기울이는 단계를 포함하는 것을 특징으로 하는 반도체 제조 방법.

청구항 5

제 1 항에 있어서,

상기 고각 조명법은 1 시그마(sigma)의 반경을 가진 조명 영역 내에 실질적인 원 영역을 형성하는 단계를 포함하고, 상기 실질적인 원 영역의 반경은 적어도 0.65 시그마인 것을 특징으로 하는 반도체 제조 방법.

청구항 6

제 1 항에 있어서,

상기 고각 조명법은,

1 시그마의 반경을 가진 조명 영역 내에 형성된 제1 실질적인 원 영역을 형성하는 단계; 및

상기 조명 영역 내에 상기 제1 실질적인 원 영역에 바로 인접한 제2 실질적인 원환형 영역을 형성하는 단계를 포함하고,

상기 제1 실질적인 원 영역의 반경은 적어도 0.2 시그마인 것을 특징으로 하는 반도체 제조 방법.

청구항 7

제 6 항에 있어서,

상기 제2 실질적인 원환형 영역의 내부 반경은 적어도 0.2 시그마이고, 상기 제2 실질적인 원환형 영역의 외부 반경은 적어도 0.7 시그마인 것을 특징으로 하는 반도체 제조 방법.

청구항 8

제 1 항에 있어서,

상기 고각 조명법은,

1 시그마의 반경을 가진 조명 영역 내에 제1 실질적인 원 영역을 형성시키는 단계;

상기 조명 영역 내에 상기 제1 실질적인 원 영역과 바로 인접한 제2 실질적인 원환형 영역을 형성시키는 단계; 및

상기 조명 영역 내에 상기 제1 실질적인 원 영역과 인접하지 않은 제3 실질적인 원환형 영역을 형성시키는 단계를 포함하고,

상기 제1 실질적인 원 영역의 반경은 적어도 0.2 시그마이고,

상기 제2 실질적인 원환형 영역은 0%의 광 전송률을 갖는 것을 특징으로 하는 반도체 제조 방법.

청구항 9

제 8 항에 있어서,

상기 제3 실질적인 원환형 영역의 내부 반경은 0.2 시그마보다 크고, 상기 제3 실질적인 원환형 영역의 외부 반경은 적어도 0.7 시그마인 것을 특징으로 하는 반도체 제조 방법.

청구항 10

제 1 항에 있어서,

상기 고각 조명법은,

조명 영역 내의 제1 실질적인 원 영역을 형성하는 단계; 및

상기 조명 영역 내에 상기 제1 실질적인 원 영역의 주변을 둘러싸는 다수의 제2 실질적인 원환형 영역들을 형성시키는 단계를 포함하고,

상기 제1 실질적인 원 영역의 반경은 적어도 0.2 시그마인 것을 특징으로 하는 반도체 제조 방법.

청구항 11

제 10 항에 있어서,

상기 제2 실질적인 원환형 영역의 내부 반경은 적어도 0.2 시그마이고, 상기 제2 실질적인 원환형 영역의 외부 반경은 적어도 0.7 시그마인 것을 특징으로 하는 반도체 제조 방법.

청구항 12

제 1 항에 있어서,

상기 노출은 습식 리소그래피 또는 건식 리소그래피를 이용하는 것을 특징으로 하는 반도체 제조 방법.

청구항 13

웨이퍼를 노출시키기 위하여 광원에 의해 제공된 조명;

0.2 시그마 내지 0.7 시그마 사이의 반경을 가진 실질적인 원 영역;

포토리소그래피 공정 내에서 상기 웨이퍼 및 마스크 중 적어도 하나를 기울일 수 있는 제어 시스템을 포함하고,

상기 실질적인 원 영역 내의 광 전송률은 0% 내지 100% 사이인 것을 특징으로 하는 반도체 웨이퍼를 처리하기 위한 포토리소그래피 시스템.

청구항 14

제 13 항에 있어서,

상기 실질적인 원 영역 내의 광 전송률은 20% 내지 100% 사이이고, 상기 광원의 파장은 250nm보다 작은 것을 특징으로 하는 포토리소그래피 시스템.

청구항 15

반도체 기관 상에 포토레지스트층을 코팅하는 단계;

노출 시스템에 사용되는 마스크에 상대적인 각도로 상기 기관을 기울이는 단계;

상기 노출 시스템의 조명 영역 내에 원을 필터링하는 단계; 및

상기 노출 시스템을 사용하여 상기 포토레지스트층 상의 패턴을 노출시키는 단계를 포함하는 반도체 기관의 패터닝 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <7> 본 발명은 일반적으로 반도체 장치의 제조에 관한 것으로, 좀 더 구체적으로 반도체 제조에서 포토리소그래피 공정에 관한 것이다.
- <8> 반도체 산업의 초기부터, 포토리소그래피는 집적 회로의 구성요소들을 형성하기 위하여 사용되어 왔다. 칩 상에 위치될 수 있는 구성요소들의 밀도의 지속적인 증가는 대부분 포토리소그래피의 발달, 특별히 계속적으로 감소하는 방사 파장 때문이다. 구성요소들의 임계 영역이 포토레지스트를 노출하기 위하여 사용되는 방사 파장보다 큰 한은, 기술 분야에서의 발달은 마스크들은 어떠한 상당한 변경을 요구하지는 않는다.
- <9> 그러나, 비록 항상 존재하긴 하지만, 이미지 방사 파장이 임계 크기보다 크면 굴절 효과가 돌출된 이미지들에 눈에 띄만한 왜곡들을 유발할 정도로 상당히 현저해진다. 이러한 왜곡들은 이미지 패턴 내의 다양한 특징들 사이의 거리에 특히 민감하며, 종종 "근접 효과(proximity effects)"로 언급된다.
- <10> 임계 크기에 가까운 파장에서 포토리소그래피와 관련된 다른 문제는 초점 깊이(DOF)이다. 특별히 DOF가 노출될 레지스트의 두께보다 작으면, 이미지 형태가 손실될 것이다. 실제로, 회절 효과 때문에, 결과 이미지는 종종 흐릿한 원이 될 수 있다.
- <11> 해상도를 고려하지 않는다면, DOF는 입사광을 렌즈 중심으로 제한하고 따라서, 집중된 광선이 흐릿한 원이 되기 전에 더 직진하도록 광 콘의 각도를 감소시키는 것에 의하여 증가될 수 있다. 그러나, 해상도를 고려한다면, 이러한 해결책은 더 이상 받아들일 수 없다.
- <12> 전통적으로, DOF를 증가시키는 것에 대한 접근은 밀도 높게 패키징된 접속 홀들 및 격리된 접속 홀들 모두를 동시 초점으로 가져가도록 하는 것이었다. 그러나, 밀도 높게 패키징된 접속 홀들에 대한 DOF의 증가는 종종 격리된 접속 홀들에 대한 DOF의 감소를 야기했고, 그러한 효과들은 초점이 맞지 않는 이미지들을 야기했다. 예를 들면, 밀도 높게 패키징된 접속 홀들과 격리된 접속 홀들에 대한 각 DOF들이 균형을 이루게 하기 위하여, 종래 유용한 기술은 DOF를 향상시키기 위하여 종래 조명으로 다중 노출 또는 연속적인 노출을 이용했다. 그러나 그러한 접근은 밀도 높은 홀들에 대한 DOF의 악화를 야기했다.

발명이 이루고자 하는 기술적 과제

- <13> 따라서, 본 발명은 종래 리소그래피 시스템 및 방법을 향상시켜 종래 기술의 문제점을 해결하고자 하는 것이다.

발명의 구성 및 작용

- <14> 본 발명의 실시예들은 첨부된 도면과 함께 읽어질 때 이하의 상세한 설명으로부터 가장 잘 이해될 수 있을 것이다. 사업 분야에서 표준 실시예에 따라 다양한 특징들의 크기를 조정하는 것에 관심을 갖지 않는다. 사실, 다양한 특징들의 크기는 논의의 명확함을 위하여 임의로 증가하거나 감소할 수 있다.
- <15> 이하의 설명은 본 발명의 서로 다른 특징들을 구현하기 위한 많은 서로 다른 실시예들 또는 예들들 제공하고자 하는 것이 이해되어야 한다. 구성요소의 특정 예들 및 배치들은 본 설명을 간략화하도록 이하에서 설명된다. 물론, 이러한 것들은 단지 예시적인 것에 불과하며, 발명을 제한하기 위한 것이 아니다. 또한, 본 설명은 다양한 실시예들에서 참조 번호 및/또는 문자들을 반복할 것이다. 이 반복은 설명의 간략화 및 명확성의 목적이며, 그 자체로 다양한 실시예들 및/또는 논의된 구성들 사이의 관계를 나타내는 것이 아니다. 게다가, 상세한 설명

에서 제2 특징 위에 또는 제2 특징 상에 제1 특징의 형성은 제1 및 제2 특징들이 직접 접촉으로 형성된 실시예들을 포함하고, 제1 및 제2 특징들 사이에 추가 특징들이 삽입 형성되어 제1 및 제2 특징들이 직접 접촉되지 않게 된 실시예들을 또한 포함할 수 있다.

- <16> 본 설명은 고각(高角) 조명법 및 초점 산란 노출법의 조합을 이용하는 포토리소그래피의 새로운 접근을 나타낸다. 측면(off-axis) 조명을 포함하는 고각 조명 방법은 도 3 내지 6과 연결하여 이하에서 더 설명될 것이다. 건식 또는 습식 리소그래피뿐 아니라 다중 노출 및/또는 웨이퍼/마스크 기울기를 포함할 수 있는 초점 산란 노출이 이하에서 더 설명될 것이다.
- <17> 도 1을 참조하면, 본 발명의 하나 이상의 실시예들을 구현하기 위한 간략화된 포토리소그래피 방법(10)이 도시된다. 상기 방법은 포토-레지스트 코팅된 기판을 제공하는 단계 12로 시작한다. 단계 14에 따라, 웨이퍼를 노출시키기 위한 마스크가 제공된다. 마지막으로, 상기 방법(10)의 단계 16에 따라, 웨이퍼가 고각 조명 방법 및 초점 산란 노출 방법의 조합을 이용하여 노출된다.
- <18> 상기 방법(10)은 메모리 장치들(정적 임의 접근 메모리(SRAM)를 포함하나 이에 제한되지 않는다), 로직 장치들(금속 산화 반도체 전계 효과 트랜지스터(MOSFET)를 포함하나 이에 제한되지 않는다) 및/또는 다른 장치들과 같은 다양한 반도체 장치들의 제조에 이용될 수 있다. 상기 방법(10)은 웨이퍼가 제공되는 단계 12에서 시작한다.
- <19> 도 2를 참조하면, 상기 방법(10)의 단계 12에 사용되는 웨이퍼(28)가 간략화된 예시적인 리소그래피 시스템(20)의 일부로서 도시될 수 있다. 이 실시예에서, 광원(21)은 집광 장치(22)에 의해 집광되는 광선들(23)을 방출한다. 광원의 파장은 250nm보다 짧고, 본 실시예에서는 약 248nm, 193nm 또는 157nm이다. 결과적으로 패턴들을 포함하는 마스크(24)에 광선들(27)이 균일하게 조사된다. 마스크(24)를 관통한 후, 광선들(25)은 웨이퍼(28) 상에 투사되기 전에 투사 렌즈(26)에 의해 초점이 맞춰진다.
- <20> 리소그래피 시스템(20)은 기술분야에서 공지되어 있기 때문에, 그것의 대부분의 구성요소는 여기서 더 설명되지 않을 것임이 주지되어야 한다.
- <21> 상기 방법(10)의 단계 16에 따라, 웨이퍼(28)는 이하에서 상세히 설명될 고각 조사법 및 초점 산란 노출법의 조합을 이용하여 노출될 것이다.
- <22> 고각 조명법이 지금부터 더 상세히 설명될 것이다. 일 실시예에서, 광원(21)은 도 3 내지 6에 도시된 바와 같이 고각 조명을 제공하기 위하여 기술 분야에서 공지된 방법으로 조정된다.
- <23> 도 3을 참조하면, 일 실시예에서, 실질적으로 원 영역(C1)이 약 1 시그마의 반경(29)을 가진 조명 영역(30) 내에 형성된다. 대략적으로 적어도 0.65 시그마인 반경(31)을 가질 수 있는 이 영역(31)은 필터 또는 임의의 다른 장치들에 의해 나타날 수 있고, 약 1%에서 약 100% 사이의 대략적인 빛 전송률을 가질 수 있다.
- <24> 도 4를 참조하면, 다른 실시예에서, 제1 실질적인 원 영역 및 상기 제1 실질적인 원 영역(C2)에 인접한 제2 인접 원환형 영역(A2)이 약 1 시그마의 반경(33)을 가진 조명 영역(35) 내에 형성되어 있다. 대략적으로 적어도 0.2 시그마인 반경(32)을 가진 제1 원 영역은 필터 또는 임의의 다른 장치들에 의해 나타내질 수 있고, 약 1%에서 100% 사이의 광 전송률을 소유할 수 있다. 본 실시예에서, 광 전송률은 대략적으로 20%에서 100% 사이이다. 적어도 대략 0.2 시그마의 내부 반경(32)과 적어도 대략 0.7 시그마의 반경을 가진 제2 원환형 영역(A2)은 필터 또는 임의의 다른 장치들에 의해 나타내질 수 있고, 약 1%에서 100% 사이의 광 전송률을 소유할 수 있다. 본 실시예에서, 광 전송률은 대략적으로 20%에서 100% 사이이다.
- <25> 도 5를 참조하면, 다른 실시예에서, 제1 실질적인 원 영역(C3) 및 두 개의 원환형 영역들(A3 및 제2 원환형 영역 B3)이 약 1 시그마의 반경(37)을 구비한 조명 영역(40) 내에 형성되어 있다. 대략 적어도 0.2 시그마인 반경(36)을 가진 제2 원 영역(C3)은 필터 또는 임의의 다른 장치들에 의해 나타내질 수 있고, 약 1%에서 100% 사이의 광 전송률을 소유할 수 있다. 본 실시예에서, 광 전송률은 대략적으로 20%에서 100% 사이이다.
- <26> 영역(B3)은 제1 실질적인 원 영역(C3)에 인접한다. 영역(A3)은 제1 실질적인 원 영역(C3)에 인접하지 않는다. 영역(A3)은 대략 0.2 시그마보다 큰 내부 반경(38)과 대략 적어도 0.7 시그마의 외부 반경을 갖는다. 영역(A3)은 필터 또는 임의의 다른 장치들에 의해 나타내질 수 있고, 약 1%에서 100% 사이의 광 전송률을 소유할 수 있다. 본 실시예에서, 광 전송률은 대략적으로 20%에서 100% 사이이다. 영역 A3와 C3 사이의 영역 B3는 약 0%의 광 전송률을 가질 수 있다.
- <27> 도 6을 참조하면, 일 실시예에서, 제1 실질적인 원 영역(C4) 및 제1 실질적인 원 영역(A4) 주변을 둘러싼 다수의 제2 영역들(A4)은 조명 영역(48) 내에 형성되어 있다. 적어도 약 0.2 시그마의 반경(42)을 가질 수 있는 제1

원 영역(C4)은 필터 또는 임의의 다른 장치들에 의해 나타내질 수 있고, 약 1%에서 100% 사이의 광 전송률을 소유할 수 있다. 본 실시예에서, 광 전송률은 대략적으로 20%에서 100% 사이이다.

- <28> 제2 영역들(A4) 각각은 동일하거나 다를 수 있고 오직 단일 영역(A4)이 존재할 수 있다. 본 실시예에서, 제2 영역들(A4) 중 적어도 하나는 대략 적어도 0.2 시그마인 내부 반경(42)과 대략 적어도 0.7 시그마인 외부 반경(44)을 가질 수 있다. 제2 영역들(A4) 중 적어도 하나는 필터 또는 임의의 다른 장치들에 의해 나타내질 수 있고, 약 1%에서 100% 사이의 광 전송률을 소유할 수 있다. 본 실시예에서, 광 전송률은 대략적으로 20%에서 100% 사이이다. 일 실시예에서 각(46)은 적어도 약 30도이다.
- <29> 초점 산란 노출법이 지금부터 더 설명될 것이다. 도 7을 참조하면, 일 실시예에서, 웨이퍼(28)는 웨이퍼(28)를 노출시키기 위하여 약 30에서 250 마이크로 라디안(μrad) 사이인 각(52)으로 기울어질 수 있다. 설명을 위하여, 마스크로부터의 패턴(50a)이 대응 패턴(50b)으로서 웨이퍼(28) 상에 형성될 수 있다.
- <30> 도 8을 참조하면, 다른 실시예에서, 마스크(24)는 전자 회로들의 초소형 이미지들을 포함하는 고정밀 판일 수 있다. 마스크(24)는 석영, 소다 석회, 화이트 크라운(white crown) 및/또는 다른 물질들과 같은 다양한 물질들을 포함할 수 있다. 일반적으로 크롬층이 마스크(24)의 일 면 상에 포함될 수 있고, 전자 회로들(중중 기하학적 배열로 언급됨)이 크롬층 내에 예칭될 수 있다. 마스크(24)의 두께는 기술 분야에서 알려진 임의의 적절한 두께일 수 있다. 일 실시예에서, 마스크(24)는 웨이퍼를 노출시키기 위하여 약 120에서 약 1000 밀리 라디안(mrad) 사이인 각(54)으로 기울어질 수 있다. 마스크(24) 및 웨이퍼(28) 모두 동일한 노출 공정을 위하여 기울어질 수 있다.
- <31> 다른 실시예에서, 초점 산란 노출 방법은 도 7 및/또는 도 8의 구조에 독립적으로 또는 그 구조와 결합하여 사용될 수 있는 적어도 두 개의 노출을 포함할 수 있다. 다중 노출은 스캐닝 또는 정적 방법 및/또는 기 분야에서 공지된 다른 방법들을 사용하는 것에 의하여 이루어질 수 있다. 일 실시예에서, 제1 및 제2 노출을 위한 초점 범위는 대략적으로 약 0.1mm와 0.6mm 사이일 수 있다. 제2 실시예에서, 다중 노출들 사이의 초점차는 약 0.1mm와 0.4mm 사이일 수 있다. 그러나, 다른 초점 범위/초점차들이 본 설명으로부터 고려될 수 있다는 점이 주지되어야 한다. 다중 노출은 기술 분야에서 공지된 것이므로, 여기에 더 설명되지 않을 것이다.
- <32> 예를 위하여, 도 9를 참조하면, 도 2의 웨이퍼(28)는 기관(110), 유전체층(114), 반사 방지 코팅층(120) 및 포토레지스트층(122)을 포함하도록 확장될 수 있다.
- <33> 기관(110)은 하나 이상의 절연층, 도전층 및/또는 반도체층을 포함할 수 있다. 예를 들면, 기관(110)은 크리스탈 실리콘, 폴리크리스탈 실리콘, 무정형 실리콘 및/또는 게르마늄과 같은 기본 반도체; 실리콘 카바이드 및/또는 갈륨 아세닉과 같은 화합물 반도체, SiGe, GaAsP, AlInAs, AlGaAs 및/또는 GaInP와 같은 합금 반도체를 포함할 수 있다. 게다가, 기관(110)은 벌크 실리콘과 같은 벌크 반도체를 포함할 수 있고, 그러한 벌크 반도체는 에피 실리콘층을 포함할 수 있다. 그것은 또한 또는 선택적으로 실리콘 온 인슐레이터(SOI) 기관 또는 박막 트랜지스터(TFT) 기관과 같은 실리콘 온 인슐레이터 기관을 포함할 수 있다. 기관(110)은 또한 또는 선택적으로 다중 실리콘 구조 또는 다층 화합물 실리콘 구조를 포함할 수 있다.
- <34> 유전체층(114)은 상기 기관(110)의 표면에 증착될 수 있다. 유전체층(114)은 화학 증기 증착(CVC), 플라즈마-에칭된 CVD(RECVD), 원자층 증착(ALD), 물리 증기 증착, 스펀-온 코팅 및/또는 다른 공정들에 의해 형성될 수 있다. 유전체층(114)은 금속 층간 절연막(IMD)일 수 있고, 낮은-K 물질들, 이산화규소, 폴리이미드, 스펀-온-글라스막(SOG), 플루오르화물이 도핑된 실리카이트 글라스(FSG), Black Diamond[®] (캘리포니아 산타 클라라의 Applied Materials의 제품), Xerogel, Aeroge, 무정형 플루오르화 카본 및/또는 다른 물질들을 포함할 수 있다.
- <35> 반사 방지 코팅층(120)은 스펀 온 코팅, PVD, CVD 및/또는 다른 공정들을 포함하나 이에 제한되지 않는 다양한 기술들에 의해 상기 유전체층(114) 위에 증착될 수 있다. 다른 실시예에서, 반사 방지 코팅층(120)은 예를 들면, 하나는 스펀 온 ARC막으로 코팅되고 다른 것은 CVD ARC막으로 코팅되는 것과 같은 듀얼 아크 접근(dual arc approach)에 의해 형성된다. 본 실시예에서, 반사 방지 코팅층(120)은 약 10nm 내지 약 150nm의 두께를 가진 바닥 반사 방지 코팅(BARC)이다.
- <36> 본 실시예에서, 반사 방지 코팅층(120)은 포토레지스트층(미도시)의 바닥을 의도하지 않게 관통하는 광을 흡수한다. 광 흡수를 수행하기 위하여, 반사 방지 코팅층(120)은 높은 흡광 계수 및/또는 상당한 두께를 가진 물질을 포함할 수 있다. 한편, 반사 방지 코팅층(120)의 높은 흡광 계수는 반사 방지 코팅층의 효율성에 반대되는 반사 방지 코팅층(120)의 높은 반사율을 가져올 수 있다. 따라서, 반사 방지 코팅층(120)이 대략적으로 약 0.2

와 약 0.5 사이의 계수 값을 가질 수 있고, 약 200nm의 두께를 가질 수 있도록 고려되어야 한다. 그러나 계수 값 및 두께의 다른 범위 또한 본 발명에 의해 고려된다.

- <37> 추가적으로 또는 선택적으로, 인덱스 매칭 접근(index matching approach)이 반사 방지 코팅층(120)에 적용될 수 있다. 그 경우, 반사 방지 코팅층(120)은 빛의 굴절률 및 두께에 매칭되는 굴절률과 두께를 가진 물질을 포함할 수 있다. 동작중, 일단 빛이 반사 방지 코팅층(120)을 때리면, 빛의 일부가 반사 방지 코팅층(120)으로부터 반사된다. 반면, 빛의 다른 부분은 반사 방지 코팅층(120)으로 들어가고, 변위된 위상을 가진 빛으로 전환되어, 반사 방지 코팅층(120)으로부터 반사된 빛의 제1 부분과 간섭하여 빛 반사를 감소시키는 결과를 가져온다.
- <38> 반사 방지 코팅층(120)은 바람직한 결과를 달성하기 위하여 광 흡수 및 인덱스 매칭 접근법 모두를 사용할 수 있다. 몇몇 예에서, 반사 방지 코팅층(120)의 λ 제거가 완성되기 곤란할 수 있으므로, 반사 방지 코팅층(120)은 유전체 층(114) 상에 간단하게 놓이며, 웨이퍼(28)용 확산벽으로 기능할 수 있다.
- <39> 포토레지스트층(122)은 상기 반사 방지 코팅층(120) 상에 증착되고, 스핀 온 코팅 및/또는 다른 공정들에 의해 형성될 수 있다. 동작 중, 포토레지스트 용액은 부분 웨이퍼의 표면 상에 도포되고, 웨이퍼(29)는 포토레지스트 용액이 거의 건조될 때까지 빠르게 회전한다. 일 예에서, 포토레지스트층(122)은 산 촉매를 채용한 화학 증폭형 레지스트일 수 있다. 그 경우, 포토레지스트층은 캐스팅 용액 내에 산에 민감한 폴리머를 용해하는 것에 의하여 제조될 수 있다.
- <40> 포토레지스트층(122)의 증착에 이어, 웨이퍼(28)는 소프트 베이킹(기술 분야에서 공지됨) 및 노출 공정(방법 (10)과 관련하여 상술되었음)을 겪을 것이다.
- <41> 그 후, 추가 단계들이 완전한 반도체 장치를 형성하기 위하여 적용된다. 이러한 추가 단계들은 기술 분야에서 공지되어 있기 때문에, 여기서 더 이상 설명하지 않을 것이다.
- <42> 상술한 예의 많은 변형이 여기서 고려된다는 점이 주지된다. 일 예에서, 상기 방법(10)은 적어도 하나의 선을 포함하는 패턴들에 적용될 수 있다. 제2 실시예에서, 상기 방법(10)은 적어도 하나의 홀을 포함하는 패턴들에 적용될 수 있다. 제3 실시예에서, 상기 방법(10)은 밀도 높은 특징 및 격리된 특징을 포함하는 패턴들에 적용될 수 있다. 제4 실시예에서, 상기 방법(10)은 밀도 높은 특징을 포함하는 패턴들에 적용될 수 있다. 제5 실시예에서 상기 방법(10)은 비-상감 공정, 상감 공정 또는 이중 상감 공정의 일부로 사용될 수 있다. 따라서 다양한 변형들이 이 설명에 의하여 고려된다.
- <43> 본 설명의 단지 일부의 예시적인 실시예들이 위에서 상세히 설명되었지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 새로운 기술 및 이점으로부터 실질적으로 벗어나지 않는 범위 내에서 다양한 변형들이 실시예들에 이루어질 수 있음은 자명할 것이다. 또한, 몇몇 실시예에 관한 위에서 설명되고 논의된 특징들은 다른 실시예에 대하여 위에서 설명되고 논의된 특징들과 결합될 수 있을 것이다. 따라서 모든 그러한 변형들은 본 발명의 범위 내에 포함되는 것으로 의도된다.

발명의 효과

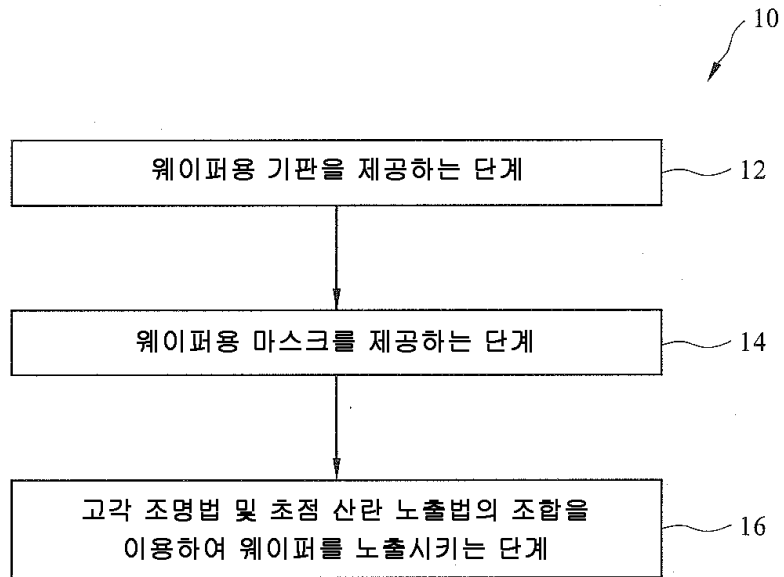
- <44> 본 명세서 내에 포함되어 있음

도면의 간단한 설명

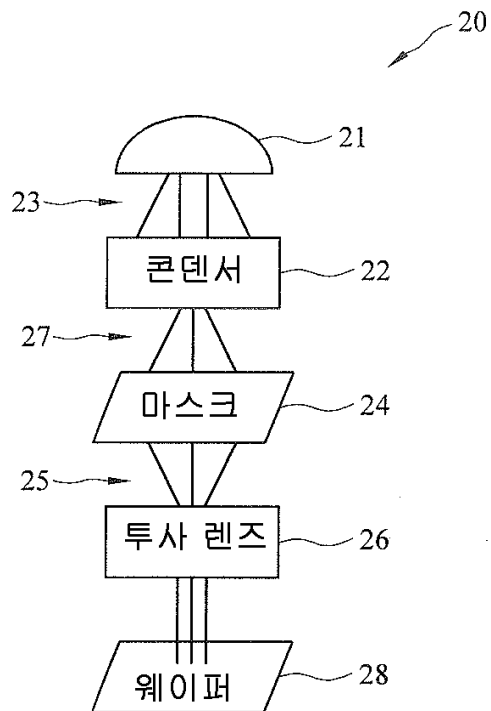
- <1> 도 1은 본 발명의 하나 이상의 실시예들을 구현하기 위한 포토리소그래피 방법을 도시한다.
- <2> 도 2는 본 발명의 하나 이상의 실시예들을 구현하기 위한 포토리소그래피 시스템을 도시한다.
- <3> 도 3 내지 6은 본 발명의 하나의 실시예들을 구현하기 위한 도 2의 포토리소그래피 시스템에서 조명 영역을 도시한다.
- <4> 도 7은 본 발명의 하나 이상의 실시예들을 구현하기 위한 도 2의 포토리소그래피 시스템에서 선택된 구성요소들을 도시한다.
- <5> 도 8은 본 발명의 하나 이상의 실시예들을 구현하기 위한 도 2의 포토리소그래피 시스템의 선택된 구성요소들을 도시한다.
- <6> 도 9는 본 발명의 하나 이상의 실시예들을 구현하기 위한 웨이퍼를 도시한다.

도면

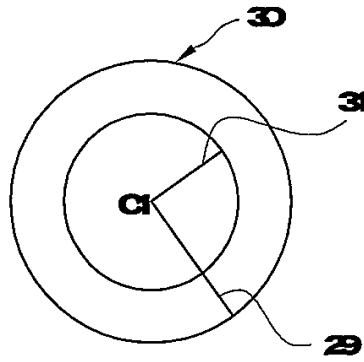
도면1



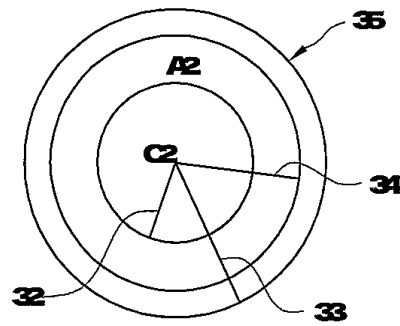
도면2



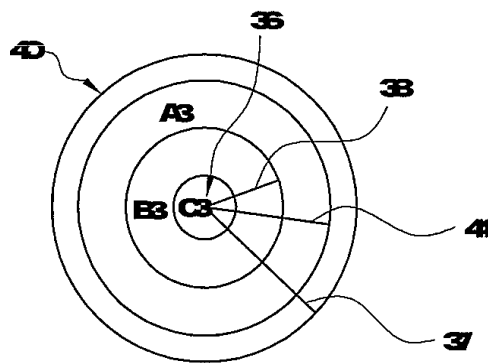
도면3



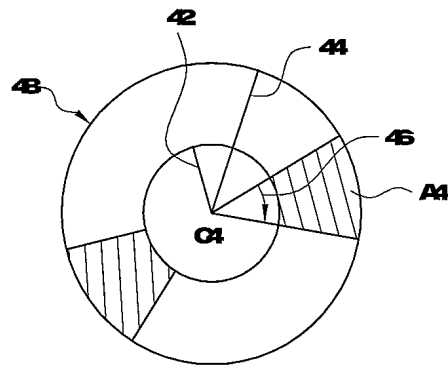
도면4



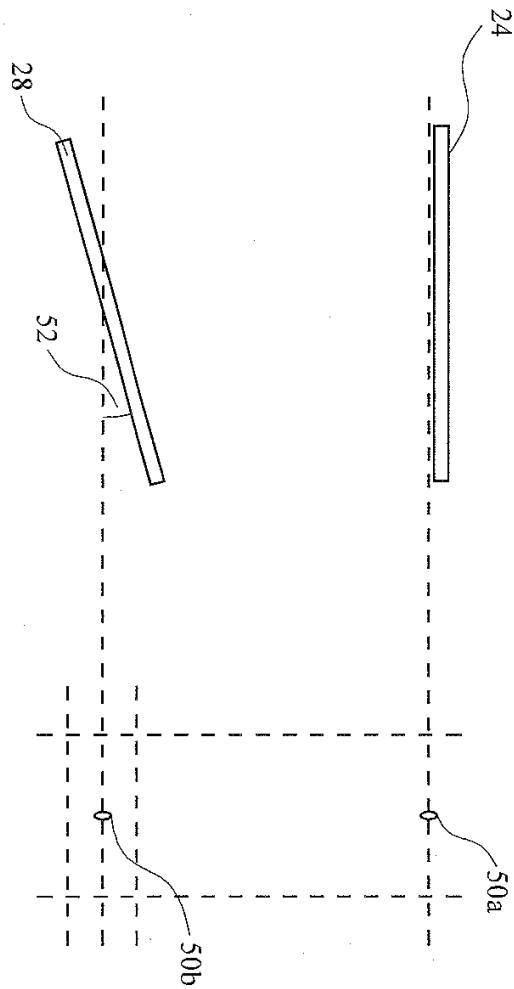
도면5



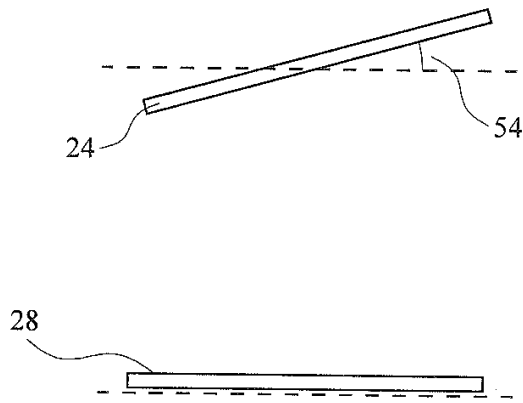
도면6



도면7



도면8



도면9

