



(19) 中華民國智慧財產局

(12) 發明說明書公開本 (11) 公開編號：TW 201713047 A

(43) 公開日：中華民國 106 (2017) 年 04 月 01 日

(21) 申請案號：105130145

(22) 申請日：中華民國 105 (2016) 年 09 月 19 日

(51) Int. Cl. : **H03M1/66 (2006.01)**

(30) 優先權：2015/09/29 美國 14/868,616

(71) 申請人：美國亞德諾半導體公司 (美國) ANALOG DEVICES, INC. (US)
美國

(72) 發明人：尼古顏 可翰 光 NGUYEN, KHIEM QUANG (CA)

(74) 代理人：閻啟泰；林景郁

申請實體審查：有 申請專利範圍項數：20 項 圖式數：18 共 62 頁

(54) 名稱

用於數位類比轉換器之低功率切換技術

LOW POWER SWITCHING TECHNIQUES FOR DIGITAL-TO-ANALOG CONVERTERS

(57) 摘要

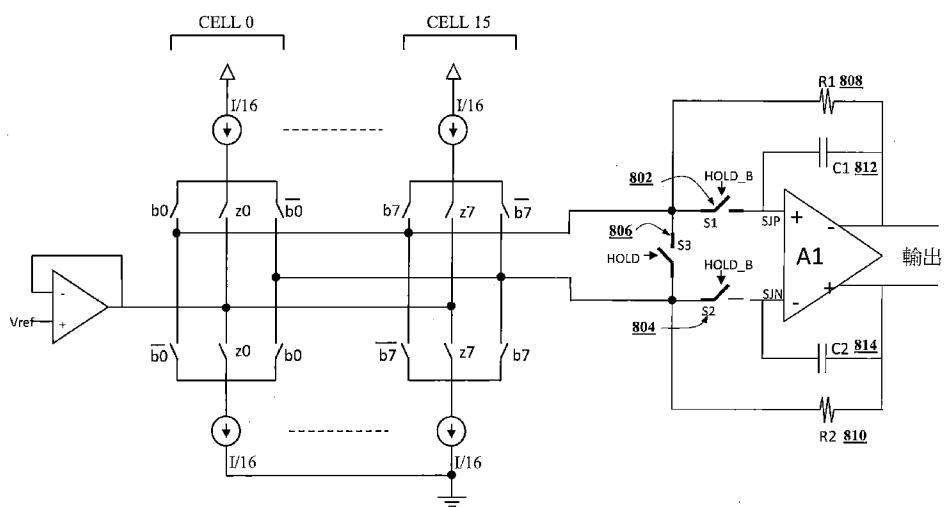
本發明實施例提供改良之切換技術，係運用復歸保持方案控制三階層 DAC 單元。本發明之技術包括在至少一處於兩段零數位值轉換保持期之間之時期持續時間中，將一 DAC 單元關閉。由於 DAC 單元在兩次保持期之間關閉，當 D 型正反器在該等保持期因應待轉換數位值之改變而發生輸出改變時，電流源汲極電壓在臨界暫態時間中不會受到干擾。如此可降低功率消耗，同時保有三階層復歸保持 DAC 之高效能特性。

Embodiments of the present disclosure provide improved switching techniques for controlling three-level DAC cells employing a return-to-hold scheme. Disclosed techniques include switching a DAC cell off for at least the duration of a time period between two hold periods while a digital value of zero is being converted. Because the DAC cell is switched off between two hold periods, the current source drain voltage is not disturbed during the critical transient times when D flip-flop outputs change, which happens during the hold periods, in response to change of digital values to be converted. In this manner, power consumption may be reduced while preserving the high performance properties of a three-level return-to-hold DAC.

指定代表圖：

201713047

TW 201713047 A



符號簡單說明：

802 · · · 開關 S1

804 · · · 開關 S2

806 · · · 開關 S3

808 · · · 回授電阻器

R1

810 · · · 回授電阻器

R2

圖8

201713047

發明摘要

※ 申請案號：105130145

※ 申請日： 105/09/19

※IPC 分類：**H03M 1/66** (2006.01)

【發明名稱】(中文/英文)

用於數位類比轉換器之低功率切換技術

LOW POWER SWITCHING TECHNIQUES FOR DIGITAL-TO-ANALOG
CONVERTERS

【中文】

本發明實施例提供改良之切換技術，係運用復歸保持方案控制三階層 DAC 單元。本發明之技術包括在至少一處於兩段零數位值轉換保持期之間之時期持續時間中，將一 DAC 單元關閉。由於 DAC 單元在兩次保持期之間關閉，當 D 型正反器在該等保持期因應待轉換數位值之改變而發生輸出改變時，電流源汲極電壓在臨界暫態時間中不會受到干擾。如此可降低功率消耗，同時保有三階層復歸保持 DAC 之高效能特性。

【英文】

Embodiments of the present disclosure provide improved switching techniques for controlling three-level DAC cells employing a return-to-hold scheme. Disclosed techniques include switching a DAC cell off for at least the duration of a time period between two hold periods while a digital value of zero is being converted. Because the DAC cell is switched off between two hold periods, the current source drain voltage is not disturbed during the critical transient times when D flip-flop

201713047

outputs change, which happens during the hold periods, in response to change of digital values to be converted. In this manner, power consumption may be reduced while preserving the high performance properties of a three-level return-to-hold DAC.

【代表圖】

【本案指定代表圖】：第(8)圖。

【本代表圖之符號簡單說明】：

802 開關 S1

804 開關 S2

806 開關 S3

808 回授電阻器 R1

810 回授電阻器 R2

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於數位類比轉換器之低功率切換技術

LOW POWER SWITCHING TECHNIQUES FOR DIGITAL-TO-ANALOG
CONVERTERS

【技術領域】

【0001】 本發明係關於數位類比轉換器，且詳言之，係關於用以控制三階層數位類比轉換器單元以降低功率消耗之方法及系統。

【先前技術】

【0002】 諸如溫度、壓力、聲音或影像等類比訊號於實務上通常係轉換成可輕易為現代數位系統所處理之數位表示法。在許多系統中，此類數位資訊必須轉換回類比形式方能執行真實作業功能。負責執行此一步驟之電路即為數位類比轉換器(DAC)，且其輸出可用於驅動多種裝置，例如揚聲器、視訊顯示器、馬達、機械伺服機構、無線電頻率(RF)發射器以及溫度控制裝置等等。DAC 通常設置於數位系統中，工作訊號於其中先經類比數位轉換器(ADC)數位化，並接受處理，而後再由 DAC 轉換回類比形式。在此類系統中，DAC 所需效能會受到系統中其他組件之性能及要求所影響。

【0003】 功率消耗為工程師持續努力尋求改良之處，所謂改良可為減少 DAC 之功率消耗。

【發明內容】

【0004】 本發明之實施例提供用以控制 DAC 中三階層 DAC 單元之機制。如在此所稱，「DAC 單元」有時亦稱為「DAC 單位」，意指包括兩個電

流源以及六個切換機制之電流導引 DAC 元件，所述電流源例如為一 pMOS 及一 nMOS 電流源，且所述切換機制在此稱為「開關」 b 、 b_{bar} 及 z ，如圖 8 所示。

【0005】 在此所述之機制可應用於電流導引 DAC，且特別適合於超取樣三角積分(sigma-delta)音訊 DAC 應用。

【0006】 本發明之一種態樣提供一種用以控制一三階層電流導引 DAC 單元之方法，其係配置成，將關於各數位值轉換為次一數位值之類比輸出維持一關於各數位值改變成次一數位值之非零保持時期。如本技藝中已知，三階層 DAC 單元又稱為 DAC 元件，其對於+1、0 及-1 數位輸入產生回應(亦即，數位輸入之三階層)。本發明方法包括，就第一數位值改變成第二數位值而言，判定第二數位值為零，並在至少處於有關第一數位值改變成第二數位值之保持期之結束與次一保持期之開始(亦即有關第二數位值改變成第三數位值之保持期)兩者間之一時期(如圖中之 A 時期)中防止 DAC 單元導通電流(亦即，關閉 DAC 單元)。

【0007】 於某些實施例中，該方法可進一步包括一辨識該第二數位值為 k 個連續零數位值中第一零值之步驟，其中 k 為一等於或大於二之整數。在此一實施例中，防止 DAC 單元導通電流之步驟可涉及在處於有關第一數位值改變成第二數位值之保持期之結束與有關 k 個連續零數位值中之倒數第二個數位值(亦即 k 個連續零數位值中之第($k-1$)個數位值)改變成 k 個連續零數位值中之最後一個數位值(亦即 k 個連續零數位值中之第 k 個數位值)之保持期之開始兩者間之一連續時期(圖中之 B 時期)中防止 DAC 單元導通電流。

【0008】 於上段所述方法之其他某些實施例中，該方法可進一步包括判定一緊接 k 個連續零數位值中最後一個數位值之數位值為一非零值，並在有關 k 個連續零數位值中之倒數第二個數位值改變成 k 個連續零數位值中之最後一個數位值之保持期之至少一部分允許 DAC 單元導通電流(亦即，開啟 DAC 單元)。於某些實施例中，該方法亦可包括在一處於有關 k 個連續零數位值中倒數第二個數位值改變成 k 個連續零數位值中最後一個數位值之保持期之結束與 k 個連續零數位值中最後一個數位值改變為緊接 k 個連續零數位值中最後一個數位值之數位值之保持期之開始兩者間之一時期(圖中之 A4 時期)中防止 DAC 單元導通電流。但在其他實施例中，係允許 DAC 單元在後方時期(圖中之 A4 時期)內導通電流。

【0009】 於某些實施例中，防止 DAC 單元導通電流之步驟可涉及在處於有關第一數位值改變成第二數位值之保持期之結束與有關 k 個連續零數位值中之最後一個數位值(亦即 k 個連續零數位值中之第 k 個數位值)改變成次一數位值之保持期之開始兩者間之一連續時期中防止 DAC 單元導通電流。

【0010】 於某些實施例中，該方法亦可包括將輸入資料樣本延遲多個時脈週期，所述延遲係足以允許一前視設置時間，用以辨識一連串 k 個連續數位值中之數位值。

【0011】 如熟悉本技藝人士所知者，本發明之態樣可透過各種方式實施 - 例如為方法、系統、電腦程式產品或電腦可讀儲存媒體。據此，本發明之態樣可完全以硬體實施、完全以軟體實施(包括韌體、常駐軟體、微碼等等)，或以軟硬體組合而成之「電路」、「模組」或「系統」態樣實施，如

在此所述者。本案中所敘述之功能可採用演算法之形式經一或多台電腦之一或多個處理單元(例如一或多個微處理器)執行而實施。於各種實施例中，在此所述各方法之不同步驟及步驟之部分可由不同處理單元執行。此外，本發明之態樣可採用電腦程式產品之形式，實施於一或多個電腦其中例如儲存有電腦可讀取程式碼之可讀取媒體中，以非暫態者為佳。於各種實施例中，所述電腦程式可，例如，下載(上傳)至現有裝置及系統(例如至現有 DAC 或 DAC 控制器等等)，或於此等裝置及系統製造時儲存於其中。

【0012】 本發明之其他特色及優點將藉由以下說明及申請專利範圍加以陳明。

【圖式簡單說明】

【0013】

圖 1 繪示一 16 位元兩階層邏輯溫度計碼電流導引 DAC 之典型實施；

圖 2 繪示一歸零波形；

圖 3 為一復歸保持方案之方塊圖；

圖 4 為該復歸保持方案之時序圖；

圖 5 概略繪示一用於復歸保持訊號之控制邏輯；

圖 6 為一 8 位元三階層邏輯溫度計碼電流導引 DAC 之示意圖；

圖 7 為圖 6 控制訊號 z 之真值表；

圖 8 為一 16 位元三階層溫度計碼電流導引 DAC 之復歸保持方案方塊圖；

圖 9 為一三階層 DAC 復歸保持方案之時序圖；

圖 10 概略繪示一三階層 DAC 之控制訊號產生；

圖 11 紣依據本發明某些實施例所繪製，採用修改後復歸保持方案之三階層 DAC 單元之第一切換技術時序圖；

圖 12 索依據本發明某些實施例所繪製，採用第一切換技術之控制訊號產生示意圖；

圖 13 索依據本發明某些實施例所繪製，採用修改後復歸保持方案之三階層 DAC 單元之第二切換技術時序圖；

圖 14 索依據本發明某些實施例所繪製，採用第二切換技術之控制訊號產生示意圖；

圖 15 索依據本發明某些實施例所繪製，採用修改後復歸保持方案之三階層 DAC 單元之第三切換技術時序圖；

圖 16 紴依據本發明某些實施例所繪製，採用第三切換技術之控制訊號產生示意圖；

圖 17 紴依據本發明某些實施例所繪製之例示裝置系統圖，該例示裝置可實施採用修改後復歸保持方案之三階層 DAC 單元之改良切換技術；以及

圖 18 紴依據本發明某些實施例所繪製之例示資料處理系統方塊圖。

【實施方式】

【0014】 DAC 之基本原理：

【0015】 DAC 為一種能夠因應二元數位輸入碼而產生數位值化(分離步驟)類比輸出之裝置。其中數位輸入可為例如來自電晶體邏輯(TTL)、射極耦合邏輯(ECL)、互補式金屬氧化物半導體(CMOS)電路或低電壓差分訊號(LVDS)之輸入，而類比輸出可為電壓或電流。產生輸出之方式係將參考數量(電壓或電流)分為二進位及/或線性分式，而後數位輸入驅動對應個別

DAC 單元(可包含電流源、電壓源、電阻器、電容器等等)之開關，結合適當數量之此等分式以產生輸出，此程序有時稱為「編碼」。分式之數量及大小對應於可能之數位輸入碼數量，其為轉換器解析度或數位輸入碼中位元數(N)之函數。例如， N 位元可產生 2^N 個可能編碼。

【0016】 於 DAC 中，係將數位訊號提供至編碼元件(編碼器)，由編碼元件開啟或關閉個別 DAC 單元，以將數位訊號之數位輸入值轉換為類比值。同一時間開啟之 DAC 單元數量代表該時間所產生類比訊號之類比值。

【0017】 例如，具有 15 個 DAC 單元之 DAC 能夠藉由開啟適當 DAC 單元而將一 4 位元數位值(亦即 $N=4$)轉換為 16 種不同類比值(2^N ，因此就 $N=4$ 而言，可能之編碼數量為 $2^4=16$)中之一種。例如，若要將數位值 0110 轉換為類比值，可開啟六個 DAC 單元，若要將數位值 0111 轉換為類比值，可開啟七個 DAC 單元，若要將數位值 1001 轉換為類比值，可開啟九個 DAC 單元，若要將數位值 1011 轉換為類比值，可開啟十一個 DAC 單元，以此類推。

【0018】 電流導引 DAC 之基本原理：

【0019】 電流導引拓樸為業界常用之 DAC 實現方法。由於此種拓樸簡單且具有靈活性，可應用於大規模之高速或高解析度應用組合。圖 1 繪示一 16 位元溫度計碼電流導引 DAC 100 之典型實施。該 DAC 包含一組電流導引單元 102、104、106 及 108；放大器 110；一對回授電阻器 112 及 114；且有時包含一對電容器 C1 116 及 C2 118。電容器 116 及 118 有效減緩步進輸出波形以降低放大器迴轉率要求。最簡單形式之控制位元及其互補版本為 D 型正反器陣列之 Q 輸出及 QB 輸出。此等 D 型正反器之輸入為數位 DAC 碼。因為是由數位編碼控制將多少單元導向放大器之適當加總接點，所以

電路運作十分簡單。使用定義 DAC 轉換率之時脈，經由 D 型正反器，將控制位元之所有輸出過渡同步。

【0020】 相較於傳統奈奎斯特(Nyquist)轉換器，三角積分 DAC 能夠以較低成本達成高解析度及低扭曲之功效。過去已有諸多在輸出級中使用電流導引拓樸之極高解析度 DAC。

【0021】 DAC 復歸保持切換方案之基本原理：

【0022】 電流導引 DAC 廣為人知之問題即在於符際干擾(ISI)。造成 ISI 之原因為各電流單元送達輸出之電流脈衝波形起落時間不等。因此，DAC 之當前輸出值取決於其先前值。ISI 之淨效應為使 DAC 之總諧波扭曲(THD)及雜訊表現顯著劣化。

【0023】 於現有技藝中係使用例如歸零(RTZ)技術等前案技術降低 ISI 之影響。RTZ 之原理如圖 2 所示。RTZ 迫使各電流單元關閉一段時間，通常為半個時脈週期。因此，DAC 之輸出於每一時脈週期之始必然從零開始，如此可以完全去除 ISI。然而，此技術之主要缺點包括高迴轉率、頻寬要求以及放大器之高功耗，且復歸於零狀態時會產生額外之高頻內容。

【0024】 因此，有人提出以「復歸保持」(RTH)替代 RTZ。圖 3 之方塊圖為實施於電流導引 DAC 輸出級中之復歸保持方案，其中加設有開關 S1 302、S2 304 及 S3 306。開關 S1 302 及 S2 304 受控於 HOLD_B 訊號，開關 S3 306 受控於 HOLD 訊號。時脈之時序圖、電流單元控制位元以及控制訊號係如圖 4 所示。

【0025】 茲就圖 3 中 RTH 電路之運作說明如下。當時脈 402 之升緣抵達時，HOLD_B 404 變為低(LOW)，並藉由關閉開關 S1 302 及 S2 304 而將

回授電阻器 R1 308 及 R2 310 與電流對電壓轉換器之加總接頭斷開。在此同時，HOLD 406 變為高(HIGH)，並經由開關 S3 306 將電阻器 R1 308 與 R2 310 之左側連接。電流單元之輸出亦經由開關 S3 306 短路連接在一起。在此「保持」期間，電流對電壓轉換器處於「保持」模式，由電容器 C1 312 及 C2 314 將其輸出電壓保持在相同值。因此，此切換方案以「復歸保持」為名。由於電阻器 R1 308 及 R2 310 係跨電流對電壓轉換器之正、負輸出連接，此電阻器串(開關 S3 306 之端子)之中點設定於放大器 A1 之輸出共用模式(CM)電壓。由於輸出電流單元連接至此點，放大器 A1 提供 CM 緩衝器之功效，並將其汲極保持於 CM 位準，因此無需使用額外之 CM 緩衝器。

【0026】 在「保持」期間，DAC 正反器輸出 412 有所改變，但由於回授電阻器 R1 308 及 R2 310 仍與加總接頭 SJP 及 SJN 斷開，所以類比輸出 410 不會改變。當「保持」期間結束時，S3 306 關閉，S1 302 及 S2 304 開啟。電阻器 R1 308 及 R2 310 連接回 SJP 及 SJN，允許 DAC 電流轉換成輸出電壓。由於 DAC 正反器輸出 412 在「保持」期間改變，輸出並不具有關於每一個別切換電流單元起落時間之資訊或記憶。因此輸出電壓不會受到符際干擾。

【0027】 圖 5 繪示為 D 型正反器產生 HOLD、HOLD_B 及時脈 408 之電路。一 RESET 訊號用於將所示 RS 正反器設置為重設狀態，此時 HOLD_B 為高(HIGH)且 HOLD 為低(LOW)。同一 RESET 訊號亦清除 D 型正反器 DFF1。

【0028】 邏輯閘 AN1 502 及 I1 504 於 DAC_CLK 506 之升緣抵達時產生脈衝，其中 DAC_CLK 506 為轉換器之主時脈。所產生脈衝之持續時間取決於經由逆變器 I1 504 之延遲。通常，1 ns 至 2 ns 之脈寬即足以設定目前矽晶圓技術中所用 RS 正反器。當此脈衝出現於 NO1 508 之輸入時，其將

HOLD_B 510 設定為 LOW，將 HOLD 512 設定為 HIGH。此時，電流對電壓係處於「保持」階段，其電壓維持恆定。此脈衝之降緣脈衝調節正反器 DFF1 514 以在輸出 Q 產生 HIGH。在一由 B1 516 決定之延遲後，B1 516 之輸出變成 HIGH，並將 HOLD_B 510 設回 HIGH，且將 HOLD 512 設回 LOW；電流對電壓亦開始轉換新 DAC 碼所產生之電流。

【0029】 而後 DAC_CLK 之降緣產生一脈衝，此脈衝重設 DFF1 514。

圖 5 之電路於 DAC_CLK 之每一升緣重複相同運作。

【0030】 由於 TRIG 之降緣係用於脈衝調節儲存有 DAC 碼之 D 型正反器陣列，D 型正反器陣列對應待轉換數位碼之改變而產生之狀態改變將於電流對電壓轉換器處於「保持」模式時發生。當經由逆變器 I1 及緩衝器 B1 之延遲約略相等時，D 型正反器陣列狀態必定會在「保持」期間之中改變。使電流對電壓轉換器處於保持模式，亦即當 D 型正反器因應數位碼改變為次一數位值而發生輸出改變時，在保持期維持一有關先前數位值轉換之類比輸出，即能夠防止在此臨界暫態時間中發生干擾電流源汲極電壓之情形。

【0031】 圖 5 電路之優點在於邏輯閘可輕易設計為產生理想之 HOLD 512 與 HOLD_B 510 交叉點。此一理想交叉點對高速操作必備放大器之加總接頭產生最少量之干擾。再者，若放大器頻寬充足，切換方案可無感於 HOLD_B 支脈寬變化。這表示電路不會受到圖 5 之邏輯閘所造成之抖動所影響，此為復歸保持技術之又一優點。

【0032】 三階層 DAC 之基本原理：

【0033】 參照上述圖 1，習知溫度計碼電流導引 DAC 之缺點為熱雜

訊問題。尤其，當資料為零時，切換電流源之一半可連接至一加總接頭，另一半可連接至電流對電壓轉換器之另一加總接頭。此外，頂部電流源可必然連接至加總接頭。電流源為 DAC 輸出中之主要熱雜訊源，決定轉換器之訊噪比(SNR)。

【0034】 一種先前用於處理上述熱雜訊問題之技術係使用三階層溫度計碼電流導引 DAC 單元，各單元包含一對電流源(正與負)及每一電流源 3 個開關，該等開關在此稱為開關 b、b_bar 及 z。此等 DAC 單元係示於圖 6 之範例，其中繪示八個 DAC 單元，以位元 0-7 表示。通常，一 DAC 會使用多重 DAC 單元，例如圖 6 範例中之 8 個 DAC 單元或圖 8 範例中之 16 個 DAC 單元，特定 DAC 單元之開關在途中係以指示該 DAC 單元之參考號碼標示，例如在圖 8 中標示為「單元 0」之 DAC 單元之開關「b」，或在圖 6 中標示為「單元 0」之 DAC 單元之開關「b」，係顯示為開關 b0，在圖 8 標示為「單元 15」之 DAC 單元開關「b」係顯示為開關 b15，以此類推。

【0035】 由於各對電流源可透過三種方式連接至加總接頭，每對可貢獻正電荷量、負電荷量或完全不提供任何電荷。當資料為零時，所有電流源皆連接至一緩衝器放大器，以維持適當之汲極電壓。藉此，主要雜訊源來自放大器，其於設計上遠小於電流源。如此可大幅改善 SNR。圖 7 顯示圖 6 開關 z 控制訊號之真值表。

【0036】 就各 DAC 單元(例如圖 6 所示之各該位元 0-7)而言，當轉換者係一為 1 之數位值時，開關 b 為閉路，開關 b_bar 及 z 為開路；當轉換者係一為 -1 之數位值時，開關 b_bar 為閉路而開關 b 及 z 為開路；且，當轉換者係一為零之數位值時，開關 z 為閉路而開關 b 及 b_bar 為開路。

【0037】 復歸保持切換方案於三階層 DAC 之應用：

【0038】 上述習知兩階層 DAC 之復歸保持技術同樣可應用於三階層 DAC，為三階層 DAC 帶來類似如於兩階層 DAC 中所述之優點。圖 8 所示者為此等實施範例，其為一 16 位元三階層溫度計碼電流導引 DAC 之復歸保持方案方塊圖。實施此復歸保持方案之三階層 DAC 另具有開關 S1 802，S2 804 及 S3 806。類似於圖 3 所示者，在圖 8 中，開關 S1 802 及 S2 804 受控於 HOLD_B 訊號，開關 S3 806 受控於 HOLD 訊號。時鐘、電流單元控制位元及控制訊號之時序圖示於圖 9。

【0039】 以下說明圖 8 中 RTH 電路之操作。當時脈 902 之升緣抵達時，HOLD_B 904 變為 LOW，關閉開關 S1 802 及 S2 804，藉此將回授電阻器 R1 808 及 R2 810 與電流對電壓轉換器之加總接頭斷開。在此同時，HOLD 906 變為 HIGH，並經由開關 S3 806 連接電阻器 R1 808 與 R2 810 之左側。電流單元之輸出亦經由開關 S3 806 短路連接在一起。在此「保持」期間，電流對電壓轉換器處於「保持」模式，由電容器 C1 812 及 C2 814 將其輸出電壓保持在相同值。由於電阻器 R1 808 及 R2 810 係跨電流對電壓轉換器之正、負輸出連接，此電阻器串(開關 S3 806 之端子)之中間點設定於放大器 A1 之輸出共用模式(CM)電壓。由於輸出電流單元係連接至此點，放大器 A1 具有 CM 緩衝器之功效，且將其汲極保持於 CM 位準，因此無需使用額外 CM 緩衝器。

【0040】 圖 8 之電路與圖 3 之電路類似，在「保持」期間，DAC 正反器輸出因應 DAC 碼之改變而發生變化。正反器輸出之改變雖未明示於圖 9，但類似於圖 4 中輸出 412 處之 D 型正反器輸出改變(亦即 D 型正反器於

保持期之輸出改變)。圖 9 所示者為 DAC 碼 918 之改變，亦即數位值變化。此一改變於略早於保持期發生，其差距可稱為設定時間 920，為設定 D 型正反器輸出因應 DAC 碼改變之變化所需時間。

【0041】 雖然在「保持」期間，DAC 正反器輸出因應 DAC 碼改變而改變，但由於回授電阻器 R1 808 及 R2 810 仍與加總接頭 SJP 及 SJN 斷開，類比輸出 910 不會改變。當「保持」期間結束，S3 806 關閉，S1 802 及 S2 804 開啟。電阻器 R1 808 及 R2 810 重新連接 SJP 及 SJN，允許 DAC 電流轉換成輸出電壓。由於 DAC 正反器輸出在「保持」期間改變，輸出並不具有關於每一個別切換電流單元起落時間之資訊或記憶，因此輸出電壓不會受到符際干擾。

【0042】 類似於圖 6 電路之操作，就一三階層復歸保持 DAC 之各 DAC 單元(例如圖 8 之各位元 0-15)而言，當轉換者係一為 1 之數位值時，開關 b 為閉路而開關 b_bar 及 z 為開路。此現象示於圖 9，當轉換者係一為 1 之數位值(圖 9 中之示數 918-1)時，開關 b 之控制訊號 912 為 HIGH 狀態，而開關 b_bar 之控制訊號 914 及開關 z 之控制訊號 916 均為 LOW 狀態。

【0043】 同理，當轉換者係一為零之數位值時，開關 z 為閉路而開關 b 及 b_bar 為開路。此現象示於圖 9，當轉換者係一為零之數位值(圖 9 中之示數 918-2)時，開關 z 之控制訊號 916 為 HIGH 狀態，而開關 b_bar 之控制訊號 914 及開關 b 之控制訊號 912 皆為 LOW 狀態。

【0044】 最後，當轉換者係一為-1 之數位值時，開關 b_bar 為閉路而開關 b 及 z 為開路。此現象示於圖 9，當轉換者係一為-1 之數位值(圖 9 中之示數 918-3)時，開關 b_bar 之控制訊號 914 為 HIGH 狀態，而開關 b 之控

制訊號 912 及開關 z 之控制訊號 916 假為 LOW 狀態。

【0045】 圖 10 之例示電路 1000 可用於為三階層 RTH DAC 之各 DAC 單元 b、b_bar 及 z 開關分別產生控制訊號 912、914 及 916。如圖 10 所示，b 開關之控制訊號 912 為正反器 1010 之輸出，b_bar 開關之控制訊號 914 為正反器 1030 之輸出，z 開關之控制訊號 916 為正反器 1020 之輸出。此等控制訊號驅動開關為開路及閉路，如圖 9 所示。

【0046】 當待轉換之數位值為正值，其係提供至一輸入 POS 1002。當待轉換之數位值為負值，其係提供至電路 1000 之輸入 NEG 1004。當待轉換之數位值為零，在此情況下輸入 POS 1002 及 NEG 1004 均接收零，NOR 閘 1006 之輸出將成為邏輯 HIGH。之後正、負數位值及 NOR 閘輸出係分別提供至其各自正反器 1010、1030 及 1020。

【0047】 控制訊號 912、914 及 916 僅於 HOLD 訊號 906 為 HIGH 時進行過渡，此時電流對電壓處於「保持」階段，其電壓維持不變，確保開關僅在保持期切換。關於圖 5 之其他討論可適用於此處，因此為求簡潔，在此不加贅述。

【0048】 下述之圖 10 乃至於圖 12、14 及 16，僅就 DAC 單元 b、b_bar 及 z 開關之控制訊號產生提供若干實例。於其他實施例中，亦可使用其他電路架構依據在此所述切換技術產生此等訊號。

【0049】 此種三階層 RTH DAC 結合 RTH 方案優點與上述三階層邏輯優點。

【0050】 三階層 RTH DAC 之改良切換技術：

【0051】 本發明實施例提供利用復歸保持方案以控制三階層 DAC 單

元之改良切換技術。揭露技術包括至少在一處於兩段轉換為零之數位值之保持期之間之時期中關閉 DAC 單元。因為 DAC 單元在兩段保持期之間為關閉狀態，電流源汲極電壓在臨界暫態時間內不會於 D 型正反器在保持期因應待轉換數位值之改變而產生輸出改變時受到干擾。此舉可減少功率消耗，同時保有三階層復歸保持 DAC 之高效能特性。

【0052】 本發明實施例之原理在於認知到只要開關 z 為閉路且電流流經 DAC 單元中 z 開關路徑之部分，則電路便會轉進於此且電力流經此處，因而轉換零數位值之 DAC 單元仍會消耗大量電力。若在轉換此一零值時，至少於兩段連續保持期間之時期，切斷此 DAC 單元之電流源，將此一 DAC 單元完全關閉，則可防止電流流經此 DAC 單元，從而降低 DAC 單元之功率消耗。因此，本發明實施例係在實施 RTH 方案之三階層 DAC 中，利用兩段連續保持期間之閒置期完全關閉通往轉換零數位值之 DAC 單元之電流源。如此一來，電流源汲極電壓於臨界暫態時間不會受到干擾，確保三階層 RTH DAC 之高效能特性。

【0053】 現將參照圖 11-16 之時序及控制訊號圖說明改良後之切換技術，其為圖 8 電路架構之改良後控制機制。由於所有此等技術係關於實施復歸保持方案之三階層 DAC，唯切換經過修改，因此下述之 DAC 單元可視為實施修改後之復歸保持方案。

【0054】 改良切換技術#1：

【0055】 圖 11 依據本發明某些實施例，為實施修改後復歸保持方案三階層 DAC 單元之第一切換技術時序圖。由於第一切換技術為上述復歸保持技術之修改，關於圖 9 之描述可適用於此特定修改。簡潔起見，在此不

重複圖 9 之完整敘述，而僅就對圖 9 切換機制之修改加以陳明。

【0056】 類似於圖 9，圖 11 繪示 DAC 時脈訊號 1102、HOLD_B 訊號 1104、HOLD 訊號 1106、D 型正反器時脈 1108 及圖 11 例示 DAC 碼之類比輸出 1110。亦類似於圖 9，圖 11 繪示開關 b、b_bar 及 z 之控制訊號 1112、1114 及 1116，以及 DAC 碼 1118 之例示部分，包含數位值 1、0 及 -1，分別以示數 1118-1、1118-2 及 1118-3 標明。

【0057】 圖 11 中各種組件之時序與圖 9 相同，唯一之例外為控制訊號控制開關 z，示為控制訊號 z 1116。如圖 11 所示，依據第一切換技術，當轉換者係一為零之數位值時，在保持期 1 與保持期 2 等二連續保持期之間，亦即圖 11 中之 A 時期內，開關 z 為開路。否則控制訊號 b、b_bar 及 z 與圖 9 相同。具體而言，依據圖 11 所示之第一切換技術，在保持期 1 及 2 之部分中，z 開關之控制訊號為 HIGH，如同圖 9 之切換技術，指示 z 開關於該等時間內為閉路。此等時間必須夠長，方能依據所需 DAC 型為達成 DAC 單元電流源之沉降行為，例如達成特定程度之扭曲沉降，例如 96 dB 之扭曲沉降。若圖 11 範例中之 z 開關在保持期 1 與 2 間之時期(亦即 A 時期)維持閉路，產生如圖 9 所示之習知復歸保持方案，給予電流源更多之沉降時間，如此雖有益處，但消耗電量較高。使 z 開關在圖 11 範例中之 A 時期為開路提供可接受之折衷，既顧及達成適當 DAC 行為，亦能減少功率消耗。

【0058】 圖 12 所繪者為可產生圖 11 控制訊號 1112、1114 及 1116 之電路 1200。因此，圖 12 為控制訊號產生示意圖，其中圖 8 所示三階層 RTH DAC 單元實施第一切換技術。當然，於其他實施例中，亦可使用其他電路產生第一切換技術之控制訊號。

【0059】 由於第一切換技術為上述復歸保持技術之修改，關於圖 10 之描述可適用於此特定修改。簡潔起見，在此不重複圖 10 之完整敘述，而僅就對圖 10 切換機制之修改加以陳明。

【0060】 圖 12 未用於產生控制訊號 1112、1114 及 1116 之例示電路 1200。如圖 12 所示，b 開關之控制訊號 1112 為正反器 1210 之輸出，b_bar 開關之控制訊號 1114 為正反器 1230 之輸出，且 z 開關之控制訊號 1116 為 NOR 閘 1208 之輸出。此等控制訊號驅動開關為開路及閉路，如圖 11 所示。

【0061】 圖 12 產生開關 z 控制訊號 1116 之產生方式與圖 10 不同。具體而言，如圖 12 所示，電路 1200 採用一 OR 閘 1206，而非圖 10 之 NOR 閘 1006。再者，不同於圖 10 將元件 1220 之輸出提供為開關 z 之控制訊號，在圖 12 中，該輸出係提供至其第二輸入為 HOLD_B 之 NOR 閘 1208，藉此產生開關 z 之控制訊號 1116。上述有關於圖 10 之其他討論適用於此修改，且為於此技藝中具有通常知識之人基於本發明所輕易可知，因而在此不加贅述。

【0062】 綜言之，依據切換技術#1，當一數位值從先前值切換至次一為零之值時，DAC 單元首先對傾倒節點為開啟(亦即開關 z 為閉路狀態且電流流經 DAC 單元)。若 DAC 單元電流源用於次一時脈週期，此舉為其提供設置時間。當使用 DAC 單元時，此舉亦提供週期以外之暫態時間。之後 HOLD_B 於 A 時期將 DAC 單元關閉。在「省電」A 期間，DAC 單元完全關閉，減少功率消耗。

【0063】 切換技術#1 係關於轉換單一為零數位值時之改良後切換。此技術可於每此轉換零數位值時應用。

【0064】 於某些實施中，DAC 碼可包含多個連續零數位值。在此情況下，可延伸切換技術#1 應用於此。現將參照改良切換技術#2 及#3 說明包含此種情況之實施例。

【0065】 改良切換技術#2：

【0066】 圖 13 依據本發明某些實施例，為實施修改後復歸保持方案之三階層 DAC 單元中第二切換技術之時序圖。由於第二切換技術為上述圖 9 復歸保持技術之修改，且為圖 11 切換技術#1 之延伸，關於圖 9 及圖 11 之描述可適用於此特定修改。因此，在此切換技術#2 對於上述切換機制之修改加以陳明。

【0067】 類似於圖 9 及圖 11，圖 13 繪示 DAC 時脈訊號 1302、HOLD_B 訊號 1304、HOLD 訊號 1306、D 型正反器時脈 1308 及圖 13 例示 DAC 碼之類比輸出 1310。亦類似於圖 9 and 11，圖 13 繪示分屬開關 b、b_bar 及 z 之控制訊號 1312、1314 及 1316，以及例示部分 DAC 碼 1318，其於此包括一系列數位值，即 1、0、-1、0、0、0 及 1，分別以示數 1318-1 至 1318-7 標明。

【0068】 圖 13 中各種組件之各種數位碼值時序與圖 9 所示者大致相同，唯一之差異在於控制開關 z 之控制訊號 z 1316。如圖 13 所示，依據第二切換技術，首先判定一連串複數為連續零之 k 需要轉換。此一連串 k 連續零在圖 13 之範例中為一連串三個連續零(亦即 k=3)，示為數位值 1318-4、1318-5 及 1318-6。在此情況下，開關 z 可於一連續時期(圖 13 之 B 時期)中保持為開路，該連續時期(圖 13 之 B 時期)係處於一段保持期(圖 13 之保持期 3)結束與另一段保持期(圖 13 之保持期 5)開始之間，所述第一段保持期(圖 13 之保持期 3)是有關非零數位值(圖 13 之 DAC 碼值 1318-3)改變成連續 k 個

零中之第一零值(圖 13 之 DAC 碼值 1318-4)，而所述第二段保持期(圖 13 之保持期 5)則是有關 k 個連續零數位值中第($k-1$)個數位值(圖 13 之 DAC 碼值 1318-5)改變成第 k 個數位值(圖 13 之 DAC 碼值 1318-6)。

【0069】 因此，切換技術#2 使 DAC 單元在該時期保持關閉，如切換技術#1，參見例如圖 13 中 A 時期之二例，示為時期 A2 及 A3，但因所轉換者為複數連續零值，DAC 單元為關閉狀態之時間可較僅實施切換技術#1 為長。 k 等於或大於 3 時即為如此，其中 B 時期包括($k-1$)個 A 時期，如圖 13 之 B 時期包含 A2 及 A3 時期。

【0070】 k 個連續數位值之評估可利用樣本此技藝中已知之延遲及前視技術。可應用上述關於 k 零值中第一($k-1$)值之方式。樣本延遲及前視可連續執行，即在各次一數位值轉換時，評估一連串 k 個數位值以判定是否所有為靈之數位值向後移動一個數位值。因此，可運用已知樣本延遲及前視技術持續評估預先定義複數個數位值之滑動窗口，且切換技術#2 可連續施用於 k 個零值之一連串第一($k-1$)數位值。

【0071】 一旦判定接續於 k 零值後之次一數位值為並非零值，切換技術#2 可進一步包括為此連串中最後一零值所採取之節電措施。應知為求判定接續於 k 零值後之次一數位值為非零數位值，必須使用上述之已知前視技術對($k+1$)值進行評估。

【0072】 當一特定數位值判定為該連串 k 個零數位值中之最後一者時，如圖 13 中數位值 1318-6 之情形，則切換技術#2 可使用技術#1 進行該值之轉換 - 亦即在有關第($k-1$)個數位值改變為第 k 個數位值之保持期(圖 13 之保持期 5)中之部分時間開啟 DAC 單元以導通電流，接著在從保持期結束

到次一保持期(圖 13 之保持期 6)開始間之時期(圖 13 之 A4 時期)再次關閉 DAC 單元。而後，DAC 單元可於後方保持期中再次開啟(亦即在圖 13 之保持期 6 中開啟，如同圖 9 中 RTH 方案之情形)。為轉換最後一個為零數位值而以此方式開啟 DAC 單元以供可讓電流源沉降以便電路做好處理接續而來非零值之準備。此於圖 13 中標示為「電流單元之前視設定時間」。圖 13 所示之前視設定時間較佳者係夠長而足以達成 DAC 單元電流源依據所需 DAC 行為之所需沉降行為，例如達成特定程度之扭曲沉降。

【0073】 或者，DAC 單元可於全部 k 數位值之外保持期維持關閉，但如此一來，DAC 單元之電流源之沉降時間不足，因而會導致無寄生動態範圍(SFDR)縮小。圖 13 雖未特別示出，但會在保持期 3 與保持期 6 之間保持 DAC 單元關閉。如已知者，SFDR 代表基礎訊號對輸出中最強寄生訊號之強度比，且堪稱 DAC 效能之重要特性，SFDR 越高越佳。於此情境中，雖然 SFDR 縮小，但因 DAC 單元可在有關第($k-1$)個數位值改變成第 k 個數位值之保持期(亦即圖 13 之保持期 5)保持關閉，有助節電，故而整體仍為可接受之情形。

【0074】 當實施切換技術#2 時，若判定待轉換之複數數位值包含一受兩個非零數位值所包圍之零值，則，於各種實施例中，可實施切換技術 #1 可以便於此零值轉換之期間節省電力(如圖 13 中開關 z 在 A1 時期為開路)，或者不使用節電技術，且開關 z 可在該值之轉換期間維持閉路(圖 13 未示)。

【0075】 圖 14 所繪為可產生圖 13 中控制訊號 1312、1314 及 1316 之電路 1400。因此，圖 14 即圖 8 三階層 RTH DAC 單元實施第二切換技術之

控制訊號產生示意圖。當然，於其他實施例中，亦可使用其他電路產生第二切換技術之控制訊號。

【0076】 由於第一切換技術為上述復歸保持技術之修改，關於圖 10 之描述可適用於此特定修改。簡潔起見，在此不重複圖 10 之完整敘述，而僅就對圖 10 切換機制之修改加以陳明。

【0077】 圖 14 之例示電路 1400 產生控制訊號 1312、1314 及 1316。如圖 14 所示，b 開關之控制訊號 1312 為正反器 1440 之輸出，b_bar 開關之控制訊號 1314 為正反器 1450 之輸出，z 開關之控制訊號 1316 為 NOR 閘 1460 之輸出。此等控制訊號驅動開關開路並閉路，如圖 13 所示。

【0078】 圖 14 不同於圖 10 之處為開關 z 控制訊號之產生。具體而言，如圖 14 所示，正反器 1410 及 1430 延遲輸入資料，促進如圖 13 中時序圖所述之前視動作。上述有關於圖 10 及圖 12 之其他討論適用於此修改，且為於此技藝中具有通常知識之人基於本發明所輕易可知，因而在此不加贅述。

【0079】 緜言之，依據切換技術#2 之某些實施例，輸入資料可延遲至少 1 個時脈週期，做為前視設定時間。當偵測到進入數位值中有二或多個連續零值時，可將 DAC 單元完全關閉，藉此減少電流單元之暫態，從而節省更多電力。在「省電」期間 B，DAC 單元完全關閉，減少功率消耗。於某些實施例中，若次一數位值並非零值，DAC 單元可配置成應用切換技術#1。

【0080】 改良切換技術#3：

【0081】 圖 15 依據本發明某些實施例繪示實施修改後復歸保持方案

之三階層 DAC 單元之第三切換技術時序圖。第三技術與上述第二技術實施例不同之處在於，當一連串 k 個連續零數位值之最後一個零值後之下一數位值，亦即第($k+1$)個值為一非零值時，該如何處理最後一個零值。具體而言，如圖 15 所示，依據切換技術#3，在 A4 期間，z 開關可為閉路，且 DAC 單元可為開啟並導通電流。

【0082】 因此，依據切換技術#3，DAC 單元可在第($k-1$)個數位值改變成第 k 個數位值之保持期(圖 15 之保持期 5)之部分時間為開啟以導通電流，在從保持期結束到次一保持期(圖 15 之保持期 6)開始之後續時期(圖 15 之 A4 時期)中保持開啟，並在後者保持期中保持開啟(亦即在圖 15 中保持期 6 之至少一部分時間繼續為開啟狀態，如同圖 9 中 RTH 方案之情形)。以此方式開啟切換 DAC 單元，與圖 13 所示情境相較，可為最後一個零數位值之轉換提供更多時間，藉此使電流源達成所需沉降行為以準備轉換接續而來之非零值，此即圖 15 所示之「電流單元前視設定時間」。由於此一設定時間在圖 15 之情境大於圖 13，雖必須消耗較多電力，但可達成較佳之 SFDR。

【0083】 上述有關於圖 13 之其餘說明適用於此，為求簡潔，在此不加贅述。

【0084】 圖 16 所示者為用於產生控制訊號 1512、1514 及 1516 之例示電路 1600。如圖 16 所示，b 開關之控制訊號 1512 為正反器 1210 之輸出， b_bar 開關之控制訊號 1114 為正反器 1230 之輸出，z 開關之控制訊號 1116 為 NOR 閘 1208 之輸出。此等控制訊號驅動開關為開路及閉路狀態，如圖 11 所示。圖 16 不同於圖 10、圖 12 及圖 14 之處同樣在於開關 z 之控制訊號產生方式。具體而言，圖 14 之 NOR 閘 1460 在圖 16 中由逆變器 1660 所取

代。取代後，「z」在非零轉換(亦即+1 或-1 數位輸入值之轉換)前之整個時期可為 HIGH。此一改變允許 DAC 單元中電流源之完整設置時間，如上所述。上述有關於圖 10、圖 12 及圖 14 之其他討論適用於此修改，且為於此技藝中具有通常知識之人基於本發明所輕易可知，因而在此不加贅述。

【0085】 緜言之，依據切換技術#3 之某些實施例，輸入資料可延遲至少 1 個時脈週期以做為前視設定時間。當偵測到進入數位值中有二或多個連續零值時，可將 DAC 單元完全關閉，藉此減少電流單元之暫態，從而節省更多電力。在「省電」B 期間，DAC 單元完全關閉，減少功率消耗。於某些實施例中，若次一數位值並非零值，DAC 單元可保持開啟，以便電流源獲得一個完整時脈週期之設定時間。此一實施無需對汲極計生電容充放電，因此特別適合高速度操作。

【0086】 圖 11、圖 13 及圖 15 所示之切換技術模擬顯示可漸進增加 SFDR，例如在圖 11 中為 90 dB，圖 13 為 95 dB，圖 15 為 100 dB。

【0087】 例示 DAC：

【0088】 圖 17 繪示依據本發明某些實施例之例示裝置 1700 系統圖，例如一 DAC，其係在實施修改後復歸保持方案之三階層 DAC 單元中實施改良切換技術。如圖所示，此一裝置可接收輸入數位值並將至少部分數位值提供予一 DAC 單元 1704。雖然圖 17 僅繪示一個 DAC 單元，該 DAC 1700 實則通常包括複數 DAC 單元，如上述部分附圖所示。DAC 1700 可進一步包含一控制器 1706，其可至少按照上述方式產生控制訊號，以依據在此所述之改良切換技術於不同時間允許或防止電流流經 DAC 單元。為此，在某些實施例中，控制器 1706 可包括至少一處理器 1708 及一記憶體 1710，如圖

17 所示，用以實施在此所述之各種改良切換技術。然於其他實施例中，控制器 1706 可藉由實施如圖 12、圖 14 及圖 16 所示電路，或實施為 b、b_bar 及 z 開關產生控制訊號之類比電路，而執行在此所述之各種改良切換技術。類比值 1712 可在 DAC 1700 之輸出處提供。

【0089】 於各種實施例中，各 DAC 單元可各自連接於一個別控制器 1706。於其他實施例中，控制器 1706 可配置成控制一 DAC 之二或多個，甚至全部 DAC 單元。

【0090】 此外，雖然圖 17 繪示之控制器 1706 係包含於 DAC 1700 之內，但於其他實施例中，控制器 1706 可設於 DAC 1700 外部，在此情況下，控制器 1706 可配置成經由任何適當之通訊管道，遠端控制 DAC 1700。換言之，控制器 1706 可不如圖 17 所示設於 DAC 1700 內，而是設於 DAC 1700 之外，並以可溝通之方式耦接於 DAC 1700。

【0091】 例示資料處理系統：

【0092】 圖 18 為依據本發明一種實施例之例示資料處理系統 1800 方塊圖。此一資料處理系統可配置成例如在此所述控制器 1706 之功能或配置成實施在此所述之各種改良切換技術之任何其他系統。

【0093】 如圖 18 所示，資料處理系統 1800 可包括至少一處理器 1802，其係經由一系統匯流排 1806 耦接於記憶體元件 1804。就此而言，資料處理系統可將程式碼儲存於記憶體元件 1804 中。再者，處理器 1802 可執行經由系統匯流排 1806 而自記憶體元件 1804 取得之程式碼。在本發明一態樣中，所述資料處理系統可為適合儲存並/或執行程式碼之電腦。然應知資料處理系統 1800 實可採取任何系統之形式實施，只要其包含處理器及能夠

執行本案功能之記憶體即可。

【0094】 記憶體元件 1804 可包括一或多個實體記憶體裝置，例如，本機記憶體 1808 及一或多個大量儲存裝置 1810。本機記憶體可為隨機存取記憶體或常用於執行程式碼之其他非持續性記憶體裝置。所述大量儲存裝置可實施為硬碟或其他持續性資料儲存裝置。處理系統 1800 亦可包括一或多個快取記憶體(圖未示)，其提供至少部分程式碼之暫時性儲存，藉此節省執行時需要用於自大量儲存裝置 1810 取得程式碼之時間。

【0095】 圖中標示為輸入裝置 1812 及輸出裝置 1814 之輸入/輸出(I/O)裝置可隨選耦接於資料處理系統。輸入裝置之範例可包括，但不限於，鍵盤、指向裝置，例如滑鼠或類似物。輸出裝置之範例可包括，但不限於，螢幕或顯示器、揚聲器或類似物。輸入及/或輸出裝置可直接或經由中介 I/O 控制器耦接於資料處理系統。

【0096】 於一實施例中，輸入及輸出裝置可實施為結合式輸入/輸出裝置(於圖 18 中圍繞輸入裝置 1812 及輸出裝置 1814 之虛線)。此一結合式裝置之範例為觸控顯示器，有時亦稱為「觸碰螢幕顯示器」或簡稱為「觸控螢幕」。於此一實施例中，可由例如觸控筆或使用者手指等實體物件在觸控螢幕上或附近之動作構成對於該裝置之輸入。

【0097】 亦可以一網路配接器 1816 隨選耦接於資料處理系統，使其能夠經由中介之私人或公用網路而連接其他系統、電腦系統、遠距網路裝置及/或遠距儲存裝置。網路配接器可包含一資料接收器，用以接收由該系統、裝置及/或網路傳送至資料處理系統 1800 之資料，並可包含一資料傳輸器，用以將來自資料處理系統 1800 之資料傳輸至該系統、裝置及/或網路。

數據機、纜線數據機及乙太網路卡為可用於資料處理系統 1800 之不同網路配接器類型。

【0098】 如圖 18 所示，記憶體元件 1804 可儲存一應用程式 1818。於各種實施例中，應用程式 1818 可儲存於本機記憶體 1808、一或多個大量儲存裝置 1810 或與該本機記憶體及該大量儲存裝置分離。應知資料處理系統 1800 可進一步執行一作業系統(圖 18 未示)，以利應用程式 1818 之執行。採取可執行程式碼形式之應用程式 1818 可由資料處理系統 1800 執行，例如，由處理器 1802 執行。因應應用程式之執行，資料處理系統 1800 可實施在此所述之一或多項操作或方法步驟。

【0099】 變化與實施：

【0100】 雖然本發明之上述實施例係參照圖 1-18 之例示實施方式加以說明，但熟悉此技藝人士應可瞭解，各種上開教示可應用於多種其他實施方式。例如，雖然本發明所提供之部分描述涉及溫度計編碼，此等描述同樣可應用於其他用於 DAC 中之編碼方法。再者，雖然在此係以具有 8 或 16 個 DAC 單元之 DAC 為例說明，當然亦可使用任何其他數量之 DAC 單元。

【0101】 本發明實施例特別適用於要求高速之超取樣 DAC，亦稱內插式 DAC，例如三角積分 DAC。然而，在此所提供之技術不僅限用於超取樣 DAC，只要配合於此技藝中具有通常知識之人所可輕易思及之修改，亦同樣適用於其他種類之 DAC，例如奈奎斯特 DAC。

【0102】 於特定情境中，在此所述之特色可應用於汽車系統、安全關鍵產業應用、醫療系統、科學儀器裝置、無線及有線通訊、雷達、工業製程控制、音訊及視訊設備、電流感應、器械操作(具高精確度性質)以及其他

數位處理類型系統。

【0103】 此外，上述特定實施例可用於醫學造影、病患監控、醫療器械操作及居家健康照護之數位訊號處理技術，包括肺部監視器、加速度計、心率監視器、起搏器等等。其他應用可涉及汽車安全系統技術(例如，穩定性控制系統、駕駛人輔助系統、剎車系統、資訊娛樂及任何種類之車內應用程式)。

【0104】 又於其他範例情境中，本發明之教示可應用於工業市場，包括用以提升產能、能效以及可靠性之製程控制系統。於消費者應用中，上開訊號處理電路之教示可用於影像處理、自動對焦及影像穩定化(例如，用於數位相機、攝錄影機等等)。其他消費者應用可包括家庭劇院系統之音訊及視訊處理器、DVD 錄影機及高畫質電視機。

【0105】 於以上實施例之討論中，系統之組件，例如時鐘、多工器、緩衝器及/或其他組件可經更換、取代或以其他方式修改以滿足特定電路系統需求。此外，應知亦可選用互補電子裝置、硬體、軟體等等實施本發明關於改良切換技術之教示。

【0106】 用以實施本發明改良切換技術之各種系統零件可包括用以執行在此所述功能之電子電路系統。於某些情況下，系統之一或多項零件可由專為執行本發明功能而配置之處理器所提供之。例如，所述處理器可包括一或多種特殊應用組件，或者包括用於執行本發明功能之可編程邏輯閘。所述電路系統可操作於類比領域、數位領域或混合訊號領域。於某些實例中，所述處理器可藉由執行一或多項儲存於非暫態電腦可讀取儲存媒體之指令而實現本發明之功能。

【0107】 於一示範實施例中，可於一電路板或相關電子裝置中使用任何數量之圖 8-18 電路。所述電路板可為通用電路板，其上裝設電子裝置內部電子系統之各種組件，並進一步提供連接其他周邊裝置之連接器。更具體而言，所述電路板可提供電性連接，供系統之其他組件進行電性通訊。可依據實務配置需求、處理需求及電腦設計等等因素，將任何適合之處理器(包含數位訊號處理器、微處理器、支援晶片組等等)、電腦可讀非暫態記憶體元件等等適當耦接於該電路板。更可將例如外接儲存裝置、外加感測器、音訊/視訊顯示控制器及周邊裝置等其他組件以插卡形式插入電路板，或經由纜線連接電路板，或直接整合於電路板本身。於各種實施例中，在此所述之機能可採用模倣形式實施，即為運行於支援此等功能之結構中之一或多個可配置(例如可編程)元件之軟體或韌體。提供模倣之軟體或韌體可設置於非暫態之電腦可讀儲存媒體中，其包含允許處理器執行改等機能之指令。

【0108】 於另一示範實施例中，圖 8-18 之電路可採用獨立式模組之形式實施(例如，一種具有相關組件及電路系統而可執行特定應用程式或功能之裝置)或為插入式模組之形式，可插入電子裝置上之應用專屬硬體中。應知本發明實施改良切換技術之特定實施例可部分或全部納入一系統單晶片(SOC)封裝中。所謂 SOC 係指將電腦或其他電子系統之組件整合於單一晶片上之積體電路。其可包含數位、類比、混合訊號功能且通常具有射頻功能：一切均可設置於單一晶片基板上。其他實施例可包括多晶片模組(MCM)，其係位於單一電子封裝中之複數分離 IC，可經由電子封裝彼此密且互動。於其他各種實施例中，在此所述改良切換技術之機能可實施於特

殊應用積體電路(ASIC)、現地可編程閘陣列(FPGA)及其他半導體晶片中之一或多枚矽芯。

【0109】 亦應知在此概述之所有規格、尺寸及關係(例如，處理器數量、邏輯操作等等)僅為範例及教示之用。此等資訊可在不脫離本發明精神或所附申請專利範圍之前提下為大幅變化。規格僅適用於非限制性範例，且應以此方式解讀。於以上敘述中，示範實施例之描述係參照特定處理器及/或組件安排。實際實施時可在不脫離所附申請專利範圍之前提下進行各種修改及變化。據此，應知說明及附圖係屬說明性質，而非限制性質。

【0110】 在此所述之諸多範例中可能就二、三、四或更多電性組件間之交互作用加以描述，然而僅為講求說明之清晰且為舉例之用。應知本發明系統實可以任何適合之方式組建。連同類似設計替代方案，圖 8-18 所繪示之任何組件、模組及元件可以各種可能之配置組合，一切均屬本說明書之廣義範圍。於特定情況下，描述一組流程中一或多種機能時僅提及有限數量之電性元件或許較為便於說明。應知圖 8-18 之電路及其教示可輕易改變規模，且可容納大量組件以及更複雜/精密之安排及配置。據此，在此提及之範例不應限制本發明電路之範疇並禁止其廣義教示運用於無數其他架構之可能。

【0111】 應知於本說明書中，「一實施例」、「示範實施例」、「另一實施例」、「某些實施例」、「各種實施例」、「其他實施例」、「替代實施例」等等中所提及各種特色(例如，元件、結構、模組、組件、步驟、操作、特性等等)意欲表示本發明之一或多實施例中包含任何此等功能，但可能未必結合於同一實施例。

【0112】 亦應知本案改良切換技術之功能僅說明圖 8-18 所示系統可執行之部分可能功能。此等操作中之部分可視需要刪除或取消適當，或者此等操作可在不脫離本發明範疇之前提下經過大幅修改或改變。此外，此等操作之時序亦可顯著改變。前文述及之操作流程僅為舉例以便討論之用。在此所述實施例應具實質靈活性，可在不脫離本發明教示之前提下採取任何適合之安排、先後、配置及時序機制。

【0113】 熟悉此技藝人士可思及諸多其他改變、取代、變化、修改及修改，且所有落於所附申請專利範圍內之此等改變、取代、變化、變更及修改俱應為本發明所包含之範疇。

【0114】 雖然本案申請專利範圍於向專利商標局提出時採用單一附屬形式，應知除非於技術上無法實行，否則任何權項均可附屬並結合於任何同類前項。

【0115】 應知上述裝置之所有操作特性亦可透過此在所述之方法或程序加以實施，且範例中之細節可用於一或多個實施例中之任何部分。

【符號說明】

【0116】

100	DAC
102、104、106、108	電流導引單元
110	放大器
112、114	回授電阻器
116	電容器 C1
118	電容器 C2

302	開關 S1
304	開關 S2
306	開關 S3
308	回授電阻器 R1
310	回授電阻器 R2
402	時脈
404	HOLD_B
406	HOLD
408	時脈
410	類比輸出
412	輸出
502	邏輯閘 AN1
504	逆變器 I1
506	DAC_CLK
508	NO1
510	HOLD_B
512	HOLD
514	DFF1
516	B1
802	開關 S1
804	開關 S2
806	開關 S3

808	回授電阻器 R1
810	回授電阻器 R2
812	電容器 C1
814	電容器 C2
902	時脈
904	HOLD_B
906	HOLD
910	類比輸出
912	控制訊號
914	控制訊號
916	控制訊號
918	DAC 碼
920	設定時間
1000	電路
1010	正反器
1020	正反器
1030	正反器
1002	POS
1004	NEG
1006	NOR 閘
1102	AC 時脈訊號
1104	HOLD_B 訊號

1106	HOLD 訊號
1108	D 型正反器時脈
1110	類比輸出
1112、1114、1116	控制訊號
1118	DAC 碼
1200	電路
1206	OR 閘
1208	NOR 閘
1230	正反器
1302	DAC 時脈訊號
1304	HOLD_B 訊號
1306	HOLD 訊號
1308	D 型正反器時脈
1310	類比輸出
1312、1314、1316	控制訊號
1318	DAC 碼
1400	電路
1410、1430、1440	正反器
1450	正反器
1460	NOR 閘
1512、1514、1516	控制訊號
1600	電路

1660	逆變器
1700	DAC
1704	DAC 單元
1706	控制器
1708	處理器
1710	記憶體
1712	類比值
1800	資料處理系統
1802	處理器
1804	記憶體元件
1806	系統匯流排
1808	本機記憶體
1810	大量儲存裝置
1812	輸入裝置
1814	輸出裝置
1816	網路配接器
1818	應用程式

申請專利範圍

【第 1 項】一種數位類比轉換器(DAC)，其係包含：

複數 DAC 單元，各該 DAC 單元包含一三階層電流導引 DAC 單元，係配置成：在一有關提供予該 DAC 單元之各數位值改變成次一數位值之保持期中，維持一有關各該數位值轉換為該次一數位值之類比輸出；

一或多個控制器，用於控制該等 DAC 單元，

其中該一或多個控制器係為該等 DAC 單元之各該 DAC 單元而配置成：

判定提供予該 DAC 單元之一第一數位值改變成一第二數位值，該第二數位值為零，且

至少在一處於有關該第一數位值改變成該第二數位值之保持期之結束與次一保持期之開始兩者間之時期中，防止該 DAC 單元導通電流。

【第 2 項】如申請專利範圍第 1 項所述之數位類比轉換器，其中該一或多個控制器係為該等 DAC 單元之各該 DAC 單元而進一步配置成：

辨識該第二數位值為 k 個連續零數位值中之第一零值， k 為一等於或大於二之整數，

其中配置成防止該 DAC 單元導通電流之該一或多個控制器係包含：

該一或多個控制器係配置成：在一處於有關該第一數位值改變成該第二數位值之保持期之結束與有關該 k 個連續零數位值中倒數第二個數位值之數位值改變成該 k 個連續零數位值中最後一個數位值之數位值之保持期之開始兩者間之時期中，防止該 DAC 單元導通電流。

【第 3 項】如申請專利範圍第 2 項所述之數位類比轉換器，其中該一或多個控制器係為該等 DAC 單元之各該 DAC 單元而進一步配置成：

辨識一緊接該 k 個連續零數位值中最後一個數位值為一非零值，

在該有關該 k 個連續零數位值中倒數第二個數位值之該數位值改變成該 k 個連續零數位值中最後一個數位值之保持期之至少一部分中，允許該 DAC 單元導通電流，以及

在一處於有關該 k 個連續零數位值中倒數第二個數位值之該數位值改變成該 k 個連續零數位值中最後一個數位值之保持期之結束與有關該 k 個連續零數位值中最後一個數位值改變為緊接該 k 個連續零數位值中最後一個數位值之該數位值之保持期之開始兩者間之時期中，防止該 DAC 單元導通電流。

【第 4 項】如申請專利範圍第 2 項所述之數位類比轉換器，其中該一或多個控制器係為該等 DAC 單元之各該 DAC 單元而進一步配置成：

辨識一緊接該 k 個連續零數位值中最後一個數位值為一非零值，

在有關該 k 個連續零數位值中倒數第二個數位值之該數位值改變成該 k 個連續零數位值中最後一個數位值之該保持期之至少一部分中，允許該 DAC 單元導通電流，以及

在一處於有關該 k 個連續零數位值中倒數第二個數位值之該數位值改變成該 k 個連續零數位值中最後一個數位值之保持期之結束與有關該 k 個連續零數位值中最後一個數位值改變為緊接該 k 個連續零數位值中最後一個數位值之該數位值之保持期之開始兩者間之時期中，允許該 DAC 單元導通電流。

【第 5 項】如申請專利範圍第 2 項所述之數位類比轉換器，其中該一或多個配置成防止該 DAC 單元導通電流之控制器係包含：

該一或多個控制器係配置成：在一處於有關該第一數位值改變成該第二數位值之保持期之結束與有關該 k 個連續零數位值中最後一個數位值改變成次一數位值之保持期之開始兩者間之時期中，防止該 DAC 單元導通電流。

【第 6 項】如申請專利範圍第 2 項所述之數位類比轉換器，其中該一或多個控制器係為該等 DAC 單元之各該 DAC 單元而進一步配置成：

將輸入資料樣本延遲多個時脈週期，足以允許一前視設置時間以辨識一連串 k 個連續數位值中之數位值。

【第 7 項】如申請專利範圍第 1 項所述之數位類比轉換器，其中各該 DAC 單元包含一對電流源，該對電流源係配置成當其連接時可經由該 DAC 單元導通電流，且其中該一或多個配置成防止該 DAC 單元導通電流之控制器包含：

該一或多個控制器係配置成斷開該 DAC 單元之該對電流源。

【第 8 項】如申請專利範圍第 1 項所述之數位類比轉換器，其中該 DAC 為一超取樣 DAC。

【第 9 項】一種用以控制一三階層電流導引 DAC 單元之裝置，其係配置成在有關各數位值改變成次一數位值之保持期，維持一有關各該數位值轉換成該次一數位值之類比輸出，該裝置係包含：

判定手段，其就一第一數位值改變成一第二數位值而言，判定該第二數位值為零；以及

防止手段，其至少在一處於有關該第一數位值改變成該第二數位值之保持期之結束與次一保持期之開始兩者間之時期中，防止該三階層 DAC 單元導通電流。

【第 10 項】如申請專利範圍第 9 項所述之裝置，進一步包含：

辨識手段，其辨識該第二數位值為 k 個連續零數位值中之該第一零值，其中 k 為一等於或大於二之整數，

其中該防止手段係包含：

防止手段，其在一處於有關該第一數位值改變成該第二數位值之保持期之結束與有關該 k 個連續零數位值中倒數第二個數位值之數位值改變成該 k 個連續零數位值中最後一個數位值之數位值之保持期之開始兩者間之時期，防止該三階層 DAC 單元導通電流。

【第 11 項】如申請專利範圍第 10 項所述之裝置，其係進一步包含：

辨識手段，其辨識一緊接該 k 個連續零數位值中最後一個數位值之數位值為一非零值；

允許手段，其在有關該 k 個連續零數位值中倒數第二個數位值之該數位值改變成該 k 個連續零數位值中最後一個數位值之保持期之至少一部分中，允許該三階層 DAC 單元導通電流；以及

防止手段，其在一處於有關該 k 個連續零數位值中倒數第二個數位值之該數位值改變成該 k 個連續零數位值中最後一個數位值之保持期之結束與有關該 k 個連續零數位值中最後一個數位值改變成緊接該 k 個連續零數位值中最後一個數位值之該數位值之保持期之開始兩者間之時期中，防止該三階層 DAC 單元導通電流。

【第 12 項】如申請專利範圍第 10 項所述之裝置，進一步包含：

辨識手段，其辨識一緊接該 k 個連續零數位值中最後一個數位值之數位值為一非零值；

允許手段，其在有關該 k 個連續零數位值中倒數第二個數位值之該數位值改變成該 k 個連續零數位值中最後一個數位值之保持期之至少一部分中，允許該三階層 DAC 單元導通電流；以及

允許手段，其在一處於有關該 k 個連續零數位值中倒數第二個數位值之該數位值改變成該 k 個連續零數位值中最後一個數位值之保持期之結束與有關該 k 個連續零數位值中最後一個數位值改變成緊接該 k 個連續零數位值中最後一個數位值之該數位值之保持期之開始兩者間之時期中，允許該三階層 DAC 單元導通電流。

【第 13 項】如申請專利範圍第 10 項所述之裝置，其中該用於防止之手段係包含：

防止手段，其在一處於有關該第一數位值改變成該第二數位值之保持期之結束與有關該 k 個連續零數位值中最後一個數位值改變成次一數位值之保持期之開始兩者間之時期中，防止該三階層 DAC 單元導通電流。

【第 14 項】如申請專利範圍第 10 項所述之裝置，進一步包含：

延遲手段，其將輸入資料樣本延遲多個時脈週期，足以允許一前視設置時間以辨識一連串 k 個連續數位值中之數位值。

【第 15 項】一種非暫態電腦可讀取儲存媒體，用以儲存軟體代碼部分，其係配置成，當在一處理器上運作時，執行一用以控制一三階層電流導引 DAC 單元之方法，該三階層電流導引 DAC 單元係配置成在一有關各數位值

改變成次一數位值之保持期，維持一有關各該數位值轉換成該次一數位值之類比輸出，該方法係包含：

就一第一數位值改變成一第二數位值而言，判定該第二數位值為零；以及

至少在一處於有關該第一數位值改變成該第二數位值之保持期之結束與次一保持期之開始兩者間之時期中，防止該三階層 DAC 元件導通電流。

【第 16 項】如申請專利範圍第 15 項所述之非暫態電腦可讀取儲存媒體，其中該軟體代碼部分係進一步配置成：

辨識該第二數位值為 k 個連續零數位值中之該第一零值， k 為一等於或大於二之整數，

其中該防止係包含：

在一處於有關該第一數位值改變成該第二數位值之保持期之結束與有關該 k 個連續零數位值中倒數第二個數位值之數位值改變成該 k 個連續零數位值中最後一個數位值之數位值之保持期之開始兩者間之時期中，防止該三階層 DAC 元件導通電流。

【第 17 項】如申請專利範圍第 16 項所述之非暫態電腦可讀取儲存媒體，其中該軟體代碼部分係進一步配置成：

辨識一緊接該 k 個連續零數位值中最後一個數位值之數位值為一非零值；

在有關該 k 個連續零數位值中倒數第二個數位值之該數位值改變成該 k 個連續零數位值中最後一個數位值之保持期之至少一部分中，允許該三階層 DAC 元件導通電流；以及

在一處於有關該 k 個連續零數位值中倒數第二個數位值之該數位值改變成該 k 個連續零數位值中最後一個數位值之保持期之結束與有關該 k 個連續零數位值中最後一個數位值改變成緊接該 k 個連續零數位值中最後一個數位值之該數位值之保持期之開始兩者間之時期中，防止該三階層 DAC 元件導通電流。

【第 18 項】如申請專利範圍第 16 項所述之非暫態電腦可讀取儲存媒體，其中該軟體代碼部分係進一步配置成：

辨識一緊接該 k 個連續零數位值中最後一個數位值之數位值為一非零值；

在有關該 k 個連續零數位值中倒數第二個數位值之該數位值改變成該 k 個連續零數位值中最後一個數位值之保持期之至少一部分中，允許該三階層 DAC 元件導通電流；以及

在一處於有關該 k 個連續零數位值中倒數第二個數位值之該數位值改變成該 k 個連續零數位值中最後一個數位值之保持期之結束與有關該 k 個連續零數位值中最後一個數位值改變成緊接該 k 個連續零數位值中最後一個數位值之該數位值之保持期之開始兩者間之時期中，允許該三階層 DAC 元件導通電流。

【第 19 項】如申請專利範圍第 16 項所述之非暫態電腦可讀取儲存媒體，其中該防止係包含：

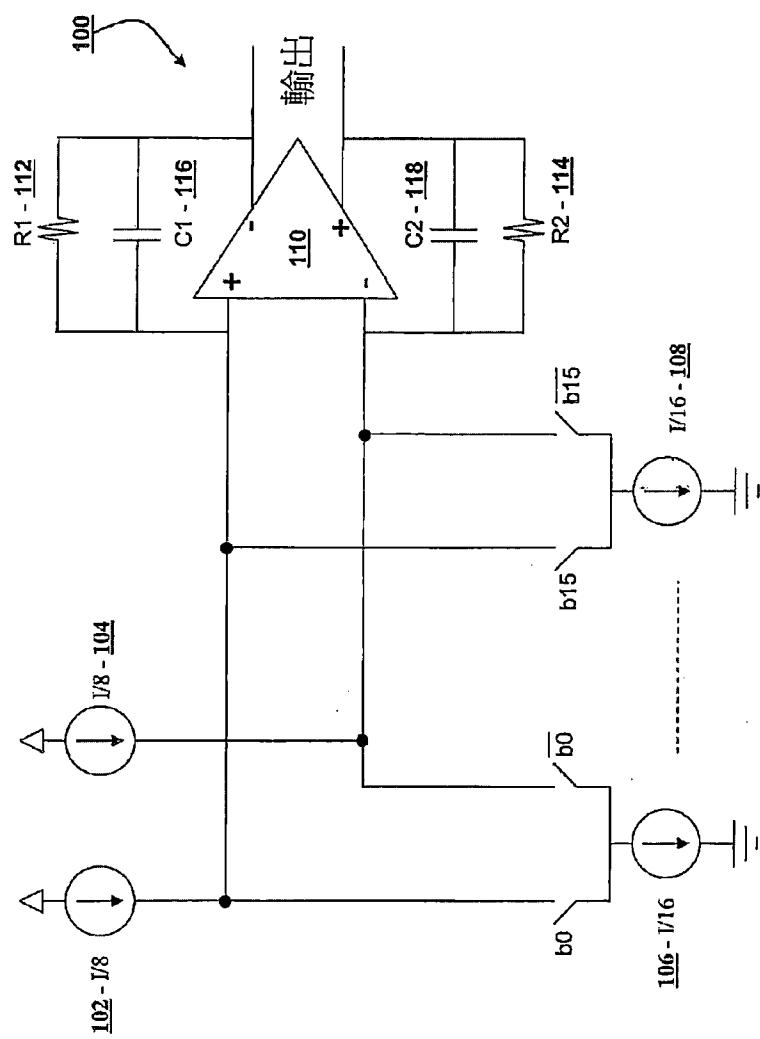
在一處於有關該第一數位值改變成該第二數位值之保持期之結束與有關該 k 個連續零數位值中最後一個數位值改變成次一數位值之保持期之開始兩者間之時期中，防止該三階層 DAC 元件導通電流。

【第 20 項】如申請專利範圍第 16 項所述之非暫態電腦可讀取儲存媒體，其中該軟體代碼部分係進一步配置成：

將輸入資料樣本延遲多個時脈週期，足以允許一前視設置時間以辨識一連串 k 個連續數位值中之數位值。

201713047

圖一



圖一

201713047

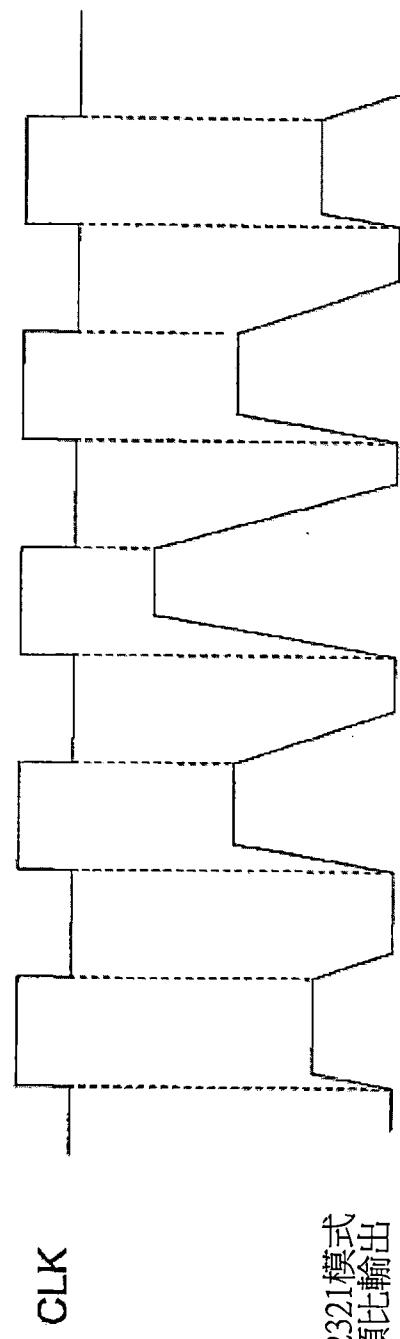
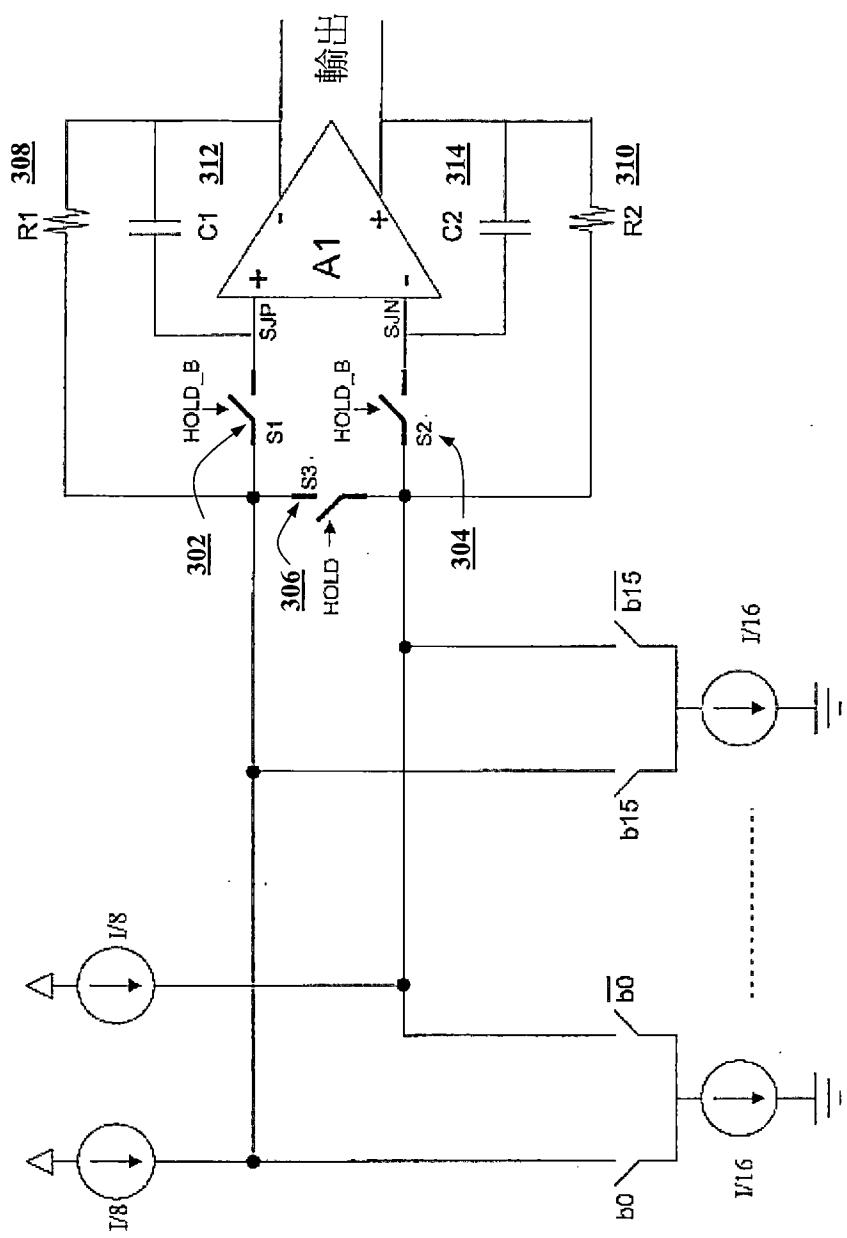


圖2



[圖]3

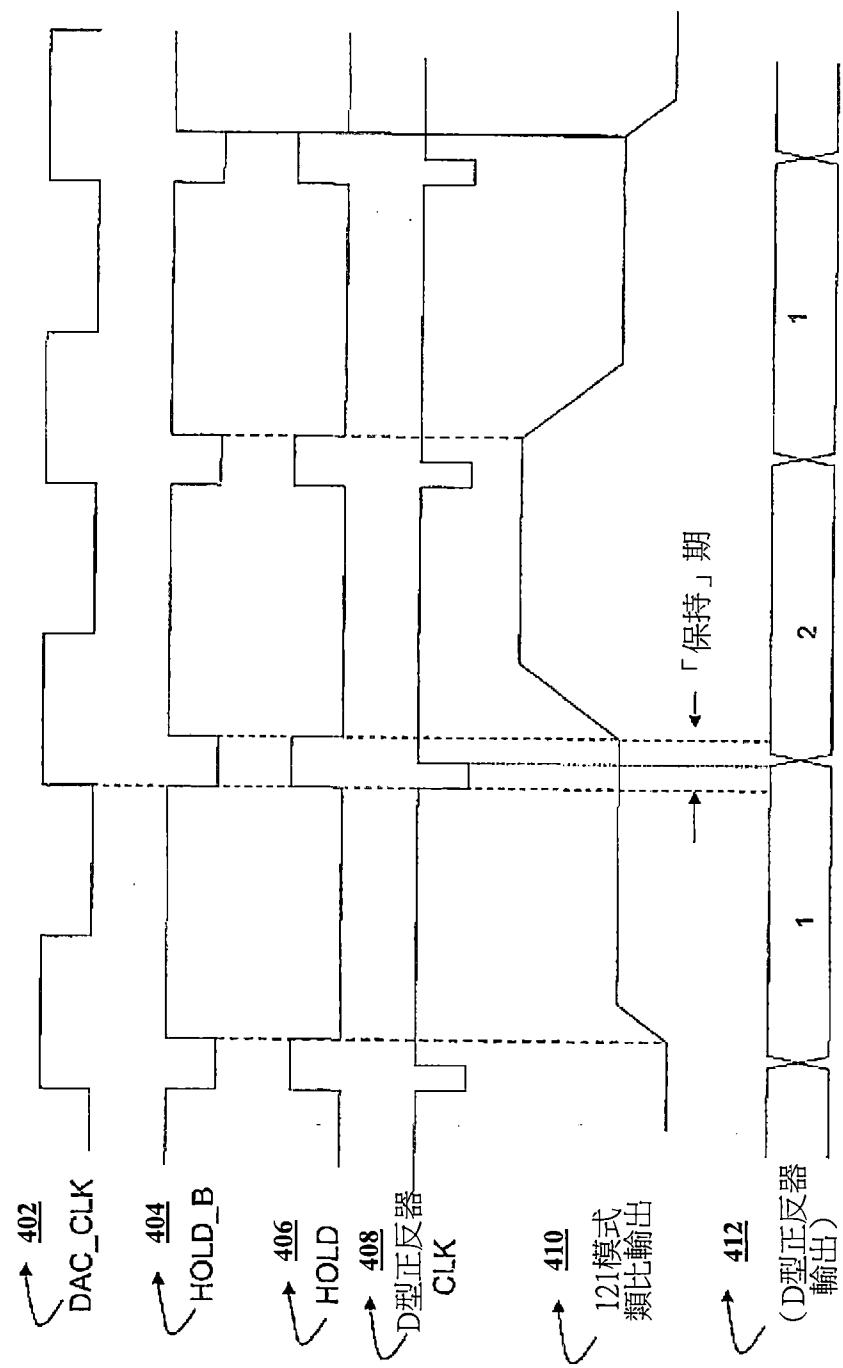
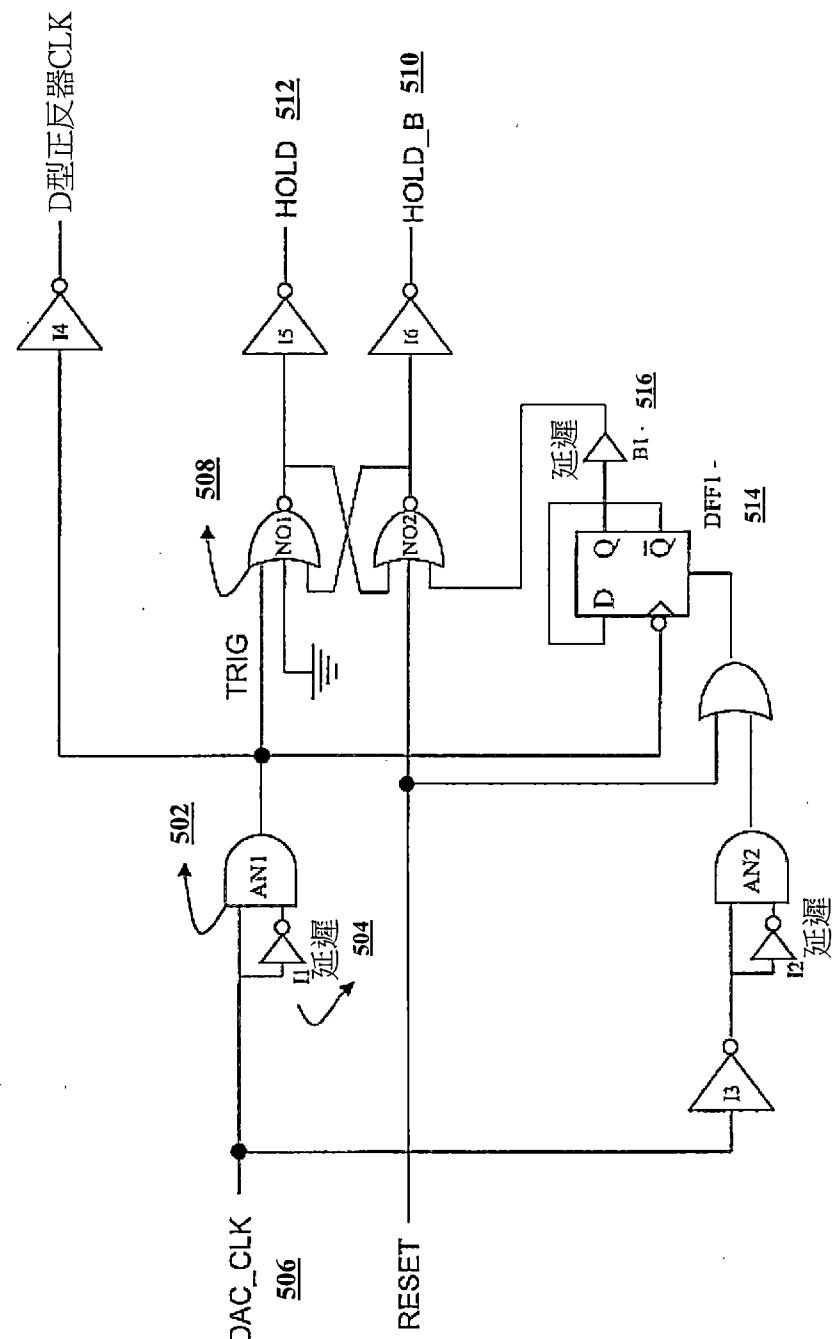


圖4



5

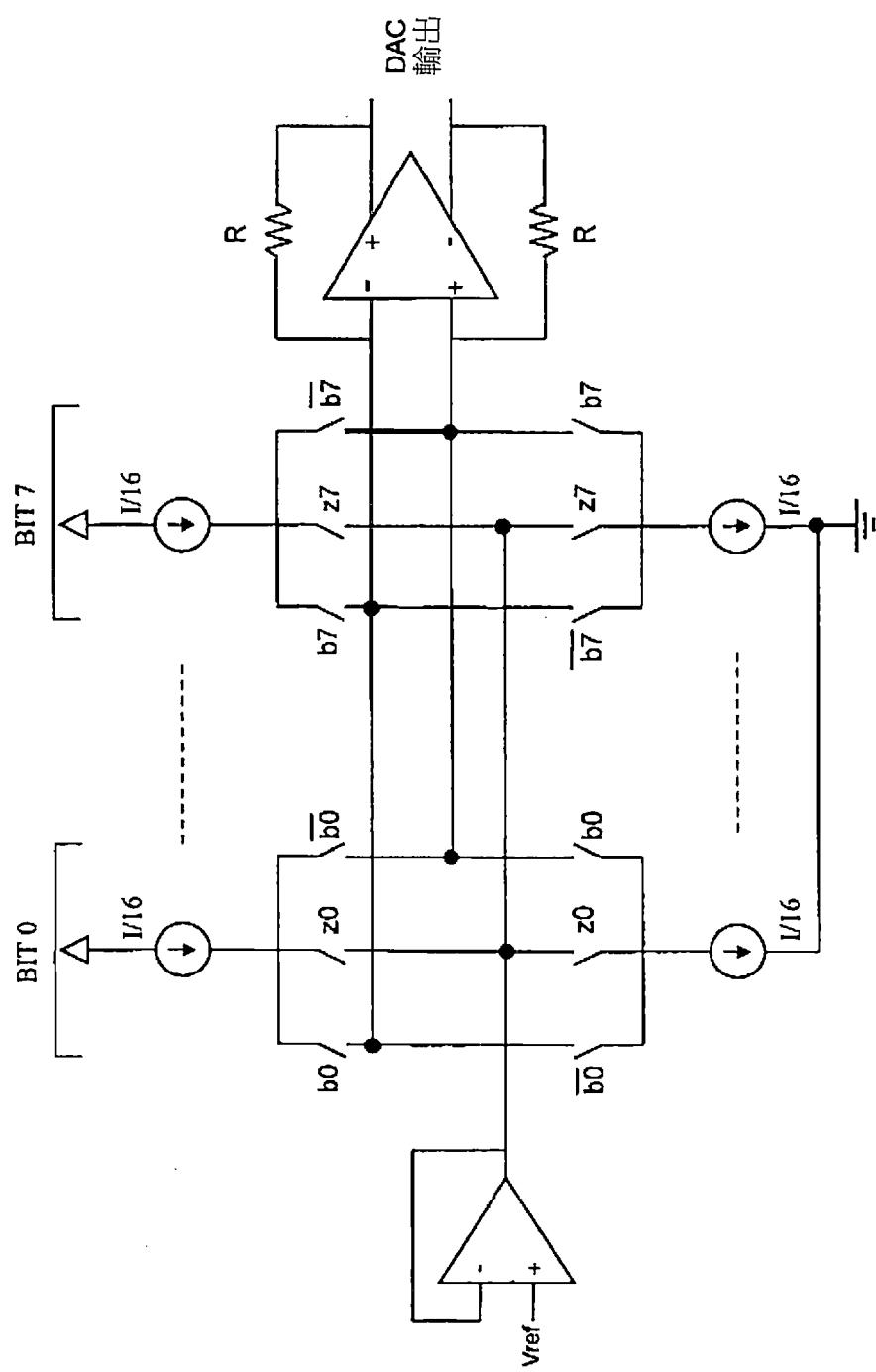


圖6

圖7

此條件不存在

B	\bar{B}	Z
0	0	1
0	1	0
1	0	0
1	1	違反規則

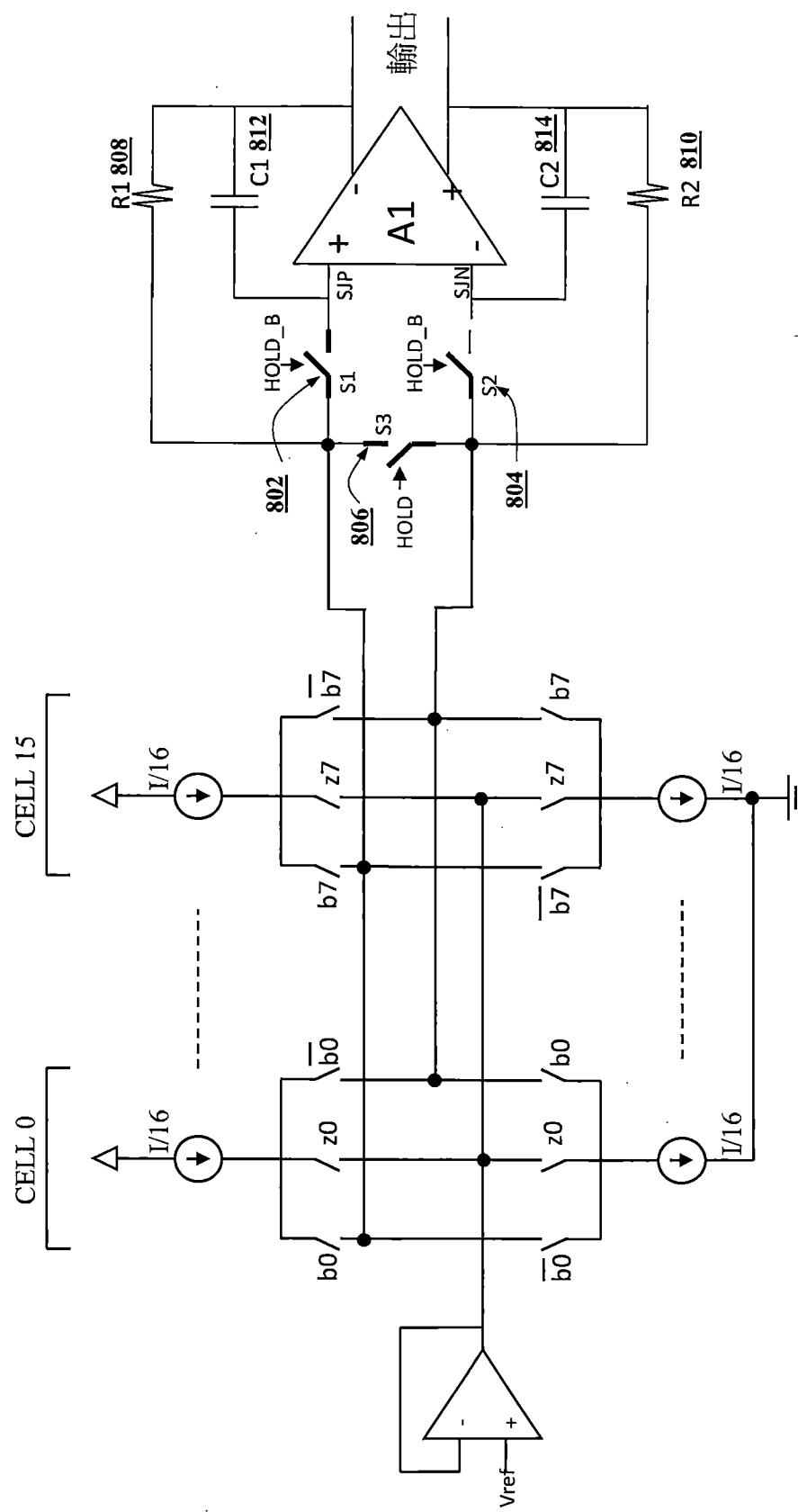


圖8

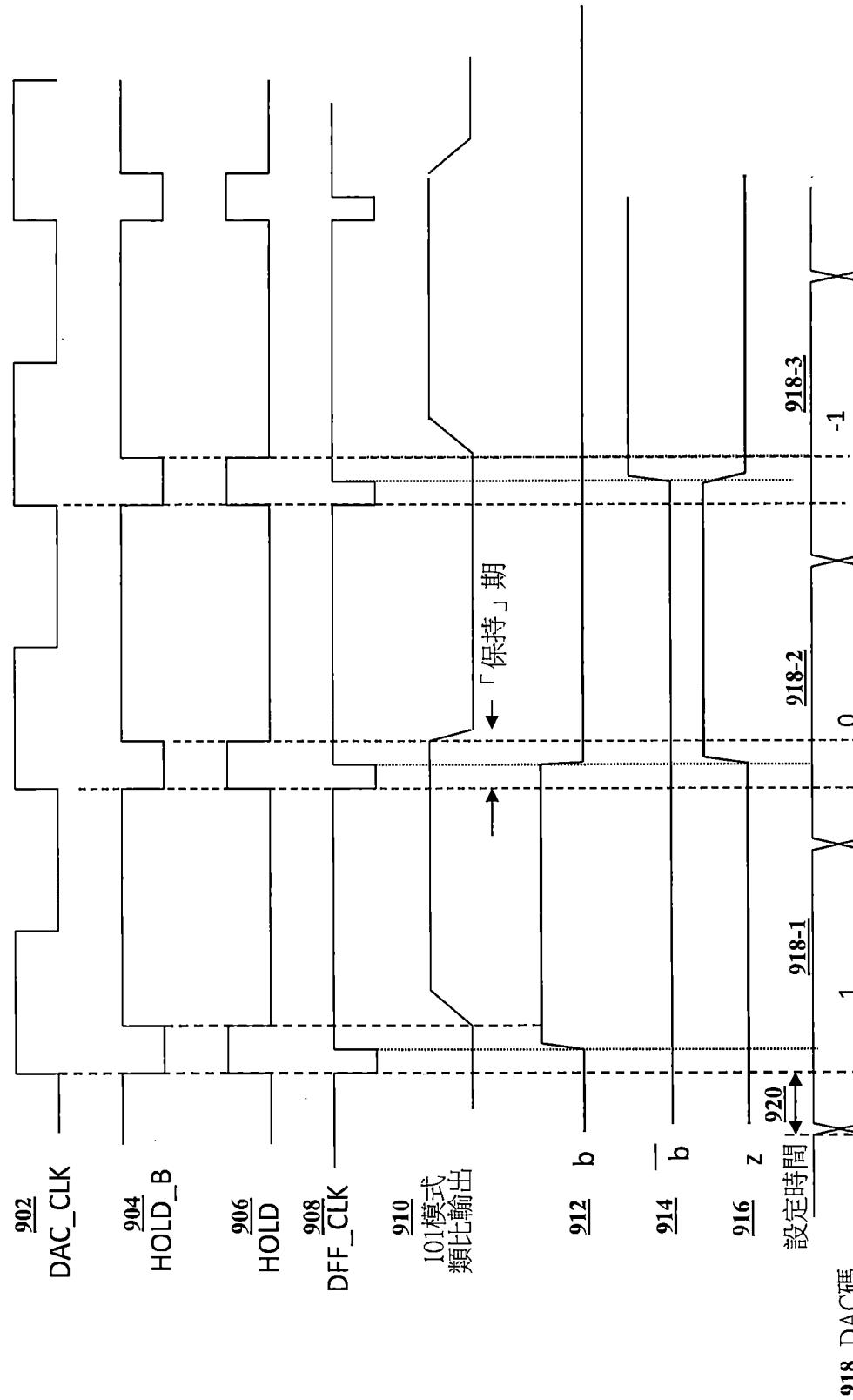


圖9

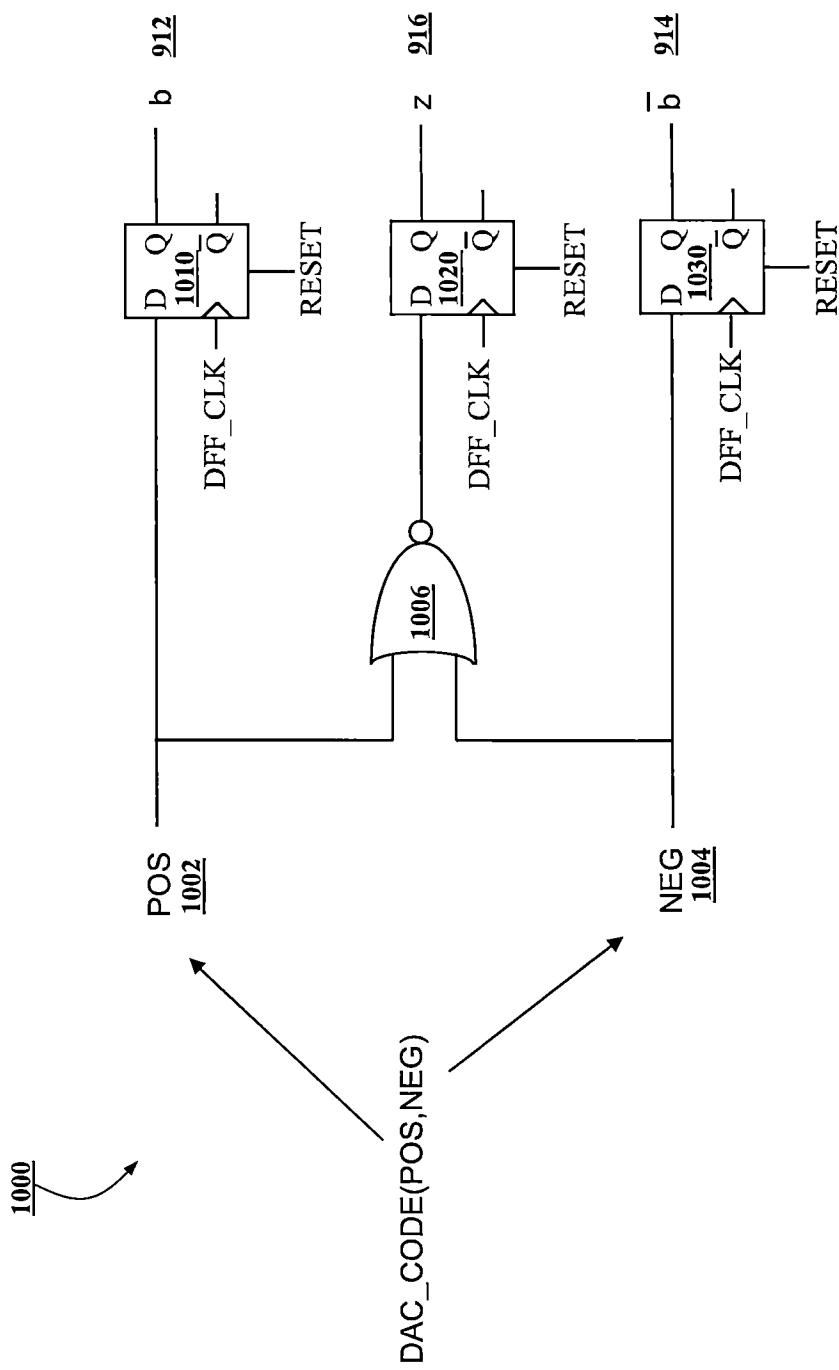


圖10

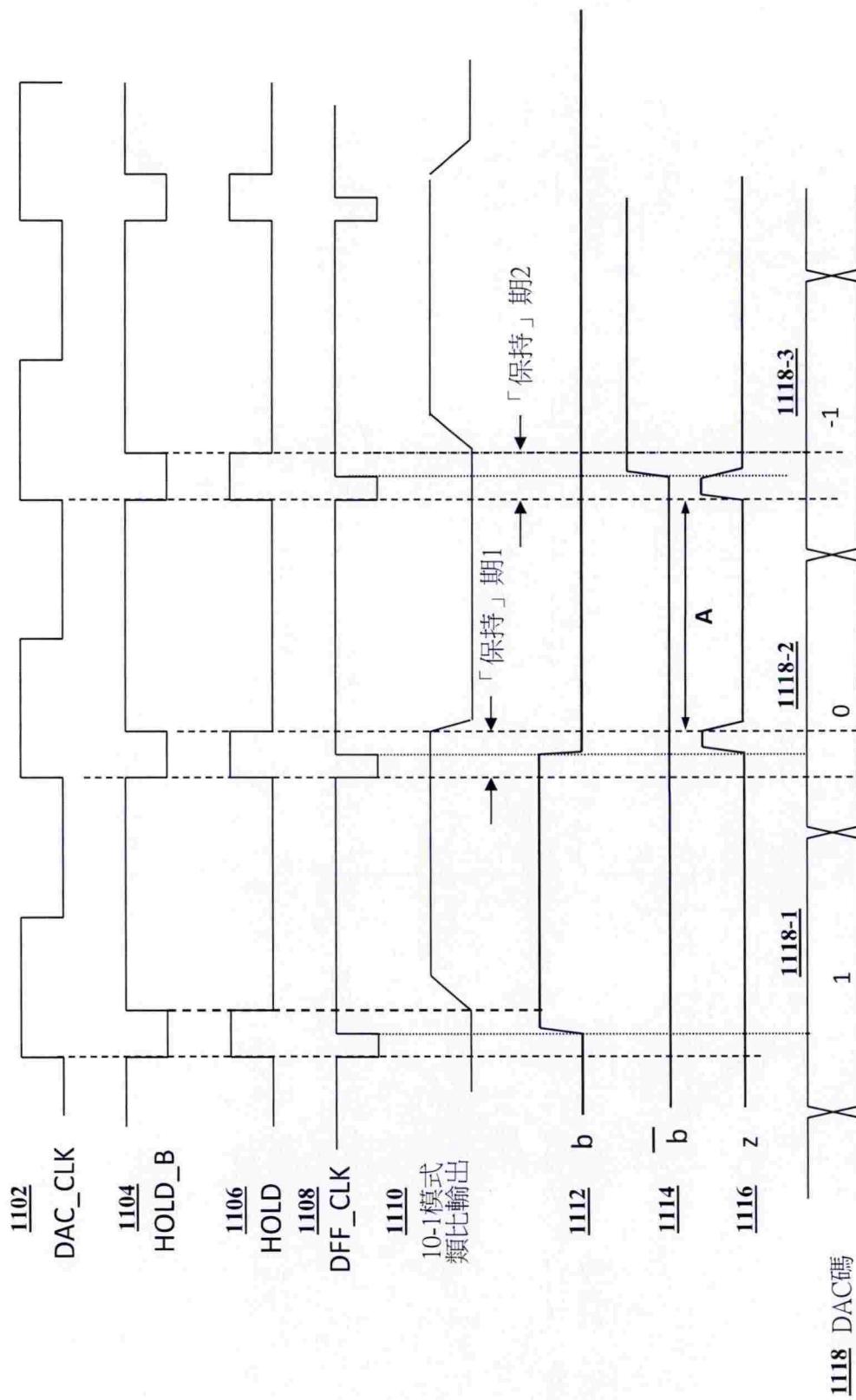


圖11

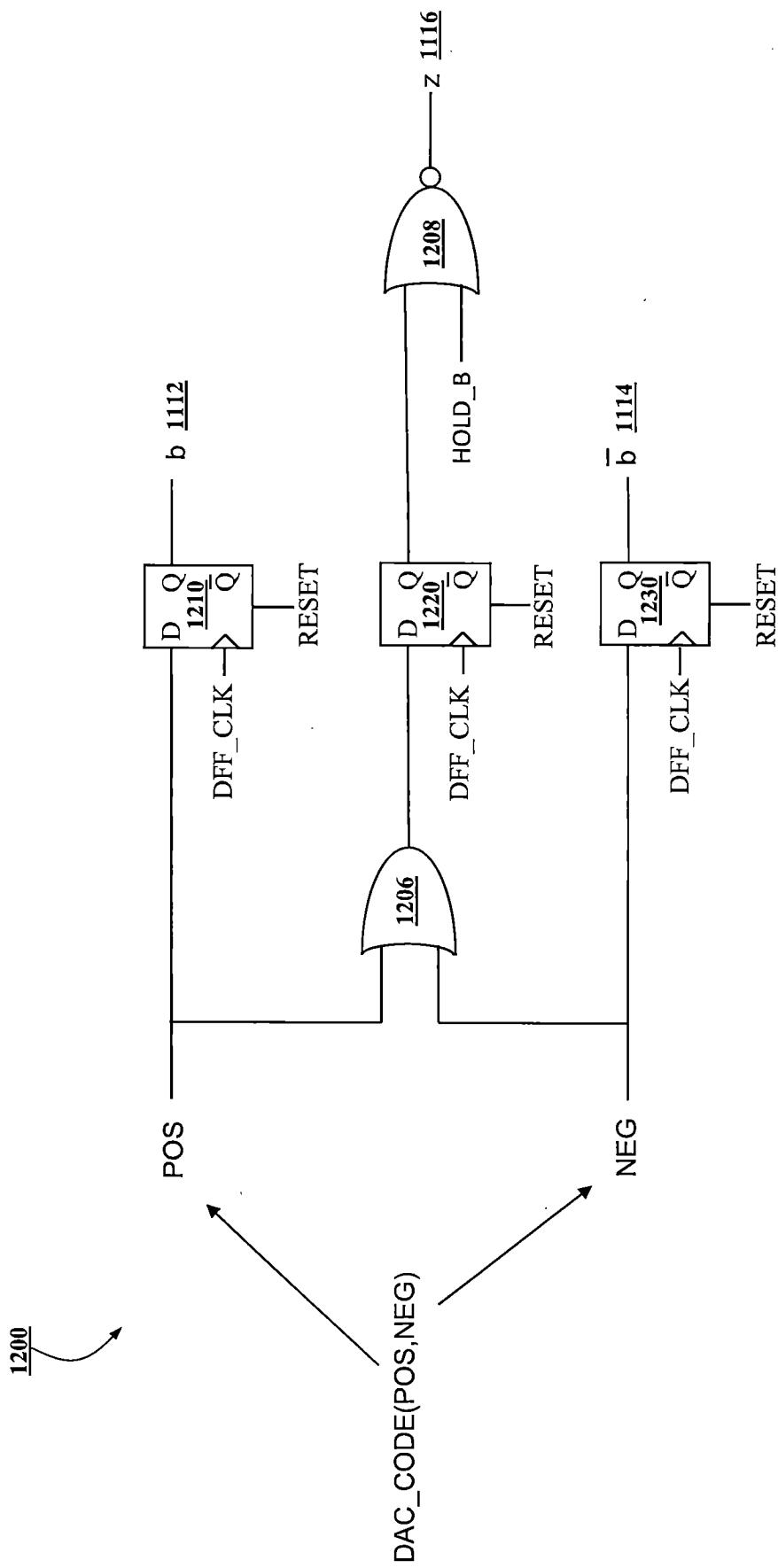


圖12

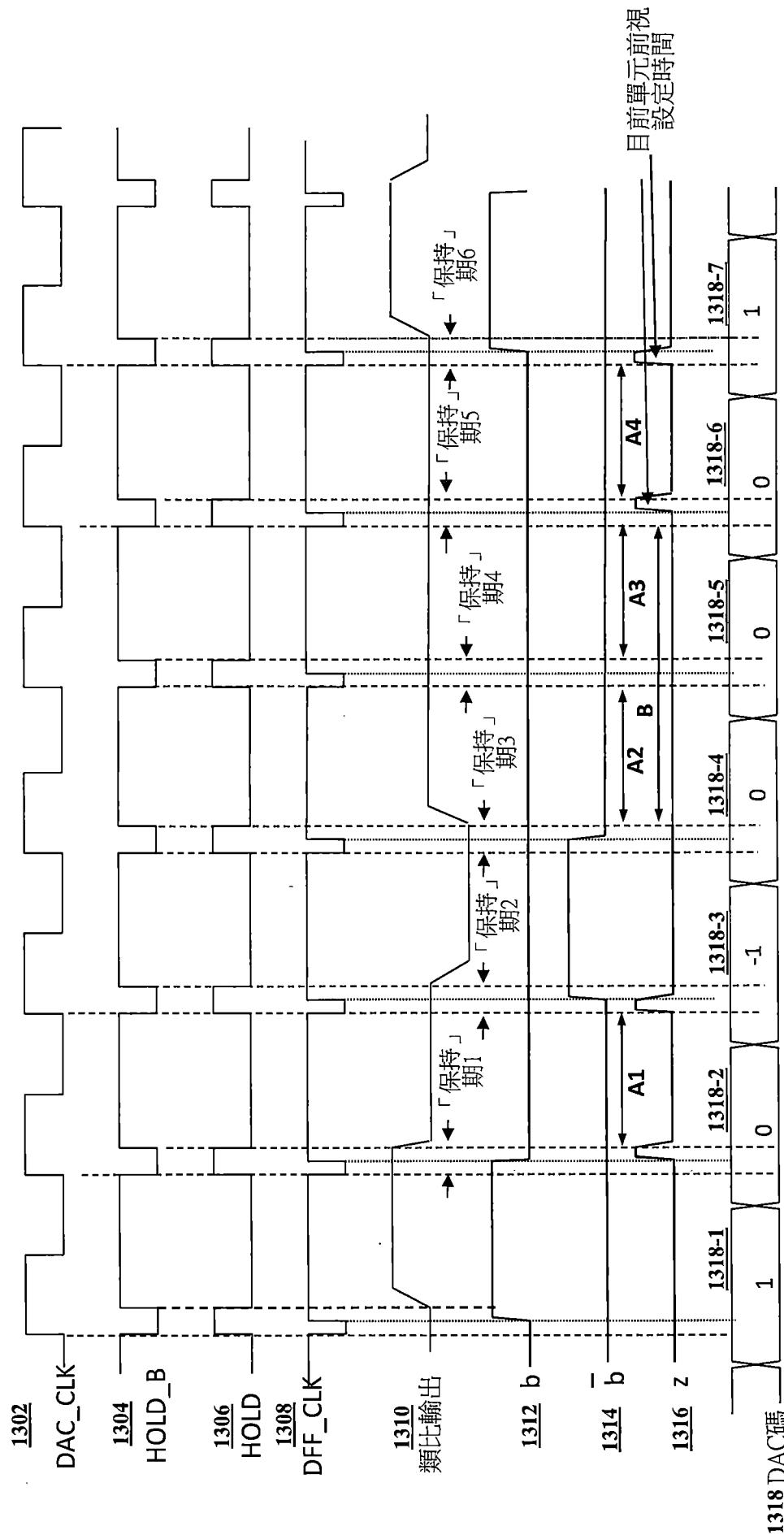


圖13

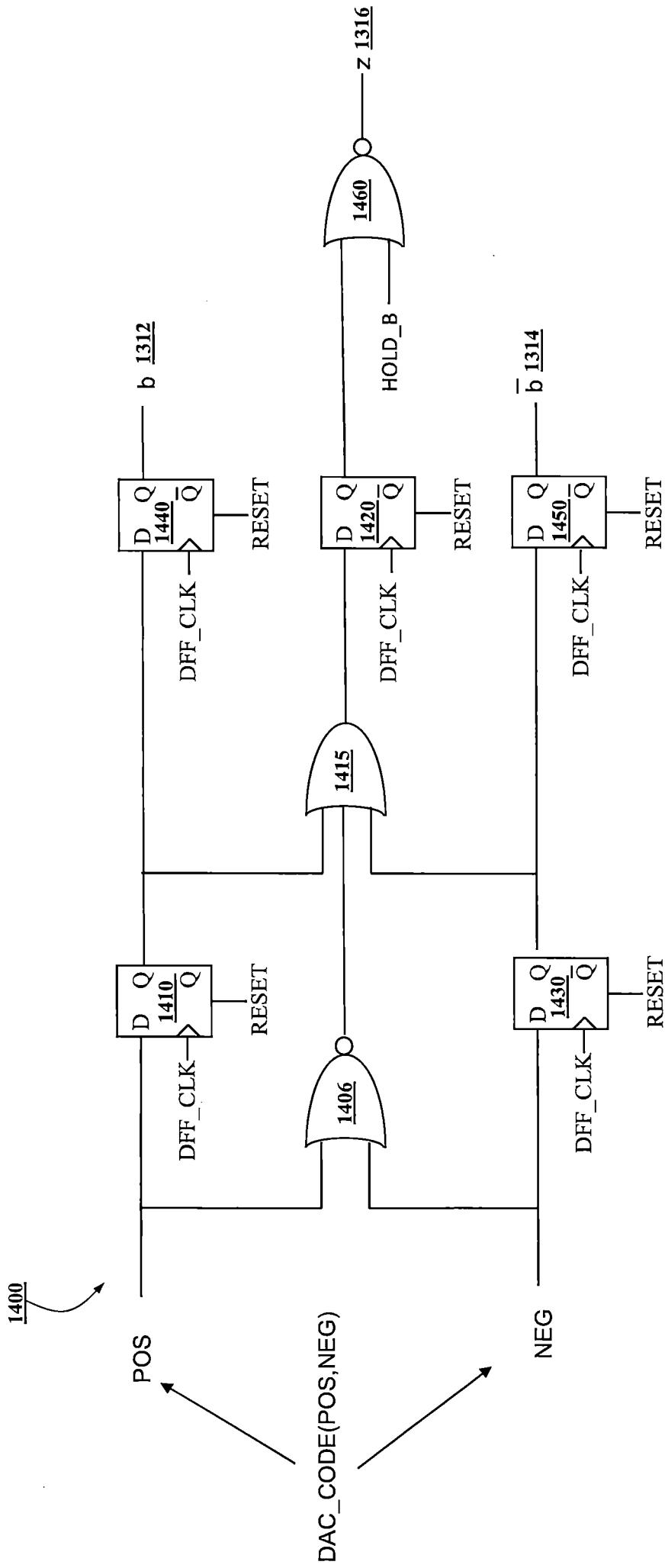


圖14

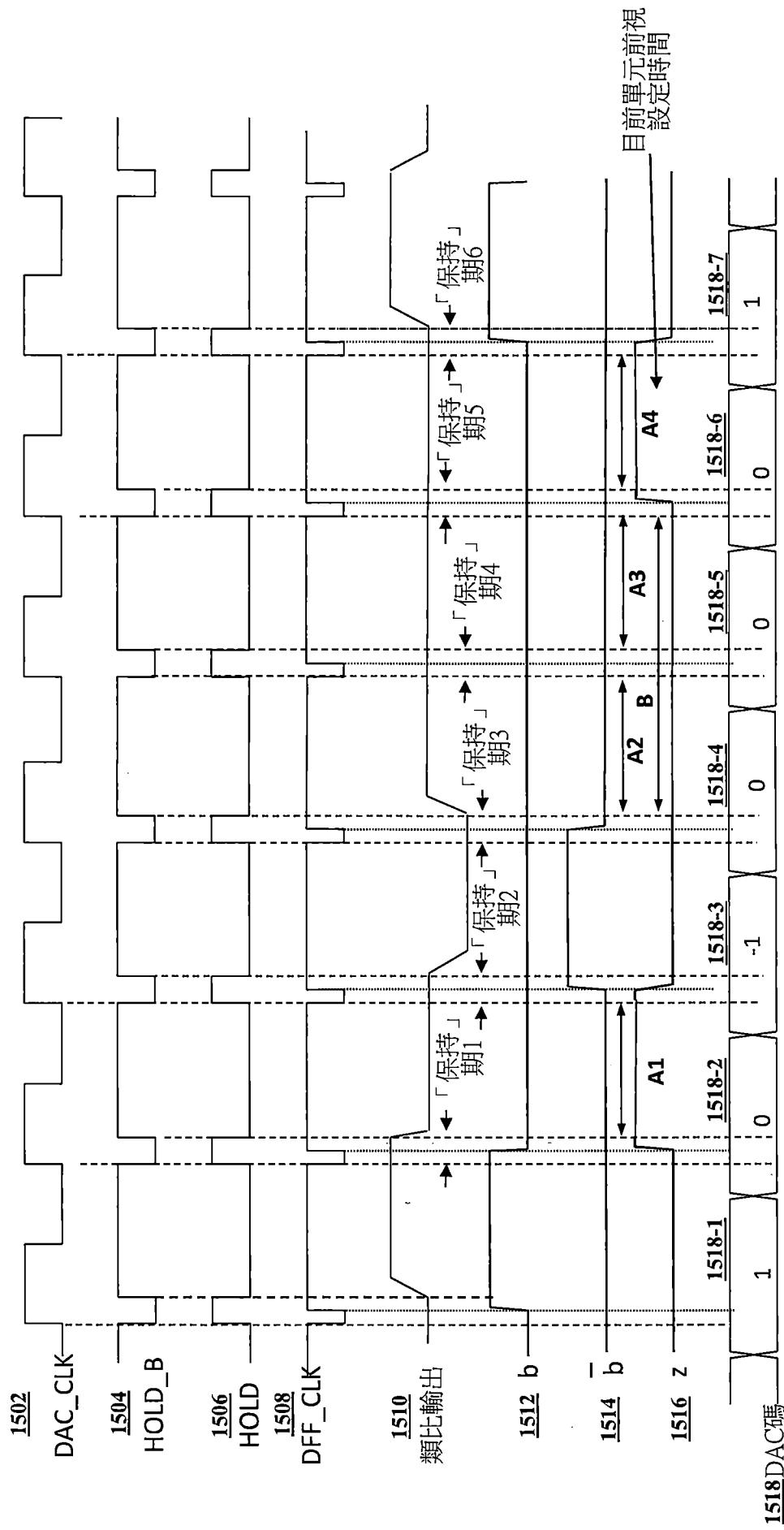


圖15

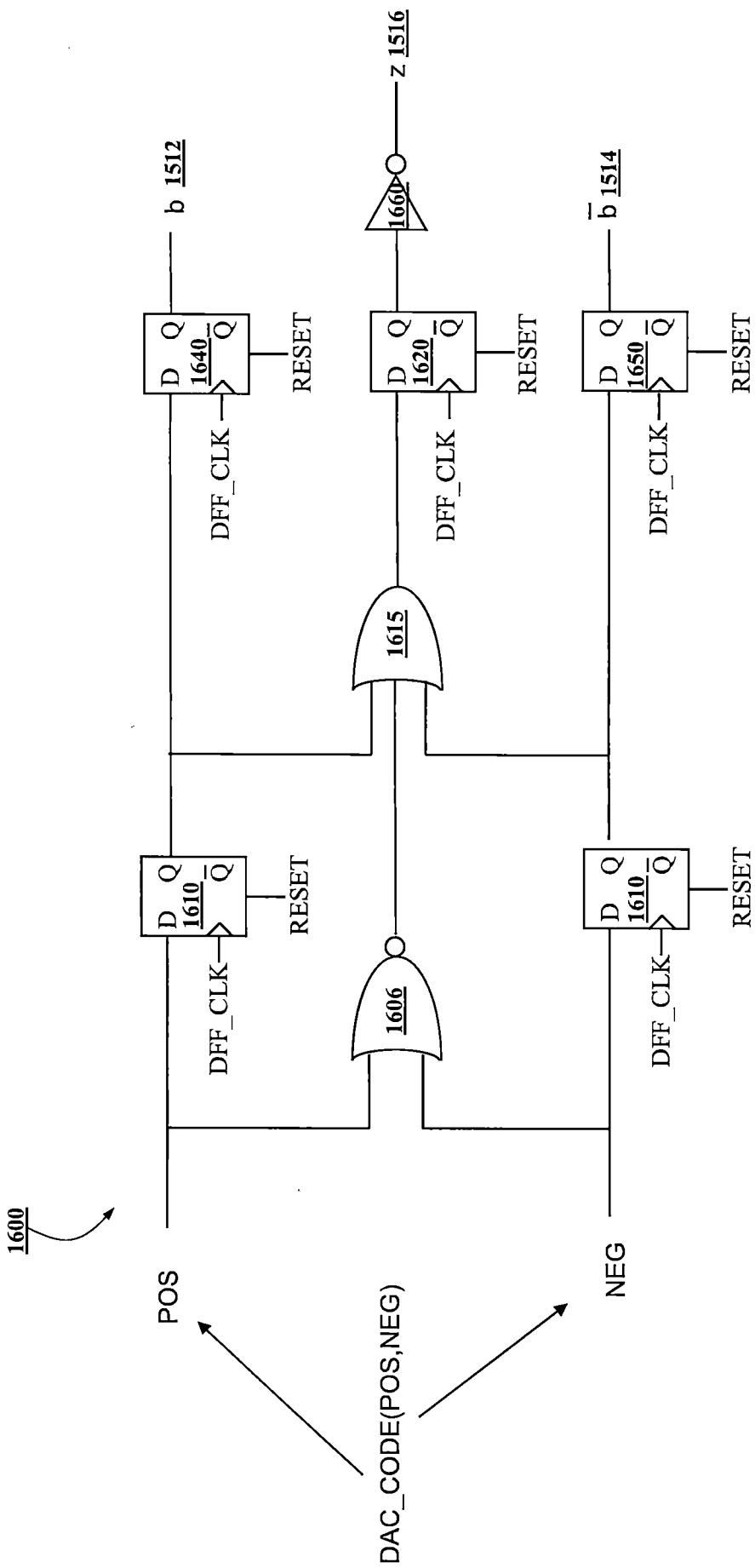


圖16

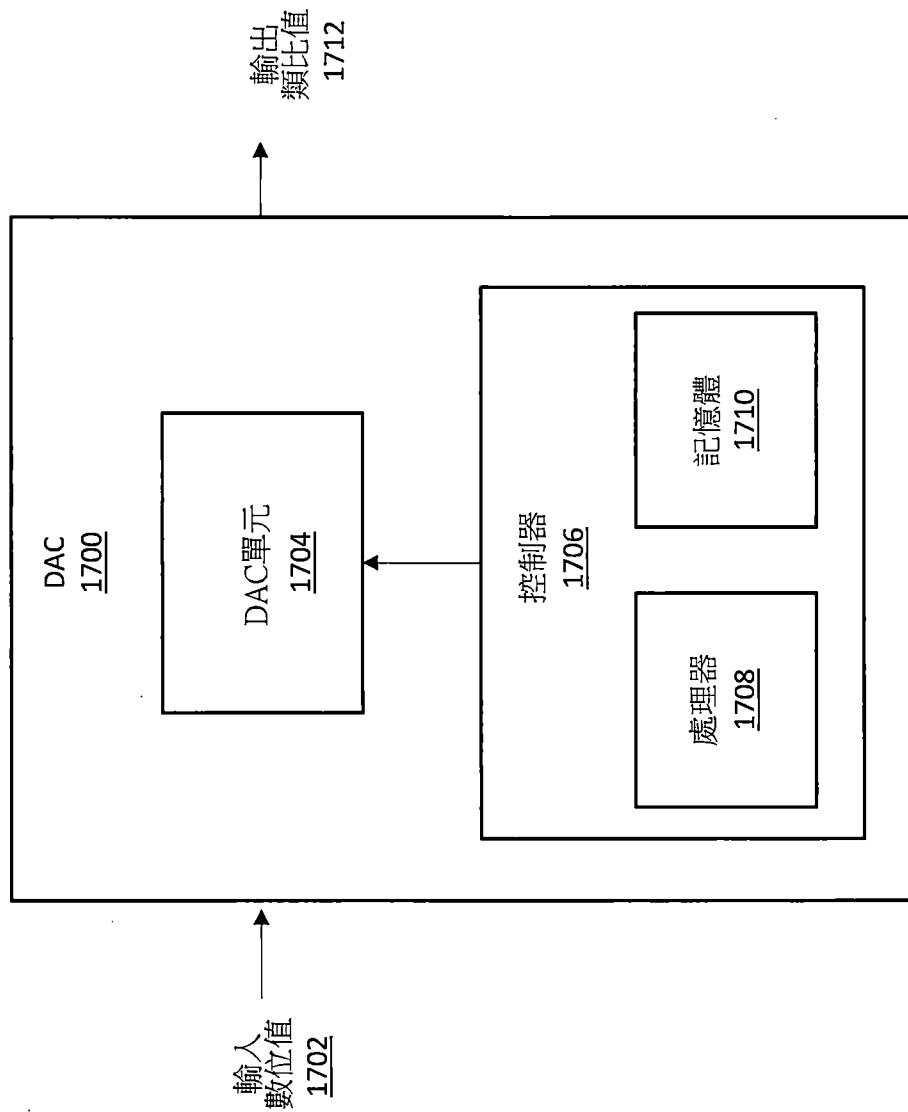


圖17

